(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3886669号
(P3886669)
(45)発行日　平成19年2月28日(2007.2.28)　(24)登録日　平成18年12月1日(2006.12.1)

(51)Int.Cl.　F I
G11C 16/06 (2006.01)　G11C 17/00 634E
G11C 17/00 634D

請求項の数 8　(全 14 頁)

(21)出願番号　特願平11-164183
(22)出願日　平成11年6月10日(1999.6.10)
(65)公開番号　特開2000-353394(P2000-353394A)
(43)公開日　平成12年12月19日(2000.12.19)
審査請求日　平成15年5月12日(2003.5.12)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100092820
弁理士　伊丹　勝
(72)発明者　丹沢　徹
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
(72)発明者　渥美　滋
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

審査官　高野　芳徳

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
ビット線とワード線が交差して配設され、その各交差部に電流読出し型のメモリセルが配置されたメモリセルアレイと、
このメモリセルアレイのビット線及びワード線を選択するデコード回路と、
前記メモリセルアレイの複数のビット線を同時に選択する選択ゲートと、
この選択ゲートにより同時に選択された複数のビット線に読み出されるデータをそれぞれ検知増幅する複数のセンスアンプと、
この複数のセンスアンプによって共有され該複数のセンスアンプに参照電圧を供給する参照電圧発生回路とを備え、
前記各センスアンプは、
一方の入力端子を選択されたビット線に接続されるセンスノードとし、他方の入力端子を参照ノードとした初段のオペアンプを含む少なくとも１段のオペアンプと、
前記初段オペアンプの前記センスノードと電源端子の間に設けられた第１の電流源負荷と、この第１の電流源負荷と同じ設計パラメータを有し前記参照ノードと電源端子の間に設けられた第２の電流源負荷とを備え、
前記参照ノードは、前記複数のセンスアンプ間において共通配線され、前記参照電圧が供給され、
前記参照電圧は、前記センスノードに出力される二値データの電圧の間の電圧である
ことを特徴とする半導体記憶装置。

【請求項２】
前記第１及び第２の電流源負荷はそれぞれ、ソースが前記センスノード及び参照ノードに接続され、ドレインが前記電源端子に接続され、ゲートに電源電圧より低い第１のバイアス電圧が印加されるＮＭＯＳトランジスタである
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項３】
前記第１及び第２の電流源負荷はそれぞれ、ゲートとドレインが前記センスノード及び参照ノードに接続され、ソースが前記電源端子に接続されるＰＭＯＳトランジスタである
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項４】
前記参照電圧発生回路は、選択されたメモリセルが二値データの一方のときに前記第１の電流源負荷を介して流れるビット線電流より少ない電流が、前記第２の電流源負荷を介して流れるように設定された少なくとも一つの参照セルを用いて構成され、
前記少なくとも一つの参照セルは、前記参照ノードに対して並列に接続され、且つ同一の参照ワード線に共通接続され、読み出し時には前記参照ワード線から読み出し電圧に等しい電圧が供給される
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項５】
前記参照電圧発生回路は、前記複数のセンスアンプにより同時に読み出されるメモリセルの数より少ない数のメモリセルと同じ構造の参照セルを用いて構成され、
前記同時に読み出されるメモリセルの数より少ない数の参照セルは、前記参照ノードに対して並列に接続され、且つ同一の参照ワード線に共通接続され、読み出し時には前記参照ワード線から読み出し電圧に等しい電圧が供給される
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項６】
前記参照電圧発生回路は、前記複数のセンスアンプにより同時に読み出されるメモリセルの数をｎとして、ｎ／２以下の数のメモリセルと同じ構造の参照セルを用いて構成され、
前記ｎ／２以下の数の参照セルは、前記参照ノードに対して並列に接続され、且つ同一の参照ワード線に共通接続され、読み出し時には前記参照ワード線から読み出し電圧に等しい電圧が供給される
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項７】
前記第１及び第２の電流源負荷と電源端子の間にそれぞれ電源スイッチが設けられている
ことを特徴とする請求項１記載の半導体記憶装置。
【請求項８】
１つ前記初段のセンスアンプが有する前記第２の電流源負荷は、１つ前記初段のセンスアンプが有する前記第１の電流源負荷と同じ構成のｍ個からなり、前記複数のセンスアンプにより同時に読み出されるメモリセルの数をｎとしたとき、ｍはｎに等しく、前記参照電圧発生回路は、ｍ／２以下の数のメモリセルと同じ構造の参照セルを用いて構成され、
前記ｍ／２以下の数の参照セルは、前記参照ノードに対して並列に接続され、且つ同一の参照ワード線に共通接続され、読み出し時には前記参照ワード線から読み出し電圧に等しい電圧が供給される
ことを特徴とする請求項１記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体記憶装置に係り、特に電流読出し型のメモリセルを用いる不揮発性半導体メモリのセンスアンプに関する。

【０００２】
【従来の技術】
図１０は、ＮＯＲ型ＥＥＰＲＯＭに代表される従来の不揮発性半導体メモリの読出し系の回路構成を示している。電荷読出し型のメモリセルにより構成されるＤＲＡＭでは、フリップフロップ型のセンスアンプが用いられるが、電流読出し型のメモリセルにより構成されるＥＥＰＲＯＭでは、図示のような差動増幅型のセンスアンプが用いられる。このセンスアンプ回路方式は例えば、IEEE Journal of Solid-State Circuits, Vol.SC-20,No.1,pp.422-7,Feb.,1985に記載されている。
【０００３】
センスアンプ３は、二つの入力端子をそれぞれセンスノードＳＡと参照ノードＲＥＦに接続したオペアンプＯＰを用いて構成される。センスノードＳＡは、クランプ用ＮＭＯＳトランジスタＱＮ１を介してデータ線ＤＬに接続される。データ線ＤＬには、カラムゲート２のＮＭＯＳトランジスタＱＮ３により選択されたメモリセルアレイ１のビット線ＢＬが接続される。センスノードＳＡと電源端子の間には、電流源負荷として、ゲート・ドレインが接続されたＰＭＯＳトランジスタＱＰ１が設けられている。
【０００４】
参照ノードＲＥＦには、センスノードＳＡと同様に電流源負荷としてのＰＭＯＳトランジスタＱＰ２が接続されている。また参照ノードＲＥＦは、センスノードＳＡと同様にクランプ用ＮＭＯＳトランジスタＱＮ２を介して、ダミーデータ線ＲＤＬに接続されている。ダミーデータ線ＲＤＬには、ダミーカラムゲートのＮＭＯＳトランジスタＱＮ４を介してダミーセルＲＭＣが接続される。これら参照ノードＲＥＦ側のＰＭＯＳトランジスタＱＰ２、クランプ用ＮＭＯＳトランジスタＱＮ２、ダミーカラムゲートトランジスタＱＮ４及びダミーセルＲＭＣの部分は、参照電圧発生回路４を構成している。参照電圧発生回路４は、参照ノードＲＥＦに、センスノードＳＡに得られる二値データに対応する出力電圧の中間の参照電圧を発生させるものである。
【０００５】
電流源負荷であるＰＭＯＳトランジスタＱＰ１は、クランプ用ＮＭＯＳトランジスタＱＮ１に比べて、コンダクタンスが非常に小さく設定されており、且つゲート・ドレインが接続されて５極管動作する。これは、データ線ＤＬの電圧変化を微小な振幅に抑えて、センスノードＳＡに与えるためである。クランプ用ＮＭＯＳトランジスタＱＮ１と電流源ＰＭＯＳトランジスタＱＰ１は、初段増幅器を構成している。この初段増幅器で増幅された電圧が、更にオペアンプＯＰにより比較増幅されて、ＣＭＯＳレベルのセンス出力ＳＡＯＵＴが得られる。
【０００６】
図１１は、図１０の回路構成を変形した従来のセンスアンプ回路を示している。この回路方式は、IEEE Journal of Solid-State Circuits Conference Digest of Technical Papers, pp.146-7,Feb.,1994に記載されている。図１０の回路では、クランプ用ＮＭＯＳトランジスタＱＮ１，ＱＮ２のゲートに固定バイアス電圧ＢＩＡＳを与えている。これに対し図１１では、データ線ＤＬ，ダミーデータ線ＲＤＬの電圧をそれぞれインバータＩ１，Ｉ２を介してＮＭＯＳトランジスタＱＮ１，ＱＮ２のゲートに帰還している。この様にクランプ用ＮＭＯＳトランジスタＱＮ１の導通度を帰還制御すると、データ線ＤＬの電圧振幅を抑制しながら、センスノードＳＡに二値データに応じて電圧を与えることができる。
【０００７】
【発明が解決しようとする課題】
近年、ＥＥＰＲＯＭのメモリセルの微細化が進み、電源電圧も３Ｖ程度まで低電圧化されているが、これを例えば２Ｖ程度まで低電圧化することが望まれる。しかし、２Ｖ電源を実現しようとすると、従来の図１０或いは図１１のセンスアンプ回路構成では不都合が生じる。即ち、メモリセルの電流引き込みの有無を確実に検出するためには、ビット線ＢＬの充電レベルとして少なくとも１Ｖ程度が必要である。また、図１０或いは図１１に示すセンスアンプ回路では、電源端子とデータ線ＤＬの間には、電流源負荷であるＰＭＯＳト

ランジスタＱＰ１とクランプ用ＮＭＯＳトランジスタＱＮ１が直列に入る。ＰＭＯＳトランジスタＱＰ１のしきい値電圧をＶthpとして、｜Ｖthp｜＝０．８Ｖ程度とすると、ＰＭＯＳトランジスタＱＰ１が電流源として機能するためには、そのソース、ドレイン間電圧は０．８Ｖ以上、例えば１Ｖを必要とする。また、クランプ用ＮＭＯＳトランジスタＱＮ１を５極管動作領域で動作させるためには、そのドレイン、ソース間電圧して、０．２～０．３Ｖが必要である。そうすると、電源電圧を２Ｖまで下げた場合には、必要なビット線充電レベル１Ｖが得られなくなる。

【０００８】

この発明は、電源の低電圧化を可能とするセンスアンプ回路方式を用いた半導体記憶装置を提供することを目的としている。

【０００９】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、ビット線とワード線が交差して配設され、その各交差部に電流読出し型のメモリセルが配置されたメモリセルアレイと、 このメモリセルアレイのビット線及びワード線を選択するデコード回路と、前記メモリセルアレイの複数のビット線を同時に選択する選択ゲートと、この選択ゲートにより同時に選択された複数のビット線に読み出されるデータをそれぞれ検知増幅する複数のセンスアンプと、この複数のセンスアンプによって共有され該複数のセンスアンプに参照電圧を供給する参照電圧発生回路とを備え、前記各センスアンプは、一方の入力端子を選択されたビット線に接続されるセンスノードとし、他方の入力端子を参照ノードとした初段のオペアンプを含む少なくとも１段のオペアンプと、前記初段オペアンプの前記センスノードと電源端子の間に設けられた第１の電流源負荷と、この第１の電流源負荷と同じ設計パラメータを有し前記参照ノードと電源端子の間に設けられた第２の電流源負荷とを備え、前記参照ノードは、前記複数のセンスアンプ間において共通配線され、前記参照電圧が供給され、前記参照電圧は、前記センスノードに出力される二値データの電圧の間の電圧であることを特徴とする。

【００１４】

この発明によると、従来のセンスアンプ回路に用いられていたクランプ回路を除くことにより、従来に比べて電源を低電圧化し、例えば２Ｖ電源とした場合にも、電流源負荷トランジスタを５極管動作させ、且つビット線の充電レベル約１Ｖを確保して、正常なデータ読み出し動作を可能とすることができる。

また、同時にデータ読出しを行う複数のセンスアンプを持つ場合に、これら複数のセンスアンプの参照ノードは共通とし、センスアンプ毎にセンスノードと参照ノードにはそれぞれ第１及び第２の電流源負荷を設ける。そして、参照ノードにはセンスノードに出力される二値データの電圧の間にある参照電圧を発生する参照電圧発生回路を複数のセンスアンプに共有させて設けることにより、電源を低電圧化した場合にも確実なデータ読み出し動作が可能になる。

【００１５】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

［実施の形態１］

図１はこの発明の実施の形態１に係るＮＯＲ型ＥＥＰＲＭの構成を示し、図２はそのメモリセルアレイ及びデータ読出し経路の具体構成を示す。メモリセルアレイ１１は、図２に示すように、浮遊ゲートと制御ゲートを有するＭＯＳトランジスタ構造のメモリセルＭＣを配列して構成される。メモリセルＭＣの制御ゲートはワード線ＷＬにより駆動され、ドレインはビット線ＢＬに接続され、ソースは共通ソース線ＶＳに接続される。

【００１６】

メモリセルＭＣは、例えば浮遊ゲートに電子を注入したしきい値電圧の高い状態をデータ“０”とし、浮遊ゲートの電子を放出したしきい値電圧の低い状態をデータ“１”とする。即ち、ワード線ＷＬを例えば５Ｖの読出し電圧で駆動したときに、“１”データのメモ

リセルはオンしてビット線ＢＬの電流を引き込み、“０”データのメモリセルはオフのままで電流引き込みを行わない。データの書込み及び消去には、周知の方法が用いられるので、説明は省く。

【００１７】

メモリセルアレイ１１のワード線選択を行うのが、ロウデコーダ１６であり、ビット線選択を行うのがカラムデコーダ１７及びこれにより制御されるカラムゲート１２である。データ読み出し時、外部アドレスはアドレスバッファ１５に入力され、内部アドレスのロウアドレス及びカラムアドレスがそれぞれロウデコーダ１６、カラムデコーダ１７に供給される。

【００１８】

制御回路１８は外部制御信号を受けて、動作モードに応じた各種制御信号を発生する。ソース線駆動回路１９は、制御回路１８からの制御信号により、動作モードに応じてメモリセルアレイ１１の共通ソース線ＶＳの電位を制御する。具体的にデータ読み出し時は、ソース線駆動回路１９により共通ソース線ＶＳは接地電位ＶSSに設定される。メモリセルアレイ１１から読み出されるビット線データは、センスアンプ回路１３により検知増幅され、データ入出力バッファ１４を介してＩ／Ｏ端子に出力されることになる。

【００１９】

センスアンプ１３（１３0，１３1，…）は、図２に示すように、Ｉ／Ｏ端子が１６本の場合であれば１６個配置され、例えば５１２本のビット線ＢＬからカラムゲート１２によって１６本のビット線ＢＬが同時に並列に選択されるようになっている。カラムゲート１２は、図２に示すように、カラムデコード信号Ｃ０～Ｃ３１により制御されるＮＭＯＳトランジスタＱＮ１１により構成される。この実施の形態の場合、カラムゲート１２の出力ノードがクランプ回路を介することなく、直接センスアンプ１３のセンスノードＳＡ（ＳＡ０，ＳＡ１，…）に接続されている。

【００２０】

センスノードＳＡは、電流源負荷であるＮＭＯＳトランジスタＱＮ０１を介して電源ＶCCに接続されている。ＮＭＯＳトランジスタＱＮ０１は好ましくは、しきい値が略０Ｖのものとし、ソースがセンスノードＳＡに、ドレインが電源端子ＶCCにそれぞれ接続され、ゲートにはＮＭＯＳトランジスタＱＮ０１が５極管動作するような電源電圧より低いバイアス電圧ＢＩＡＳが与えられる。参照ノードＲＥＦはこの実施の形態の場合、同時に選択される１６本のビット線ＢＬに対応する１６個のセンスアンプ１３で共有される。各センスアンプ１３は、それぞれのセンスノードＳＡと、全センスアンプ１３に共通に設けられた参照ノードＲＥＦの電位差を比較検出するオペアンプＯＰを有する。

【００２１】

参照ノードＲＥＦと電源端子ＶCCとの間には、各センスアンプ１３毎に電流源負荷としてＮＭＯＳトランジスタＱＮ０２が設けられている。ＮＭＯＳトランジスタＱＮ０２は、センスノードＳＡ側のＮＭＯＳトランジスタＱＮ０１と同じ設計パラメータを持つものとし、ソース参照ノードＲＥＦに、ドレインが電源端子に接続され、ゲートにはバイアス電圧ＢＩＡＳが印加される。

【００２２】

参照ノードＲＥＦにはまた、１６個のセンスアンプ１３に共通に用いられる参照電圧発生回路２１が設けられている。参照電圧発生回路２１は、参照カラムゲート２３としての複数個のＮＭＯＳトランジスタＱＮ１２と、参照セルＲＭＣを配列した参照セルアレイ２２とを有する。具体的にＮＭＯＳトランジスタＱＮ１２は、１６個のセンスアンプ１３に対して８個並列に設けられ、それぞれに“１”データのメモリセルＭＣと同じ“１”データ状態の、メモリセルＭＣと同じ構造の参照セルＲＭＣが接続される。これらの参照セルＲＭＣは、メモリセルアレイ１１のあるワード線ＷＬが選択されるときに同時に選択される参照ワード線ＲＷＬにより共通に駆動される。

【００２３】

オペアンプＯＰは、図３に示すように、カレントミラー電流源を構成するＰＭＯＳトラン

ジスタＱＰ３１，ＱＰ３２と、これに接続されたドライバＮＭＯＳトランジスタＱＮ３１，ＱＮ３２を備えて構成される。ドライバＮＭＯＳトランジスタＱＮ３１，ＱＮ３２のゲートがそれぞれセンスノードＳＡ，参照ノードＲＥＦに接続される。ここで、ドライバＮＭＯＳトランジスタＱＮ３１，ＱＮ３２は、しきい値電圧が略０Ｖの低しきい値トランジスタであるとする。これにより、電源ＶCCを２Ｖ或いはそれ以下とした場合にも、センスノードＳＡと参照ノードＲＥＦの間の１Ｖ程度の電圧振幅を比較検知することができる。

【００２４】

ドライバＮＭＯＳトランジスタＱＮ３１，ＱＮ３２のソースは共通に直列接続されたＮＭＯＳトランジスタＱＮ３３，ＱＮ３４を介して接地される。ＮＭＯＳトランジスタＱＮ３３は、しきい値電圧が略０Ｖであり、そのゲートには固定のバイアス電圧ＢＩＡＳ１が与えられる。ＮＭＯＳトランジスタＱＮ３４のゲートには、センスアンプ活性化信号ＡＣＴＩＶＥが与えられる。ＮＭＯＳトランジスタＱＮ３３のゲートに与えられるバイアス電圧ＢＩＡＳ１は、電源ＶCCを例えば２Ｖとして、１～１．５Ｖ程度の低い電圧とする。

【００２５】

この実施の形態において、センスノードＳＡでは、“１”データ（電流引き込み有り）のメモリセルが選択されると、対応するセンスアンプ１３では負荷ＮＭＯＳトランジスタＱＮ０１からビット線ＢＬを介してメモリセルに電流が流れる。“０”データ（電流引き込みなし）のメモリセルが選択されると、そのメモリセルには殆ど電流が流れない。従って、“１”データが読み出されるビット線の電位上昇は小さく、“０”データが読み出されるビット線の電位上昇は大きい。一方参照ノードＲＥＦ側では、１６個の負荷ＮＭＯＳトランジスタＱＮ０２から、８個の参照セルＲＭＣに並列にセル電流が流れる。従って、参照ノードＲＥＦ側の負荷ＮＭＯＳトランジスタＱＮ０２から参照セルアレイ２２に供給される電流は、“１”データのときにセンスノードＳＡ側で負荷ＮＭＯＳトランジスタＱＮ０１からビット線ＢＬに供給される電流より少なく、例えば約１／２となる。この結果、参照ノードＲＥＦには、センスノードＳＡの“０”，“１”の出力電圧の間の参照電圧が得られることになる。

【００２６】

上では、同時に選択され読み出されるビット線が１６本の場合について説明した。より一般的に、同時に選択されるビット線ＢＬがｎ本とした場合、ｎ個のセンスアンプに対して、参照ノード側ＲＥＦには各センスアンプ毎にｎ個の電流源負荷トランジスタが設けられ、参照セルアレイ２２としては、ｎ／２個の参照セルＲＭＣが用いられる。これにより、“１”データが読み出されるビット線電流に対して、参照セルアレイ側で流れる電流を約１／２として、参照ノードＲＥＦには、センスノードＳＡの“０”，“１”の出力電圧の間の参照電圧が得られることになる。また、参照セルの数は厳密にｎ／２であることは必須ではなく、約ｎ／２であればよい。

【００２７】

この実施の形態によると、メモリセルアレイ１１のカラムゲート１２により選択されたビット線ＢＬは、クランプ回路を介することなく、直接センスアンプ１３のセンスノードＳＡに接続される。このとき、電源ＶCCを２Ｖとし、負荷ＮＭＯＳトランジスタＱＮ０１のしきい値電圧を略０Ｖとし、バイアス電圧ＢＩＡＳを１Ｖとして、負荷ＮＰＭＯＳトランジスタＱＮ０１を５極管動作させ、ビット線ＢＬの充電レベル１Ｖを得ることができる。即ち負荷ＮＭＯＳトランジスタＱＮ０１は電流源負荷として正常に機能し、また十分なビット線充電レベルが得られて、正常なデータ読み出し動作が可能になる。更に実施の形態の場合、電源電圧ＶCCを１．５Ｖ程度まで低電圧化しても、バイアス電圧ＢＩＡＳを１Ｖとして、ビット線ＢＬの充電レベル１Ｖが得られ、正常動作が可能である。

【００２８】

またこの実施の形態において、センスアンプ１３の参照ノードＲＥＦ側の参照電圧発生回路２１では、負荷ＮＭＯＳトランジスタＱＮ０２を各センスアンプ回路１３毎に設け（従って、その数は、センスノードＳＡ側の負荷ＮＭＯＳトランジスタＱＮ０１と同数とし）、参照セルＲＭＣの数は負荷の半分としている。これにより、“０”，“１”データにお

けるセンスノードＳＡの電圧の間の参照電圧を発生させることができ、“０”，“１”データのセンスマージンを等しくすることができる。

【００２９】

またこの実施の形態のオペアンプは、図３に示すように低しきい値トランジスタＱＮ３１，ＱＮ３２をドライバとして用いることにより、電源の低電圧化に対応できる。また、ドライバトランジスタＱＮ３１，ＱＮ３２の共通ソースに接続される電流源には、やはり低しきい値のＮＭＯＳトランジスタＱＮ３３を用いて、これを低いバイアス電圧ＢＩＡＳ１で駆動している。これにより、オペアンプの動作電流はほぼ一定に保たれる。従ってセンスアンプ動作時間の電源電圧依存性は小さいものとすることができる。また、オペアンプを活性化信号ＡＣＴＩＶＥにより選択的に活性化することより、動作電流を必要最小限に抑えることが可能になる。

【００３０】

［実施の形態２］

図４は、先の実施の形態１でのセンスアンプ１３のオペアンプＯＰの部分を、２段のオペアンプＯＰ１，ＯＰ２により構成した実施の形態である。その他、先の実施の形態と同じである。

従来のセンスアンプは、クランプ回路と電流源負荷の部分が初段増幅器となっているが、この発明ではクランプ回路を省略している。そこでこの実施の形態では、２段のオペアンプＯＰ１，ＯＰ２を用いることにより、従来と同程度の増幅率を確保するようにしている。

【００３１】

図５は、図４における２段のオペアンプＯＰ１，ＯＰ２の具体的な構成を示している。初段オペアンプＯＰ１は、図３に示したものと同じ構成である。２段目オペアンプＯＰ２は、初段オペアンプＯＰ１の二つの出力ノードが入るドライバＰＭＯＳトランジスタＱＰ５１，ＱＰ５２と、これらに接続されたカレントミラー型負荷を構成するＮＭＯＳトランジスタＱＮ５１，ＱＮ５２を有する。ＮＭＯＳトランジスタＱＮ５１，ＱＮ５２の共通ソースは、活性化ＮＭＯＳトランジスタＱＮ５３を介して接地される。

【００３２】

この実施の形態によると、クランプ回路を用いないにも拘わらず、従来と同様の大きな増幅率を持つセンスアンプが得られる。また先の実施の形態と同様に、２Ｖ程度まで電源を低電圧化しても正常なデータセンス動作が可能になる。

また、初段オペアンプは実施の形態１と同様であり、センスアンプ動作時間の電源電圧依存性は小さく、動作電流も必要最小限に抑えられる。

【００３３】

［実施の形態３］

図６は、実施の形態３のセンスアンプ１３の構成の構成を示している。図２の実施の形態１の回路と異なる点は、センスアンプ１３のセンスノードＳＡ及び参照ノードＲＥＦと電源端子の間に設けられる電流源負荷として、ＰＭＯＳトランジスタＱＰ１１，ＱＰ１２を用いていることである。ＰＭＯＳトランジスタＱＰ１１，ＱＰ１２はエンハンスメント型とする。ＰＭＯＳトランジスタＱＰ６１，ＱＰ６２はソースが電源ＶCCに接続され、ドレインとゲートが共通にセンスノードＳＡ及び参照ノードＲＥＦに接続されている。参照電圧発生回路２１の構成は、先の実施の形態１と同様である。オペアンプＯＰには、図３の構成のものを用いることが好ましい。

【００３４】

この実施の形態のセンスアンプの場合、負荷ＰＭＯＳトランジスタＱＰ１１のしきい値電圧をＶthpを例えば、｜Ｖthp｜＝１Ｖとして、電源電圧を２Ｖとしたとき、負荷ＰＭＯＳトランジスタＱＰ１１のソース・ドレイン間電圧は１Ｖで且つ、ビット線ＢＬの充電レベル１Ｖが得られる。従って電源を従来より低電圧化して、正常なデータセンス動作が可能になる。

また、オペアンプＯＰに図３の構成のものを用いると、センスアンプ動作時間の電源電圧

依存性は小さく、動作電流も必要最小限に抑えられる。なおこの実施の形態において、実施の形態２と同様に、オペアンプを２段構成とすることも有効である。

【００３５】

［実施の形態４］

以上の各実施の形態で説明したセンスアンプは、実際の適用においては、電源側に更に活性化用の電源スイッチを挿入して用いられる。具体的に、図２の実施の形態のセンスアンプ１３について、電源スイッチを挿入した実施の形態を図７に示す。図８は、この実施の形態でバイアス電圧ＢＩＡＳを発生させるバイアス回路８１の構成を示している。

【００３６】

図７に示すように、センスアンプ１３の電流源負荷ＮＭＯＳトランジスタＱＮ０１，ＱＮ０２と電源ＶCCの間に電源スイッチとしてＰＭＯＳトランジスタＱＰ７１，ＱＰ７２が挿入されている。これらのＰＭＯＳトランジスタＱＰ７１，ＱＰ７２のゲートは、活性化信号ＡＣＴＩＶＥの反転信号ＡＣＴＩＶＥＢにより制御される。またセンスノードＳＡ及び参照ノードＲＥＦにはそれぞれリセット用のＮＭＯＳトランジスタＱＮ７３，ＱＮ７４が設けられている。これらのリセット用ＮＭＯＳトランジスタＱＮ７３，ＱＮ７４のゲートも活性化信号ＡＣＴＩＶＥの反転信号ＡＣＴＩＶＥＢにより制御される。

【００３７】

バイアス電圧ＢＩＡＳを発生するバイアス回路８１は、図８に示すように、電源ＶCCと接地ＶSS間に直列接続されたＰＭＯＳトランジスタＱＰ６１，ＱＰ６３及びＮＭＯＳトランジスタＱＮ６３と、同じく電源ＶCCと接地ＶSS間に直列接続されたＰＭＯＳトランジスタＱＰ６２，ＱＰ６４、及びＮＭＯＳトランジスタＱＮ６４，ＱＮ６５を有する。ＰＭＯＳトランジスタＱＰ６３とＱＰ６４の対は、ソースがそれぞれ活性化用ＰＭＯＳトランジスタＱＰ６１，負荷ＰＭＯＳトランジスタＱＰ６２を介して電源ＶCCに接続され、ゲートが共通接続され、且つそのゲートがＰＭＯＳトランジスタＱＰ６３のドレインに接続されて、カレントミラー回路８１０を構成している。

【００３８】

ＮＭＯＳトランジスタＱＮ６３とＱＮ６４の対もカレントミラー回路８１２を構成している。即ち、ＮＭＯＳトランジスタＱＮ６３，ＱＮ６４のドレインはそれぞれＰＭＯＳトランジスタＱＰ６３，ＱＰ６４のソースに接続され、ゲートが共通接続され、そのゲートがＮＭＯＳトランジスタＱＮ６４のドレインに接続されている。ＮＭＯＳトランジスタＱＮ６３のソースは接地ＶSSに接続され、ＮＭＯＳトランジスタＱＮ６３のソースは活性化用ＮＭＯＳトランジスタＱＮ６５を介して接地ＶSSに接続される。ＮＭＯＳトランジスタＱＮ６３には並列にリセット用ＮＭＯＳトランジスタＱＮ６６が設けられている。

【００３９】

ＰＭＯＳトランジスタＱＰ６１は、活性化信号ＡＣＴＩＶＥをインバータＩ６１で反転した信号ＡＣＴＩＶＥＢにより駆動され、ＮＭＯＳトランジスタＱＮ６５は活性化信号ＡＣＴＩＶＥにより駆動される。また、ＮＭＯＳトランジスタＱＮ６３には並列に接続されたＮＭＯＳトランジスタＱＮ６５は、インバータＩ６１の出力により駆動される。

ここで、ＮＭＯＳトランジスタＱＮ６３は、しきい値が略０Ｖであり、その他のＮＭＯＳトランジスタＱＮ６５，ＱＮ６６は正のしきい値電圧Ｖthnを持つエンハンスメント型とする。ＰＭＯＳトランジスタＱＰ６１～ＱＰ６４は全てエンハンスメント型である。

【００４０】

例えば、電源ＶCCが２Ｖとして、図８のバイアス回路８１の動作を説明すると、次のようになる。活性化信号ＡＣＴＩＶＥが“Ｌ”の間、ＰＭＯＳトランジスタＱＰ６１がオフ、ＮＭＯＳトランジスタＱＮ６５がオフ、ＮＭＯＳトランジスタＱＮ６６がオンである。このとき、ＮＭＯＳトランジスタＱＮ６３のドレインノードＮ１は接地され、ＰＭＯＳトランジスタＱＰ６４がオンして、ＮＭＯＳトランジスタＱＮ６４のドレインノードＮ２は電源電圧ＶCCになる。これがバイアス電圧ＢＩＡＳ＝ＶCCのリセット状態である。

【００４１】

活性化信号ＡＣＴＩＶＥが“Ｈ”になると、ＰＭＯＳトランジスタＱＰ６１がオン、ＮＭ

ＯＳトランジスタＱＮ６５がオン、ＮＭＯＳトランジスタＱＮ６６がオフになり、バイアス回路８１が活性になる。即ち、ＮＭＯＳトランジスタＱＮ６４，ＱＮ６３の二つの電流経路に、ＰＭＯＳトランジスタＱＰ６３，ＱＰ６４により同じ電流が流れ、バイアス電圧ＢＩＡＳが低下する。このとき、ＮＭＯＳトランジスタＱＮ６４のしきい値電圧を１Ｖとして、バイアス電圧ＢＩＡＳは約１Ｖとなる。もし、ＮＭＯＳトランジスタＱＮ６３のしきい値電圧がＮＭＯＳトランジスタＱＮ６４と同じであるとすると、ノードＮ１がノードＮ２と同程度まで電位上昇して、ＰＭＯＳトランジスタＱＰ６３，ＱＰ６４による供給電流が十分に得られなくなるおそれがある。しかしこの実施の形態の場合、ＮＭＯＳトランジスタＱＮ６３はしきい値電圧を略０Ｖとしているから、ノードＮ２により制御されて十分にオンの状態を保ち、ノードＮ１はノードＮ２に比べて低い正電圧に保持されてバイアス回路が安定化する。

【００４２】

図９は、この実施の形態のセンスアンプを用いた場合のデータ読み出し動作のタイミング図である。アドレスが遷移すると（時刻ｔ１）、図１における制御回路１８に含まれるアドレス遷移検出回路がこれを検知してアドレス遷移検出出力ＡＴＤを出す。この出力ＡＴＤを受けて、ワード線ＷＬ、参照ワード線ＲＷＬが立ち上がり、更にカラムデコード出力Ｃ、参照カラム信号ＲＣにより選択されたカラムゲート１２及び参照カラムゲート２３がオンする。これにより、選択されたビット線ＢＬがセンスノードＳＡに接続され、参照セルＲＭＣが参照ノードＲＥＦに接続される。その後、アドレス遷移出力ＡＴＤから一定時間、例えばτだけ遅れて活性化信号ＡＣＴＶＡＴＥが発生され（時刻ｔ２）、電源スイッチトランジスタＱＰ１１，ＱＰ１２がオンする。なおＡＣＴＩＶＡＴＥ＝“Ｌ”の非活性の間は、ＰＭＯＳトランジスタＱＰ７１，ＱＰ７２がオフ、ＮＭＯＳトランジスタＱＮ７１，ＱＮ７２がオンであり、センスノードＳＡ及び参照ノードＲＥＦは接地レベルＶSSにリセットされている。

【００４３】

そして、活性化信号ＡＣＴＩＶＥの立ち上がりにより、バイアス電圧ＢＩＡＳは、約１Ｖの規定電圧になる。このバイアス電圧ＢＩＡＳにより駆動される負荷ＮＭＯＳトランジスタＱＮ０１，ＱＮ０２を介して、選択されたメモリセルのデータ“１”，“０”に応じてビット線ＢＬが充電される。データ“１”のセンスノードＳＡは電流引き込みにより電位上昇が殆どなく、データが“０”のときは電流引き込みがないため電位上昇が大きい。参照ノードＲＥＦでは前述のように、“１”データのときのセンスノードＳＡの電圧変化の約１／２の電圧変化を示す。“０”データのとき、センスノードＳＡと参照ノードＲＥＦの電圧差が一定レベルに達すると（時刻ｔ３）、センスアンプ１３はセンス出力ＳＡＯＵＴ＝“Ｈ”を出す。センスアンプ出力ＳＡＯＵＴに少し遅れて、Ｉ／Ｏ端子にデータ出力ＤＯＵＴが得られる。

【００４４】

この実施の形態によると、センスアンプの電流源負荷としてしきい値が０ＶのＮＭＯＳトランジスタを用いることにより、電源電圧を更に低く、２Ｖ以下にまで低電圧化することができる。また、電流源負荷と電源との間に電源スイッチを設けて、センス動作時以外はセンスアンプを非活性に保つことにより、無用な消費電力を抑えることができる。

なお、図４、図６の実施の形態についても同様に、電流源負荷と電源端子の間に電源スイッチを設けることができる。

【００４５】

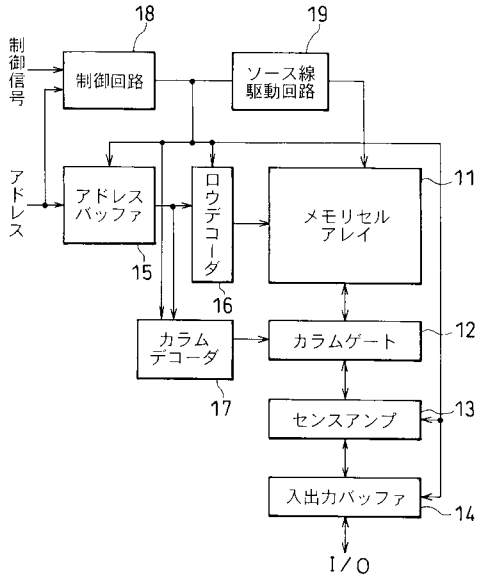
この発明は上記実施の形態に限られない。例えば実施の形態では、ＮＯＲ型ＥＥＰＲＯＭを説明したが、ＮＡＮＤ型やＤＩＮＯＲ型ＥＥＰＲＯＭにも同様のこの発明を適用することができる。

また、電気的換え換えを行わない不揮発性半導体メモリであるＥＰＲＯＭ，ＰＲＯＭ，マスクＲＯＭ等、電流引き込みの有無によりデータ読出しを行うメモリセルを用いた他の半導体メモリにも同様にこの発明を適用することができる。

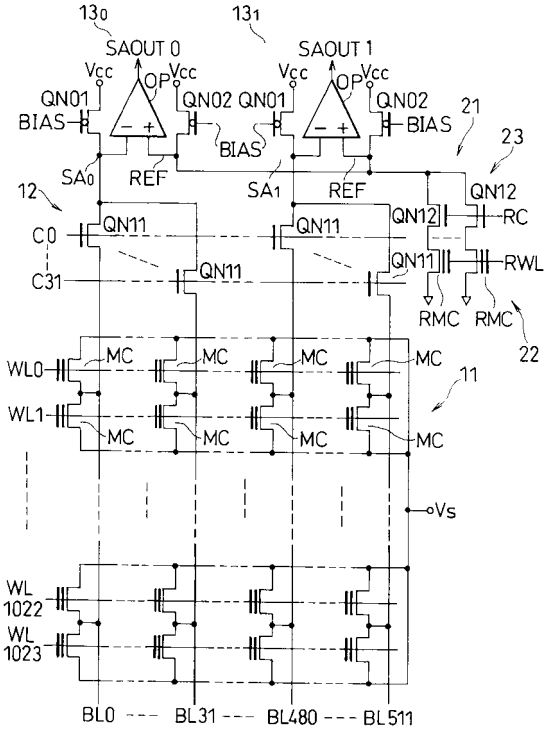
【００４６】

【発明の効果】
以上述べたようにこの発明によれば、電流引き込み型のメモリセルを持つ半導体記憶装置のセンスアンプをオペアンプを用いて構成するに当たって、クランプ回路を除き、電源を低電圧化した場合にも十分なビット線充電レベルを得ることを可能としたセンスアンプを提供することができる。
【図面の簡単な説明】
【図１】この発明の実施の形態１のＥＥＰＲＯＭの構成を示す図である。
【図２】同実施の形態１のメモリセルアレイ及びセンスアンプ回路部の構成を示す図である。
【図３】同実施の形態１のオペアンプの構成を示す図である。
【図４】この発明の実施の形態２のセンスアンプの構成を示す図である。
【図５】同実施の形態２のオペアンプ部の構成を示す図である。
【図６】この発明の実施の形態３のセンスアンプの構成を示す図である。
【図７】この発明の実施の形態４のセンスアンプの構成を示す図である。
【図８】同実施の形態４に用いられるバイアス回路の構成を示す図である。
【図９】同実施の形態４のセンスアンプによるデータ読み出し動作を説明するためのタイミング図である。
【図１０】従来のセンスアンプの構成例を示す図である。
【図１１】従来のセンスアンプの他の構成例を示す図である。
【符号の説明】
１１…メモリセルアレイ、１２…カラムゲート、１３…センスアンプ、１４…入出力バッファ、１５…アドレスバッファ、１６…ロウデコーダ、１７…カラムデコーダ、１８…制御回路、１９…ソース線駆動回路、ＯＰ…オペアンプ、ＱＮ０１，ＱＮ０２…電流源負荷ＮＭＯＳトランジスタ、ＳＡ…センスノード、ＲＥＦ…参照ノード、２１…参照電圧発生回路、２２…参照セルアレイ、２３…参照カラムゲート、ＱＰ６１，ＱＰ６２…電流源ＮＭＯＳトランジスタ。

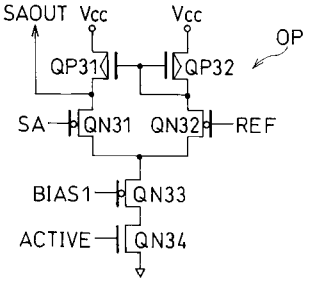
【図１】


制御信号
アドレス
制御回路
ソース線駆動回路
アドレスバッファ
ロウデコーダ
メモリセルアレイ
カラムデコーダ
カラムゲート
センスアンプ
入出力バッファ
I/O
11
12
13
14
15
16
17
18
19

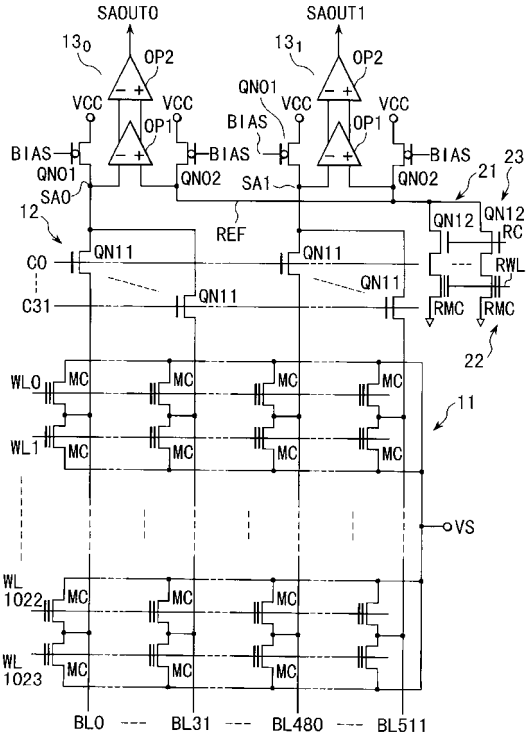
【図２】


SAOUT 0
SAOUT 1
Vcc
OP
QN01
QN02
BIAS
REF
SA0
SA1
QN11
QN12
RC
RWL
RMC
C0
C31
WL0
WL1
MC
Vs
WL 1022
WL 1023
BL0
BL31
BL480
BL511
11
12
21
22
23

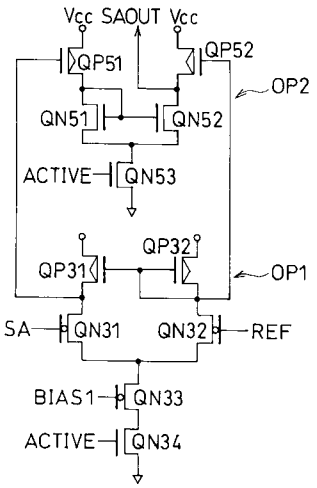
【図３】


SAOUT
Vcc
OP
QP31
QP32
SA
QN31
QN32
REF
BIAS1
QN33
ACTIVE
QN34

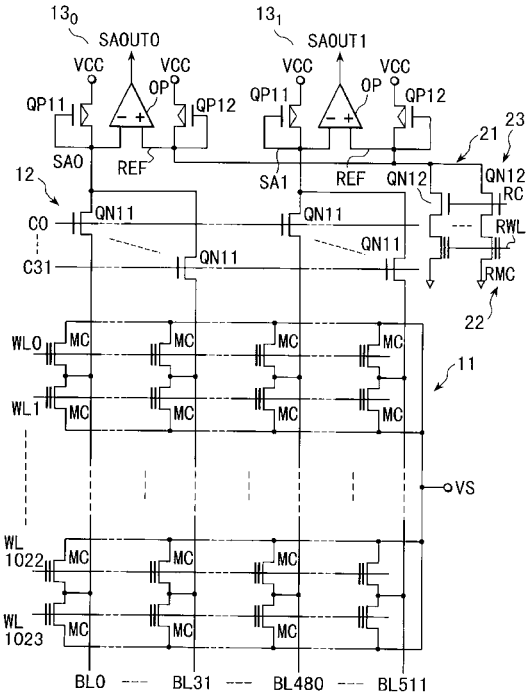
【図４】


SAOUT0
SAOUT1
OP2
OP1
VCC
BIAS
QN01
QN02
SA0
SA1
REF
QN11
QN12
RC
RWL
RMC
C0
C31
WL0
WL1
MC
VS
WL 1022
WL 1023
BL0
BL31
BL480
BL511
11
12
21
22
23

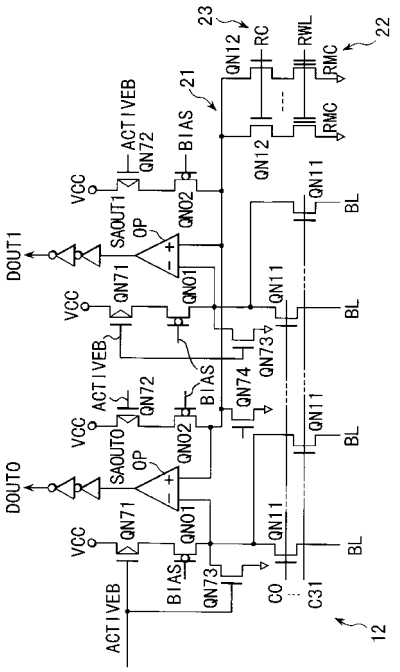
【図５】


Vcc
SAOUT
QP51
QP52
OP2
QN51
QN52
ACTIVE
QN53
QP31
QP32
OP1
SA
QN31
QN32
REF
BIAS1
QN33
ACTIVE
QN34

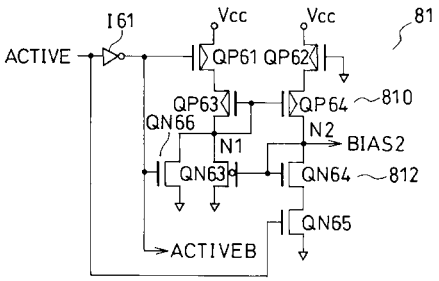
【図６】


13₀
SAOUT0
13₁
SAOUT1
VCC
OP
QP11
QP12
SA0
REF
SA1
21
23
12
QN11
QN12
RC
RWL
RMC
C0
C31
22
WL0
WL1
MC
11
VS
WL 1022
WL 1023
BL0
BL31
BL480
BL511

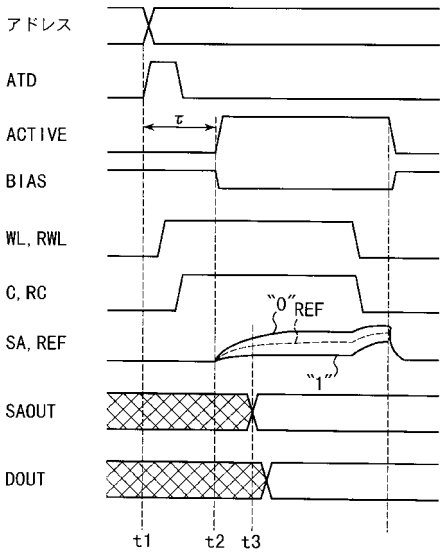
【図７】


23
QN12
RC
RWL
RMC
22
21
ACTIVEB
QN72
BIAS
QN11
BL
VCC
SAOUT1
OP
QNO2
QNO1
DOUT1
QN71
QN73
QN74
SAOUT0
DOUT0
C0
C31
12

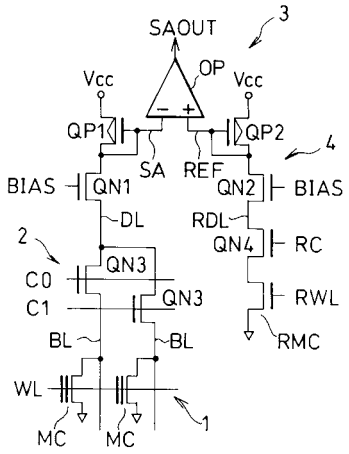
【図８】


I61
Vcc
81
ACTIVE
QP61
QP62
QP63
QP64
810
QN66
N1
N2
BIAS2
QN63
QN64
812
QN65
ACTIVEB

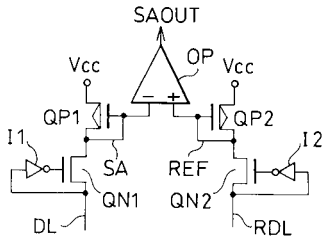
【図９】


アドレス
ATD
ACTIVE
τ
BIAS
WL, RWL
C, RC
SA, REF
"0"
REF
"1"
SAOUT
DOUT
t1
t2
t3

【図１０】


SAOUT
3
OP
Vcc
Vcc
QP1
QP2
4
SA
REF
BIAS
QN1
QN2
BIAS
DL
RDL
2
QN4
RC
QN3
C0
QN3
C1
RWL
BL
BL
RMC
WL
1
MC
MC

【図１１】


SAOUT
OP
Vcc
Vcc
QP1
QP2
I1
I2
SA
REF
QN1
QN2
DL
RDL

フロントページの続き

(56)参考文献 特開平０２－２８５５９５（ＪＰ，Ａ）
特開平０３－０４６１９７（ＪＰ，Ａ）
特開平０３－２４２８９８（ＪＰ，Ａ）
特開平１１－０１６３７９（ＪＰ，Ａ）
特開平１１－０６６８７５（ＪＰ，Ａ）
特開平０９－１６１４９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/00,17/00