

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 2 月 13 日 (13.02.2025)



(10) 国际公布号
WO 2025/030786 A1

(51) 国际专利分类号:
GI1C 11/40 (2006.01) *H01L 27/10* (2006.01)

(21) 国际申请号: PCT/CN2024/073718

(22) 国际申请日: 2024 年 1 月 23 日 (23.01.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202311010849.2 2023年8月10日 (10.08.2023) CN

(71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。

(72) 发明人: 戴瑾 (**DAI, Jin**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。

(74) 代理人: 北京市立方律师事务所 (**LIFANG & PARTNERS**); 中国北京市东城区香河园街1号院信德京汇中心12层, Beijing 100028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** MEMORY AND READ-WRITE METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 一种存储器及其读写方法、电子设备

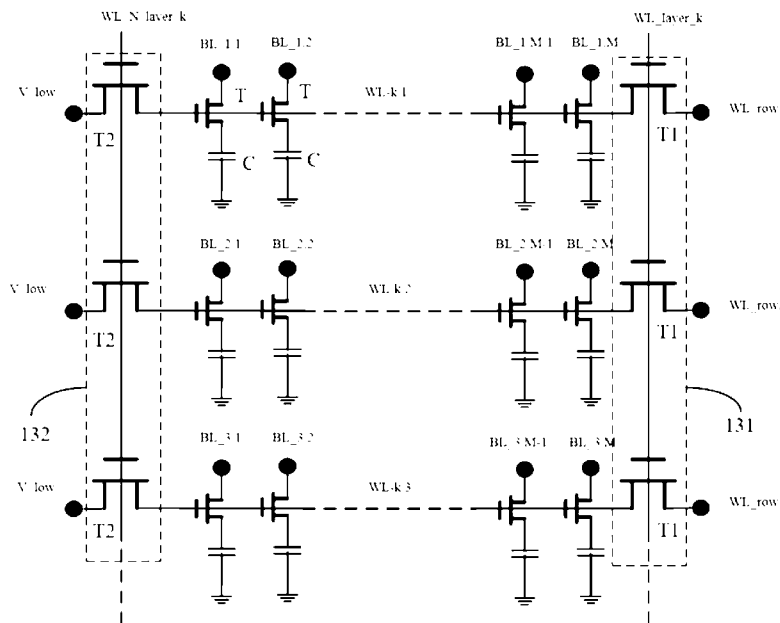


图 2

(57) **Abstract:** Provided in the present application are a memory and a read-write method therefor, and an electronic device. The memory comprises a three-dimensional storage array located on one side of a substrate, wherein the three-dimensional storage array comprises several storage array layers; each storage array layer comprises storage units, bit lines perpendicular to the substrate, and word lines parallel to the substrate; each storage array layer further comprises a selection circuit, a first select line, a second select line, several third select lines and several low-level potential ends; the first select line and the second select line are parallel to the substrate; the third select lines and the word lines are arranged in one-to-one correspondence; the selection circuit is connected to the word lines,

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the first select line, the second select line, the several third select lines and the several low-level potential ends; and a plurality of selection circuits are used for determining selected storage array layers on the basis of the level states of the first select lines and the second select lines of corresponding storage array layers, and determining, on the basis of the level states of the third select lines of the selected storage array layers, word lines selected during a read-write operation.

(57) 摘要: 本申请提供了一种存储器及其读写方法、电子设备。该存储器包括位于衬底一侧的三维存储阵列, 三维存储阵列包括若干层存储阵列层, 存储阵列层包括存储单元、垂直于衬底的位线和平行于衬底的字线; 每一层存储阵列层还包括: 选择电路、第一选择线、第二选择线、若干第三选择线和若干低电平电位端; 第一选择线和第二选择线平行于衬底, 第三选择线与字线一一对应设置; 选择电路分别与字线、第一选择线、第二选择线、若干第三选择线和若干低电平电位端连接, 多个选择电路用于基于相应存储阵列层的第一选择线和第二选择线的电平状态, 确定出被选择的存储阵列层, 以及基于被选择的存储阵列层的第三选择线的电平状态, 确定读写操作时被选中的字线。

一种存储器及其读写方法、电子设备

本申请要求于 2023 年 08 月 10 日提交至中国国家知识产权局、申请
5 号为 202311010849.2、发明名称为“一种存储器及其读写方法、电子设备”
的专利申请的优先权。

技术领域

本申请涉及半导体技术领域，具体而言，本申请涉及一种存储器及其
10 读写方法、电子设备。

背景技术

存储器是用于数据存放的主要介质。常见的存储器件多为平面结构的
二维（2D）存储器件，随着各类电子设备对集成度和存储容量等需求的
15 断提高，三维（3D）存储器件应运而生。

三维存储器件可实现数据在三维空间中的存储和传递，能够大幅度提
高存储器件的存储能力，降低存储成本，提高存储器件的集成度和存储密
度，有助于实现存储器件的小型化。

20 发明内容

本申请实施例提供一种存储器及其读写方法、电子设备，提供了一种
读写操作时对水平字线的选择方式。为了实现上述目的，本申请实施例提
供的技术方案如下：

第一方面，本申请实施例提供了一种存储器，包括：
25 衬底；

三维存储阵列，位于所述衬底的一侧，包括若干层沿垂直于所述衬底
方向叠层设置的存储阵列层，所述存储阵列层包括二维阵列排布的存储单
元、若干垂直于所述衬底的位线和若干平行于所述衬底的字线，每一层所

述存储阵列层中，一行所述存储单元连接一条所述字线；

每一层所述存储阵列层还包括：选择电路、第一选择线、第二选择线、若干第三选择线和若干低电平电位端；

所述第一选择线和所述第二选择线平行于所述衬底，所述第三选择线
5 垂直于所述衬底，且所述第三选择线与所述字线一一对应设置；

所述选择电路，分别与若干所述字线、所述第一选择线、所述第二选择线、若干所述第三选择线和若干所述低电平电位端连接；

针对所述三维存储阵列，多个所述选择电路用于基于相应所述存储阵列层的所述第一选择线和所述第二选择线的电平状态，确定出被选择的存储阵列层，以及基于被选择的存储阵列层的所述第三选择线的电平状态，
10 确定读写操作时被选中的字线。

可选地，若干所述低电平电位端为若干垂直于所述衬底的电源线；

每一所述存储阵列层，所述电源线与所述字线一一对应设置；

沿垂直于所述衬底的方向且堆叠设置的多条所述字线共同对应一条
15 所述电源线。

可选地，所有的所述存储阵列层包括的若干所述低电平电位端为导电墙；

沿垂直于所述衬底的方向，所有的所述存储阵列层共用所述导电墙。

可选地，每一层所述存储阵列层中的所述选择电路包括第一子选择电路和第二子选择电路；
20 路和第三子选择电路；

针对每一层所述存储阵列层，所述第一子选择电路，分别与同一层所述存储阵列层的若干所述字线、所述第一选择线和所述第三选择线连接；
针对所述三维存储阵列，每一层所述第一子选择电路用于基于相应所述存储阵列层的所述第一选择线的电平状态，确定出所述字线与所述第三选择线连接的存储阵列层，以及基于字线与所述第三选择线连接的存储阵列层的所述第三选择线的电平状态，确定被选中的所述字线；
25 线连接的存储阵列层，以及基于字线与所述第三选择线连接的存储阵列层的所述第三选择线的电平状态，确定被选中的所述字线；

针对每一层所述存储阵列层，所述第二子选择电路，分别与同一层所述存储阵列层的若干所述字线、所述第二选择线和所述低电平电位端连接；

针对所述三维存储阵列，每一层所述第二子选择电路用于基于相应所述存储阵列层的所述第二选择线的电平状态，确定所述字线与所述低电平电位端连接的存储阵列层；其中：

所述字线与所述第三选择线连接的存储阵列层为被选择的存储阵列层，所述字线与所述低电平电位端连接的存储阵列层为未被选择的存储阵列层。

可选地，所述第一子选择电路位于所述字线的一侧，所述第二子选择电路位于所述字线的相同侧；

或者，所述第一子选择电路位于所述字线的第一侧，所述第二子选择电路位于所述字线的第二侧，所述第一侧和所述第二侧相对设置。

可选地，所述第一子选择电路包括若干第一晶体管，所述第一晶体管与所述字线一一对应设置；

所述第一晶体管的栅极与所述第一选择线连接，所述第一晶体管的第一极与所述字线连接，所述第一晶体管的第二极与所述第三选择线连接。

可选地，所述第二子选择电路包括若干第二晶体管，所述第二晶体管与所述字线一一对应设置；

所述第二晶体管的栅极与所述第二选择线连接，所述第二晶体管的第一极与所述字线连接，所述第二晶体管的第二极与所述低电平电位端连接。

可选地，所述第一晶体管为 N 型晶体管，所述第二晶体管为 N 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相反；

或者，所述第一晶体管为 P 型晶体管，所述第二晶体管为 P 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相反；

或者，所述第一晶体管为 N 型晶体管，所述第二晶体管为 P 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相同；

或者，所述第一晶体管为 P 型晶体管，所述第二晶体管为 N 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相同。

可选地，所述存储单元包括一个晶体管和一个电容；

所述晶体管的栅极与所述字线连接，所述晶体管的第一极与所述位线

连接，所述晶体管的第二极与所述电容的一端连接，所述电容的另一端接地。

可选地，所述存储器包括如下至少一项；

沿所述位线的延伸方向位于同一列的存储单元共用一条所述位线；

5 沿垂直于所述衬底的方向且堆叠设置的多条所述字线共同对应一条所述第三选择线；

针对每一层所述存储阵列层，所述晶体管的第一极与所述位线一一对应连接；或者，沿垂直于所述字线方向上相邻的两个所述晶体管的第一极连接同一条位线。

10 可选地，存储器包括读写电路、若干位线选择单元和若干控制线；

所述位线与所述位线选择单元一一对应连接，所述控制线与所述位线选择单元一一对应连接；

所述位线选择单元用于基于所述控制线的控制选择所述位线，以将选中的所述位线与所述读写电路连接。

15 可选地，存储器包括若干第一连接线和/或若干第二连接线；

每一所述第一选择线通过一条所述第一连接线与外围电路连接，所述第一连接线垂直于所述衬底，且沿垂直于所述衬底方向，多条所述第一连接线呈阶梯排布；

20 每一所述第二选择线通过一条所述第二连接线与外围电路连接，所述第二连接线垂直于所述衬底，且沿垂直于所述衬底方向，多条所述第二连接线呈阶梯排布。

第二方面，本申请实施例提供了一种电子设备，包括如第一方面任一的存储器。

第三方面，本申请实施例提供了一种存储器的读写方法，包括：

25 写入操作阶段：向待要写入数据的存储阵列层对应的第一选择线施加第一电信号，以及向待要写入数据的存储阵列层对应的第二选择线施加第二电信号，使得待要写入数据的存储阵列层的所述字线与所述第三选择线一一对应连接，以选中待要写入数据的存储阵列层；

基于选中的待要写入数据的存储阵列层，向与待要写入数据的存储单元行连接的字线对应的第三选择线施加第三电信号，使得与所述字线连接的存储单元行导通，以选中待要写入数据的存储单元行；

5 基于选中的待要写入数据的存储单元行，将与所述存储单元行中存储单元连接的位线的数据写入所述存储单元。

可选地，所述写入操作阶段还包括：向不需要写入数据的存储阵列层对应的第一选择线施加第二电信号，以及向不需要写入数据的第二选择线施加第一电信号，使得不需要写入数据的存储阵列层的所述字线与所述低电平电位端连接。

10 本申请实施例提供的技术方案，至少具有如下有益效果：

本申请实施例提供的存储器，由于每一存储阵列层均包括选择电路、第一选择线、第二选择线、第三选择线和低电平电位端，选择电路分别与字线、第一选择线、第二选择线、第三选择线和低电平电位端连接，多个选择电路用于基于相应存储阵列层的第一选择线和第二选择线的电平状态，
15 确定出被选择的存储阵列层，以及基于被选择的存储阵列层的第三选择线的电平状态，确定读写操作时被选中的字线；因此，本申请实施例通过设计新的外围电路，能够提供一种在读写操作时选定需要被选择的平行于衬底方向的字线的方式。

20 本申请附加的方面和优点将在下面的描述中部分给出，这些将从下面的描述中变得明显，或通过本申请的实践了解到。

附图说明

本申请上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

25 图1为本申请实施例提供的一种存储器包括的第k层存储阵列层的结构示意图；

图2为本申请实施例提供的一种存储器包括的第k层存储阵列层的具体结构示意图；

图 3 为本申请实施例提供的存储器包括的晶体管的结构示意图；

图 4 为本申请实施例提供的存储器的立体结构示意图；

图 5 为本申请实施例提供的一种存储器的读写方法流程图。

附图标记：

- 5 11-存储阵列层；12-存储单元；13-选择电路；131-第一子选择电路；
132-第二子选择电路；
14-源极；15-漏极；16-半导体层；17-栅极绝缘层；18-栅极。

具体实施方式

10 下面详细描述本申请，本申请实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。此外，如果已知技术的详细描述对于示出的本申请的特征是不必要的，则将其省略。下面通过参考附图描述的实施例是示例性的，仅用于解释本申请，而不能解释为对本申请的限制。

15 本技术领域技术人员可以理解，除非另外定义，这里使用的所有术语（包括技术术语和科学术语），具有与本申请所属领域中的普通技术人员的一般理解相同的意义。还应该理解的是，诸如通用字典中定义的那些术语，应该被理解为具有与现有技术的上下文中的意义一致的意义，并且除非像这里一样被特定定义，否则不会用理想化或过于正式的含义来解释。

20 本技术领域技术人员可以理解，除非特意声明，这里使用的单数形式“一”、“一个”、“所述”和“该”也可包括复数形式。应该进一步理解的是，本申请的说明书中使用的措辞“包括”是指存在所述特征、整数、步骤、操作、元件和/或组件，但是并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。应该理解，当我们称元件
25 被“连接”或“耦接”到另一元件时，它可以直接连接或耦接到其他元件，或者也可以存在中间元件。此外，这里使用的“连接”或“耦接”可以包括无线连接或无线耦接。这里使用的措辞“和/或”包括一个或更多个相关联的列出项的全部或任一单元和全部组合。

随着 DRAM (Dynamic Random Access Memory, 动态随机存取存储器) 技术的发展, 平面的 1T1C (一个晶体管和一个电容) 存储器结构已经趋于极限, 在获取更高电容, 更低漏电, 更高集成度方面, 目前的 2D 存储器件发展受到了限制。

5 对于 DRAM 而言, 通过将存储阵列晶体管布置在 3D 而不是 2D 的情况下, 集成电路 (IC) 中的晶体管可彼此靠近放置, 且可实现多层堆栈, 节省平面内的面积。目前有多种 3D-DRAM 技术, 大部分的 3D 存储器结构都是将 2D 的存储单元水平放置再多层堆叠。

10 目前 3D 存储器结构的字线设计方式中, 部分设计采用垂直字线 (即字线的延伸方向垂直于衬底) 的设计方式, 部分设计采用水平字线 (即字线的延伸方向平行于衬底) 的设计方式, 其中水平字线的设计方式具有低位线寄生电容的优势, 可以提供更经济的设计。

15 本申请实施例中的存储器为包括 1T1C 的 3D 存储器, 该 3D 存储器包括的字线采用水平字线的设计方式, 本申请通过设计新的存储器的外围电路, 能够在读写操作时精确的选定需要被选择的字线, 提升存储器的性能。

下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。下面这几个具体的实施例可以相互结合, 对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图, 对本申请的实施例进行描述。

20 本申请实施例提供了一种存储器, 包括: 衬底和位于衬底一侧的三维存储阵列, 三维存储阵列包括若干层沿垂直于衬底方向叠层设置的存储阵列层, 衬底可以为硅衬底等半导体衬底。

如图 1 所示, 图 1 仅示出了位于衬底一侧的一层存储阵列层 11 (例如第 k 层存储阵列层), 存储阵列层 11 包括若干阵列排布的存储单元 12、若干平行于衬底的字线 (如图 1 中的 WL-k,1、WL-k,2、WL-k,3)、若干垂直于衬底的位线 (如图 1 中的 BL_1,1、BL_1,2、BL_1,M-1、BL_1,M 等)、选择电路 13、第一选择线 WL_layer_k、第二选择线 WL_N_layer_k、若干第三选择线 (如图 1 中的 WL-row1、WL-row2、WL-row3) 和若干低电平

电位端（位置如图 1 中的多个 V_{low} 的位置）。

如图 1 所示，一行存储单元 12 连接一条字线，针对每一层存储阵列层，选择电路 13、第一选择线 WL_{layer_k}、第二选择线 WL_{N_layer_k} 和若干低电平电位端均对应所有的存储单元，第一选择线 WL_{layer_k} 和
5 第二选择线 WL_{N_layer_k} 平行于衬底，第三选择线垂直于衬底，且第三选择线与字线一一对应设置；选择电路 13 分别与若干字线、第一选择线 WL_{layer_k}、第二选择线 WL_{N_layer_k}、若干第三选择线和若干低电平电位端连接；针对三维存储阵列，多个选择电路 13 用于基于相应存储阵列层的第一选择线 WL_{layer_k} 和第二选择线 WL_{N_layer_k} 的电平状态，
10 确定出被选择的存储阵列层，以及基于被选择的存储阵列层的第三选择线的电平状态，确定读写操作时被选中的字线。

需要说明的是，本申请实施例中的衬底沿图 1 中的第一方向和第二方向延伸，多条字线平行于衬底延伸，图 1 中的第三方向指垂直于纸面的方向，即垂直于衬底的方向。

15 需要说明的是，本申请实施例中的选择电路 13 可以位于字线的一侧，也可以位于字线的相对两侧，图 1 中仅示出了选择电路 13 位于字线相对两侧的情况。

具体地，如图 1 所示，多条字线沿第二方向延伸，第一选择线 WL_{layer_k} 和第二选择线 WL_{N_layer_k} 均沿第一方向延伸，第三选择线
20 沿第三方向延伸；每一低电平电位端均可以连接一条信号线，这些信号线可以沿第三方向延伸，每条信号线均连接低电平电位，例如每条信号线均接地，当然，实际设计时，所有的信号线可以先连接到一起，然后再接地连接。本申请实施例中的低电平电位指零电位或者负电位。

本申请实施例提供的存储器，由于每一存储阵列层均包括选择电路、
25 第一选择线、第二选择线、第三选择线和低电平电位端，选择电路分别与字线、第一选择线、第二选择线、第三选择线和低电平电位端连接，多个选择电路用于基于相应存储阵列层的第一选择线和第二选择线的电平状态，确定出被选择的存储阵列层，以及基于被选择的存储阵列层的第三选

择线的电平状态，确定读写操作时被选中的字线；因此，本申请实施例通过设计新的外围电路，能够提供一种在读写操作时选定需要被选择的平行于衬底方向的字线的方式。

在一种具体的实施例中，沿垂直于衬底的方向且堆叠设置的多条字线
5 共同对应一条第三选择线，第三选择线（如图 1 中的 WL-row1、WL-row2、WL-row3）垂直于衬底，针对一条第三选择线（例如 WL-row1），所有的存储阵列层共用该条第三选择线；第三选择线连接外围电路，用于接收外围电路输出的高电平信号或低电平信号，第三选择线的设置方式能够节省成本；当然，实际设计时，也可以是不同层存储阵列层包括的第三选择线
10 不共用，这种设计方式布线较多，不利于器件的集成度。

在一种可选的实施例中，本申请实施例中的若干低电平电位端（如图 1 中的多个 V_low）为若干垂直于衬底的电源线，如图 1 所示，每一存储阵列层，电源线与字线一一对应设置，沿垂直于衬底的方向且堆叠设置的多条字线共同对应一条电源线，该电源线可以接地，也可以接负电位信号
15 端；电源线的设置方式能够节省成本。

在另一种可选的实施例中，本申请实施例中的所有的存储阵列层包括的若干低电平电位端为导电墙，沿垂直于衬底的方向，所有的存储阵列层共用该导电墙，该导电墙可以接地，也可以接负电位信号端；这种实施方式在实际制作时，可以仅制作一导电墙，即可实现所有存储阵列层包括的
20 低电平电位端接地，能够最大程度的降低生产成本。

在一种具体的实施例中，如图 2 所示，本申请实施例中每一层存储阵列层中的选择电路包括第一子选择电路 131 和第二子选择电路 132；针对每一层存储阵列层，第一子选择电路 131，分别与字线（如图 2 中的 WL-k,1、WL-k,2、WL-k,3）、第一选择线 WL_layer_k 和第三选择线（如图 2 中的
25 WL-row1、WL-row2、WL-row3）连接；针对三维存储阵列，每一层第一子选择电路 131 用于基于相应存储阵列层的第一选择线 WL_layer_k 的电平状态，确定出字线与第三选择线连接的存储阵列层，以及基于字线与第三选择线连接的存储阵列层的第三选择线的电平状态，确定被选中的字线；

针对每一层存储阵列层，第二子选择电路 132，分别与字线、第二选择线 WL_N_layer_k 和低电平电位端（如图 2 中的多个 V_low）连接；针对三维存储阵列，每一层第二子选择电路 132 用于基于相应存储阵列层的第二选择线 WL_N_layer_k 的电平状态，确定字线与低电平电位端连接的存储阵列层；其中：字线与第三选择线连接的存储阵列层为被选择的存储阵列层，字线与低电平电位端连接的存储阵列层为未被选择的存储阵列层。

在一种可选的实施例中，第一子选择电路 131 和第一选择线 WL_layer_k 位于字线的一侧，第二子选择电路 132 和第二选择线 WL_N_layer_k 位于字线的相同侧；在另一种可选的实施例中，第一子选择电路 131 和第一选择线 WL_layer_k 位于字线的第一侧，第二子选择电路 132 和第二选择线 WL_N_layer_k 位于字线的第二侧，第一侧和第二侧相对设置，第一子选择电路 131 和第二子选择电路 132 相对设置，第一选择线 WL_layer_k 和第二选择线 WL_N_layer_k 相对设置；由于第一子选择电路 131、第二子选择电路 132、第一选择线 WL_layer_k 和第二选择线 WL_N_layer_k 均位于存储阵列层的边缘，因此第一子选择电路 131、第二子选择电路 132、第一选择线 WL_layer_k 和第二选择线 WL_N_layer_k 的设计不会影响存储器的整体设计，且由于第一子选择电路 131 和第二子选择电路 132 相对设置，第一选择线 WL_layer_k 和第二选择线 WL_N_layer_k 相对设置，能够使得存储器的外围电路的布线更均匀。

在一种具体的实施例中，如图 2 所示，第一子选择电路 131 包括若干第一晶体管 T1，第一晶体管 T1 与字线一一对应设置；第一晶体管 T1 的栅极与第一选择线 WL_layer_k 连接，第一晶体管 T1 的第一极与字线连接（如第一个第一晶体管 T1 的第一极与字线 WL-k,1 的一端连接，第二个第一晶体管 T1 的第一极与字线 WL-k,2 的一端连接，第三个第一晶体管 T1 的第一极与字线 WL-k,3 的一端连接），第一晶体管的第二极与第三选择线连接（如第一个第一晶体管 T1 的第二极与第三选择线 WL-row1 连接，第二个第一晶体管 T1 的第二极与第三选择线 WL-row2 连接，第三个第一晶体管 T1 的第二极与第三选择线 WL-row3 连接）。

在一种具体的实施例中，如图 2 所示，第二子选择电路 132 包括若干第二晶体管 T2，第二晶体管 T2 与字线一一对应设置；第二晶体管 T2 的栅极与第二选择线 WL_N_layer_k 连接，第二晶体管 T2 的第一极与字线连接（如第一个第二晶体管 T2 的第一极与字线 WL-k,1 的另一端连接，第二个第二晶体管 T2 的第一极与字线 WL-k,2 的另一端连接，第三个第二晶体管 T2 的第一极与字线 WL-k,3 的另一端连接），第二晶体管 T2 的第二极与低电平电位端（如图 2 中的 V_low）连接。

在一种可选的实施例中，第一晶体管 T1 和第二晶体管 T2 的类型相同，在另一种可选的实施例中，第一晶体管 T1 和第二晶体管 T2 的类型不同，由于第一晶体管 T1 和第二晶体管 T2 的类型不同时，制作成本较高，且容易导致良率下降，因此实际设计时不作为优选的设计方式，仅作为一种可以实施的设计方式。

在一种具体实施例中，第一晶体管 T1 为 N 型晶体管，第二晶体管 T2 为 N 型晶体管；或者，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 P 型晶体管；第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态相反；即本申请实施例中，若第一晶体管 T1 和第二晶体管 T2 的类型相同，则第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态相反。

具体地，本申请实施例中，针对同一层的存储阵列层，在任何时刻第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态均相反，例如：第一选择线 WL_layer_k 的电平状态为高电平（即逻辑电平为 1），则第二选择线 WL_N_layer_k 的电平状态为低电平（即逻辑电平为 0）；本申请实施例中的第三选择线的电平状态可以为高电平，也可以为低电平，低电平电位端的电平状态始终为低电平。

在另一种具体实施例中，第一晶体管 T1 为 N 型晶体管，第二晶体管 T2 为 P 型晶体管；或者，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管；第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态相同；即本申请实施例中，若第一晶体管 T1

和第二晶体管 T2 的类型不同,则第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态相同。

具体地,本申请实施例中,针对同一层的存储阵列层,在任何时刻第一选择线 WL_layer_k 的电平状态与第二选择线 WL_N_layer_k 的电平状态均相同,例如:第一选择线 WL_layer_k 的电平状态为高电平(即逻辑电平为 1),则第二选择线 WL_N_layer_k 的电平状态也为高电平;第一选择线 WL_layer_k 的电平状态为低电平(即逻辑电平为 0),则第二选择线 WL_N_layer_k 的电平状态也为低电平。

如图 2 所示,本申请实施例以第一晶体管 T1 和第二晶体管 T2 的类型相同,且第一晶体管 T1 为 N 型晶体管,第二晶体管 T2 为 N 型晶体管为例进行说明。

本申请实施例中的第一选择线 WL_layer_k 和第二选择线 WL_N_layer_k 作为存储阵列层选择线,即通过第一选择线 WL_layer_k 的电平状态和第二选择线 WL_N_layer_k 的电平状态,确定哪一层存储阵列层被选择;具体地,若需要选择第 k 层存储阵列层,则第 k 层存储阵列层包括的第一选择线 WL_layer_k 的电平状态为高电平(即外围电路为第一选择线 WL_layer_k 输出高电平信号),第 k 层存储阵列层包括的第二选择线 WL_N_layer_k 的电平状态为低电平(即外围电路为第二选择线 WL_N_layer_k 输出低电平信号);针对不需要被选择的所有存储阵列层,每一层存储阵列层包括的第一选择线 WL_layer_k 的电平状态为低电平,每一层存储阵列层包括的第二选择线 WL_N_layer_k 的电平状态为高电平。

如图 2 所示,本申请实施例中的存储单元包括一个晶体管 T 和一个电容 C,其中晶体管 T 和电容 C 可以按照水平二维布置的方式设计;晶体管 T 的栅极与字线连接,晶体管 T 的第一极与位线连接,晶体管 T 的第二极与电容 C 的一端连接,电容 C 的另一端接地。本申请实施例中的晶体管 T 为 N 型晶体管,当然,实际设计时,晶体管 T 也可以为 P 型晶体管。

需要说明的是,本申请实施例中的晶体管(晶体管 T、第一晶体管 T1 和第二晶体管 T2)的第一极指晶体管的源极,晶体管的第二极指晶体

管的漏极，或者，晶体管的第一极指晶体管的漏极，晶体管的第二极指晶体管的源极，晶体管的第一极和第二极可以互换，在此不做限定。

在一种具体实施例中，本申请实施例中的晶体管 T、第一晶体管 T1 和第二晶体管 T2 的沟道均采用水平沟道，如图 3 所示，晶体管 T 包括源极 14、漏极 15、半导体层 16、栅极绝缘层 17 和栅极 18，其中，半导体层 16 环绕栅极 18 设置，第一晶体管 T1 和第二晶体管 T2 也可以采用图 3 所示的设置方式。具体地，半导体层优选金属氧化物半导体，如 IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物)，当金属氧化物材料为 IGZO 时，晶体管的漏电流较小（漏电流小于或者等于 10^{-15} A），由此保证了动态存储器的低刷新率。

需要说明的是，金属氧化物的材料也可以是 ITO、IWO、ZnOx、InOx、In₂O₃、InWO、SnO₂、TiOx、InSnOx、ZnxOyNz、MgxZnyOz、InxZnyOz、InxGayZnzOa、ZrxInyZnzOa、HfxInyZnzOa、SnxInyZnzOa、AlxSnyInzZnaOd、SixInyZnzOa、ZnxSnyOz、AlxZnySnzOa、GaxZnySnzOa、ZrxZnySnzOa、InGaSiO、IAZO 等材料，只要保证晶体管的漏电流能满足要求即可，具体可根据实际情况进行调整。

如图 2 所示，本申请实施例中沿垂直于衬底的方向且堆叠设置的多条字线共同对应一条第三选择线，第三选择线作为字线选择线，即通过第三选择线的电平状态，确定被选择的存储阵列层中哪一条字线被选中；具体地，若第 k 层存储阵列层被选择，则第 k 层存储阵列层的多条第三选择线与多条字线一一对应连接，第三选择线的电平状态为高电平时，与高电平的第三选择线连接的字线被选中，第三选择线的电平状态为低电平时，与低电平的第三选择线连接的字线未被选中，例如：若需要选中字线 WL-k,1，则与字线 WL-k,1 连接的第三选择线 WL-row1 的电平状态为高电平（即外围电路为第三选择线 WL-row1 输出高电平信号），与其它字线连接的第三选择线的电平状态为低电平（即外围电路为与其它字线连接的第三选择线输出低电平信号），与字线 WL-k,1 连接的晶体管 T 导通，可以将位线 BL_{1,1}、BL_{1,2}、BL_{1,M-1}、BL_{1,M} 的数据写入电容 C，或者通过位线

BL_1,1、BL_1,2、BL_1,M-1、BL_1,M 读取电容 C 存储的数据，同样地，当其它字线被选中时，可实现对应行的存储单元的数据写入和数据读取。

具体地，如图 2 所示，沿位线的延伸方向位于同一列的存储单元共用一条位线，即针对一条位线（例如位线 BL_1,1），沿该位线延伸方向堆叠的所有的存储阵列层共用该条位线；针对每一层存储阵列层，存储单元包括的晶体管 T 的第一极与位线一一对应连接，这种设计方式简单易于制作。

在一种可选的实施例中，针对每一层存储阵列层，沿垂直于字线方向上相邻的两个晶体管 T（例如图 2 中位于第一列的相邻的两个晶体管）的第一极连接同一条位线，这种设计方式能够节省位线的数量，减小存储器的尺寸，进而可以提升器件的集成度。

如图 2 所示，本申请实施例中的存储器包括读写电路、若干位线选择单元和若干控制线，位线与位线选择单元一一对应连接，控制线与位线选择单元一一对应连接；位线选择单元用于基于控制线的控制选择位线，以将选中的位线与读写电路连接；具体地，位线选择单元位于三维存储阵列的底部或顶部，位线选择单元组成一个阵列，通过控制线的控制打开和字线对应的一行位线选择单元，把这一行存储单元连接到一行读写电路，具体地，当写入数据时，读写电路将数据通过位线传输到该行存储单元，当读取数据时，读写电路可以接收该行存储单元通过位线传输的数据，以完成对该行存储单元的读取。

在一种具体的实施例中，存储器还包括若干第一连接线和/或若干第二连接线；每一第一选择线通过一条第一连接线与外围电路连接，第一连接线垂直于衬底，且沿垂直于衬底方向，多条第一连接线呈阶梯排布；每一第二选择线通过一条第二连接线与外围电路连接，第二连接线垂直于衬底，且沿垂直于衬底方向，多条第二连接线呈阶梯排布；通过这种设置方式，能够在最小的布线空间内，使得不同层的存储阵列层包括的第一选择线均与外围电路连接，以接收外围电路输出的电信号；以及能够使得不同层的存储阵列层包括的第二选择线均与外围电路连接，以接收外围电路输

出的电信号，以完成对选择电路的控制。

具体地，如图 4 所示，图中仅示出了第一选择线和第一连接线的设置方式，第二选择线和第二连接线的设置方式类似，这里不再赘述；图 4 中示出了位于相邻三层存储阵列层包括的三条第一选择线，每一条第一选择线均通过对应连接的第一连接线与外围电路连接，多条第一连接线的顶端平齐，底端分别位于不同的存储阵列层，由于不同的存储阵列层叠层设置，因此第一连接线的底端位于不同的平面，进而使得第一连接线呈阶梯排布，具体制作时，可以通过阶梯通孔的设置方式实现。

基于同一发明构思，本申请实施例提供了一种电子设备，包括如上述任一实施例提供的存储器。

该电子设备包括上述的存储器，因此该电子设备具有与上述存储器相同的有益效果，这里不再赘述。

具体地，电子设备包括存储装置、智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源。

基于同一发明构思，本申请实施例提供了一种上述存储器的读写方法，如图 5 所示，该存储器的写入操作阶段包括：

S101、向待要写入数据的存储阵列层对应的第一选择线施加第一电信号，以及向待要写入数据的存储阵列层对应的第二选择线施加第二电信号，使得待要写入数据的存储阵列层的字线与第三选择线一一对应连接，以选中待要写入数据的存储阵列层；

S102、基于选中的待要写入数据的存储阵列层，向与待要写入数据的存储单元行连接的字线对应的第三选择线施加第三电信号，使得与字线连接的存储单元行包括的晶体管导通，以选中待要写入数据的存储单元行；

S103、基于选中的待要写入数据的存储单元行，将与存储单元行中存储单元连接的位线的数据写入存储单元。

具体地，存储器包括的存储阵列层的设置方式以图 2 为例进行说明，

在写入操作阶段，向待要写入数据的存储阵列层对应的第一选择线 WL_layer_k 施加高电平信号，以及向第二选择线 WL_N_layer_k 施加低电平信号，第一晶体管 T1 导通，第二晶体管 T2 关断，每一条字线均与一条第三选择线一一对应连接；之后，向与待要写入数据的字线连接的第三选择线施加高电平信号，例如待要写入的字线为 WL-K,1，则字线 WL-K,1 接收到高电平信号后，控制第一行的晶体管 T 导通，进而能够将与第一行晶体管 T 连接的位线的数据写入；另外，向其它的第三选择线（即与不需要写入的字线连接的第三选择线）施加低电平信号，使得存储单元包括的其它晶体管均处于关断状态，此时位线上即便有数据也无法写入存储单元。

在一种可选的实施例中，若本申请实施例中的存储单元包括一个晶体管和一个电容，该存储器在读取操作阶段，向待要读取数据的存储阵列层对应的第一选择线 WL_layer_k 施加高电平信号，以及向第二选择线 WL_N_layer_k 施加低电平信号，第一晶体管 T1 导通，第二晶体管 T2 关断，每一条字线均与一条第三选择线一一对应连接；之后，向与待要读取数据的字线连接的第三选择线施加高电平信号，例如待要读取数据的字线为 WL-K,1，则字线 WL-K,1 接收到高电平信号后，控制第一行的晶体管 T 导通，进而能够将第一行存储单元存储的数据传输到对应的位线，通过位线连接的读写电路实现对存储数据的读取；另外，向其它的第三选择线（即与不需要读取的字线连接的第三选择线）施加低电平信号，使得存储单元包括的其它晶体管均处于关断状态。另外，在该读取操作阶段，还包括：向不需要读取数据的存储阵列层对应的第一选择线 WL_layer_k 施加低电平信号，以及向不需要读取数据的第二选择线 WL_N_layer_k 施加高电平信号。

在一种具体的实施例中，写入操作阶段还包括：向不需要写入数据的存储阵列层对应的第一选择线施加第二电信号，以及向不需要写入数据的第二选择线施加第一电信号，使得不需要写入数据的存储阵列层的字线与低电平电位端连接。

具体地，存储器包括的存储阵列层的设置方式以图 2 为例进行说明，

在写入操作阶段，向不需要写入数据的存储阵列层对应的第一选择线WL_layer_k 施加低电平信号，以及向不需要写入数据的第二选择线WL_N_layer_k 施加高电平信号。

5 综上所述，应用本申请实施例，至少能够实现如下有益效果：

本申请实施例提供的存储器，由于每一存储阵列层均包括选择电路、第一选择线、第二选择线、第三选择线 and 低电平电位端，选择电路分别与字线、第一选择线、第二选择线、第三选择线 and 低电平电位端连接，多个选择电路用于基于相应存储阵列层的第一选择线 and 第二选择线的电平状态，
10 确定出被选择的存储阵列层，以及基于被选择的存储阵列层的第三选择线的电平状态，确定读写操作时被选中的字线；因此，本申请实施例通过设计新的外围电路，能够提供一种在读写操作时选定需要被选择的平行于衬底方向的字线的方式。

本技术领域技术人员可以理解，本申请中已经讨论过的各种操作、方法、
15 流程中的步骤、措施、方案可以被交替、更改、组合或删除。进一步地，具有本申请中已经讨论过的各种操作、方法、流程中的其他步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。进一步地，现有技术中的具有与本申请中公开的各种操作、方法、流程中的步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。

20 在本申请的描述中，词语“中心”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方向或位置关系，为基于附图所示的示例性的方向或位置关系，是为了便于描述或简化描述本申请的实施例，而不是指示或暗示所指的装置或部件必须具有特定的方位、以特定的方位构造和操作，因此不能理解
25 为对本申请的限制。

术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发

明的描述中，除非另有说明，“多个”的含义是两个或两个以上。

以上所述仅是本申请的部分实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权 利 要 求 书

1.一种存储器，包括：

衬底；

5 三维存储阵列，位于所述衬底的一侧，包括若干层沿垂直于所述衬底方向叠层设置的存储阵列层，所述存储阵列层包括二维阵列排布的存储单元、若干垂直于所述衬底的位线和若干平行于所述衬底的字线，每一层所述存储阵列层中，一行所述存储单元连接一条所述字线；

 其特征在于，每一层所述存储阵列层还包括：选择电路、第一选择线、
10 第二选择线、若干第三选择线和若干低电平电位端；

 所述第一选择线和所述第二选择线平行于所述衬底，所述第三选择线垂直于所述衬底，且所述第三选择线与所述字线一一对应设置；

 所述选择电路，分别与若干所述字线、所述第一选择线、所述第二选择线、若干所述第三选择线和若干所述低电平电位端连接；

15 针对所述三维存储阵列，多个所述选择电路用于基于相应所述存储阵列层的所述第一选择线和所述第二选择线的电平状态，确定出被选择的存储阵列层，以及基于被选择的存储阵列层的所述第三选择线的电平状态，确定读写操作时被选中的字线。

 2.根据权利要求1所述的存储器，其特征在于，若干所述低电平电位
20 端为若干垂直于所述衬底的电源线；

 每一所述存储阵列层，所述电源线与所述字线一一对应设置；

 沿垂直于所述衬底的方向且堆叠设置的多条所述字线共同对应一条所述电源线。

 3.根据权利要求1所述的存储器，其特征在于，所有的所述存储阵列
25 层包括的若干所述低电平电位端为导电墙；

 沿垂直于所述衬底的方向，所有的所述存储阵列层共用所述导电墙。

 4.根据权利要求1-3任一项所述的存储器，其特征在于，每一层所述存储阵列层中的所述选择电路包括第一子选择电路和第二子选择电路；

针对每一层所述存储阵列层，所述第一子选择电路，分别与同一层所述存储阵列层的若干所述字线、所述第一选择线和所述第三选择线连接；针对所述三维存储阵列，每一层所述第一子选择电路用于基于相应所述存储阵列层的所述第一选择线的电平状态，确定出所述字线与所述第三选择线连接的存储阵列层，以及基于字线与所述第三选择线连接的存储阵列层的所述第三选择线的电平状态，确定被选中的所述字线；

针对每一层所述存储阵列层，所述第二子选择电路，分别与同一层所述存储阵列层的若干所述字线、所述第二选择线和所述低电平电位端连接；针对所述三维存储阵列，每一层所述第二子选择电路用于基于相应所述存储阵列层的所述第二选择线的电平状态，确定所述字线与所述低电平电位端连接的存储阵列层；其中：

所述字线与所述第三选择线连接的存储阵列层为被选择的存储阵列层，所述字线与所述低电平电位端连接的存储阵列层为未被选择的存储阵列层。

5.根据权利要求4所述的存储器，其特征在于，所述第一子选择电路位于所述字线的一侧，所述第二子选择电路位于所述字线的相同侧；

或者，所述第一子选择电路位于所述字线的第一侧，所述第二子选择电路位于所述字线的第二侧，所述第一侧和所述第二侧相对设置。

6.根据权利要求4所述的存储器，其特征在于，所述第一子选择电路包括若干第一晶体管，所述第一晶体管与所述字线一一对应设置；

所述第一晶体管的栅极与所述第一选择线连接，所述第一晶体管的第一极与所述字线连接，所述第一晶体管的第二极与所述第三选择线连接。

7.根据权利要求6所述的存储器，其特征在于，所述第二子选择电路包括若干第二晶体管，所述第二晶体管与所述字线一一对应设置；

所述第二晶体管的栅极与所述第二选择线连接，所述第二晶体管的第一极与所述字线连接，所述第二晶体管的第二极与所述低电平电位端连接。

8.根据权利要求7所述的存储器，其特征在于，所述第一晶体管为N型晶体管，所述第二晶体管为N型晶体管，所述第一选择线的电平状态与

所述第二选择线的电平状态相反；

或者，所述第一晶体管为 P 型晶体管，所述第二晶体管为 P 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相反；

或者，所述第一晶体管为 N 型晶体管，所述第二晶体管为 P 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相同；

或者，所述第一晶体管为 P 型晶体管，所述第二晶体管为 N 型晶体管，所述第一选择线的电平状态与所述第二选择线的电平状态相同。

9.根据权利要求 1 所述的存储器，其特征在于，所述存储单元包括一个晶体管和一个电容；

所述晶体管的栅极与所述字线连接，所述晶体管的第一极与所述位线连接，所述晶体管的第二极与所述电容的一端连接，所述电容的另一端接地。

10.根据权利要求 9 所述的存储器，其特征在于，所述存储器包括如下至少一项；

沿所述位线的延伸方向位于同一列的存储单元共用一条所述位线；

沿垂直于所述衬底的方向且堆叠设置的多条所述字线共同对应一条所述第三选择线；

针对每一层所述存储阵列层，所述晶体管的第一极与所述位线一一对应连接；或者，沿垂直于所述字线方向上相邻的两个所述晶体管的第一极连接同一条位线。

11.根据权利要求 9 所述的存储器，其特征在于，包括读写电路、若干位线选择单元和若干控制线；

所述位线与所述位线选择单元一一对应连接，所述控制线与所述位线选择单元一一对应连接；

所述位线选择单元用于基于所述控制线的控制选择所述位线，以将选中的所述位线与所述读写电路连接。

12.根据权利要求 1-11 任一项所述的存储器，其特征在于，包括若干第一连接线和/或若干第二连接线；

每一所述第一选择线通过一条所述第一连接线与外围电路连接，所述第一连接线垂直于所述衬底，且沿垂直于所述衬底方向，多条所述第一连接线呈阶梯排布；

5 每一所述第二选择线通过一条所述第二连接线与外围电路连接，所述第二连接线垂直于所述衬底，且沿垂直于所述衬底方向，多条所述第二连接线呈阶梯排布。

13.一种电子设备，其特征在于，包括如权利要求 1 至 12 任一所述的存储器。

10 14.一种如权利要求 1 至 12 任一所述的存储器的读写方法，其特征在于，包括：

写入操作阶段：向待要写入数据的存储阵列层对应的第一选择线施加第一电信号，以及向待要写入数据的存储阵列层对应的第二选择线施加第二电信号，使得待要写入数据的存储阵列层的所述字线与所述第三选择线一一对应连接，以选中待要写入数据的存储阵列层；

15 基于选中的待要写入数据的存储阵列层，向与待要写入数据的存储单元行连接的字线对应的第三选择线施加第三电信号，使得与所述字线连接的存储单元行导通，以选中待要写入数据的存储单元行；

基于选中的待要写入数据的存储单元行，将与所述存储单元行中存储单元连接的位线的数据写入所述存储单元。

20 15.根据权利要求 14 所述的读写方法，其特征在于，所述写入操作阶段还包括：向不需要写入数据的存储阵列层对应的第一选择线施加第二电信号，以及向不需要写入数据的第二选择线施加第一电信号，使得不需要写入数据的存储阵列层的所述字线与所述低电平电位端连接。

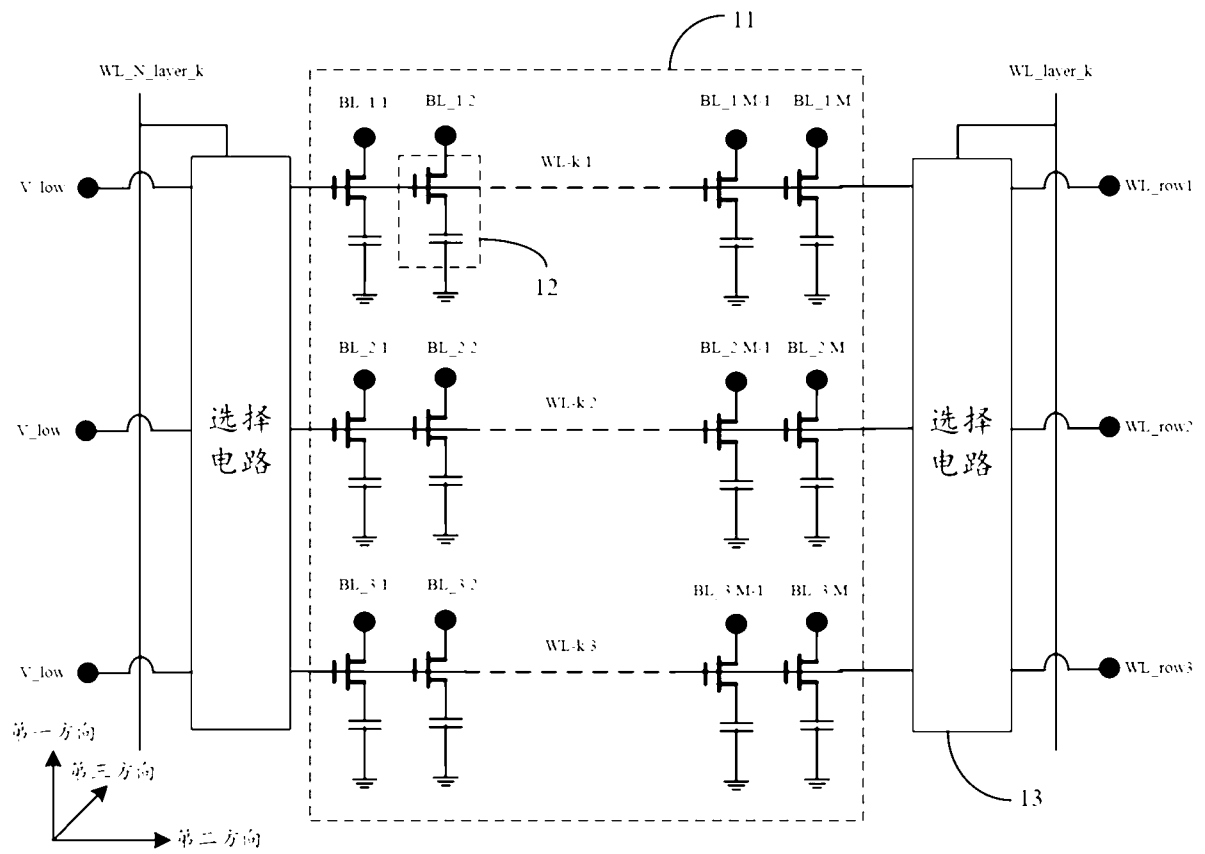


图 1

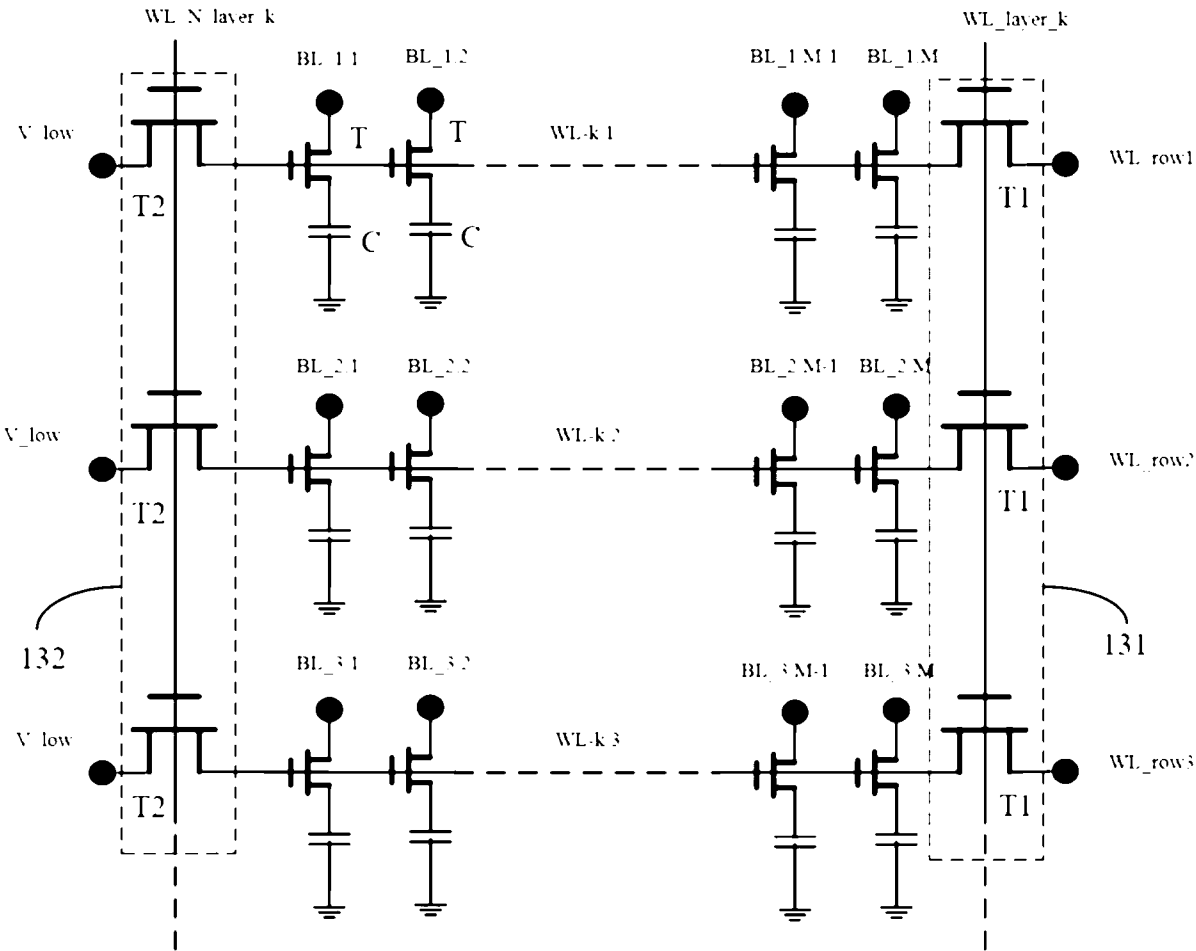


图 2

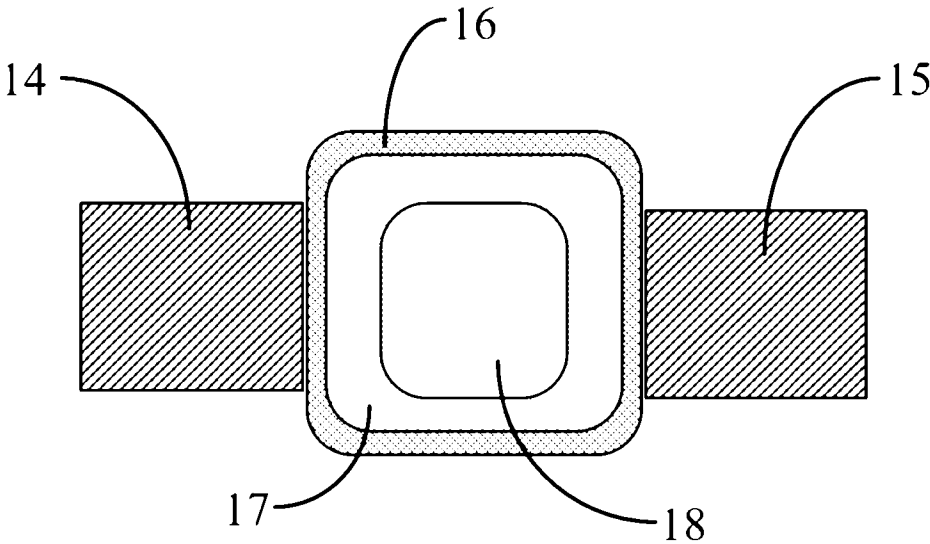


图 3

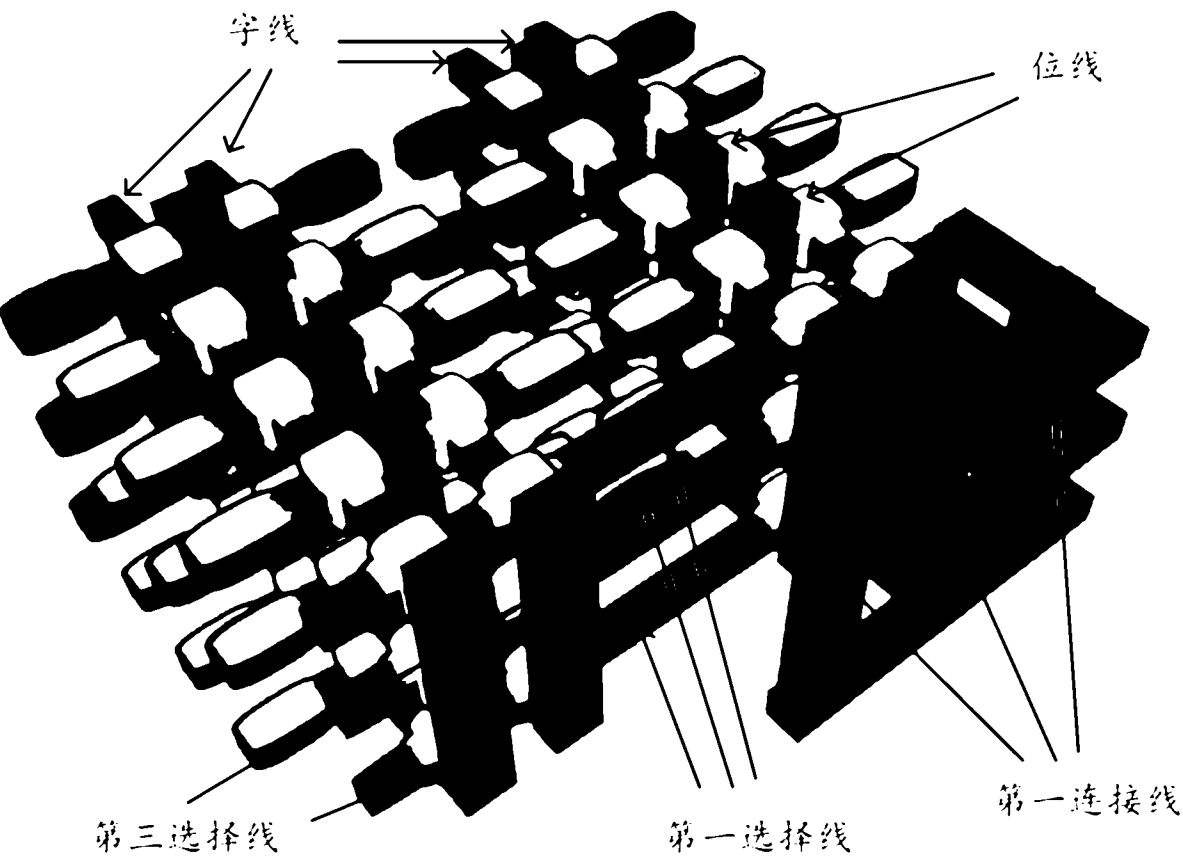


图 4

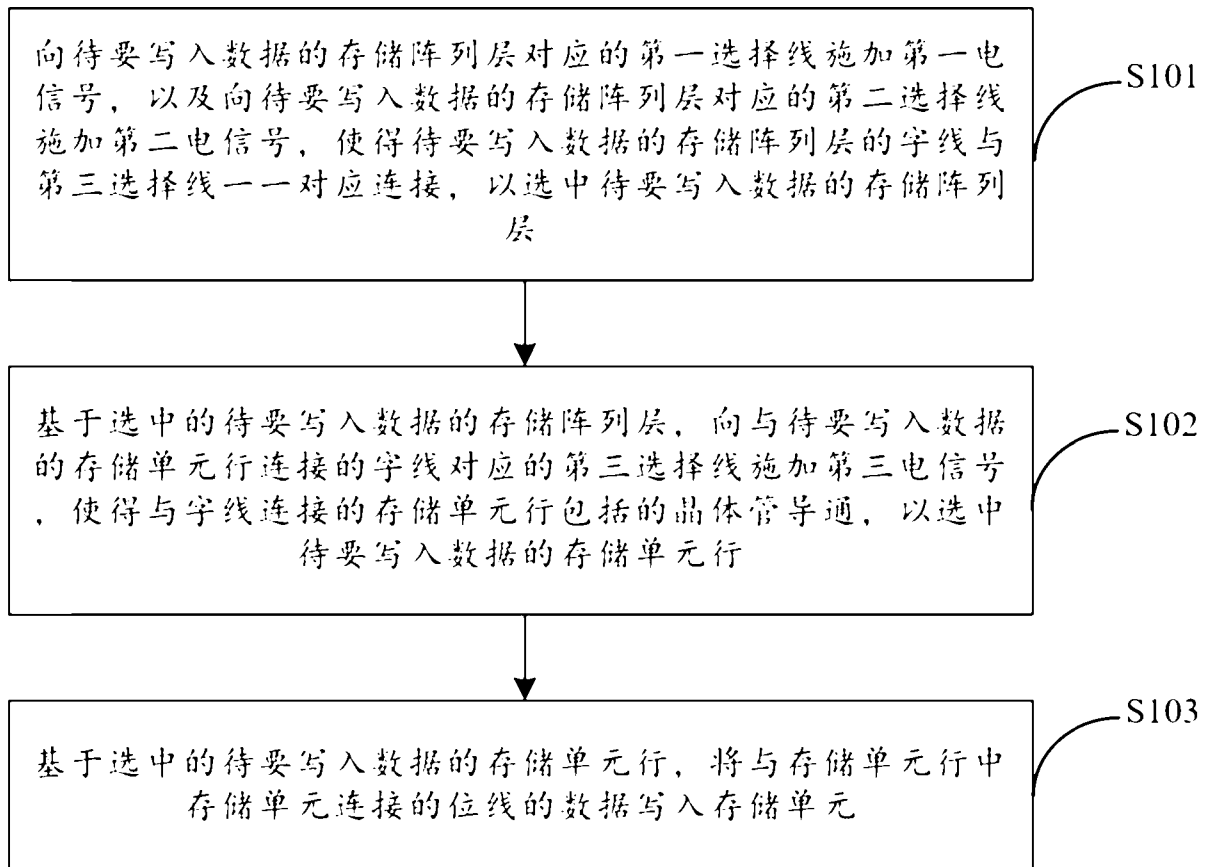


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/073718

A. CLASSIFICATION OF SUBJECT MATTER G11C 11/40(2006.01)i; H01L 27/10(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G11C; H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE, VEN: 存储器, 衬底, 三维, 立体, 阵列, 层, 叠层, 垂直, 水平, 平行, 位线, 字线, 存储单元, 选择电路, 选择线, 低电平, 电位, 对应, 选中, 堆叠, 晶体管, 外围电路, 电信号, memory, substrate, three, dimensional, 3D, array, layer, stack, vertical, horizontal, parallel, bit, line, word, cell, select, circuit, line, low, correspondence, transistor, peripheral, electrical signal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1774807 A (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 17 May 2006 (2006-05-17) description, page 3, line 12 to page 18, line 6, and figures 1-28	1-15
A	CN 104241521 A (PEKING UNIVERSITY) 24 December 2014 (2014-12-24) entire document	1-15
A	KR 20220170450 A (UNIVERSITY OF SEOUL INDUSTRY COOPERATION FOUNDATION) 30 December 2022 (2022-12-30) entire document	1-15
A	CN 116209254 A (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) 02 June 2023 (2023-06-02) entire document	1-15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 10 April 2024		Date of mailing of the international search report 15 April 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/073718

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	张佶 等 (ZHANG, Ji et al.). "一种NAND型三维多层1TXR阻变存储器设计 (NAND Type 3D Multi-Layer RRAM Using Stackable 1TXR Memory Cell)" 半导体技术 (<i>Semiconductor Technology</i>), Vol. 35, No. 9, 03 September 2010 (2010-09-03), pages 909-912	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/073718

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1774807	A	17 May 2006	JP	2006514781	A	11 May 2006
				JP	4376191	B2	02 December 2009
				EP	1609186	A1	28 December 2005
				EP	1609186	B1	08 September 2010
				WO	2004100267	A1	18 November 2004
				AU	2003221799	A1	26 November 2004
				DE	60334153	D1	21 October 2010
				KR	20060002905	A	09 January 2006
				KR	101018598	B1	04 March 2011
CN	104241521	A	24 December 2014	None			
KR	20220170450	A	30 December 2022	KR	102632211	B1	31 January 2024
CN	116209254	A	02 June 2023	None			

A. 主题的分类

G11C 11/40(2006.01)i; H01L 27/10(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G11C; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE, VEN: 存储器, 衬底, 三维, 立体, 阵列, 层, 叠层, 垂直, 水平, 平行, 位线, 字线, 存储单元, 选择电路, 选择线, 低电平, 电位, 对应, 选中, 堆叠, 晶体管, 外围电路, 电信号, memory, substrate, three, dimensional, 3D, array, layer, stack, vertical, horizontal, parallel, bit, line, word, cell, select, circuit, line, low, correspondence, transistor, peripheral, electrical signal

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1774807 A (惠普开发有限公司) 2006年5月17日 (2006 - 05 - 17) 说明书第3页第12行至第18页第6行, 附图1-28	1-15
A	CN 104241521 A (北京大学) 2014年12月24日 (2014 - 12 - 24) 全文	1-15
A	KR 20220170450 A (UNIV. SEOUL IND. COOP. FOUND) 2022年12月30日 (2022 - 12 - 30) 全文	1-15
A	CN 116209254 A (北京超弦存储器研究院) 2023年6月2日 (2023 - 06 - 02) 全文	1-15
A	张信 等. "一种NAND型三维多层1T1R阻变存储器设计" 半导体技术, 第35卷, 第9期, 2010年9月3日 (2010 - 09 - 03), 第909-912页	1-15

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

2024年4月10日

国际检索报告邮寄日期

2024年4月15日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐淑娴

电话号码 (+86) 010-53961535

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/073718

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1774807	A	2006年5月17日	JP	2006514781	A	2006年5月11日
				JP	4376191	B2	2009年12月2日
				EP	1609186	A1	2005年12月28日
				EP	1609186	B1	2010年9月8日
				WO	2004100267	A1	2004年11月18日
				AU	2003221799	A1	2004年11月26日
				DE	60334153	D1	2010年10月21日
				KR	20060002905	A	2006年1月9日
				KR	101018598	B1	2011年3月4日
CN	104241521	A	2014年12月24日	无			
KR	20220170450	A	2022年12月30日	KR	102632211	B1	2024年1月31日
CN	116209254	A	2023年6月2日	无			