СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1453400 A1

(51) 4 G 06 F 7/50

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

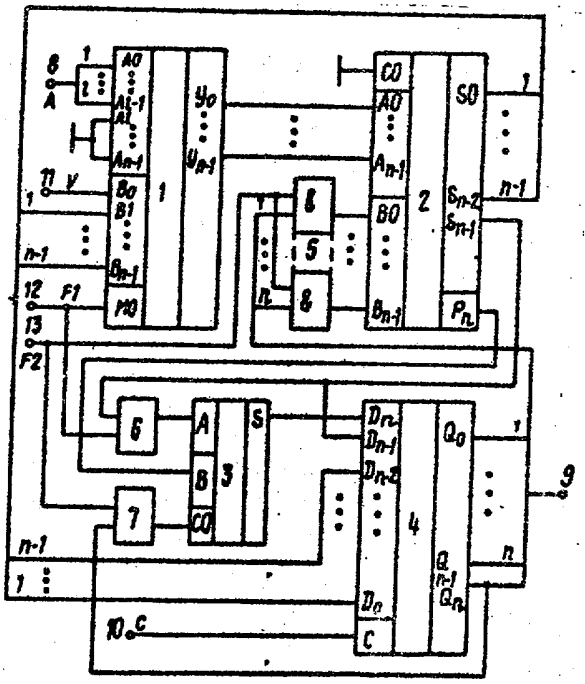
ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

(21) 4176741/24-24
(22) 05.01.87
(46) 23.01.89. Бюл. № 3
(72) С.В.Галкин и В.М.Матвеев
(53) 681.325.5 (088.8)
(56) Авторское свидетельство СССР № 1215109, кл. G 06 F 7/50, 1984.

Применение интегральных микросхем в электронной вычислительной технике: Справочник/Под ред. Б.Н.Файзулаева, Б.В.Тарабрина. М.: Радио и связь, 1986, с.114, рис.5.59.

(54) НАКАПЛИВАЮЩИЙ СУММАТОР

(57) Изобретение относится к автоматике и вычислительной технике. Цель изобретения состоит в расширении функциональных возможностей путем формирования инверсного и дополнительного кодов суммы, а также нулевого или единичного кодов на выходе устройства. Накапливающий сумматор содержит коммутатор 1, сумматор 2, дополнительный сумматор 3, регистр 4, группу элементов И 5, первый 6 и второй 7 элементы И, вход 8 операндов сумматоров, выход 9, тактирующий вход 10, вход 11 установки, первый 12 и второй 13 входы управления. 1 ил., 1 табл.



(19) SU (11) 1453400 A1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах обработки цифровых сигналов.

Цель изобретения - расширение функциональных возможностей путем формирования инверсного и дополнительного кодов суммы и единичного и нулевого кодов.

На чертеже приведена функциональная схема накапливающего сумматора.

Накапливающий сумматор содержит коммутатор 1, сумматор 2, дополнительный сумматор 3, регистр 4, группу элементов И 5, первый 6 и второй 7 элементы И, вход 8 операндов сумматора, выход 9 результата, тактовый вход 10, вход 11 установки, первый 12 и второй 13 входы управления сумматора.

Накапливающий сумматор работает следующим образом.

Режимы работы накапливающего сумматора представлены в таблице.

Режим	Управление			Состояние выхода
	F_1	F_2	V	
1	0	0	*	B = a;
2	0	1	*	B = $\sum$a;
3	1	1	0	$\overline{B}$ + 1
4	1	1	1	$\overline{B}$
5	1	0	0	0
6	1	0	1	1

Примечание: B - информация на выходе устройства; a_i - i-е входное слово; $\overline{B}$ - инверсия B, ($\overline{B}$+1 - дополнительный код B); * - произвольное состояние.

Если на входах 12 и 13 управления присутствует сигнал логического нуля, то накапливающий сумматор работает в режиме передачи информации, поступающей на вход 8 и на выход 9 без изменения (режим 1). В этом случае коммутатор 1 сигналом логического нуля, присутствующим на его входе управления, переключается в режим передачи информации по первому каналу с входа 8 на первую группу входов сумматора 2. 2. Эта информация суммируется с нулевым кодом, поступающим на вторую группу входов сумматора 2 с выходом группы элементов И 5, на вторые входы которого подан сигнал логического нуля нуля с входа 13, и без изменения поступает на информационные входы регистра 4, кроме старшего разряда. На старший информационный разряд регистра 4 поступает сигнал логического нуля с выхода дополнительного сумматора 3, на все входы которого поданы сигналы логического нуля, так как нулевой сигнал присутствует на выходе переноса сумматора 2, а первый 6 и второй 7 элементы И заблокированы нулевыми сигналами с входов 12 и 13 управления. Таким образом, при поступлении на тактовый вход регистра 4 синхросигнала с входа 10 входная информация переписывается на выход 9 устройства без изменений. В этом режиме сигнал на входе 11 установки может находиться в произвольном состоянии.

Для переключения устройства в режим накопления (режим 2) необходимо подать на вход 12 управления сигнал логического нуля, а на вход 13 управления - сигнал логической единицы. Состояние сигнала на входе 11 установки - произвольное. В этом режиме коммутатор 1 работает по первому каналу, а группа элементов И 5 разблокируется сигналом логической единицы, поступающим на его вторые входы с входа 13 управления, и пропускает на вторую группу входов сумматора 2 число, записанное в регистре 4, кроме старшего разряда. Сумматор 2 производит сложение П-разрядных операндов и передает результат на информационные входы регистра 4. Старший, (П+1)-й, разряд суммы вычисляется путем сложения в дополнительном сумматоре 3 сигнала с выхода переноса сумматора 2 и старшего разряда числа, записанного в регистре 4 и поступающего через открытый сигналом логической единицы второй элемент И 7 на вход переноса дополнительного сумматора 3. При поступ-

лении синхросигнала на тактовый вход регистра 4 в него переписывается сумма операнда, хранящегося в регистре 4, и операнда, поступающего на вход 8. После этого на вход 8 поступает очередное информационное слово и дальнейшая работа накапливающего сумматора происходит аналогично.

Для вычисления дополнительного кода числа, хранящегося в регистре 4 (режим 3), необходимо подать на входы 12 и 13 управления сигнал логической единицы, а на вход 11 установки - сигнал логического нуля. При этом на вторую группу входов сумматора 2 поступает число, дополнительный код которого необходимо вычислить, а на первую группу входов сумматора 2 - умноженный на 2 код числа, присутствующего на выходах сумматора 2, так как коммутатор 1 находится в режиме работы по второму каналу. В этом случае устойчивое состояние сумматора 2 описывается выражением

$$B + 2(\overline{B}+1) = (\overline{B}+1).$$

Таким образом, спустя время переходного процесса, на выходах суммы сумматора 2 будет сформирован дополнительный код числа, записанного в регистре 4 без учета старшего разряда. Преобразование старшего разряда производится в дополнительном сумматоре 3, который суммирует старший разряд выходного числа со старшим разрядом суммы сумматора 2 и с его выходным переносом, так как первый 6 и второй 7 элементы И находятся в открытом состоянии. При поступлении на вход 10 синхросигнала дополнительный код числа передается на выход 9 устройства.

Для реализации режима 4 необходимо подать на вход 11 установки сигнал логической единицы. Это равноценно тому, что к дополнительному коду числа будет прибавлена единица, а это соответствует преобразованию дополнительного кода в инверсный.

В режиме формирования нулевого (единичного) кода на выходе устройства (режимы 5 и 6), происходит последовательная замена разрядов кода числа, присутствующего на выходе сумматора 2, сигналом логического нуля (единицы), находящимся на входе 11 установки, т.е. спустя время переходного процесса, при поступлении синхроимпульса на вход 10 синхронизации на выход 9 устройства передается нулевой (единичный) код.

Формула изобретения

Накапливающий сумматор, содержащий многоразрядный сумматор, регистр, информационные входы которого, кроме старшего разряда, соединены соответственно с выходами суммы многоразрядного сумматора, а тактовый вход регистра соединен с тактовым входом сумматора, отличающийся тем, что, с целью расширения функциональных возможностей путем формирования инверсного и дополнительного кодов суммы и единичного и нулевого кодов, введены коммутатор, группа элементов И, дополнительный сумматор, два элемента И, причем информационные входы с первого по l-й первой группы коммутатора, где l - разрядность операндов, соединены соответственно с входами операнда сумматора, шина нулевого потенциала сумматора соединена с информационными входами с (l+1)-го по n-й первой группы коммутатора, где $n=\lceil \log_2 K(2^{l}+2^{l-1}\ldots+2^{0})\rceil$, и с входом перекоса многоразрядного сумматора, информационные входы первой группы которого соединены соответственно с выходами коммутатора, первый информационный вход второй группы которого соединен с входом установки сумматора, выходы суммы многоразрядного сумматора с первого по (n-1)-й разряд соединены соответственно с информационными входами с второго по n-й второй группы коммутатора, вход управления которого соединен с первым управляющим входом сумматора и первым входом первого элемента И, второй вход которого соединен с выходом старшего разряда суммы многоразрядного сумматора, информационные входы второй группы которого соединены соответственно с выходами элементов И группы, первые входы которых соединены с вторым управляющим входом сумматора и первым входом второго элемента И, второй вход которого соединен с выходом старшего разряда регистра, выходы которого соединены соответственно с вторыми входами элементов И группы, выход переноса многоразрядного сумматора, выходы первого и второго элементов И соединены соответственно с первым и вторым информационными входами дополнительного

сумматора и входом его переноса, выход суммы дополнительного сумматора соединен с входом старшего разряда регистра, выходы регистра соединены соответственно с выходами результата сумматора.

Составитель М.Есенина
Редактор Н.Тупица Техред А.Кравчук Корректор С.Черни

Заказ 7284/45 Тираж 667 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4