[19]中华人民共和国专利局

[11] 公开号 CN 1126394A

[12] 发明专利申请公开说明书

[21]申请号 95103550.9

[51]Int.Cl[6]
H03L 7/08

[43]公开日 1996 年 7 月 10 日

[22]申请日 95.3.24

[30]优先权

[32]94.3.24 [33]GB[31]9405805.4

[71]申请人 DVA公司

地址 美国加利福尼亚州

[72]发明人 安东尼·M·琼斯

[74]专利代理机构 柳沈知识产权律师事务所

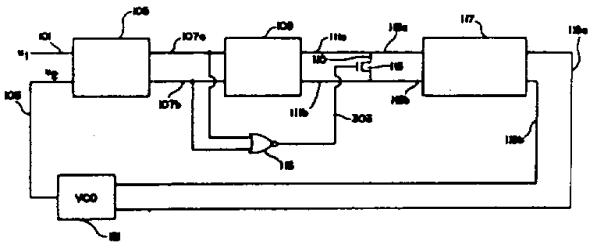
代理人 孙履平

权利要求书 2 页 说明书 7 页 附图页数 3 页

[54]发明名称 改进的锁相环路

[57]摘要

一种改进的锁相环路，当锁相环处于锁定时，所说的锁相环路利用由相位检测器产生的控制逻辑使对于非相关噪声不灵敏。其包括，含有第一和第二输入线的一个微分滤波器；连接线，当锁相环处于锁定状态时，连接所说的第一和第二输入线，以使在第一和第二输入线之间实际上没有电压差，但当锁相环路处于动态时，不连接所说的第一和第二输入线。



权 利 要 求 书

1、一种能够操作在动态及锁定态的锁相环路，包括:

含有第一和第二输入线的一个微分滤波器;

连接线，当锁相环处于锁定状态时，连接所说的第一和第二输入线，以使在第一和第二输入线之间实际上没有电压差，但当锁相环路处于动态状态时，不连接所说的第一和第二输入线。

2、按照权利要求1的锁相环路，其中，所说的连接线还包括，

一个晶体管，当锁相环处于动态状态时，进行操作以断开连接线；而当锁相环处于锁定状态时，接通该连接线。

3、按照权利要求1的锁相环路，其中，进一步包括:

能至少产生两个不同的逻辑信号的相位检测器;

其中所说的连接线根据由该相位检测器所产生的逻辑信号而被断开或被接通。

4、按照权利要求3的锁相环路，其中，所说不同的逻辑信号中至少其中的一个对应于被检测的“零”相位差，而根据NEITHER逻辑信号所说连接线被接通。

5、一种能操作在动态及锁定态的锁相环路，用于时钟产生装置中，包括:

含有第一和第二输入线的一个微分滤波器;

连接线，当锁相环处于锁定状态时，连接所说的第一和第二输入线，以使在第一和第二输入线之间实际上没有电压差，但当锁相环路处于动态状态时，不连接所说的第一和第二输入线。

6、一种锁相环路，包括：

具有至少两个输入端的相位检测器；

一个逻辑单元；

具有至少两个输入端的一个微分滤波器；和

其中所说的逻辑单元，在当相位检测器没有检测出两相位检测器输入端之间的电压差时，实际上消除在微分滤波器输入端之间的任何电压差。

说 明 书

改进的锁相环路

本发明涉及一种改进的锁相环路。

锁相环路(PLL)通常被用来通过对称之谓基准信号的输入信号与内部振荡器的信号进行同步，以合成输出信号。PLL通常包括相位检测器、滤波器和基准振荡器。借助于将一数字分割器(以N除)插入基准信号通路，而将另一个数字分割器(以M除)插入振荡器输出通路，则该振荡器将是以由M/N所选基准频率而输出，在M/N等于1的场合，则表示在任何通路中都无数字分割器。

当输入频率和基准振荡器频率之间差是零或是极小时，该PLL被称为在锁定状态。当存在频率差时，无论是当该锁定状态被干扰或是当基准输入改变了频率，该PLL都进入到动态，使振荡器频率受到调整，直到再次实现锁定状态为止。

相位检测器(PD)产生指示输入该PD的一个输入信号及一个振荡信号之间的相位差的信号。该PD可以多种方式实现，具体到每一种都有其独到的特点。很常见的一种PD电路是一种具有三态输出的数字相位频率比较器。这种特定类形的PD被称为型－II相位检测器。这种型－II相位检测器使用在需要进行频率锁定以及相位锁定的场合。

型－II相位检测器通常与一个充电激励器件结合使用，该器件将PD的三态输出转换成一个信号，经滤波后对内部振荡器进行控制。PD的三态输出以UP、DOWN和NEITHER表示。当PD输出态为UP时，充

电激励器使电流进入滤波器的输入端；当PD输出态为DOWN时，充电激励器从滤波器输入端除去电流；而PD输出态为NEITHER时，没有电流流动。

PLL的滤波器将一个电压加到内部振荡器，影响其振荡频率。滤波器最简单的形式是一支电容。该电容用作一个积分器，累积由充电激励电路输出的净电荷，产生出能够用于控制一内部振荡器的稳定电压。这种振荡器称为压控振荡器(VCO)。

当PLL处于动态时，当该环路试图获得锁定的同时，PD产生出许多UP、DOWN和NEITHER输出状态。当环路锁定，由于没有必要确定校正，所以该PD只产生NEITHER输出。这意味着在这种静止锁定状态中其环路无增益，尤其是该充电激励电路不驱动任何电流。不被驱动的信号被称作为高阻信号，它对于提取任何种类的外来噪音是十分灵敏的。

为克服在PLL系统中的这种固有缺点，对于灵敏的这一个或多个节点必须进行噪音屏蔽，这将使硅面积造价昂贵，且由于采用了多种取决于设计者控制外部参数的技术，因此实现起来十分困难。经常采用硅片设计的多样变形以最终实现所希望的性能。

经常用来减轻这种屏蔽固有变化的伴用技术是采用微分滤波器。微分滤波器仅滤波两个信号间的差异。这意味着如果某些噪音以完全相同的方式耦合到两个输入端，其差值不会被改变，因而使噪声对其无影响。由于此噪声对于两个信号属共同的，故这种称作共模信号的信号加到两个信号后，随即被这两个信号相减。

微分滤波器并不是完美无缺的。尽管在输出中仅发现这种原有共模信号功率的极小部分，但这种共模信号的某些成分将残存。

在实际系统中，多数噪音源并不均匀地耦合到每一个微分信号上。当这种微分信号没有被驱动输入滤波器时，即该环路在锁定时，这种影响变得特别重要，本发明的目的是为了解决上述存在的问题。

本发明提供一种PLL，它采用一个型－II相位检测器、一个充电激励装置、一个逻辑电路、一个微分滤波器和一个VCO。该PLL也可采用数字分割器。当该PLL处于锁定态时，相位检测器控制逻辑电路，确保来自任何信号源的非相关噪声的出现对于微分滤波器的输入都是共模信号。

当PD是NEITHER输出时，该微分滤波器的输入端由一晶体管和一个连接线相连接，使两个输入端成为一单一节点。这保证任何噪声对于滤波器均属共模输入，并使之不影响VCO的输入。如果该NEITHER输出是起因于PLL一开始处于锁定状态，则由于不存在对于VCO输入的干扰，将使PLL继续工作在锁定状态。

采用仅一个逻辑器件和一个晶体管，可使该PLL不再对误差信号灵敏，该误差信号能使其返回非锁定状态并从先前锁定变为动态状态。由于逻辑器件和晶体管在集成电路中属于现有可得的，且无需额外空间及其它材料，这种“屏蔽”是廉价的。

本专业技术人员清楚本发明的其余特征。

下面将以实例的方式但不受其约束地参照附图对本发明予以说明，其中相同标号表示相同元件。

附图简要说明:

图1是本发明包括一充电激励装置的一个数字PLL的实施例。

图2是本发明实施例中控制充电激励装置的逻辑装置的详释图。

图3是本发明另一实施例的一个详释图。

一个PLL至少包括三个部件：相位检测器(PD)、滤波器和压控振荡器(VCO)。VCO的输出是作为由该PLL所产生的内部振荡器信号，该信号要与输入基准信号相比较。图1实施例中的输入信号U_1和VCO信号U_2分别经线路101和103送到相位一频率检测器105。

PD 105产生基于该输入信号和VCO信号间相位与频率之差的信号。当内部振荡器、该VCO不得不增加频率时，型－II PD将产生一个UP输出状态。该UP输出状态包括在UP线107a上的逻辑1和在DOWN线107b上的逻辑0。当该内部振荡器不得不降低VCO的频率时，型－II PD将产生DOWN输出状态。DOWN输出状态包括在UP线107a上的逻辑0以及在DOWN线107b上的逻辑1。当输入信号和VCO信号之间无相位差时，型－II PD将产生NEITHER输出状态，它包括在UP线107a上以及在DOWN线107b上的0逻辑输出。

随之将UP和DOWN线107a和107b馈入充电激励装置109。该充电激励装置将UP或DOWN输出状态变换成往返于微分滤波器117的净电荷运动。过程如下。UP或DOWN的输出状态将引起在线111a和111b之间的电压差，并使其分别送到线113a和113b。如果PD输出是NEITHER，则或非门(NOR)116将导通晶体管115，则有一连接线110将线113a和113b连接，使得在线113a和113b之间无电压差。

这是一个相当有利的结果，因为当处于锁定状态中的PLL，NEITHER输出是由PD产生的输出状态，即反映在输入信号及VCO之间无相位差的状态。在锁定状态中，线113a和113b之间应当无电压差。如果要是有电压差的话，在线路119a和119b上的微分滤波器117的输出将使VCO改变频率而使已获得锁定状态的PLL受到不希望的干扰。由于该连线110和晶体管115的原因，特别将耦合到线113a或113b的

任何不相关噪声变成对滤波器117的共模信号。

通过确使噪声成为对滤波器117的共模信号，晶体管15有效屏蔽该电路与灵敏节点线113a和113b的耦合，滤波器117确定该共模噪声被去除的程度，但在实际上的这种去除程度是很高的。

噪声源可以是外部的噪声，例如由无线电波引起的电磁干扰，或是内部噪声源，例如在IC上经基片耦合的其它频率。如果不对其进行屏蔽，当PLL处在锁定状态中时，则线113a和113b将会尤其灵敏，原因在于没有电路驱动它们。

晶体管115还会使113a和113b电压处于逻辑1和逻辑0之间的半程(half-way)值。就大多数IC片而言，这一值处于在中间电压。对于包含有源器件(采用无源微分滤波器的很少见)的滤波器117的全部实施例中，处在中间电压值的共模信号被最大地去除。

应注意到在PLL试图实现锁定的动态期内也会出现NEITHER输出状态。这种NEITHER输出状态仅存在于一个短时间内，但重要的是该微分滤波器在该时间内将不涉及到噪声。该晶体管与连线在当该PD产生NEITHER信号时将确保其噪声不影响该微分滤波器的输出。

图2更详细地示出了充电激励逻辑电路，UP和DOWN线107a和107b变换地加到晶体管201a和201b，201c和201d，其方式是，当加入UP输出状态时，使之产生线111a和111b之间的正电压差，而加入DOWN输出状态时，是负的电压差。

具体地说，在UP线107a上有逻辑1和在DOWN线107b上有逻辑0的UP输出状态将使得经导通晶体管201a将正电压加到线111a，而经导通晶体管201d将零电压加到线111b。晶体管201b和201c将被断开。电压差由下式给出:

$$V(111a) - V(111b) = V(V+) - 0 = V(V+)$$

类似地，在DOWN线107b上有逻辑1和在UP线107a上有逻辑0的DOWN输出状态将使得经导通晶体管201c将正电压加到线111b，而经导通晶体管201b将零电压加到线111a。晶体管201a和201d将被断开。电压差由下式给出:

$$V(111a) - V(111b) = 0 - V(V+) = -V(V+)$$

在UP输出状态和DOWN输出状态的两种情况中，或非门(NOR)逻辑单元116的输出都是逻辑0。因而在这些状态中的晶体管115被断开并使得在线113a和113b之间生成电压差。

当PD在NEITHER输出状态时，由于加到或非门(NOR)上的UP线107a和DOWN线107b上都是0的原因使晶体管115a被导通。在此种输出状态，晶体管201a、201b、201c和201d都被断开，因而若晶体管不存在的话，则会使线111a和111b上都无驱动。这种没有定值的线极易灵敏地提取噪音。

图3示出了本发明的另外一种利用两个晶体管的实施例。这一实施例的运作状况与上面所述完全一样。由于使用了第二支晶体管301，使之可能改进PLL的噪声去除。这种去除噪声的改进是由于晶体管301对任何转换噪声进行补偿的结果，这种转换噪声在图2所示的实施例中可以是由晶体管115所引入的。

每一支晶体管都有由制造过程而引起的电容。在图2的实施例中，当晶体管被转换成导通状态时，这种电容会将电流注入微分滤波器117。这种电流纯粹是线303上从逻辑0到逻辑1过渡的结果。这种电流并非一定是共模，并且可能产生对VCO输入线119a和119b的一个小的干扰。

通过使用P-型晶体管等方法，信号303从逻辑0到逻辑1的过渡由信号305从逻辑1到逻辑0的反向过渡相匹配，通过对n-型和p-型晶体管之间的分布电容大小进行匹配，则会使净注入电流为零。

已经发现本发明的PLL在合成各种时钟信号时十分有用，这些时钟信号用于在IC内控制其它单元。在许多控制系统中，其时钟需要十分精确，这点是很重要的。尤其发现本发明的PLL在用于显示视频信号的IC中十分有用。而且还发现可用于要求纯正频率的合成以用于实现载波频率后期调制的系统中。

本发明已经详述了一种改进的PLL。虽然本发明是参照图1及图3的最佳实施例而加以描述的，但对于本专业人员而言，显然可将本发明在远超出其图中所公开的范围加以利用。而且，本专业人员在本领域内显然可以有多种对本发明最佳实施例的替代和改形。但它们均包含在本发明的权利要求限定的范围之中。

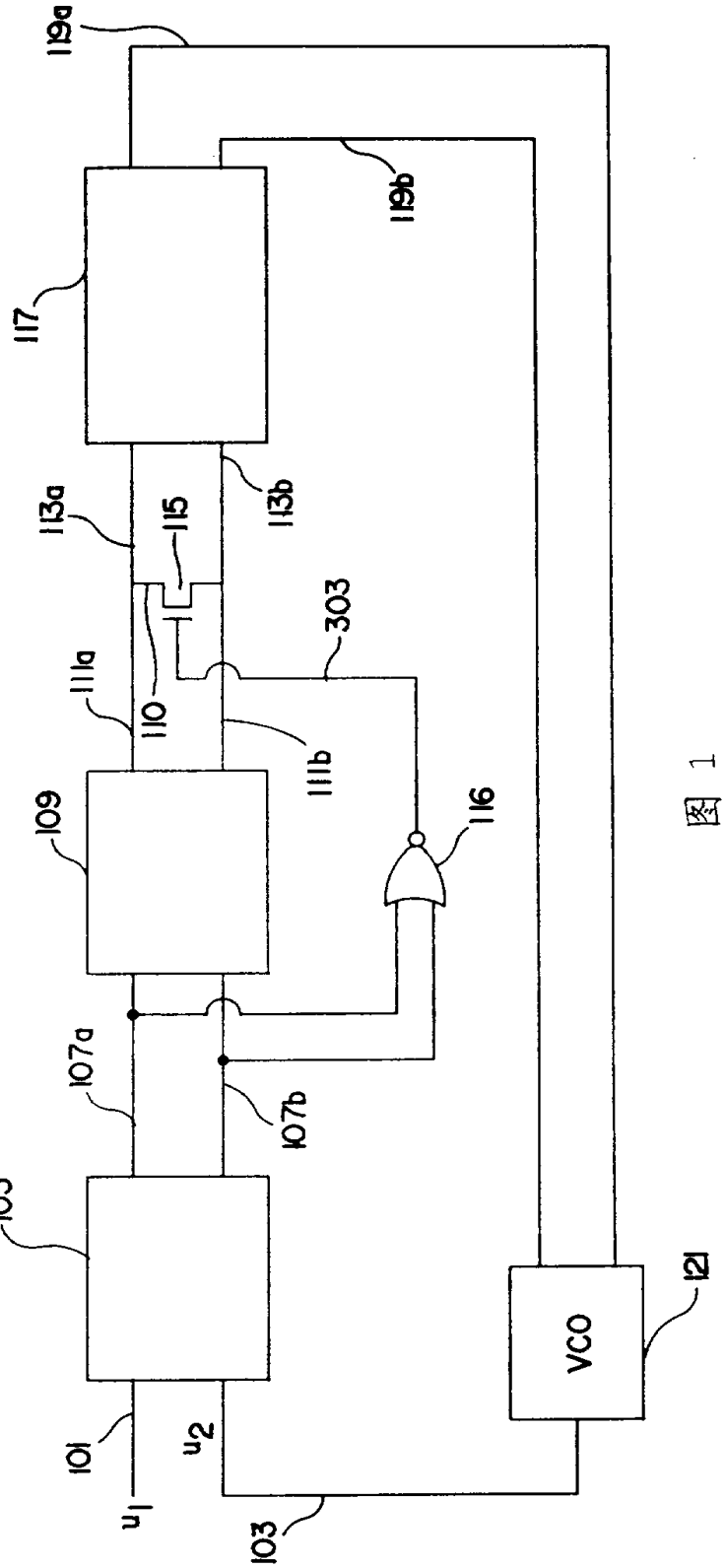

119a
119b
117
113b
113a
115
303
111a
110
111b
109
116
107a
107b
105
101
u_1
u_2
103
VCO
121

图 1

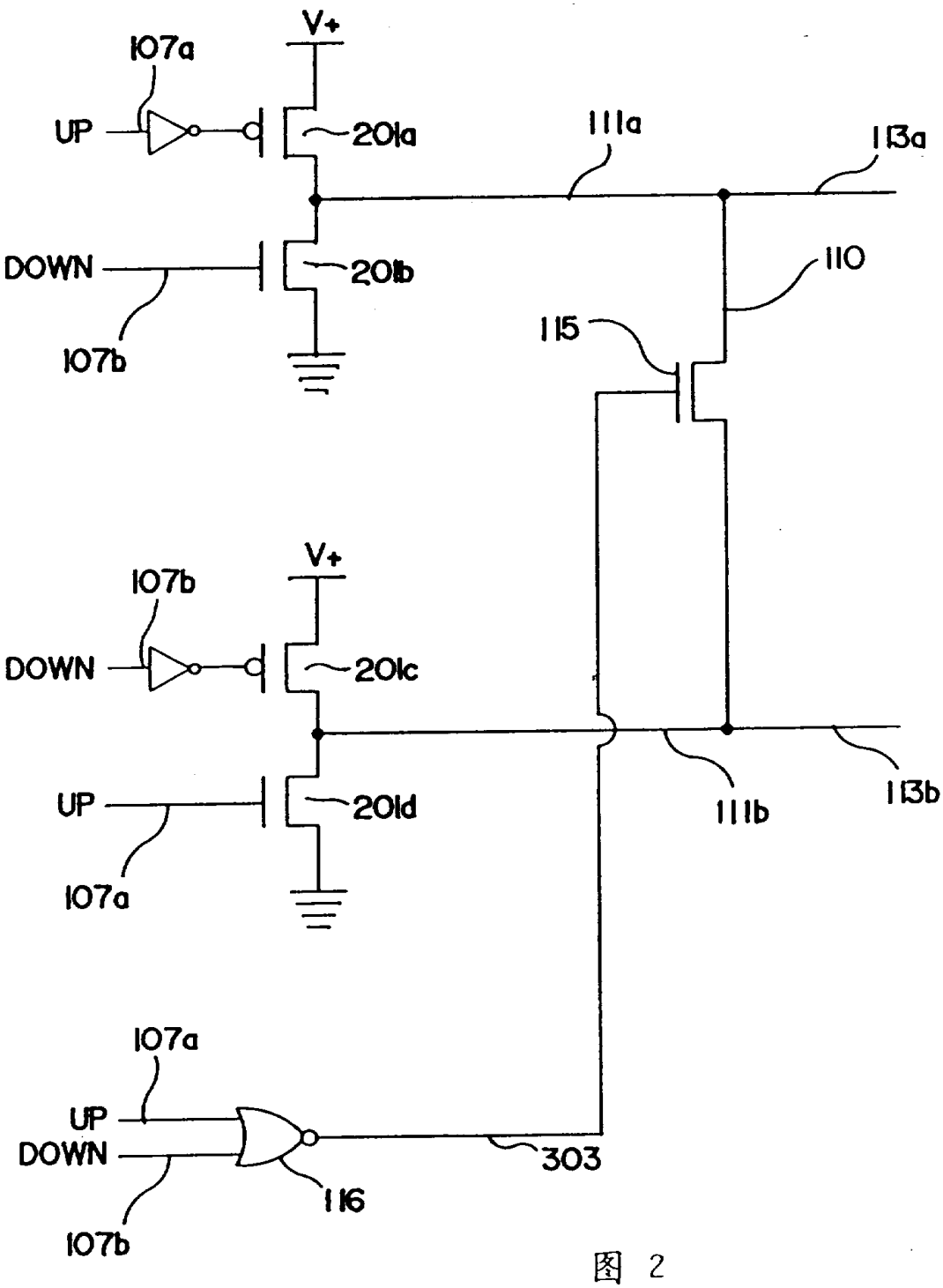

V+
107a
UP
201a
111a
113a
DOWN
201b
110
107b
115
V+
107b
DOWN
201c
UP
201d
111b
113b
107a
107a
UP
DOWN
303
116
107b

图 2

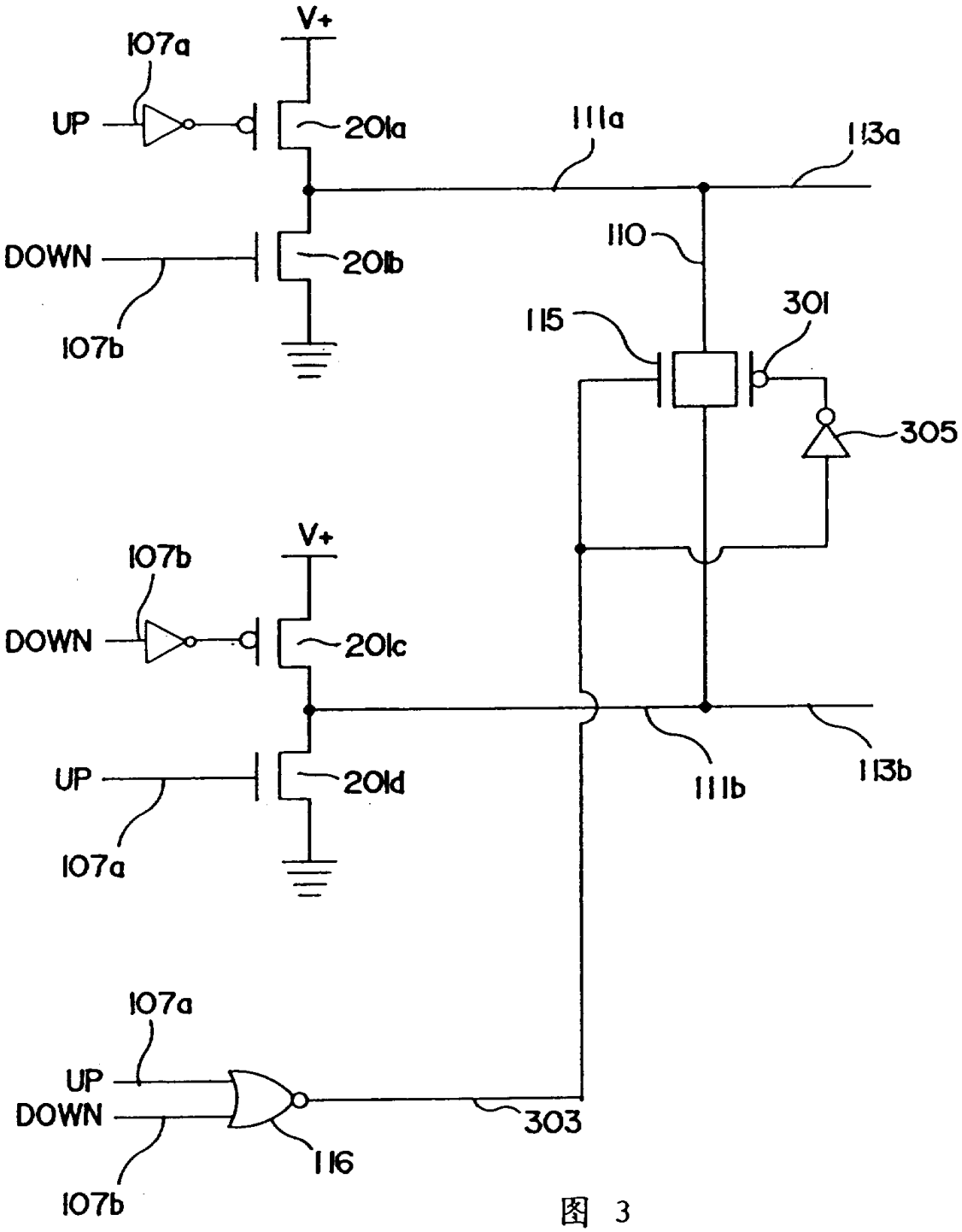

V+
107a
UP
201a
111a
113a
110
DOWN
201b
107b
115
301
305
V+
107b
DOWN
201c
UP
201d
107a
111b
113b
107a
UP
DOWN
303
116
107b

图 3