

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 4 区分
 【発行日】令和 3 年 1 月 28 日 (2021.1.28)

【公開番号】特開 2019-193406 (P2019-193406A)
 【公開日】令和 1 年 10 月 31 日 (2019.10.31)
 【年通号数】公開・登録公報 2019-044
 【出願番号】特願 2018-82704 (P2018-82704)
 【国際特許分類】

H 0 2 M 1/08 (2006.01)

H 0 3 K 17/0812 (2006.01)

H 0 3 K 17/08 (2006.01)

【F I】

H 0 2 M 1/08 A

H 0 3 K 17/0812

H 0 3 K 17/08 C

【手続補正書】

【提出日】令和 2 年 12 月 11 日 (2020.12.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

S i C を適用した電圧駆動型の半導体素子を駆動するゲート駆動回路において、前記ゲート駆動回路が、P 型 M O S F E T および N 側 M O S F E T が直列に接続され、且つ前記 N 側 M O S F E T が負側電源に直接接続されて構成され、前記 P 型 M O S F E T と前記 N 側 M O S F E T の中間にある出力段が、前記半導体素子のオフ中に負バイアスとなるように前記 P 型 M O S F E T および前記 N 型 M O S F E T を相補的にオンオフし、前記出力段と N 側 M O S F E T の中間にあるオフ側ゲート抵抗に並列接続された並列化抵抗と、前記並列化抵抗に直列接続されたスイッチと、前記半導体素子がオフ状態の場合に前記スイッチをオンとする判定部を含む、前記半導体素子のオフ中に前記出力段を負バイアスに維持する電圧維持手段を有することを特徴とするゲート駆動回路。

【請求項 2】

S i C を適用した電圧駆動型の半導体素子を駆動するゲート駆動回路において、前記ゲート駆動回路が、P 型 M O S F E T および N 側 M O S F E T が直列に接続され、且つ前記 N 側 M O S F E T が負側電源に直接接続されて構成され、前記 P 型 M O S F E T と前記 N 側 M O S F E T の中間にある出力段が、前記半導体素子のオフ中に負バイアスとなるように前記 P 型 M O S F E T および前記 N 型 M O S F E T を相補的にオンオフし、前記出力段と前記負側電源の間で前記 N 側 M O S F E T と並列に接続された M O S F E T と、前記半導体素子がオフ状態の場合に前記 M O S F E T を短絡させる判定部を含む、前記半導体素子のオフ中に前記出力段を負バイアスに維持する電圧維持手段を有することを特徴とするゲート駆動回路。

【請求項 3】

請求項 1 または 2 のいずれかに記載のゲート駆動回路において、
 前記半導体素子が、ノーマリオフの半導体素子であることを特徴とするゲート駆動回路。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載のゲート駆動回路において、

前記負側電源の電圧生成に、絶縁型電源トランス、または絶縁側 D C D C コンバータが用いられることを特徴とするゲート駆動回路。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載のゲート駆動回路を搭載した 3 相交流インバータ。

【請求項 6】

S i C を適用した電圧駆動型の半導体素子のゲート駆動方法において、
P 側 M O S F E T、および負極電源に直接接続された N 側 M O S F E T を相補的にオンオフして、直列に接続されている前記 P 型 M O S F E T と前記 N 側 M O S F E T の中間にある出力段を、前記半導体素子のオフ中に負バイアスとし、
前記半導体素子がオフ状態の場合に、前記出力段と N 側 M O S F E T の中間にあるオフ側ゲート抵抗に並列接続された並列化抵抗に直列接続されたスイッチをオンとする電圧維持手段により、前記出力段を負バイアスに維持することを特徴とするゲート駆動方法。

【請求項 7】

S i C を適用した電圧駆動型の半導体素子のゲート駆動方法において、
P 側 M O S F E T、および負極電源に直接接続された N 側 M O S F E T を相補的にオンオフして、直列に接続されている前記 P 型 M O S F E T と前記 N 側 M O S F E T の中間にある出力段を、前記半導体素子のオフ中に負バイアスとし、
前記半導体素子がオフ状態の場合に、前記出力段と前記負側電源の間に前記 N 側 M O S F E T と並列に接続された M O S F E T を短絡させる電圧維持手段により、前記出力段を負バイアスに維持することを特徴とするゲート駆動方法。

【請求項 8】

請求項 6 または 7 のいずれかに記載のゲート駆動方法において、
前記半導体素子が、ノーマリオフの半導体素子であることを特徴とするゲート駆動方法。

【請求項 9】

請求項 6 乃至 8 のいずれかに記載のゲート駆動方法において、
絶縁型電源トランス、または絶縁側 D C D C コンバータにより、前記負側電源の電圧を生成することを特徴とするゲート駆動方法。