

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月23日(23.12.2021)



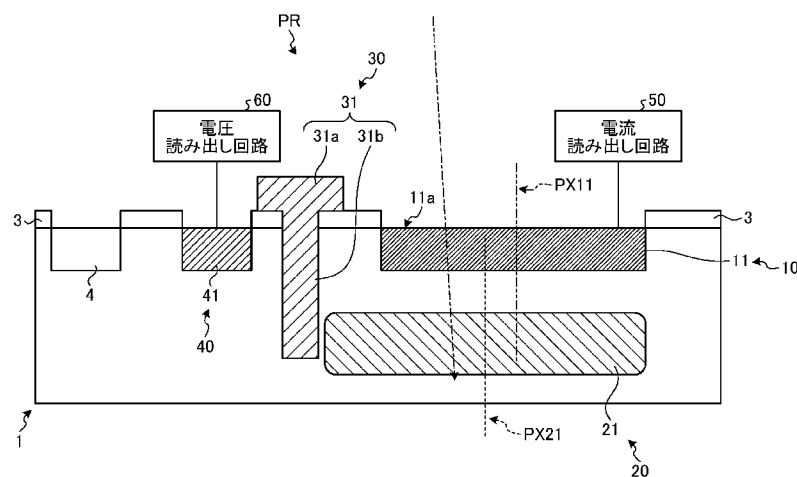
(10) 国際公開番号

WO 2021/256291 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2021/021308 (72) 発明者: 半澤 克彦 (HANZAWA, Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2021年6月4日(04.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-105812 2020年6月19日(19.06.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置



50 Current readout circuit
60 Voltage readout circuit

(57) **Abstract:** This solid-state imaging device comprises a plurality of pixel regions. Each of the plurality of pixel regions includes a first photoelectric conversion portion and a second photoelectric conversion portion. The second photoelectric conversion portion overlaps the first photoelectric conversion portion in a transparent view from an incident direction of light. At least one of the first photoelectric conversion portion and the second photoelectric conversion portion is of an embedded type. The first photoelectric conversion portion and the second photoelectric conversion portion are respectively

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

electrically connected to different types of readout circuits.

(57) 要約: 固体撮像装置は、複数の画素領域を有する。複数の画素領域のそれぞれは、第1の光電変換部と第2の光電変換部とを有する。第2の光電変換部は、光の入射方向から透視した場合に第1の光電変換部に重なる。第1の光電変換部及び第2の光電変換部のうち少なくとも一方は、埋め込み型である。第1の光電変換部及び第2の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される。

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本開示は、固体撮像装置に関する。

背景技術

[0002] 複数の画素領域を有する固体撮像装置において、各画素領域の光電変換部からの電流をリアルタイムに読み出し、その電流の変化をイベントとして検出することがある。この技術は、DVS (Dynamic Vision Sensing) と呼ばれる（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特表2017-535999号公報

特許文献2：特開2015-15332号公報

発明の概要

発明が解決しようとする課題

[0004] 固体撮像装置において、DVS用の光電変換部とその他の用途（例えば、イメージング用）の光電変換部とを各画素領域に混載したいと要求されることがある。この要求を満たすために、各画素領域において、複数の光電変換部が平面方向に並べて配置されると、各光電変換部の開口率が低下しやすく、固体撮像装置の感度及びSN比の確保が困難になることがある。

[0005] そこで、本開示では、用途の異なる複数の光電変換部のそれぞれの開口率を確保できる固体撮像装置を提案する。

課題を解決するための手段

[0006] 本開示によれば、複数の画素領域を有する固体撮像装置が提供される。複数の画素領域のそれぞれは、第1の光電変換部と第2の光電変換部とを有する。第2の光電変換部は、光の入射方向から透視した場合に第1の光電変換部に重なる。第1の光電変換部及び第2の光電変換部のうち少なくとも一方

は、埋め込み型である。第1の光電変換部及び第2の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される。

[0007] また、本開示によれば、複数の画素領域を有する固体撮像装置が提供される。複数の画素領域のそれぞれは、第1の光電変換部と複数の第2の光電変換部とを有する。複数の第2の光電変換部は、光の入射方向から透視した場合に第1の光電変換部に重なる。複数の第2の光電変換部は、互いに同一の半導体層に含まれる埋め込み型である。第1の光電変換部及び第2の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される。

図面の簡単な説明

[0008] [図1]本開示の第1の実施形態に係る固体撮像装置の構成を示す断面図である。

[図2]本開示の第1の実施形態に係る固体撮像装置の構成を示す回路図である。

[図3]本開示の第1の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図4]本開示の第1の実施形態の第2の変形例に係る固体撮像装置の構成を示す断面図である。

[図5]本開示の第1の実施形態の第3の変形例に係る固体撮像装置の構成を示す断面図である。

[図6]本開示の第1の実施形態の第4の変形例に係る固体撮像装置の構成を示す断面図である。

[図7]本開示の第1の実施形態の第5の変形例に係る固体撮像装置の構成を示す断面図である。

[図8]本開示の第2の実施形態に係る固体撮像装置の構成を示す平面図である。

[図9]本開示の第2の実施形態の第1の変形例に係る固体撮像装置の構成を示す平面図である。

[図10]本開示の第2の実施形態の第2の変形例に係る固体撮像装置の構成を

示す平面図である。

[図11]本開示の第2の実施形態の第3の変形例に係る固体撮像装置の構成を示す平面図である。

[図12]本開示の第2の実施形態の第3の変形例に係る固体撮像装置の構成を示す断面図である。

[図13]本開示の第2の実施形態の第3の変形例に係る固体撮像装置の構成を示す平面図である。

[図14]本開示の第3の実施形態に係る固体撮像装置の構成を示す平面図である。

[図15]本開示の第3の実施形態に係る固体撮像装置の構成を示す断面図である。

[図16]本開示の第4の実施形態に係る固体撮像装置の構成を示す平面図である。

[図17]本開示の第4の実施形態に係る固体撮像装置の構成を示す断面図である。

[図18]本開示の第4の実施形態の第1の変形例に係る固体撮像装置の構成を示す平面図である。

[図19]本開示の第4の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図20]本開示の第4の実施形態の第1の変形例に係る固体撮像装置の構成を示す平面図である。

[図21]本開示の第4の実施形態の第2の変形例に係る固体撮像装置の構成を示す平面図である。

[図22]本開示の第4の実施形態の第3の変形例に係る固体撮像装置の構成を示す平面図である。

[図23]本開示の第4の実施形態の第3の変形例に係る固体撮像装置の構成を示す断面図である。

[図24]本開示の第4の実施形態の第4の変形例に係る固体撮像装置の構成を

示す平面図である。

[図25]本開示の第4の実施形態の第4の変形例に係る固体撮像装置の構成を示す断面図である。

[図26]本開示の第5の実施形態に係る固体撮像装置の構成を示す平面図である。

[図27]本開示の第5の実施形態に係る固体撮像装置の構成を示す断面図である。

[図28]本開示の第5の実施形態の第1の変形例に係る固体撮像装置の構成を示す平面図である。

[図29]本開示の第5の実施形態の第2の変形例に係る固体撮像装置の構成を示す平面図である。

[図30]本開示の第5の実施形態の第3の変形例に係る固体撮像装置の構成を示す平面図である。

[図31]本開示の第5の実施形態の第4の変形例に係る固体撮像装置の構成を示す平面図である。

[図32]本開示の第6の実施形態に係る固体撮像装置の構成を示す平面図である。

[図33]本開示の第6の実施形態に係る固体撮像装置の構成を示す断面図である。

[図34]本開示の第6の実施形態の第1の変形例に係る固体撮像装置の構成を示す平面図である。

[図35]本開示の第6の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図36]本開示の第7の実施形態に係る固体撮像装置の構成を示す断面図である。

[図37]本開示の第7の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図38]本開示の第8の実施形態に係る固体撮像装置の構成を示す断面図であ

る。

[図39]本開示の第8の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図40]本開示の第9の実施形態に係る固体撮像装置の構成を示す断面図である。

[図41]本開示の第10の実施形態に係る固体撮像装置の構成を示す断面図である。

[図42]本開示の第11の実施形態に係る固体撮像装置の構成を示す断面図である。

[図43]本開示の第11の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

[図44]本開示の第11の実施形態の第2の変形例に係る固体撮像装置の構成を示す断面図である。

[図45]本開示の第11の実施形態の第3の変形例に係る固体撮像装置の構成を示す断面図である。

[図46]本開示の第11の実施形態の第4の変形例に係る固体撮像装置の構成を示す断面図である。

[図47]本開示の第11の実施形態の第5の変形例に係る固体撮像装置の構成を示す断面図である。

[図48]本開示の第12の実施形態に係る固体撮像装置の構成を示す断面図である。

[図49]本開示の第12の実施形態の第1の変形例に係る固体撮像装置の構成を示す断面図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1. 1 第1の実施形態の第1の変形例

1. 2 第1の実施形態の第2の変形例

1. 3 第1の実施形態の第3の変形例

1. 4 第1の実施形態の第4の変形例

1. 5 第1の実施形態の第5の変形例

2. 第2の実施形態

2. 1 第2の実施形態の第1の変形例

2. 2 第2の実施形態の第2の変形例

2. 3 第2の実施形態の第3の変形例

3. 第3の実施形態

4. 第4の実施形態

4. 1 第4の実施形態の第1の変形例

4. 2 第4の実施形態の第2の変形例

4. 3 第4の実施形態の第3の変形例

4. 4 第4の実施形態の第4の変形例

5. 第5の実施形態

5. 1 第5の実施形態の第1の変形例

5. 2 第5の実施形態の第2の変形例

5. 3 第5の実施形態の第3の変形例

5. 4 第5の実施形態の第4の変形例

6. 第6の実施形態

6. 1 第6の実施形態の第1の変形例

7. 第7の実施形態

7. 1 第7の実施形態の第1の変形例

8. 第8の実施形態

8. 1 第8の実施形態の第1の変形例

9. 第9の実施形態

10. 第10の実施形態

11. 第11の実施形態

11.1 第11の実施形態の第1の変形例

11.2 第11の実施形態の第2の変形例

11.3 第11の実施形態の第3の変形例

11.4 第11の実施形態の第4の変形例

11.5 第11の実施形態の第5の変形例

12. 第12の実施形態

12.1 第12の実施形態の第1の変形例

[0011] (1. 第1の実施形態)

第1の実施形態にかかる固体撮像装置は、複数の画素領域を有し、各画素領域の光電変換部で光に応じた電荷を所定の蓄積期間に蓄積させ、蓄積された電荷を電圧に変換して読み出すことがある。この技術は、イメージングと呼ばれる。また、固体撮像装置において、各画素領域の光電変換部からの電流をリアルタイムに読み出し、その電流の変化をイベントとして検出することがある。この技術は、DVS (Dynamic Vision Sensing) と呼ばれる。

[0012] 固体撮像装置において、用途の異なる複数の光電変換部を各画素領域に混載したいと要求されることがある。例えば、各画素領域に、DVS用の光電変換部とその他の用途（例えば、イメージング用）の光電変換部とを混載したいと要求されることがある。この要求を満たすために、各画素領域において、DVS用の光電変換部とその他の用途の光電変換部とが平面方向に並べて配置されると、各光電変換部の開口率が低下しやすい。これにより、各光電変換部の受光面積及びそれに応じた受光量が低減し、固体撮像装置の感度及びSN比の確保が困難になることがある。

[0013] 一方、各画素領域において、DVS用の光電変換部とその他の用途の光電変換部とを共通の光電変換部で兼用した場合、光電変換部に対して、DVS用の動作とその他の用途の動作とを独立に制御することが困難である。

[0014] そこで、第1の実施形態では、固体撮像装置の各画素領域において、複数の光電変換部を光の入射方向に重ねて配置するとともに種類の異なる読み出し回路に接続することで、用途の異なる各光電変換部の開口率の確保を図る。

[0015] 具体的には、固体撮像装置の各画素領域において、基板内に、光の入射方向から透視した場合に複数の光電変換部が重なるように配置する。複数の光電変換部は、例えば、DVS用の光電変換部とその他の用途の光電変換部とを含む。その他の用途の光電変換部は、例えば、イメージング用の光電変換部である。DVS用の光電変換部は、電流読み出し回路に電氣的に接続され、イメージング用の光電変換部は、電圧読み出し回路に電氣的に接続される。電流読み出し回路は、光電変換部で生成された電荷に応じた電流を読み出し、例えば、電流の変化をイベントとして検出し、DVS処理を行う。電圧読み出し回路は、光電変換部の電荷から変換された電圧を読み出し、例えば、電圧を増幅して画像の階調に相当する画素信号を生成し、イメージング処理を行う。すなわち、基板内に用途の異なる複数の光電変換部を光の入射方向に重ねて配置しつつそれぞれ種類の異なる読み出し回路に接続するので、用途の異なる複数の光電変換部を互いに独立に制御しながら各光電変換部の開口率を容易に確保できる。

[0016] より具体的には、固体撮像装置1は、被写体の像が形成され得る撮像領域において、複数の画素領域PRを有する。複数の画素領域PRは、例えば2次元的に配列され得る。各画素領域PRは、撮像領域内が構成の単位ごとに分割された領域である。各画素領域PRは、例えば、図1に示すように構成され得る。図1は、固体撮像装置1における1つの画素領域PRの構成を示す断面図である。図1では、図示の簡略化のため、層間絶縁膜の図示を省略している。

[0017] 固体撮像装置1の画素領域PRは、光電変換部10、光電変換部20、転送部30、及び電荷電圧変換部40を有する。

[0018] 光電変換部10は、半導体領域11を有する。半導体領域11は、半導体

基板 2 の表面近傍に配され、その表面 1 1 a が半導体基板 2 の表面の一部を構成している。半導体基板 2 の表面は、概ねゲート絶縁膜 3 で覆われているが、半導体領域 1 1 の表面 1 1 a がゲート絶縁膜 3 で覆われず層間絶縁膜（図示せず）に露出されている。半導体基板 2 は、第 1 の導電型（例えば、P 型）の不純物を第 1 の濃度で含む。P 型の不純物は、例えば、ボロンである。半導体領域 1 1 は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高い第 2 の濃度で含む。N 型の不純物は、例えば、リン又は砒素である。第 2 の導電型は、第 1 の導電型の反対導電型である。

[0019] 光電変換部 1 0 は、図 1 に一点鎖線の矢印で示すように、光を受光し、受光された光に対して半導体領域 1 1 及び半導体基板 2 の界面領域で光電変換を行い、光に応じた電荷を発生させて半導体領域 1 1 へ導く。光電変換部 1 0 は、例えば、フォトダイオードとして機能する。

[0020] 光電変換部 1 0 は、DVS 用の光電変換部であり、電流読み出し回路 5 0 が電氣的に接続されている。半導体領域 1 1 へ導かれた電荷は、電流として電流読み出し回路 5 0 へ読み出される。

[0021] 電流読み出し回路 5 0 は、電流・対数電圧変換型の回路であり、電流の変化をイベントとして検出するイベント検出回路である。電流読み出し回路は、例えば、DVS 回路である。電流読み出し回路 5 0 は、例えば、図 2 に示すように構成され得る。図 2 は、固体撮像装置 1 における電流読み出し回路 5 0 及び電圧読み出し回路 6 0 の構成を示す図である。

[0022] 電流読み出し回路 5 0 は、電流・対数電圧変換部 5 1、バッファ 5 2、微分回路 5 3 およびコンパレータ 5 4 を有する。

[0023] 電流・対数電圧変換部 5 1 は、光電変換部 1 0 から読み出された電流（光電流）を対数的に電圧に変換する。光電変換部 1 0 は、フォトダイオード D 1 0 を有する。電流・対数電圧変換部 5 1 は、N 型トランジスタ T R 5 1 1 , T R 5 1 3、P 型トランジスタ T R 5 1 2 を有する。N 型トランジスタ T R 5 1 1 は、例えば NMOS トランジスタであり、ソースがノード N 5 1 1 を介してフォトダイオード D 1 0 のカソードに電氣的に接続され、ドレイン

が電源電位に電氣的に接続され、ゲートがノードN512に電氣的に接続されている。P型トランジスタTR512は、例えば、PMOSトランジスタであり、ソースが電源電位に電氣的に接続され、ドレインがノードN512に電氣的に接続され、ゲートで制御回路（図示せず）からのバイアス電圧を受ける。N型トランジスタTR513は、例えばNMOSトランジスタであり、ソースがグランド電位に電氣的に接続され、ドレインがノードN512に電氣的に接続され、ゲートがノードN511を介してフォトダイオードD10のカソードに電氣的に接続されている。ノードN512は、バッファ52に電氣的に接続されている。

[0024] バッファ52は、電流・対数電圧変換部51の電圧に応じた信号をバッファリングする。バッファ52は、N型トランジスタTR521及び電流源CS521を有する。N型トランジスタTR521は、例えばNMOSトランジスタであり、ソースがノードN521を介して電流源CS521の一端に電氣的に接続され、ドレインが電源電位に電氣的に接続され、ゲートがノードN512に電氣的に接続されている。電流源CS521は、一端がノードN521に電氣的に接続され、他端がグランド電位に電氣的に接続されている。ノードN521は、微分回路53に電氣的に接続されている。

[0025] 微分回路53は、バッファ52でバッファリングされた信号に対して微分演算を行い、電流の変化量に相当する微分信号を生成する。微分回路53は、容量素子C531、C532、P型トランジスタTR531、TR532、及び電流源CS531を有する。容量素子C531は、一端がノードN521に電氣的に接続され、他端がノードN531に電氣的に接続されている。容量素子C532は、一端がノードN531に電氣的に接続され、他端がノードN532に電氣的に接続されている。P型トランジスタTR531は、例えばPMOSトランジスタであり、ソースが電源電位に電氣的に接続され、ドレインがノードN532に電氣的に接続され、ゲートがノードN531に電氣的に接続されている。P型トランジスタTR532は、例えばPMOSトランジスタであり、ソースがノードN531に電氣的に接続され、ド

レインがノードN 5 3 2 及び電流源C S 5 3 1 の一端に電氣的に接続され、ゲートで制御回路（図示せず）からのバイアス電圧を受ける。電流源C S 5 3 1 は、一端がノードN 5 3 2 に電氣的に接続され、他端がグランド電位に電氣的に接続されている。ノードN 5 3 2 は、コンパレータ5 4 に電氣的に接続されている。

[0026] コンパレータ5 4 は、微分回路5 3 で生成された微分信号を所定の閾値と比較し、比較結果に応じて、イベント発生の有無を示す信号を生成する。コンパレータ5 4 は、P型トランジスタT R 5 4 1, T R 5 4 2、N型トランジスタT R 5 4 3, T R 5 4 4 を有する。P型トランジスタT R 5 4 1 は、例えばP M O S トランジスタであり、ソースが電源電位に電氣的に接続され、ドレインがノードN 5 4 1 に電氣的に接続され、ゲートがノードN 5 3 2 に電氣的に接続されている。P型トランジスタT R 5 4 2 は、例えばP M O S トランジスタであり、ソースが電源電位に電氣的に接続され、ドレインがノードN 5 4 2 に電氣的に接続され、ゲートがノードN 5 3 2 に電氣的に接続されている。N型トランジスタT R 5 4 3 は、例えばN M O S トランジスタであり、ソースがグランド電位に電氣的に接続され、ドレインがノードN 5 4 1 に電氣的に接続され、ゲートで制御回路（図示せず）からのバイアス電圧V 1 を受ける。N型トランジスタT R 5 4 4 は、例えばN M O S トランジスタであり、ソースがグランド電位に電氣的に接続され、ドレインがノードN 5 4 2 に電氣的に接続され、ゲートで制御回路（図示せず）からのバイアス電圧V 2 を受ける。

[0027] 例えば、バイアス電圧V 1 が微分信号の変動範囲の上限に対応し、バイアス電圧V 2 が微分信号の変動範囲の下限に対応する。コンパレータ5 4 は、微分信号が上限を超えた場合に、ハイレベルのC M 1 を上限側のイベント発生を示す信号としてロジック回路7 1 へ供給する。コンパレータ5 4 は、微分信号が下限を超えた場合に、ロウレベルのC M 2 を下限側のイベント発生を示す信号としてロジック回路7 1 へ供給する。

[0028] 図1 に戻って、光電変換部2 0 は、埋め込み型であり、半導体領域2 1 を

有する。半導体領域 2 1 は、半導体基板 2 の表面より深い位置に配され、半導体領域 1 1 より深い位置に配されている。半導体領域 2 1 は、光の入射方向から透視した場合に半導体領域 1 1 に重なる。半導体領域 1 1 の中心を通り半導体基板 2 の表面に垂直な方向に延びた軸を半導体領域 1 1 の光軸 $P \times 1 1$ とすると、半導体領域 1 1 の光軸 $P \times 1 1$ は、半導体領域 2 1 に交差する。半導体領域 2 1 の中心を通り半導体基板 2 の表面に垂直な方向に延びた軸を半導体領域 2 1 の光軸 $P \times 2 1$ とすると、半導体領域 2 1 の光軸 $P \times 2 1$ は、半導体領域 1 1 に交差する。半導体領域 2 1 は、深さ方向において半導体領域 1 1 から離間している。半導体領域 2 1 は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高く第 2 の濃度より低い第 3 の濃度で含む。

[0029] 光電変換部 2 0 は、図 1 に一点鎖線の矢印で示すように、光を受光し、受光された光に対して半導体領域 2 1 及び半導体基板 2 の界面領域で光電変換を行い、光に応じた電荷を発生させて半導体領域 2 1 で蓄積する。このとき、光電変換部 2 0 が埋め込み型であるので、半導体基板 2 の表面のトラップ準位の影響を抑制でき、半導体領域 2 1 に蓄積される電荷にノイズ電荷が混入することを抑制できる。光電変換部 2 0 は、例えば図 2 に示すフォトダイオード D 2 0 として機能する。

[0030] 図 1 に示す転送部 3 0 は、光電変換部 2 0 に蓄積された電荷を電荷電圧変換部 4 0 へ転送する。電荷電圧変換部 4 0 は、転送された電荷を電圧に変換する。電荷電圧変換部 4 0 は、例えばフローティングディフュージョン F D（図 2 参照）として機能し、半導体領域 4 1 を有する。半導体領域 4 1 は、半導体基板 2 の表面近傍に配され、その表面が半導体基板 2 の表面の一部を構成している。半導体領域 4 1 は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高い第 2 の濃度で含む。

[0031] 転送部 3 0 は、例えば転送トランジスタ T R 3 0（図 2 参照）として機能し、ソースとしての半導体領域 2 1、ゲートとしての転送ゲート 3 1、ドレインとしての半導体領域 4 1 を有する。転送ゲート 3 1 は、基板内まで深さ

方向に延びた縦型である。転送ゲート 31 は、ゲート絶縁膜 3 を介して半導体基板 2 の表面を覆う平板部 31a と、平板部 31a からゲート絶縁膜 3 を貫通して半導体基板 2 内を深さ方向に半導体領域 11 より深く且つ半導体領域 21 の深さ近傍まで延びたトレンチ部 31b とを有する。転送ゲート 31 は、不純物を含むポリシリコンで形成されてもよいし、タングステン等の金属で形成されてもよい。転送部 30 は、転送ゲート 31 にアクティブレベルの制御信号が供給された際に、半導体領域 21 に蓄積された電荷を半導体領域 41 へ転送する。

[0032] すなわち、光電変換部 20 は、イメージング用の光電変換部であり、転送部 30 及び電荷電圧変換部 40 を介して電圧読み出し回路 60 が電氣的に接続されている。半導体領域 21 から転送部 30 経由で電荷電圧変換部 40 へ転送された電荷が電荷電圧変換部 40 で電圧に変換され、変換された電圧は、電圧読み出し回路 60 へ読み出される。

[0033] 電圧読み出し回路 60 は、ハイインピーダンス入力であり、例えば、ソースフォロワ型の回路、ソース接地型の回路、又は差動回路である。電圧読み出し回路 60 は、例えば、読み出された電圧を階調に応じた信号に変換する階調変換回路であってもよく、ADC (Analog Digital Conversion) 回路、又は ADC 回路の前段の回路であってもよい。電圧読み出し回路 60 は、例えば、図 2 に示すように構成され得る。

[0034] 電圧読み出し回路 60 は、増幅部 61、選択部 62、及びリセット部 63 を有する。選択部 62 は、電圧読み出し回路 60 を選択状態及び非選択状態の間で切り替える。選択部 62 は、選択トランジスタ SEL を有する。選択トランジスタ SEL は、アクティブレベルの制御信号をゲートで受けた際に電圧読み出し回路 60 を選択状態し、ノンアクティブレベルの制御信号をゲートで受けた際に電圧読み出し回路 60 を非選択状態とする。増幅部 61 は、電圧読み出し回路 60 が選択状態である際に、電荷電圧変換部 40 の電圧を増幅する。増幅部 61 は、増幅トランジスタ AMP を有する。増幅トランジスタ AMP は、電荷電圧変換部 40 の電圧に応じて信号線 SL に接続された

電流源（図示せず）とともにソースフォロワ動作を行い、電荷電圧変換部40の電圧に応じた信号を信号線SLへ供給する。リセット部63は、電荷電圧変換部40の電圧をリセットする。リセット部63は、リセットトランジスタRSTを有する。リセットトランジスタRSTは、アクティブレベルの制御信号をゲートで受けた際に電荷電圧変換部40に保持された電荷を電源電位へ排出し、電荷電圧変換部40の電圧をリセットする。

[0035] 例えば、信号線SLには、2次元的に配列された複数の画素領域PRのうち列方向に並ぶ複数の画素領域PRに対応した複数の電圧読み出し回路60が接続され、複数の電圧読み出し回路60が順次に選択状態にされて画素信号が読み出される。また、信号線SLには、ADC回路72が接続されていてもよい。ADC回路72は、画素信号（アナログ信号）をAD変換して画素信号（デジタル信号）を生成し階調値を示す信号としてロジック回路73へ供給する。ロジック回路73は、複数の画素領域PRの画素信号に応じて画像データを構成し所定の画像処理を行うことなどにより、イメージング処理を行う。

[0036] なお、光電変換部10と光電変換部20とを比較すると、光電変換部20は、イメージング用の光電変換部であり、得られる画像の画質の向上が求められる、S/N比を向上することが求められるため、埋め込み型で構成される。光電変換部10は、DVS用の光電変換部であり、画質より感度の高さが求められるため、埋め込み型でなくともよく、半導体基板2の表面に露出された構成とされ得る。

[0037] また、光電変換部10と電流読み出し回路50との接続形態と、光電変換部20と電圧読み出し回路60との接続形態とは、互いに異なる。光電変換部10は、直接的に電流読み出し回路50に接続されており、電流読み出し回路50におけるトランジスタTR513（図2参照）のゲートに電氣的に接続されている。光電変換部20は、転送部30及び電荷電圧変換部40を介して電圧読み出し回路60に接続されており、トランジスタTR30のソース及びドレインを介して電圧読み出し回路60電氣的に接続されている。

トランジスタTR30は、転送ゲート31が基板内まで深さ方向に延びた縦型である。

[0038] また、図1に示すように、半導体基板2には、他の画素領域PRと電氣的に分離するために、境界近傍に、半導体領域4が形成されていてもよい。半導体領域4は、第1の導電型（例えば、P型）の不純物を第1の濃度より高い第4の濃度で含む。半導体領域4は、その近傍に電荷（例えば、電子）に対するポテンシャルバリアを形成し得る。

[0039] 以上のように、第1の実施形態では、固体撮像装置1の各画素領域PRにおいて、複数の光電変換部10、20を光の入射方向に重ねて配置する。これにより、各画素領域PRにおいて、用途の異なる各光電変換部10、20の平面方向に面積を大きく確保できる。また、固体撮像装置1の各画素領域PRにおいて、複数の光電変換部10、20を種類の異なる読み出し回路50、60に接続する。これにより、複数の光電変換部10、20を互いに独立に制御できる。したがって、用途の異なる各光電変換部10、20を互いに独立に制御しながら各光電変換部10、20の開口率を容易に確保できる。

[0040] なお、カラーフィルタについては、図示及び説明の簡略化のために省略しているが、全同色でもよいし、ベイヤー配列されるカラーフィルタでもよいし、補色フィルタなどでもよいし、様々な形態のカラーフィルタを適用可能である。

[0041] （1.1 第1の実施形態の第1の変形例）

なお、図3に示すように、固体撮像装置1iの各画素領域PRにおいて、DVS用の光電変換部10iが部分的に埋め込み型で構成されてもよい。図3は、本開示の第1の実施形態の第1の変形例に係る固体撮像装置1iの構成を示す断面図である。

[0042] 固体撮像装置1iの画素領域PRは、光電変換部10（図1参照）に代えて、光電変換部10iを有する。光電変換部10iは、半導体領域11（図1参照）に代えて、半導体領域11i及び半導体領域12iを有する。半導

体領域 11i は、半導体基板 2 の表面近傍に配され、その表面 11ia が半導体基板 2 の表面の一部を構成している。半導体基板 2 の表面は、概ねゲート絶縁膜 3 で覆われているが、半導体領域 11i の表面 11ia がゲート絶縁膜 3 で覆われず層間絶縁膜（図示せず）に露出されている。半導体領域 11i は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高い第 2 の濃度で含む。

[0043] 半導体領域 12i は、半導体基板 2 の表面より深く且つ半導体領域 11i より若干深い位置に配されている。半導体領域 12i は、半導体領域 11i に接合されている。半導体領域 12i は、第 2 の導電型の不純物を第 1 の濃度より高く第 2 の濃度より低い第 3 の濃度で含む。

[0044] 半導体領域 11i 及び半導体領域 12i は、いずれも、半導体領域 21 より浅い位置に配され、半導体領域 21 から深さ方向に離間して配されている。半導体領域 11i 及び半導体領域 12i は、それぞれ、光の入射方向から透視した場合に半導体領域 21 に重なる。

[0045] このような構成によっても、各画素領域 PR において、用途の異なる各光電変換部 10i, 20 を互いに独立に制御しながら各光電変換部 10i, 20 の開口率を容易に確保できる。

[0046] （1. 2 第 1 の実施形態の第 2 の変形例）

あるいは、図 4 に示すように、固体撮像装置 1j の各画素領域 PR において、DVS 用の光電変換部 10j が転送部 80j 及びバッファ部 90j を介して電流読み出し回路 50 に電氣的に接続されていてもよい。図 4 は、本開示の第 1 の実施形態の第 2 の変形例に係る固体撮像装置 1j の構成を示す断面図である。

[0047] 固体撮像装置 1j の画素領域 PR は、光電変換部 10（図 1 参照）に代えて光電変換部 10j を有し、転送部 80j 及びバッファ部 90j をさらに有する。

[0048] 光電変換部 10j は、埋め込み型であり、半導体領域 11j を有する。半導体領域 11j は、半導体基板 2 の表面より深い位置に配され、半導体領域

2 1 より浅い位置に配されている。半導体領域 1 1 j は、光の入射方向から透視した場合に半導体領域 2 1 に重なる。半導体領域 1 1 j は、深さ方向において半導体領域 2 1 から離間している。半導体領域 1 1 j は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高く第 2 の濃度より低い第 3 の濃度で含む。

[0049] 転送部 8 0 j は、光電変換部 1 0 j に蓄積された電荷をバッファ部 9 0 j へ転送する。バッファ部 9 0 j は、転送された電荷をバッファリングする。バッファ部 9 0 j にバッファリングされた電荷は、電流（光電流）として電流読み出し回路 5 0 へ読み出される。バッファ部 9 0 j は、半導体領域 9 1 j を有する。半導体領域 9 1 j は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度で含む。

[0050] 転送部 8 0 j は、例えば転送トランジスタとして機能し、ソースとしての半導体領域 1 1 j、ゲートとしての転送ゲート 8 1 j、ドレインとしての半導体領域 9 1 j を有する。転送ゲート 8 1 j は、基板の表面に沿って平面方向に延びたプレーナ型である。転送部 8 0 j は、転送ゲート 8 1 j にアクティブレベルの制御信号が供給された際に、半導体領域 1 1 j に蓄積された電荷を半導体領域 9 1 j へ転送する。

[0051] このとき、光電変換部 1 0 j と電流読み出し回路 5 0 との接続形態と、光電変換部 2 0 と電圧読み出し回路 6 0 との接続形態とは、互いに異なる。光電変換部 1 0 j は、プレーナ型の転送ゲート 8 1 j を含む転送トランジスタのソース及びドレインを介して電流読み出し回路 5 0 に接続されている。光電変換部 2 0 は、縦型の転送ゲート 3 1 を含む転送トランジスタのソース及びドレインを介して電圧読み出し回路 6 0 電氣的に接続されている。すなわち、転送部 8 0 j の転送トランジスタは、半導体領域 1 1 j に対応した浅い位置にチャネル領域を形成でき、転送部 3 0 の転送トランジスタは、半導体領域 2 1 に対応した深い位置を含むチャネル領域を形成できるので、各光電変換部 1 0 j、2 0 の電荷を独立して読み出すことができる。

[0052] このような構成によっても、各画素領域 P R において、用途の異なる各光

電変換部 10j, 20 を互いに独立に制御しながら各光電変換部 10j, 20 の開口率を容易に確保できる。

[0053] (1. 3 第1の実施形態の第3の変形例)

また、固体撮像装置 1 は、図 5 (a) に示すような表面照射型であってもよいし、図 5 (b) に示すような裏面照射型であってもよい。図 5 は、本開示の第1の実施形態の第3の変形例に係る固体撮像装置 1 の構成を示す断面図である。

[0054] 固体撮像装置 1 が図 5 (a) に示す表面照射型である場合、固体撮像装置 1 の各画素領域 PR において、DVS 用の光電変換部 10 は、R (赤) 光、G (緑) 光、B (青) 光のいずれかと IR (赤外) 光とを受光可能であってもよい。イメージング用の光電変換部 20 は、IR 光を受光可能であってもよいし、R 光と IR 光とを受光可能であってもよいし、R 光、G 光のいずれかと IR 光とを受光可能であってもよい。DVS 用の光電変換部 10 とイメージング用の光電変換部 20 とは、基板の表面からの深さに応じて、異なる波長の光を受光可能であってもよい。

[0055] 固体撮像装置 1 が図 5 (b) に示す裏面照射型である場合、固体撮像装置 1 の各画素領域 PR において、DVS 用の光電変換部 10 は、IR 光を受光可能であってもよいし、R 光と IR 光とを受光可能であってもよい。イメージング用の光電変換部 20 は、R 光、G 光、B 光のいずれかと IR 光とを受光可能であってもよい。DVS 用の光電変換部 10 とイメージング用の光電変換部 20 とは、基板の裏面からの深さに応じて、異なる波長の光を受光可能であってもよい。

[0056] このように、表面照射型及び裏面照射型のいずれの場合においても、各画素領域 PR において、用途の異なる各光電変換部 10, 20 の開口率を容易に確保できる。

[0057] (1. 4 第1の実施形態の第4の変形例)

あるいは、図 6 に示すように、固体撮像装置 1k の各画素領域 PR において、イメージング用の光電変換部 20k が基板内を深い位置から浅い位置ま

で引き出されるように構成されてもよい。図6は、本開示の第1の実施形態の第4の変形例に係る固体撮像装置1kの構成を示す断面図である。

[0058] 固体撮像装置1kの画素領域PRは、光電変換部20及び転送部30（図1参照）に代えて光電変換部20k及び転送部30kを有する。

[0059] 光電変換部20kは、埋め込み型であり、半導体領域21kを有する。半導体領域21kは、平板部21k1及び引き出し部21k2を有する。平板部21k1は、半導体基板2の表面より深い位置に配され、半導体領域11より深い位置に配されている。平板部21k1は、光の入射方向から透視した場合に半導体領域11に重なる。平板部21k1は、深さ方向において半導体領域11から離間している。引き出し部21k2は、平板部21k1における半導体領域41側の端部から深さ方向に半導体基板2の表面付近まで延びている。引き出し部21k2は、平面方向において半導体領域11から離間している。平板部21k1及び引き出し部21k2は、それぞれ、第2の導電型（例えば、N型）の不純物を第1の濃度より高く第2の濃度より低い第3の濃度で含む。

[0060] 転送部30kは、例えば転送トランジスタTR30（図2参照）として機能し、ソースとしての半導体領域21k、ゲートとしての転送ゲート31k、ドレインとしての半導体領域41を有する。転送ゲート31kは、基板の表面に沿って平面方向に延びたプレーナ型である。転送部30kは、転送ゲート31kにアクティブレベルの制御信号が供給された際に、半導体領域21kに蓄積された電荷を引き出し部21k2から取り出して半導体領域41へ転送する。

[0061] このような構成によっても、各画素領域PRにおいて、用途の異なる各光電変換部10k、20を互いに独立に制御しながら各光電変換部10k、20の開口率を容易に確保できる。

[0062] （1.5 第1の実施形態の第5の変形例）

あるいは、図7に示すように、固体撮像装置1nの各画素領域PRにおいて、イメージング用の光電変換部20が転送部30、電荷保持部140n及

び転送部130nを介して電圧読み出し回路60に電氣的に接続されているもよい。図7は、本開示の第1の実施形態の第5の変形例に係る固体撮像装置1nの構成を示す断面図である。

- [0063] 固体撮像装置1nの画素領域PRは、電荷保持部140n及び転送部130nをさらに有する。
- [0064] 電荷保持部140nは、埋め込み型であり、半導体領域141nを有する。半導体領域141nは、半導体基板2の表面より深い位置に配され、半導体領域21より浅い位置に配されている。半導体領域11jは、第2の導電型（例えば、N型）の不純物を第1の濃度より高く第2の濃度より低い第3の濃度で含む。
- [0065] 転送部30は、光電変換部20に蓄積された電荷を電荷保持部140nへ転送する。電荷保持部140nは、転送された電荷を保持する。転送部130nは、電荷保持部140nに保持された電荷を電荷電圧変換部40へ転送する。
- [0066] 転送部130nは、例えば転送トランジスタTR30とフローティングディフュージョンFDとの間に直列に挿入される転送トランジスタとして機能し、ソースとしての半導体領域141n、ゲートとしての転送ゲート131n、ドレインとしての半導体領域41を有する。転送ゲート131nは、基板の表面に沿って平面方向に延びたプレーナ型である。転送部130nは、転送ゲート131nにアクティブレベルの制御信号が供給された際に、半導体領域141nに保持された電荷を半導体領域41へ転送する。
- [0067] 例えば、光電変換部20から電荷電圧変換部40への電荷の転送を2段階にすることで、光電変換部20の電荷蓄積動作を複数の画素領域PRについて同時に行い且つ電荷保持部140nから電荷電圧変換部40への電荷の転送を順次に行うグローバルシャッタ動作を実現可能である。あるいは、電荷保持部140nの電荷を電荷電圧変換部40及び／又は他の電荷電圧変換部（図示せず）へ切り替えて転送可能にして電荷電圧変換の変換効率を可変にする動作を実現可能である。

[0068] このとき、光電変換部 10 と電流読み出し回路 50 との接続形態と、光電変換部 20 と電圧読み出し回路 60 との接続形態とは、互いに異なる。光電変換部 10 は、直接的に電流読み出し回路 50 に接続されている。光電変換部 20 は、縦型の転送ゲート 31 を含む転送トランジスタのソース及びドレインと、プレーナ型の転送ゲート 131n を含む転送トランジスタのソース及びドレインとを介して、電圧読み出し回路 60 電氣的に接続されている。

[0069] このような構成によっても、各画素領域 PR において、用途の異なる各光電変換部 10, 20 を互いに独立に制御しながら各光電変換部 10, 20 の開口率を容易に確保できる。

[0070] (2. 第 2 の実施形態)

次に、第 2 の実施形態にかかる固体撮像装置について説明する。以下では、第 1 の実施形態と異なる部分を中心に説明する。

[0071] 第 1 の実施形態では、固体撮像装置の各画素領域 PR の断面構成に着目しているが、第 2 の実施形態では、固体撮像装置の各画素領域 PR の平面構成に着目する。

[0072] 具体的には、固体撮像装置 201 の画素領域 PR において、光電変換部 10 は、半導体領域 11 を有する。半導体領域 11 は、図 8 に実線で示すように、半導体基板 2 の表面近傍に配され、その表面が半導体基板 2 の表面の一部を構成している。光電変換部 20 は、埋め込み型であり、半導体領域 21 を有する。半導体領域 21 は、図 8 に点線で示すように、半導体基板 2 の表面より深い位置に配され、半導体領域 11 より深い位置に配されている。光の入射方向から透視した場合に、半導体領域 11 及び半導体領域 21 は、お互いに少なくとも主要部が重なるように配される。例えば、半導体領域 11 は、半導体領域 21 の内側に含まれていてもよい。これにより、画素領域 PR 内に異なる用途の光電変換部 10, 20 がそれぞれ複数配される場合に、各光電変換部 10, 20 の受光面積を容易に確保できる。また、画素領域 PR 内にレイアウト面積の余裕を持たせることができる。

[0073] 光電変換部 10 は、DVS 用の光電変換部であり、電流読み出し回路 50

が電氣的に接続されている。光電変換部 20 は、イメージング用の光電変換部であり、イメージング用の光電変換部であり、転送部 30 及び電荷電圧変換部 40 を介して電圧読み出し回路 260 が電氣的に接続されている。平面視において、転送部 30 の転送ゲート 31 は、半導体領域 21 に隣接する位置に配される。電荷電圧変換部 40 の半導体領域 41 は、転送ゲート 31 を間にして半導体領域 21 の反対側に配される。

[0074] このとき、画素領域 PR 内にレイアウト面積の余裕があれば、電圧読み出し回路 260 の素子群が画素領域 PR 内に配されてもよい。これにより、電圧読み出し回路 260 を効率的にレイアウトすることができる。

[0075] 電圧読み出し回路 260 は、増幅部 261、選択部 262、及びリセット部 263 を有する。増幅部 261 は、例えば増幅トランジスタ AMP（図 2 参照）として機能し、ソースとしての半導体領域 61s、ゲートとしての電極 61g、ドレインとしての半導体領域 61d を有する。選択部 262 は、例えば選択トランジスタ SEL（図 2 参照）として機能し、ソースとしての半導体領域 62s、ゲートとしての電極 62g、ドレインとしての半導体領域 61s を有する。半導体領域 61s は、増幅部 261 及び選択部 262 により共有されている。リセット部 263 は、例えばリセットトランジスタ RST（図 2 参照）として機能し、ソースとしての半導体領域 63s、ゲートとしての電極 63g、ドレインとしての半導体領域 61d を有する。半導体領域 61d は、増幅部 261 及びリセット部 263 により共有されている。

[0076] 以上のように、第 2 の実施形態では、固体撮像装置 201 の各画素領域 PR において、複数の光電変換部 10、20 を光の入射方向に重ねて配置する。これにより、各光電変換部 10、20 の受光面積を容易に確保でき、各光電変換部 10、20 の開口率を容易に確保できる。

[0077] （2. 1 第 2 の実施形態の第 1 の変形例）

なお、固体撮像装置 201 i の画素領域 PR 内にさらにレイアウト面積の余裕があれば、図 9 に示すように、電流読み出し回路 250 i の構成の一部が画素領域 PR 内にさらに配されてもよい。図 9 は、本開示の第 2 の実施形

態の第1の変形例に係る固体撮像装置201iの構成を示す平面図である。

図9では、電流読み出し回路250iにおける2つのトランジスタ（例えば、図2に示すトランジスタTR513, TR512）に対応する2つの電極及び3つの半導体領域が画素領域PR内に配される場合が例示されている。

[0078] (2.2 第2の実施形態の第2の変形例)

あるいは、固体撮像装置201jの画素領域PR内にさらにレイアウト面積の余裕があれば、図10に示すように、電流読み出し回路250jの構成のさらに多くの一部が画素領域PR内に配されてもよい。図10は、本開示の第2の実施形態の第2の変形例に係る固体撮像装置201jの構成を示す平面図である。図10では、図9に対して、電流読み出し回路250jにおけるさらに3つのトランジスタ（例えば、図2に示すトランジスタTR511, TR521, TR532など）に対応する3つの電極及び4つの半導体領域が画素領域PR内に追加で配される場合が例示されている。

[0079] (2.3 第2の実施形態の第3の変形例)

また、固体撮像装置201の画素領域PRは、図11に示すように、他の画素領域PRと絶縁分離部DIを介して素子分離されていてもよい。絶縁分離部DIは、酸化シリコンなどの絶縁物を主成分とする材料で形成され得る。図11は、本開示の第2の実施形態の第3の変形例に係る固体撮像装置201の構成を示す平面図であり、1つの画素領域PRについて例示している。図11に示す絶縁分離部DIは、画素領域PRの外縁に沿って延び、画素領域PRを囲んでいる。平面視において、画素領域PRが矩形状である場合、絶縁分離部DIは、矩形状に画素領域PRを囲む。

[0080] この絶縁分離部DIは、図12(a)に示すようなDTI (Deep Trench Isolation) 型で構成されてもよい。図12は、本開示の第2の実施形態の第2の変形例に係る固体撮像装置201の構成を示す断面図であり、図11をA-A線で切った場合の断面を示す。図12(a)に示す絶縁分離部DIは、半導体基板2の表面から深さ方向に半導体領域21の深さに相当する深さまで延びてもよい。これにより、半導体領域21に

蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0081] あるいは、絶縁分離部DIは、図12(b)に示すようなRDTI (Reverse Deep Trench Isolation) 型で構成されてもよい。すなわち、絶縁分離部DIは、半導体領域21より浅い深さから深さ方向に半導体基板2の裏面まで延びてもよい。これによっても、半導体領域21に蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0082] あるいは、絶縁分離部DIは、図12(c)に示すようなFDTI (Full Deep Trench Isolation) 型で構成されてもよい。すなわち、絶縁分離部DIは、半導体基板2の表面から深さ方向に半導体基板2の裏面まで延びてもよい。これによっても、半導体領域21に蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0083] また、図11に示す平面構成を複数の画素領域PRについて示すと、図13のようになる。図13は、本開示の第2の実施形態の第2の変形例に係る固体撮像装置201の構成を示す平面図であり、複数の画素領域PRについて例示している。絶縁分離部DIは、平面視において格子状に延び、複数の画素領域PRを区画している。このとき、各画素領域PRにおいて、複数の光電変換部10, 20が光の入射方向に重ねて配置されている点は、第2の実施形態と同様である。これにより、隣接する画素領域PR間の混色を抑制できる。

[0084] (3. 第3の実施形態)

次に、第3の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態及び第2の実施形態と異なる部分を中心に説明する。

[0085] 第1の実施形態及び第2の実施形態では、各画素領域PR内に異なる用途の光電変換部が1つずつ配される構成を例示しているが、第3の実施形態では、各画素領域PR内に異なる用途の各光電変換部が複数配される構成を例

示する。

[0086] 具体的には、固体撮像装置301の画素領域PRは、図14に示すように、光電変換部10、光電変換部20及び転送部30（図1参照）に代えて、複数の光電変換部310-1～310-4、複数の光電変換部320-1～320-4、及び複数の転送部330-1～330-4を有する。図14は、本開示の第3の実施形態に係る固体撮像装置301の構成を示す平面図である。

[0087] 複数の光電変換部310-1～310-4は、それぞれ、半導体領域311を有する。半導体領域311は、図14に実線で示すように、半導体基板2の表面近傍に配され、その表面が半導体基板2の表面の一部を構成している。複数の光電変換部320-1～320-4は、それぞれ、埋め込み型であり、半導体領域321を有する。半導体領域321は、図14に点線で示すように、半導体基板2の表面より深い位置に配され、半導体領域311より深い位置に配されている。光の入射方向から透視した場合に、半導体領域311は、半導体領域321の内側に含まれていてもよい。

[0088] 複数の光電変換部310-1～310-4は、複数の光電変換部320-1～320-4に対応している。各光電変換部310の光軸は、対応する光電変換部320に交差している。各光電変換部320の光軸は、対応する光電変換部310に交差している。これにより、画素領域PR内に異なる用途の光電変換部310、320がそれぞれ複数配される場合に、各光電変換部310、320の受光面積を容易に確保できる。

[0089] 複数の転送部330-1～330-4は、複数の光電変換部320-1～320-4に対応している。平面視において、各転送部330の転送ゲート331は、半導体領域321に隣接する位置に配される。電荷電圧変換部40の半導体領域41は、転送ゲート331を間にして半導体領域321の反対側に配される。

[0090] 各転送部330は、例えば転送トランジスタTR30（図2参照）として機能し、ソースとしての半導体領域321、ゲートとしての転送ゲート33

1、ドレインとしての半導体領域41を有する。すなわち、電荷電圧変換部40の半導体領域41は、複数の転送部330-1~330-4により共有されており、転送部330を介して複数の光電変換部320-1~320-4により共有されている。すなわち、複数の光電変換部320-1~320-4に対して共通の電荷電圧変換部40が設けられている。

[0091] 各転送部330の転送ゲート331は、図15に示すように、縦型で構成されてもよい。図15は、本開示の第3の実施形態に係る固体撮像装置の構成を示す断面図であり、図14をB-B線で切った場合の断面を示す。転送ゲート331は、基板内まで深さ方向に延びた縦型である。転送ゲート331は、ゲート絶縁膜3を介して半導体基板2の表面を覆う平板部331aと、平板部331aからゲート絶縁膜3を貫通して半導体基板2内を深さ方向に半導体領域311より深く且つ半導体領域321の深さ近傍まで延びたトレンチ部331bとを有する。転送ゲート331は、不純物を含むポリシリコンで形成されてもよいし、タングステン等の金属で形成されてもよい。転送部330は、転送ゲート331にアクティブレベルの制御信号が供給された際に、対応する光電変換部320の半導体領域321に蓄積された電荷を半導体領域41へ転送する。

[0092] このとき、図14に示すように、光電変換部310と電流読み出し回路50との接続形態と、光電変換部320と電圧読み出し回路260との接続形態とは、互いに異なる。複数の光電変換部310-1~310-4は、複数の電流読み出し回路50に対応している。各光電変換部310は、対応する電流読み出し回路50に直接的に接続されている。複数の光電変換部320は、対応する転送部330と共通の電荷電圧変換部40とを介して、共通の電圧読み出し回路260に接続されている。

[0093] 以上のように、第3の実施形態では、固体撮像装置301の各画素領域PRにおいて、複数の光電変換部310-1~310-4と複数の光電変換部320-1~320-4とを光の入射方向に重ねて配置する。これにより、各光電変換部310、320の受光面積を容易に確保でき、各光電変換部3

10, 320の開口率を容易に確保できる。

[0094] (4. 第4の実施形態)

次に、第4の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第3の実施形態と異なる部分を中心に説明する。

[0095] 第3の実施形態では、画素領域PR内でDVS用に複数の光電変換部が配される構成を例示しているが、第4の実施形態では、第3の実施形態の構成に対して、画素領域PR内でDVS用に複数の光電変換部が共通化された構成を例示する。これにより、DVS用の光電変換部の感度を向上できる。

[0096] 具体的には、固体撮像装置401の画素領域PRは、図16に示すように、複数の光電変換部310-1～310-4（図14参照）に代えて、光電変換部410を有する。図16は、本開示の第4の実施形態に係る固体撮像装置401の構成を示す平面図である。

[0097] 光電変換部410は、複数の光電変換部310-1～310-4が共通化された光電変換部に相当し、半導体領域411を有する。平面視において、半導体領域411は、複数の光電変換部320-1～320-4に対応した位置をドーナツ状に延びている。半導体領域411は、複数の転送部330-1～330-4及び電荷電圧変換部40を囲っている。図16の構成は、図14の構成に対して、複数の転送部330-1～330-4及び電荷電圧変換部40を囲うように、複数の光電変換部310を共通化していると思わせる。

[0098] 半導体領域411は、図16に実線で示すように、半導体基板2の表面近傍に配され、その表面が半導体基板2の表面の一部を構成している。光の入射方向から透視した場合に、半導体領域411は、複数の光電変換部320-1～320-4の半導体領域321の主要部にそれぞれ重なっている。各光電変換部320-1～320-4の光軸PX321は、光電変換部410に交差している。これにより、光電変換部410は、受光面積を大きく確保してその感度を向上できる。複数の光電変換部320-1～320-4は、数を確保して解像度を向上しつつ、電荷電圧変換部40を共有することなど

により各光電変換部320の受光面積も確保できる。すなわち、画素領域PR内に異なる用途の光電変換部410及び複数の光電変換部320が配される場合に、各光電変換部410、320の受光面積をその用途に応じてそれぞれ確保できる。

[0099] 各転送部330の転送ゲート331は、図17に示すように、縦型で構成されてもよい点は、第3の実施形態と同様である。図17は、本開示の第4の実施形態に係る固体撮像装置の構成を示す断面図であり、図16をC-C線で切った場合の断面を示す。転送ゲート331は、基板内まで深さ方向に延びた縦型である。転送部330は、転送ゲート331にアクティブレベルの制御信号が供給された際に、対応する光電変換部320の半導体領域321に蓄積された電荷を半導体領域41へ転送する。

[0100] このとき、図16に示すように、光電変換部410と電流読み出し回路50との接続形態と、光電変換部320と電圧読み出し回路260との接続形態とは、互いに異なる。光電変換部410は、電流読み出し回路50に直接的に接続されている。複数の光電変換部320は、対応する転送部330と共通の電荷電圧変換部40とを介して、共通の電圧読み出し回路260に接続されている。

[0101] 以上のように、第4の実施形態では、固体撮像装置1の各画素領域PRにおいて、光電変換部410と複数の光電変換部320-1～320-4とを光の入射方向に重ねて配置する。これにより、各光電変換部410、320の受光面積を容易に確保でき、各光電変換部410、320の開口率を容易に確保できる。

[0102] (4. 1 第4の実施形態の第1の変形例)

なお、固体撮像装置401の画素領域PRは、図18に示すように、他の画素領域PRと絶縁分離部DIを介して素子分離されていてもよい。絶縁分離部DIは、酸化シリコンなどの絶縁物を主成分とする材料で形成され得る。図18は、本開示の第4の実施形態の第1の変形例に係る固体撮像装置401の構成を示す平面図であり、1つの画素領域PRについて例示している。

。図18に示す絶縁分離部D1は、画素領域PRの外縁に沿って延び、画素領域PRを囲んでいる。平面視において、画素領域PRが矩形状である場合、絶縁分離部D1は、矩形状に画素領域PRを囲む。

[0103] この絶縁分離部D1は、図19(a)に示すようなDTI型で構成されてもよい。図19は、本開示の第4の実施形態の第1の変形例に係る固体撮像装置401の構成を示す断面図であり、図19(a)は、図18をD-D線で切った場合の断面を示す。すなわち、絶縁分離部D1は、半導体基板2の表面から深さ方向に半導体領域321の深さに相当する深さまで延びてもよい。これにより、半導体領域21に蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0104] あるいは、絶縁分離部D1は、図19(b)に示すようなRDTI型で構成されてもよい。すなわち、絶縁分離部D1は、半導体領域21より浅い深さから深さ方向に半導体基板2の裏面まで延びてもよい。これによっても、半導体領域21に蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0105] あるいは、絶縁分離部D1は、図19(c)に示すようなFDTI型で構成されてもよい。すなわち、絶縁分離部D1は、半導体基板2の表面から深さ方向に半導体基板2の裏面まで延びてもよい。これによっても、半導体領域21に蓄積された電荷が隣接する画素領域PRへ漏れることを抑制でき、隣接する画素領域PR間の混色を抑制できる。

[0106] また、図18に示す平面構成を複数の画素領域PRについて示すと、図20のようになる。図20は、本開示の第4の実施形態の第1の変形例に係る固体撮像装置401の構成を示す平面図であり、複数の画素領域PRについて例示している。絶縁分離部D1は、平面視において格子状に延び、複数の画素領域PRを区画している。このとき、各画素領域PRにおいて、光電変換部410及び複数の光電変換部320が光の入射方向に重ねて配置されている点は、第2の実施形態と同様である。これにより、各光電変換部410、320の受光面積を容易に確保でき、隣接する画素領域PR間の混色を抑

制できる。

[0107] (4. 2 第4の実施形態の第2の変形例)

あるいは、絶縁分離部D1'は、図21(a)、図21(b)に示すように、複数の画素領域PRの単位(例えば、2画素領域単位)で素子分離してもよい。図21(a)、図21(b)は、本開示の第4の実施形態の第2の変形例に係る固体撮像装置401の構成を示す平面図である。図21(a)の構成は、図20の構成に対して、絶縁分離部D1における2つの画素領域PRの間の部分が省略されている。これにより、各画素領域PRにおいて、各光電変換部410、320の受光面積を容易に確保できる。また、図21(b)の構成は、図20の構成に対して、光電変換部410'が2つの画素領域PRについて共通化されている。これにより、光電変換部410'の受光面積をさらに増加してその感度を向上できる。

[0108] (4. 3 第4の実施形態の第3の変形例)

また、固体撮像装置401の画素領域PRは、図22に示すように、画素領域PR内の複数の光電変換部320間が絶縁分離部D12を介してさらに素子分離されていてもよい。絶縁分離部D12は、酸化シリコンなどの絶縁物を主成分とする材料で形成され得る。図22は、本開示の第4の実施形態の第3の変形例に係る固体撮像装置401の構成を示す平面図であり、1つの画素領域PRについて例示している。絶縁分離部D12は、図22に点線で示すように、画素領域PR内で電荷電圧変換部40より深い位置を通りつつ複数の光電変換部320-1~320-4の間を延びている。平面視において、画素領域PR内で複数の光電変換部320-1~320-4が行列状に配される場合、絶縁分離部D12は、略十字状に複数の光電変換部320-1~320-4の間を延びる。

[0109] このとき、絶縁分離部D12は、図23(a)~図23(c)に示すように、RDTI型で構成されてもよい。また、絶縁分離部D1は、図23(a)に示すDTI型であってもよいし、図23(b)に示すRDTI型であってもよいし、図23(c)に示すFDTI型であってもよい。図23(a)

～図 23 (c) は、本開示の第 4 の実施形態の第 2 の変形例に係る固体撮像装置 401 の構成を示す断面図であり、図 22 を E－E 線で切った場合の断面を示す。絶縁分離部 D12 は、深さ方向において電荷電圧変換部 40 の半導体領域 41 から離間しつつ、平面方向において複数の光電変換部 320 の半導体領域 321 の間に配されている。これにより、半導体領域 321 に蓄積された電荷が画素領域 PR 内で隣接する半導体領域 321 へ漏れることを抑制でき、画素領域 PR 内で隣接する半導体領域 321 間の混色を抑制できる。

[0110] (4. 4 第 4 の実施形態の第 4 の変形例)

あるいは、固体撮像装置 401 の画素領域 PR は、図 24 に示すように、画素領域 PR 内の複数の光電変換部 320 間を素子分離する絶縁分離部 D12' が電荷電圧変換部 40 を避けて配されてもよい。絶縁分離部 D12' は、酸化シリコンなどの絶縁物を主成分とする材料で形成され得る。図 24 は、本開示の第 4 の実施形態の第 4 の変形例に係る固体撮像装置 401 の構成を示す平面図であり、1 つの画素領域 PR について例示している。絶縁分離部 D12' は、図 24 に点線で示すように、画素領域 PR 内で電荷電圧変換部 40 の半導体領域 41 の平面位置を避けつつ複数の光電変換部 320－1～320－4 の間を延びている。平面視において、絶縁分離部 D12' は、図 22 に示す略十字状の絶縁分離部 D12 から半導体領域 41 近傍の部分を取り除いた形状を有している。

[0111] このとき、絶縁分離部 D12' は、図 25 (a)～図 25 (c) に点線で示すように、深さ方向及び平面方向において電荷電圧変換部 40 の半導体領域 41 から離間しつつ、RDTI 型で構成されてもよい。また、絶縁分離部 D1 は、図 25 (a) に示す DTI 型であってもよいし、図 25 (b) に示す RDTI 型であってもよいし、図 25 (c) に示す FDTI 型であってもよい。図 25 (a)～図 25 (c) は、本開示の第 4 の実施形態の第 4 の変形例に係る固体撮像装置 401 の構成を示す断面図であり、図 24 を F－F 線で切った場合の断面を示す。絶縁分離部 D12' は、深さ方向及び平面方

向において電荷電圧変換部40の半導体領域41から離間しつつ、平面方向において複数の光電変換部320の半導体領域321の間に配されている。これによっても、半導体領域321に蓄積された電荷が画素領域PR内で隣接する半導体領域321へ漏れることを抑制でき、画素領域PR内で隣接する半導体領域321間の混色を抑制できる。

[0112] (5. 第5の実施形態)

次に、第5の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第4の実施形態と異なる部分を中心に説明する。

[0113] 第3の実施形態では、画素領域PR内でDVS用に複数の光電変換部が配される構成を例示しているが、第5の実施形態では、第3の実施形態の構成に対して、複数の画素領域PRを跨いでDVS用に複数の光電変換部が共通化された構成を例示する。これにより、DVS用の光電変換部の感度を向上できる。

[0114] 具体的には、固体撮像装置501の互いに隣接する2つの画素領域PRは、図26に示すように、一方の画素領域PRの310-3, 310-4及び他方の画素領域PRの310-1, 310-2 (図14参照) に代えて、光電変換部510を有する。図26は、本開示の第5の実施形態に係る固体撮像装置501の構成を示す平面図であり、2つの画素領域PRの構成を例示している。

[0115] 光電変換部510は、隣接する2つの画素領域PRのうちの一方の画素領域PRの光電変換部310-3, 310-4及び他方の画素領域PRの光電変換部310-1, 310-2 (図14参照) が共通化された光電変換部に相当し、半導体領域511を有する。平面視において、半導体領域511は、隣接する2つの画素領域PRのうちの一方の画素領域PRの光電変換部320-3, 320-4及び他方の画素領域PRの光電変換部320-1, 320-2に対応した位置を略矩形状に延びている。半導体領域511は、隣接する2つの画素領域PRのうちの一方の画素領域PRの複数の転送部330及び電荷電圧変換部40と他方の画素領域PRの複数の転送部330及び

電荷電圧変換部40との間に配されている。図26の構成は、図14の構成に対して、複数の電荷電圧変換部40の間に配された複数の光電変換部310を共通化していると見なせる。

[0116] 半導体領域511は、図26に実線で示すように、半導体基板2の表面近傍に配され、その表面が半導体基板2の表面の一部を構成している。光の入射方向から透視した場合に、半導体領域511は、複数の光電変換部320-1～320-4の半導体領域321の主要部にそれぞれ重なっている。各光電変換部320-1～320-4の光軸は、光電変換部510に交差している。これにより、光電変換部510は、受光面積を大きく確保してその感度を向上できる。複数の光電変換部320-1～320-4は、数を確保して解像度を向上しつつ、電荷電圧変換部40を共有することなどにより各光電変換部320の受光面積も確保できる。すなわち、画素領域PR内に異なる用途の光電変換部510及び複数の光電変換部320が配される場合に、各光電変換部510、320の受光面積をその用途に応じてそれぞれ確保できる。

[0117] 各転送部330の転送ゲート331は、図27に示すように、縦型で構成されてもよい点は、第3の実施形態と同様である。図27は、本開示の第5の実施形態に係る固体撮像装置の構成を示す断面図であり、図26をG-G線で切った場合の断面を示す。転送ゲート331は、基板内まで深さ方向に延びた縦型である。転送部330は、転送ゲート331にアクティブレベルの制御信号が供給された際に、対応する光電変換部320の半導体領域321に蓄積された電荷を半導体領域41へ転送する。

[0118] このとき、図26、図27に示すように、光電変換部410と電流読み出し回路50との接続形態と、光電変換部320と電圧読み出し回路260との接続形態とは、互いに異なる。光電変換部510は、電流読み出し回路50に直接的に接続されている。複数の光電変換部320は、対応する転送部330と共通の電荷電圧変換部40とを介して、共通の電圧読み出し回路260に接続されている。

[0119] 以上のように、第5の実施形態では、固体撮像装置501の各画素領域PRにおいて、光電変換部510と複数の光電変換部320-1～320-4とを光の入射方向に重ねて配置する。これにより、各光電変換部510、320の受光面積を容易に確保でき、各光電変換部510、320の開口率を容易に確保できる。

[0120] (5. 1 第5の実施形態の第1の変形例)

なお、固体撮像装置501の画素領域PRは、図28に示すように、他の画素領域PRと絶縁分離部D13を介して素子分離されていてもよい。絶縁分離部D13は、酸化シリコンなどの絶縁物を主成分とする材料で形成され得る。図28は、本開示の第5の実施形態の第1の変形例に係る固体撮像装置501の構成を示す平面図であり、複数の画素領域PRについて例示している。絶縁分離部D13は、図28に点線で示すように、RDTI型で構成され得る。絶縁分離部D13は、平面視において格子状に延び、複数の画素領域PRを区画するとともに、各画素領域PR内で複数の光電変換部320の間を略十字状に延びている。これにより、隣接する画素領域PR間の混色を抑制でき、各画素領域PR内の複数の光電変換部320間の混色を抑制できる。

[0121] (5. 2 第5の実施形態の第2の変形例)

あるいは、固体撮像装置501は、図29に示すように、図28の構成に対して、複数の光電変換部510の距離が近くなるようにレイアウト変更されてもよい。図29は、本開示の第5の実施形態の第2の変形例に係る固体撮像装置501の構成を示す平面図であり、複数の画素領域PRについて例示している。光電変換部510が跨っているのとは異なる方向に隣接する画素領域PR間で、電圧読み出し回路260の素子群が互いに遠い位置に配されている。これにより、図28に示す構成に比較して、光電変換部510が跨っているのとは異なる方向（図29では縦方向）において、複数の光電変換部510の半導体領域511の距離を互いに近くすることができる。

[0122] (5. 3 第5の実施形態の第3の変形例)

あるいは、固体撮像装置501は、図30に示すように、図29の構成に対して、距離が近づけられた複数の光電変換部510が共通化されてもよい。図30は、本開示の第5の実施形態の第3の変形例に係る固体撮像装置501の構成を示す平面図であり、複数の画素領域PRについて例示している。図30に示す光電変換部510'は、図29において距離が近づけられた方向（図29では縦方向）に並ぶ2つの光電変換部510が共通化されることで得られる。各光電変換部510'の半導体領域511'は、平面視において、複数の電荷電圧変換部40の間の位置で縦方向に延びた略I形状を有する。これにより、光電変換部510'の半導体領域511'の受光面積を大きく確保でき、光電変換部510'の感度を向上できる。

[0123] （5. 4 第5の実施形態の第4の変形例）

あるいは、固体撮像装置501は、図31に示すように、図30の構成に対して、共通化された複数の光電変換部510'がさらに共通化されてもよい。図31は、本開示の第5の実施形態の第4の変形例に係る固体撮像装置501の構成を示す平面図であり、複数の画素領域PRについて例示している。図31に示す光電変換部510''は、図30において共通化された方向と異なる方向（図31では横方向）に並ぶ2つの光電変換部510'が共通化されることで得られる。各光電変換部510''の半導体領域511''は、平面視において、複数の電荷電圧変換部40の間の位置を延びた略H形状を有する。これにより、光電変換部510''の半導体領域511''の受光面積をさらに大きく確保でき、光電変換部510''の感度をさらに向上できる。

[0124] （6. 第6の実施形態）

次に、第6の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第5の実施形態と異なる部分を中心に説明する。

[0125] 第1の実施形態～第5の実施形態では、オンチップレンズについて言及していないが、第6の実施形態では、オンチップレンズをイメージング用の光電変換部320に対応して設ける構成について例示する。

[0126] 具体的には、固体撮像装置501の各画素領域PRは、図32に一点鎖線

で示すように、複数のオンチップレンズ6-1~6-4を有する。図32は、本開示の第6の実施形態に係る固体撮像装置501の構成を示す平面図である。複数のオンチップレンズ6-1~6-4は、複数の光電変換部320-1~310-4に対応している。各オンチップレンズ6は、図33に示すように、対応する光電変換部320に対して光の入射方向に配される。図33は、本開示の第6の実施形態に係る固体撮像装置501の構成を示す断面図である。例えば、オンチップレンズ6-4は、半導体基板2の裏面を覆う絶縁膜5の裏面における光電変換部320-4に対応した位置に配されている。オンチップレンズ6-2は、絶縁膜5の裏面における光電変換部320-2に対応した位置に配されている。

[0127] 図32では、6つの画素領域PRは、実質的に6個の光電変換部510と、4個ごとに光電変換部510に重なる6×4個の光電変換部320と、光電変換部320の光の入射方向に光電変換部320に対応して配される6×4個のオンチップレンズ6とを有する。

[0128] すなわち、固体撮像装置501において、オンチップレンズ6の数がイメージング用の光電変換部320の数と同数で設けられている。これにより、各画素領域PRの複数の光電変換部320は、容易に高解像の画像を撮像できる。

[0129] なお、図33では、固体撮像装置501が裏面照射型である場合を例示し、オンチップレンズ6が対応する光電変換部320に対して裏面側に配されている。固体撮像装置501が表面照射型である場合には、オンチップレンズ6が対応する光電変換部320に対して表面側、すなわち半導体基板2の上方に配されることになる。

[0130] (6. 1 第6の実施形態の第1の変形例)

また、オンチップレンズ6'は、図34に一点鎖線で示すように、DVS用の光電変換部510に対応して設けられてもよい。図34は、本開示の第6の実施形態の第1の変形例に係る固体撮像装置501の構成を示す平面図である。各オンチップレンズ6'は、図35に示すように、対応する光電変

換部 510 に対して光の入射方向に配される。図 35 は、本開示の第 6 の実施形態に係る固体撮像装置 501 の構成を示す断面図である。例えば、オンチップレンズ 6' は、半導体基板 2 の裏面を覆う絶縁膜 5 の裏面における光電変換部 510 に対応した位置に配されている。

[0131] 図 34 では、6 つの画素領域 PR は、実質的に 6 個の光電変換部 510 と、4 個ごとに光電変換部 510 に重なる 6×4 個の光電変換部 320 と、光電変換部 510 の光の入射方向に光電変換部 510 に対応して配される実質的に 6 個のオンチップレンズ 6' とを有する。

[0132] すなわち、固体撮像装置 501 において、オンチップレンズ 6' の数が DV S 用の光電変換部 510 の数と同数で設けられている。これにより、各光電変換部 510 は、容易にその感度を向上できる。

[0133] このとき、図 34 に示すように、オンチップレンズ 6' に重なる複数の光電変換部 320-1 ~ 310-4 は、瞳分割された画像を撮像する。これにより、複数の光電変換部 320-1 ~ 310-4 の画素信号を電圧読み出し回路 260 で読み出し得られた複数の画像の視差を検出し、複数の画像の視差に基づいて被写体までの距離を計測することができる。このとき、電圧読み出し回路 260 は、複数の画像の視差を検出する視差検出回路であり、被写体までの距離を計測する距離計測回路である。また、オンチップレンズ 6' に重なる複数の光電変換部 320-1 ~ 310-4 の画素信号を例えば電荷電圧変換部 40 で加算して電圧読み出し回路 260 で読み出して階調値に相当する信号を得てもよい。このとき、電圧読み出し回路 260 は、画素信号を階調値に変換する階調変換回路である。

[0134] なお、図 35 では、固体撮像装置 501 が裏面照射型である場合を例示し、オンチップレンズ 6' が対応する光電変換部 510 に対して裏面側に配されている。固体撮像装置 501 が表面照射型である場合には、オンチップレンズ 6' が対応する光電変換部 510 に対して表面側、すなわち半導体基板 2 の上方に配されることになる。

[0135] (7. 第 7 の実施形態)

次に、第7の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第6の実施形態と異なる部分を中心に説明する。

[0136] 第1の実施形態～第6の実施形態では、互いに用途の異なる光電変換部及びその読み出し回路が1つの半導体チップに実装される構成を例示しているが、第7の実施形態では、それらの構成が複数チップに分散して実装される構成について例示する。

[0137] 具体的には、固体撮像装置701は、図36に示すように、チップCH1とチップCH2との貼り合わせで構成される。図36は、本開示の第7の実施形態に係る固体撮像装置701の構成を示す断面図である。異なる用途の複数の光電変換部10、20と電圧読み出し回路60はチップCH1に配されるが、電流読み出し回路750がチップCH2に配される。

[0138] チップCH1の画素領域PRは、光電変換部10、光電変換部20、転送部30、及び電荷電圧変換部40を有する。複数の光電変換部10、20を光の入射方向に重ねて配置する点は、第1の実施形態と同様である。

[0139] 光電変換部10は、配線8及び配線708を介して電流読み出し回路750に接続される。配線8は、光電変換部10からチップCH1の層間絶縁膜7を貫通し配線708に電氣的に接続される。配線8は、光電変換部10の半導体領域11の上に順に積層されたプラグ8a、導電膜8b、プラグ8c、導電膜8dを有する。配線708は、配線8からチップCH2の層間絶縁膜707を貫通し電流読み出し回路750に電氣的に接続される。配線708は、導電膜8dの上に順に積層された導電膜708a、プラグ708b、ライン708cを有する。導電膜8d及び配線708は、互いに接合されている。導電膜8d及び配線708がそれぞれ銅を主成分とする材料で形成される場合、導電膜8d及び配線708の接合をCu-Cu接合と呼ぶこともある。

[0140] このとき、光電変換部10と電流読み出し回路750との接続形態と、光電変換部20と電圧読み出し回路60との接続形態とは、互いに異なる。光電変換部10は、チップ間の接続配線8、708を介して電流読み出し回路

50に接続されている。光電変換部20は、転送部30及び電荷電圧変換部40を介して電圧読み出し回路60に接続されている。これにより、チップCH1、CH2の平面寸法の増大を抑制しながら電流読み出し回路750の回路面積を容易に確保できる。また、電流読み出し回路750を光電変換部10の上方に配置できるので、接続における寄生容量を減らすことができる。なお、容量調整や接続ピッチにより、電流読み出し回路750を光電変換部10の上方から平面方向にずらして配置してもよい。

[0141] 以上のように、第7の実施形態では、固体撮像装置701の各画素領域PRにおいて、光電変換部10と光電変換部20とを光の入射方向に重ねて配置する。これにより、各光電変換部10、20の受光面積を容易に確保でき、各光電変換部10、20の開口率を容易に確保できる。

[0142] なお、配線8と配線708との接続は、Cu-Cu接合等の導電膜同志の接合のほか、TSV(Through Silicon Via)による接続、マイクロバンプによる接続などであってもよい。

[0143] また、電圧読み出し回路60をさらにチップCH2に配し、チップ間の接続配線8、708と同様の接続配線を介して電荷電圧変換部40を電圧読み出し回路60に接続してもよい。あるいは、電荷電圧変換部40からチップCH1内のソースフォロワ回路などを介してチップCH2に接続してもよいし、チップCH1内の画素周辺部まで縦(または横)読み出し線をつかい伸ばした後、チップCH2に接続してもよい。

[0144] (7.1 第7の実施形態の第1の変形例)

あるいは、固体撮像装置701iにおいて、図37に示すように、電流読み出し回路750がその一部750aと他の一部750bとに分割され、一部750aがチップCH1に配され他の一部750bがチップCH2に配され、一部750a及び他の一部750bがチップ間の接続配線8、708を介して接続されてもよい。図37は、本開示の第7の実施形態の第1の変形例に係る固体撮像装置701iの構成を示す断面図である。

[0145] 電流読み出し回路の一部750aは、半導体領域751、ゲート電極75

2、半導体領域753を有する。半導体領域751は、ライン9を介して光電変換部10の半導体領域11に電氣的に接続されている。ソースとしての半導体領域751、ゲート電極752、ドレインとしての半導体領域753で構成されるトランジスタは、ゲート電極752にアクティブレベルの信号が供給された際に、光電変換部10からの電流に応じた信号を半導体領域751、半導体領域753、接続配線8、708経由で電流読み出し回路の他の一部750bへ伝達する。すなわち、電流読み出し回路750をチップCH1とチップCH2とへ分割して配置するので、チップCH1、CH2の平面寸法の増大をさらに抑制しながら電流読み出し回路750の回路面積を容易に確保できる。

[0146] (8. 第8の実施形態)

次に、第8の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第7の実施形態と異なる部分を中心に説明する。

[0147] 第1の実施形態～第7の実施形態では、DVS用の光電変換部がイメージング用の光電変換部より基板の表面側に配される構成を例示しているが、第8の実施形態では、イメージング用の光電変換部がDVS用の光電変換部の主要部より基板の表面側に配される構成について例示する。

[0148] 具体的には、固体撮像装置801の画素領域PRは、図38に示すように、光電変換部10、光電変換部20及び転送部30（図1参照）に代えて、光電変換部810、光電変換部820、及び転送部30kを有する。図38は、本開示の第8の実施形態に係る固体撮像装置801の構成を示す断面図である。光電変換部810及び光電変換部820は、いずれも埋め込み型であり、光電変換部820は、光電変換部810の主要部より半導体基板2内の浅い位置に配されている。光電変換部810は、その主要部が光電変換部820より深い位置に配されつつ、深い位置から浅い位置まで引き出されるように構成されている。

[0149] 光電変換部820が半導体基板2内の浅い位置に配されることに応じて、転送部30kは、第1の実施形態の第4の変形例の転送部30k（図6参照

）と同様に構成され、プレーナ型のゲート電極 31k を有する。

[0150] 光電変換部 810 は、半導体領域 811 及び引き出し部 812 を有する。光電変換部 820 は、半導体領域 821 を有する。半導体領域 811 は、光電変換部 810 の主要部であり、半導体基板 2 の表面より深い位置に配され、半導体領域 821 より深い位置に配されている。半導体領域 811 は、光の入射方向から透視した場合に半導体領域 821 に重なる。半導体領域 811 は、深さ方向において半導体領域 821 から離間している。引き出し部 812 は、半導体領域 811 における半導体領域 41 の反対側の端部から深さ方向に半導体基板 2 の表面付近まで延びている。引き出し部 812 は、平面方向において半導体領域 821 から離間している。半導体領域 811 及び引き出し部 812 は、それぞれ、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高い第 2 の濃度で含む。

[0151] 以上のように、第 8 の実施形態では、固体撮像装置 801 の各画素領域 P R において、光電変換部 810 の主要部と光電変換部 820 とを光の入射方向に重ねて配置する。これにより、各光電変換部 810、820 の受光面積を容易に確保でき、各光電変換部 810、820 の開口率を容易に確保できる。

[0152] （8. 1 第 8 の実施形態の第 1 の変形例）

なお、固体撮像装置 801 i の画素領域 P R において、光電変換部 810 の引き出し部 812 i は、図 39 に示すように、金属等の導電物質で形成されていてもよい。図 39 は、本開示の第 8 の実施形態の第 1 の変形例に係る固体撮像装置 801 i の構成を示す断面図である。引き出し部 812 i を導電物質で形成することで、半導体領域 811 及び電流読み出し回路 50 の接続における寄生抵抗成分を低減できる。

[0153] （9. 第 9 の実施形態）

次に、第 9 の実施形態にかかる固体撮像装置について説明する。以下では、第 1 の実施形態～第 8 の実施形態と異なる部分を中心に説明する。

[0154] 第 1 の実施形態～第 8 の実施形態では、各画素領域 P R におけるイメージ

ング用の光電変換部が基板内の深さ方向に１層で配される構成を例示しているが、第９の実施形態では、イメージング用の光電変換部が基板内に深さ方向に複数層で配される構成について例示する。

[0155] 具体的には、固体撮像装置９０１の画素領域ＰＲは、図４０に示すように、光電変換部９２０、転送部９３０、及び電荷電圧変換部９４０をさらに有する。図４０は、本開示の第９の実施形態に係る固体撮像装置９０１の構成を示す断面図である。

[0156] 光電変換部９２０は、埋め込み型であり、半導体領域９２１を有する。半導体領域９２１は、半導体基板２の表面より深い位置に配され、半導体領域１１及び半導体領域２１より深い位置に配されている。半導体領域９２１は、光の入射方向から透視した場合に半導体領域１１及び半導体領域２１のそれぞれに重なる。半導体領域１１の光軸ＰＸ１１は、半導体領域２１及び半導体領域９２１のそれぞれに交差する。半導体領域２１の光軸ＰＸ２１は、半導体領域１１及び半導体領域９２１のそれぞれに交差する。半導体領域９２１の光軸ＰＸ９２１は、半導体領域１１及び半導体領域２１のそれぞれに交差する。半導体領域９２１は、深さ方向において半導体領域１１及び半導体領域２１のそれぞれから離間している。半導体領域９２１は、第２の導電型（例えば、Ｎ型）の不純物を第１の濃度より高く第２の濃度より低い第３の濃度で含む。

[0157] 転送部９３０は、光電変換部９２０に蓄積された電荷を電荷電圧変換部９４０へ転送する。電荷電圧変換部９４０は、転送された電荷を電圧に変換する。電荷電圧変換部９４０は、例えばフローティングディフュージョンＦＤとして機能し、半導体領域９４１を有する。半導体領域９４１は、第２の導電型（例えば、Ｎ型）の不純物を第１の濃度より高い第２の濃度で含む。

[0158] 転送部９３０は、例えば転送トランジスタとして機能し、ソースとしての半導体領域９２１、ゲートとしての転送ゲート９３１、ドレインとしての半導体領域９４１を有する。転送ゲート９３１は、基板内まで深さ方向に延びた縦型である。転送ゲート９３１は、ゲート絶縁膜３を介して半導体基板２

の表面を覆う平板部 931a と、平板部 931a からゲート絶縁膜 3 を貫通して半導体基板 2 内を深さ方向に半導体領域 11 及び半導体領域 21 より深く且つ半導体領域 921 の深さ近傍まで延びたトレンチ部 931b とを有する。トレンチ部 931b の先端は、トレンチ部 31b の先端より基板内の深くに位置している。転送ゲート 931 は、不純物を含むポリシリコンで形成されてもよいし、タングステン等の金属で形成されてもよい。転送部 930 は、転送ゲート 931 にアクティブレベルの制御信号が供給された際に、半導体領域 921 に蓄積された電荷を半導体領域 941 へ転送する。

[0159] 例えば、光電変換部 10 で DVS 用の光電変換を行い、光電変換部 20 で階調値取得用の光電変換を行い、光電変換部 920 で距離検出用の光電変換を行うなど、さらに多くの異なる用途の光電変換部を各画素領域 PR 内に集積することができる。

[0160] 以上のように、第 9 の実施形態では、固体撮像装置 901 の各画素領域 PR において、光電変換部 10 と光電変換部 20 と光電変換部 920 とを光の入射方向に重ねて配置する。これにより、光電変換部 10, 20, 920 の集積度を上げながら、各光電変換部 10, 20, 920 の受光面積を容易に確保でき、各光電変換部 10, 20, 920 の開口率を容易に確保できる。

[0161] なお、図 40 では、電荷電圧変換部 40 に接続される電圧読み出し回路 60 と電荷電圧変換部 940 に接続される電圧読み出し回路 60 とが別々である構成が例示されているが、電荷電圧変換部 40 及び電荷電圧変換部 940 が共通の電圧読み出し回路 60 に接続されていてもよい。この場合、転送部 30 による電荷の転送と転送部 930 による電荷の転送とは、互いに相補的な期間に行われてもよい。これにより、電荷電圧変換部 40 から電圧読み出し回路 60 への電圧の読み出しと電荷電圧変換部 940 から電圧読み出し回路 60 への電圧の読み出しとが互いに相補的な期間に行われるようにすることができ、それぞれの信号を互いに相補的な期間に処理することができる。

[0162] (10. 第 10 の実施形態)

次に、第 10 の実施形態にかかる固体撮像装置について説明する。以下で

は、第 1 の実施形態～第 9 の実施形態と異なる部分を中心に説明する。

[0163] 第 1 の実施形態～第 9 の実施形態では、イメージング用の各光電変換部が 1 つの転送部及び 1 つの電荷電圧変換部に対応する構成を例示しているが、第 10 の実施形態では、イメージング用の各光電変換部が複数の転送部及び複数の電荷電圧変換部に対応する構成について例示する。

[0164] 具体的には、固体撮像装置 1001 の画素領域 PR は、図 41 に示すように、転送部 1030、及び電荷電圧変換部 1040 をさらに有する。図 41 は、本開示の第 10 の実施形態に係る固体撮像装置 1001 の構成を示す断面図である。

[0165] 転送部 1030 は、光電変換部 20 に蓄積された電荷を電荷電圧変換部 1040 へ転送する。電荷電圧変換部 1040 は、転送された電荷を電圧に変換する。電荷電圧変換部 1040 は、例えばフローティングディフュージョン FD として機能し、半導体領域 1041 を有する。半導体領域 1041 は、第 2 の導電型（例えば、N 型）の不純物を第 1 の濃度より高い第 2 の濃度で含む。

[0166] 転送部 1030 は、例えば転送トランジスタとして機能し、ソースとしての半導体領域 21、ゲートとしての転送ゲート 1031、ドレインとしての半導体領域 1041 を有する。転送ゲート 1031 は、基板内まで深さ方向に延びた縦型である。転送ゲート 1031 は、ゲート絶縁膜 3 を介して半導体基板 2 の表面を覆う平板部 1031a と、平板部 1031a からゲート絶縁膜 3 を貫通して半導体基板 2 内を深さ方向に半導体領域 11 より深く且つ半導体領域 21 の深さ近傍まで延びたトレンチ部 1031b とを有する。トレンチ部 1031b の先端は、トレンチ部 31b の先端と基板内の略同じ深さに位置している。転送ゲート 1031 は、不純物を含むポリシリコンで形成されてもよいし、タングステン等の金属で形成されてもよい。転送部 1030 は、転送ゲート 1031 にアクティブレベルの制御信号が供給された際に、半導体領域 921 に蓄積された電荷を半導体領域 941 へ転送する。

[0167] この画素領域 PR により、ToF (Time of Flight) 方式

の距離計測のための電荷蓄積動作が行われ得る。例えば、デューティ比50%でオン・オフを周期的に繰り返す第1の周期パルスで光源（図示せず）から物体へ変調された照射光を照射させ、その反射光を画素領域PRで撮像する際に、第1の周期パルスで転送部30の転送ゲート31をオン・オフさせ、第1の周期パルスに対して位相が反転された第2の周期パルスで転送部130の転送ゲート131をオン・オフさせる。これにより、電圧読み出し回路60は、電荷電圧変換部40経由で読み出された信号と電荷電圧変換部1040経由で読み出された信号との差分に基づいて照射光と反射光との位相差を求め、その位相差と光の速度とに応じて物体までの距離を求めることができる。このとき、電圧読み出し回路60は、T_oF方式の画素信号を処理するT_oF回路であり、物体（被写体）までの距離を計測する距離計測回路である。

[0168] 以上のように、第10の実施形態では、固体撮像装置1001の各画素領域PRにおいて、DVS用の光電変換部10と距離計測用の光電変換部20とを光の入射方向に重ねて配置する。これにより、各光電変換部10、20の受光面積を容易に確保でき、各光電変換部10、20の開口率を容易に確保できる。

[0169] (11. 第11の実施形態)

次に、第11の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第10の実施形態と異なる部分を中心に説明する。

[0170] 第1の実施形態～第10の実施形態では、DVS用の各光電変換部が基板内の半導体領域で実現される構成を例示しているが、第11の実施形態では、DVS用の各光電変換部が基板の上方に配される光電変換膜で実現される構成について例示する。

[0171] 具体的には、固体撮像装置1101の画素領域PRは、図42に示すように、光電変換部10及び光電変換部20（図1参照）に代えて、光電変換部1110及び光電変換部1120を有する。図42は、本開示の第11の実施形態に係る固体撮像装置1101の構成を示す断面図である。

[0172] 光電変換部 1 1 1 0 は、膜として半導体基板 2 の上方に配され、アノード電極膜 1 1 1 1、光電変換膜 1 1 1 2、及びカソード電極膜 1 1 1 3 を有する。高さ方向において、光電変換膜 1 1 1 2 は、アノード電極膜 1 1 1 1 及びカソード電極膜 1 1 1 3 に挟まれている。アノード電極膜 1 1 1 1 及びカソード電極膜 1 1 1 3 は、アルミニウム等の金属を主成分とする材料で形成され得る。光電変換膜 1 1 1 2 は、光電変換に適した有機物又は無機物で形成され得る。アノード電極膜 1 1 1 1 は、複数の画素領域 P R で共通化されてもよい。光電変換膜 1 1 1 2 は、画素領域 P R ごとに区画されていてもよい。カソード電極膜 1 1 1 3 は、画素領域 P R ごとに区画されていてもよい。アノード電極膜 1 1 1 1 には、例えば、バイアス電圧が印加される。カソード電極膜 1 1 1 3 は、電流読み出し回路 1 1 5 0 に電氣的に接続される。これにより、入射した光に応じて光電変換膜 1 1 1 2 で発生した電荷に応じた電流が電流読み出し回路 1 1 5 0 に読み出される。

[0173] 電流読み出し回路 1 1 5 0 は、その一部 1 1 5 0 a が画素領域 P R 内に配され、他の一部 1 1 5 0 b が画素領域 P R 外に配されていてもよい。一部 1 1 5 0 a は、半導体領域 1 1 5 1、ゲート電極 1 1 5 2、半導体領域 1 1 5 3 を有する。ソースとしての半導体領域 1 1 5 1、ゲート電極 1 1 5 2、ドレインとしての半導体領域 1 1 5 3 で構成されるトランジスタは、ゲート電極 1 1 5 2 にアクティブレベルの信号が供給された際に、光電変換部 1 1 1 0 からの電流に応じた信号を半導体領域 1 1 5 1、半導体領域 1 1 5 3 経由で電流読み出し回路の他の一部 1 1 5 0 b へ伝達する。

[0174] 光電変換部 1 1 2 0 は、埋め込み型であり、半導体領域 1 1 2 1 を有する。半導体領域 2 1 は、半導体基板 2 の表面より深い位置に配されている。半導体領域 1 1 2 1 は、光の入射方向から透視した場合に光電変換膜 1 1 1 2 に重なる。光電変換膜 1 1 1 2 の光軸 P X 1 1 1 2 は、半導体領域 1 1 2 1 に交差する。半導体領域 1 1 2 1 の光軸 P X 1 1 2 1 は、光電変換膜 1 1 1 2 に交差する。

[0175] 以上のように、第 1 1 の実施形態では、固体撮像装置 1 1 0 1 の各画素領

域PRにおいて、半導体領域としてのイメージング用の光電変換部1120の上方に膜としてのDVS用の光電変換部1110を配置することで、DVS用の光電変換部1110とイメージング用の光電変換部1120とを光の入射方向に重ねて配置する。これにより、各光電変換部1110、1120の受光面積を容易に確保でき、各光電変換部1110、1120の開口率を容易に確保できる。

[0176] (11.1 第11の実施形態の第1の変形例)

なお、固体撮像装置1101iの画素領域PRでは、図42に示す構成が図43に示すように複数チップに分割して配置されてもよい。図43は、本開示の第11の実施形態の第1の変形例に係る固体撮像装置1101iの構成を示す断面図である。

[0177] 固体撮像装置1101iは、チップCH1とチップCH2との貼り合わせで構成される。例えば、光電変換部1120、電圧読み出し回路60、電流読み出し回路1150の一部1150aがチップCH1に配され、光電変換部1110、電流読み出し回路1150の他の一部1150bがチップCH2に配される。光電変換部1110において、アノード電極1111が光電変換膜1112に対してチップCH2の基板702側に配され、カソード電極1113が光電変換膜1112に対してチップCH1側に配されている。光電変換部1110のカソード電極膜1113は、チップCH2の層間絶縁膜707を貫通する配線708とチップCH1の層間絶縁膜7を貫通する配線8とを介して半導体領域1151に電氣的に接続されている。半導体領域1153は、チップCH1の層間絶縁膜7を貫通する配線8'とチップCH2の層間絶縁膜707及び光電変換部1110を貫通する配線708'とを介して電流読み出し回路1150の他の一部1150bに電氣的に接続されている。光電変換部1110における光電変換膜1112及びアノード電極膜1111は、それぞれ、開口1112a及び開口1111aを有しており、それぞれの内側に絶縁膜を介して配線708'が貫通していてもよい。

[0178] このような構成によっても、半導体領域としてのイメージング用の光電変

換部 1120 の上方に膜としての DVS 用の光電変換部 1110 を配置でき、DVS 用の光電変換部 1110 とイメージング用の光電変換部 1120 とを光の入射方向に重ねて配置することができる。

[0179] (11.2 第11の実施形態の第2の変形例)

あるいは、固体撮像装置 1101i の画素領域 PR では、図 42 に示す構成が図 44 に示すように複数チップに分割して配置されてもよい。図 44 は、本開示の第 11 の実施形態の第 2 の変形例に係る固体撮像装置 1101i の構成を示す断面図である。

[0180] 固体撮像装置 1101j は、チップ CH1 とチップ CH2 との貼り合わせで構成される。例えば、光電変換部 1120、電圧読み出し回路 60 がチップ CH1 に配され、光電変換部 1110、電流読み出し回路 1150 がチップ CH2 に配される。光電変換部 1110 において、カソード電極 1113 が光電変換膜 1112 に対してチップ CH2 の基板 702 側に配され、アノード電極 1111 が光電変換膜 1112 に対してチップ CH1 側に配されている。光電変換部 1110 のカソード電極膜 1113 は、チップ CH2 の層間絶縁膜 707 を貫通する配線 708'' を介して電流読み出し回路 1150 に電氣的に接続されている。

[0181] このような構成によっても、半導体領域としてのイメージング用の光電変換部 1120 の上方に膜としての DVS 用の光電変換部 1110 を配置でき、DVS 用の光電変換部 1110 とイメージング用の光電変換部 1120 とを光の入射方向に重ねて配置することができる。

[0182] (11.3 第11の実施形態の第3の変形例)

あるいは、固体撮像装置 1101k の画素領域 PR において、図 45 に示すように、膜としての光電変換部が半導体基板の裏面側に配されてもよい。図 45 は、本開示の第 11 の実施形態の第 3 の変形例に係る固体撮像装置 1101k の構成を示す断面図である。

[0183] 固体撮像装置 1101k の画素領域 PR において、光電変換部 1110 は、半導体基板 2 の裏面を覆う層間絶縁膜 9 を介して光電変換部 1120 の下

方に配されている。光電変換部 1110 において、アノード電極 1111 が光電変換膜 1112 に対して半導体基板 2 の反対側に配され、カソード電極 1113 が光電変換膜 1112 に対して半導体基板 2 の側に配されている。光電変換部 1110 のカソード電極膜 1113 は、配線 8k を介して電流読み出し回路 1150 に電氣的に接続されている。配線 8k は、プラグ 8k1、導電膜 8k2、及びプラグ 8k3 を有する。プラグ 8k1 は、カソード電極 1113 から層間絶縁膜 9、半導体基板 2、層間絶縁膜 7 を貫通して導電膜 8k2 に電氣的に接続されている。プラグ 8k3 は、導電膜 8k2 から層間絶縁膜 7 を貫通して電流読み出し回路 1150 の半導体領域 1151 に電氣的に接続されている。

[0184] このような構成によっても、半導体領域としてのイメージング用の光電変換部 1120 の下方に膜としての DVS 用の光電変換部 1110 を配置でき、DVS 用の光電変換部 1110 とイメージング用の光電変換部 1120 とを光の入射方向に重ねて配置することができる。

[0185] (11.4 第 11 の実施形態の第 4 の変形例)

あるいは、固体撮像装置 1101n の画素領域 PR では、図 45 に示す構成が図 46 に示すように複数チップに分割して配置されてもよい。図 46 は、本開示の第 11 の実施形態の第 4 の変形例に係る固体撮像装置 1101n の構成を示す断面図である。

[0186] 固体撮像装置 1101n は、チップ CH1 とチップ CH2 との貼り合わせで構成される。例えば、光電変換部 1110、光電変換部 1120、電圧読み出し回路 60、電流読み出し回路 1150 の一部 1150a がチップ CH1 に配され、電流読み出し回路 1150 の他の一部 1150b がチップ CH2 に配される。

[0187] このような構成によっても、半導体領域としてのイメージング用の光電変換部 1120 の下方に膜としての DVS 用の光電変換部 1110 を配置でき、DVS 用の光電変換部 1110 とイメージング用の光電変換部 1120 とを光の入射方向に重ねて配置することができる。

[0188] (11.5 第11の実施形態の第5の変形例)

あるいは、固体撮像装置1101nの画素領域PRでは、図45に示す構成が図47に示すように複数チップに分割して配置されてもよい。図47は、本開示の第11の実施形態の第5の変形例に係る固体撮像装置1101pの構成を示す断面図である。

[0189] 固体撮像装置1101pは、チップCH1とチップCH2との貼り合わせで構成される。例えば、光電変換部1110、光電変換部1120、電圧読み出し回路60、がチップCH1に配され、電流読み出し回路1150がチップCH2に配される。光電変換部1110におけるカソード電極膜1113は、チップCH1における配線8p、チップCH2における配線708、半導体領域7021等を介して電流読み出し回路1150に電氣的に接続されている。配線8pは、カソード電極膜1113から層間絶縁膜9、半導体基板2、層間絶縁膜7を貫通し配線708に電氣的に接続されている。

[0190] このような構成によっても、半導体領域としてのイメージング用の光電変換部1120の下方に膜としてのDVS用の光電変換部1110を配置でき、DVS用の光電変換部1110とイメージング用の光電変換部1120とを光の入射方向に重ねて配置することができる。

[0191] (12. 第12の実施形態)

次に、第12の実施形態にかかる固体撮像装置について説明する。以下では、第1の実施形態～第11の実施形態と異なる部分を中心に説明する。

[0192] 第7の実施形態では、用途の異なる複数の光電変換部とそれに対応して種類の異なる複数の読み出し回路との複数対の接続構成の一部がチップ間にまたがる構成を例示しているが、第12の実施形態では、複数対の接続構成がチップ毎に独立して実現される構成について例示する。

[0193] 具体的には、固体撮像装置1201は、図48に示すように、チップCH12の表面がチップCH11の裏面に接触するように、チップCH11とチップCH12との貼り合わせで構成される。図48は、本開示の第12の実施形態に係る固体撮像装置1201の構成を示す断面図である。光電変換部

1210、転送部1230、電荷電圧保持部1240、電流読み出し回路50はチップCH11に配され、光電変換部1220、転送部30、電荷電圧変換部40、電圧読み出し回路60はチップCH12に配される。

[0194] このとき、チップCH11とチップCH12とが同様に構成されてもよい。例えば、チップCH11の光電変換部1210は、埋め込み型であり、半導体基板1202の表面より深い位置に配された半導体領域1211を有する。チップCH12の光電変換部1220は、埋め込み型であり、半導体基板2の表面より深い位置に配された半導体領域1221を有する。チップCH11の転送部1230は、縦型のゲート電極1231を有し、チップCH12の転送部30は、縦型のゲート電極31を有する。チップCH11の電荷保持部1240は、その表面が半導体基板1202の表面の一部を構成する半導体領域1241を有し、チップCH12の電荷電圧変換部40は、その表面が半導体基板2の表面の一部を構成する半導体領域1241を有する。これにより、各チップCH11、CH12の製造コストを容易に低減できる。

[0195] また、チップCH12の光電変換部1220の半導体領域1221は、光の入射方向から透視した場合に、チップCH11の光電変換部1210の半導体領域1211に重なる。半導体領域1211の光軸PX1211は、半導体領域1221に交差する。半導体領域1221の光軸PX1221は、半導体領域1211に交差する。

[0196] このような構成によっても、半導体領域としてのイメージング用の光電変換部1220の下方にDVS用の光電変換部1210を配置でき、DVS用の光電変換部1210とイメージング用の光電変換部1220とを光の入射方向に重ねて配置することができる。

[0197] (12.1 第12の実施形態の第1の変形例)

なお、固体撮像装置1201iは、図49に示すように、チップCH12の裏面がチップCH11の裏面に接触するように、チップCH11とチップCH12との貼り合わせで構成されてもよい。

[0198] このような構成によっても、半導体領域としてのイメージング用の光電変換部 1 2 2 0 の下方に D V S 用の光電変換部 1 2 1 0 を配置でき、D V S 用の光電変換部 1 2 1 0 とイメージング用の光電変換部 1 2 2 0 とを光の入射方向に重ねて配置することができる。

[0199] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0200] なお、本技術は以下のような構成も取ることができる。

(1)

複数の画素領域を備え、

前記複数の画素領域のそれぞれは、

第 1 の光電変換部と、

光の入射方向から透視した場合に前記第 1 の光電変換部に重なる第 2 の光電変換部と、

を有し、

前記第 1 の光電変換部及び前記第 2 の光電変換部のうち少なくとも一方は、埋め込み型であり、

前記第 1 の光電変換部及び前記第 2 の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される固体撮像装置。

(2)

前記第 1 の光電変換部は、前記第 1 の光電変換部からの電流を読み出す第 1 の読み出し回路に電氣的に接続され、

前記第 2 の光電変換部は、ハイインピーダンス入力であり前記第 2 の光電変換部の電荷から変換された電圧を読み出す第 2 の読み出し回路に電氣的に

接続される

上記（１）に記載の固体撮像装置。

（３）

前記第２の読み出し回路は、ソースフォロワ型の回路、ソース接地型の回路、又は差動回路である

上記（２）に記載の固体撮像装置。

（４）

前記第１の読み出し回路は、電流・対数電圧変換型の回路である

上記（２）又は（３）に記載の固体撮像装置。

（５）

前記第１の読み出し回路は、DVS（Dynamic Vision Sensing）回路である

上記（２）から（４）のいずれか１つに記載の固体撮像装置。

（６）

光の入射方向から透視した場合に前記第１の光電変換部に重なる第３の光電変換部をさらに備え、

前記第３の光電変換部は、ハイインピーダンス入力であり前記第３の光電変換部の電荷から変換された電圧を読み出す前記第１の読み出し回路又は第３の読み出し回路に電氣的に接続される

上記（２）から（５）のいずれか１つに記載の固体撮像装置。

（７）

前記第１の光電変換部は、イベント読み出し回路に電氣的に接続され、

前記第２の光電変換部は、階調変換回路に電氣的に接続される

上記（１）に記載の固体撮像装置。

（８）

前記イベント読み出し回路は、DVS（Dynamic Vision Sensing）回路であり、

前記階調変換回路は、ADC（Analog Digital Conv

ersion) 回路、又はADC回路の前段の回路である
上記(7)に記載の固体撮像装置。

(9)

前記第1の光電変換部は、イベント読み出し回路に電氣的に接続され、
前記第2の光電変換部は、距離計測回路に電氣的に接続される
上記(1)に記載の固体撮像装置。

(10)

前記距離計測回路は、ToF (Time of Flight) 回路、又は
視差検出回路であり、

前記イベント読み出し回路は、DVS回路である
上記(9)に記載の固体撮像装置。

(11)

複数の画素領域を備え、
前記複数の画素領域のそれぞれは、
第1の光電変換部と、
光の入射方向から透視した場合に前記第1の光電変換部に重なる複数の第
2の光電変換部と、
を有し、

前記複数の第2の光電変換部は、互いに同一の半導体層に含まれる埋め込
み型であり、

前記第1の光電変換部及び前記第2の光電変換部は、互いに種類の異なる
読み出し回路に電氣的に接続される
固体撮像装置。

(12)

前記複数の画素領域は、N、Mを2以上の整数とすると、N個の前記第
1の光電変換部と、M個ごとに前記第1の光電変換部に重なるN×M個の前
記第2の光電変換部と、前記第1の光電変換部の光の入射方向に前記第1の
光電変換部に対応して配されるN個のオンチップレンズとを備えた

上記（１１）に記載の固体撮像装置。

（１３）

前記複数の画素領域は、 N 、 M を２以上の整数とすると、 N 個の前記第１の光電変換部と、 M 個ごとに前記第１の光電変換部に重なる $N \times M$ 個の前記第２の光電変換部と、前記第２の光電変換部の光の入射方向に前記第２の光電変換部に対応して配される $N \times M$ 個のオンチップレンズとを備えた

上記（１１）に記載の固体撮像装置。

（１４）

前記複数の第２の光電変換部は、電氣的に接続される読み出し回路が共通化されている

上記（１１）から（１３）のいずれか１つに記載の固体撮像装置。

（１５）

前記複数の第２の光電変換部は、電氣的に接続される読み出し回路が共通化されていない

上記（１１）から（１３）のいずれか１つに記載の固体撮像装置。

（１６）

複数の画素領域を備え、

前記複数の画素領域のそれぞれは、

第１の光電変換部と、

光の入射方向から透視した場合に前記第１の光電変換部に重なる第２の光電変換部と、

を有し、

前記第１の光電変換部及び前記第２の光電変換部のうち少なくとも一方は、埋め込み型であり、

前記第１の光電変換部及び前記第２の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続され、読み出し回路への接続形態が互いに異なる

固体撮像装置。

(17)

前記第1の光電変換部は、第1の読み出し回路における第1のトランジスタのゲートに電氣的に接続され、

前記第2の光電変換部は、第2のトランジスタのソース及びドレインを介して第2の読み出し回路に電氣的に接続される
上記(16)に記載の固体撮像装置。

(18)

前記第2のトランジスタは、ゲートが基板内まで深さ方向に延びた縦型である
上記(17)に記載の固体撮像装置。

(19)

前記第1の光電変換部は、ゲートが前記基板の表面に沿った方向に延びたプレーナ型の第3のトランジスタのソース及びドレインを介して第1の読み出し回路に電氣的に接続され、

前記第2の光電変換部は、ゲートが基板内まで深さ方向に延びた縦型の第2のトランジスタのソース及びドレインを介して第2の読み出し回路に電氣的に接続される
上記(16)に記載の固体撮像装置。

(20)

複数の画素領域を備え、

前記複数の画素領域のそれぞれは、

第1の光電変換部と、

光の入射方向から透視した場合に前記第1の光電変換部に重なる第2の光電変換部と、

を有し、

前記第1の光電変換部及び前記第2の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続され、読み出し回路への接続形態が互いに異なり、

前記第 1 の光電変換部及び前記第 2 の光電変換部のうち、一方が基板内に配され、他方が前記基板内に配されていない
固体撮像装置。

(2 1)

前記第 1 の光電変換部は、第 1 のチップに配され、
前記第 2 の光電変換部は、前記第 1 のチップに貼り合わせられた第 2 のチップに配され、
前記第 1 の光電変換部は、DVS 回路に電氣的に接続され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続される
上記 (2 0) に記載の固体撮像装置。

(2 2)

前記第 1 の光電変換部及び前記第 2 の光電変換部は、同一チップに配され、
、
前記第 2 の光電変換部は、シリコンを主成分とする材料で形成され、
前記第 1 の光電変換部は、シリコン以外の光電変換可能な物質を主成分とする材料で形成され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続され、
前記第 1 の光電変換部は、DVS 回路に電氣的に接続される
上記 (2 0) に記載の固体撮像装置。

(2 3)

前記第 1 の光電変換部及び前記第 2 の光電変換部は、同一チップに配され、
、
前記第 2 の光電変換部は、半導体領域として前記基板内に配され、
前記第 1 の光電変換部は、膜として前記基板の上方に配され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続され、
前記第 1 の光電変換部は、DVS 回路に電氣的に接続される
上記 (2 0) に記載の固体撮像装置。

符号の説明

[0201] 1, 1 i, 1 j, 1 k, 1 n, 2 0 1, 2 0 1 i, 2 0 1 j, 3 0 1, 4
0 1, 5 0 1, 7 0 1, 7 0 1 i, 8 0 1, 8 0 1 i, 9 0 1, 1 0 0 1,
1 1 0 1, 1 1 0 1 i, 1 1 0 1 j, 1 1 0 1 k, 1 1 0 1 n, 1 1 0 1 p
, 1 2 0 1, 1 2 0 1 i 固体撮像装置
6, 6' オンチップレンズ
1 0, 1 0 i, 1 0 j, 1 0 k, 3 1 0, 3 1 0-1~3 1 0-4, 4 1
0, 5 1 0, 5 1 0', 5 1 0'', 8 1 0, 8 1 0 i, 1 1 1 0, 1 2 1 0
光電変換部
2 0, 2 0 k, 3 2 0, 3 2 0-1~3 2 0-4, 8 2 0, 9 2 0, 1 1
2 0, 1 2 2 0 光電変換部
3 0, 3 0 k, 3 3 0-1~3 3 0-4, 9 3 0, 1 0 3 0, 1 2 3 0
転送部
4 0, 9 4 0, 1 0 4 0 電荷電圧変換部
4 1 半導体領域
5 0, 2 5 0 i, 2 5 0 j, 7 5 0, 1 1 5 0 電流読み出し回路
6 0, 2 6 0 電圧読み出し回路
8 0 j 転送部
9 0 j バッファ部
1 3 0 n 転送部
1 4 0 n, 1 2 4 0 電荷保持部

請求の範囲

- [請求項1] 複数の画素領域を備え、
前記複数の画素領域のそれぞれは、
第1の光電変換部と、
光の入射方向から透視した場合に前記第1の光電変換部に重なる第2の光電変換部と、
を有し、
前記第1の光電変換部及び前記第2の光電変換部のうち少なくとも一方は、埋め込み型であり、
前記第1の光電変換部及び前記第2の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される
固体撮像装置。
- [請求項2] 前記第1の光電変換部は、前記第1の光電変換部からの電流を読み出す第1の読み出し回路に電氣的に接続され、
前記第2の光電変換部は、ハイインピーダンス入力であり前記第2の光電変換部の電荷から変換された電圧を読み出す第2の読み出し回路に電氣的に接続される
請求項1に記載の固体撮像装置。
- [請求項3] 前記第2の読み出し回路は、ソースフォロワ型の回路、ソース接地型の回路、又は差動回路である
請求項2に記載の固体撮像装置。
- [請求項4] 前記第1の読み出し回路は、電流・対数電圧変換型の回路である
請求項2に記載の固体撮像装置。
- [請求項5] 前記第1の読み出し回路は、DVS (Dynamic Vision Sensing) 回路である
請求項4に記載の固体撮像装置。
- [請求項6] 光の入射方向から透視した場合に前記第1の光電変換部に重なる第3の光電変換部をさらに備え、

前記第3の光電変換部は、ハイインピーダンス入力であり前記第3の光電変換部の電荷から変換された電圧を読み出す前記第1の読み出し回路又は第3の読み出し回路に電氣的に接続される請求項2に記載の固体撮像装置。

[請求項7] 前記第1の光電変換部は、イベント読み出し回路に電氣的に接続され、

前記第2の光電変換部は、階調変換回路に電氣的に接続される請求項1に記載の固体撮像装置。

[請求項8] 前記イベント読み出し回路は、DVS回路であり、
前記階調変換回路は、ADC (Analog Digital Conversion) 回路、又はADC回路の前段の回路である請求項7に記載の固体撮像装置。

[請求項9] 前記第1の光電変換部は、イベント読み出し回路に電氣的に接続され、

前記第2の光電変換部は、距離計測回路に電氣的に接続される請求項1に記載の固体撮像装置。

[請求項10] 前記距離計測回路は、ToF (Time of Flight) 回路、又は視差検出回路であり、

前記イベント読み出し回路は、DVS回路である請求項9に記載の固体撮像装置。

[請求項11] 複数の画素領域を備え、
前記複数の画素領域のそれぞれは、
第1の光電変換部と、
光の入射方向から透視した場合に前記第1の光電変換部に重なる複数の第2の光電変換部と、
を有し、
前記複数の第2の光電変換部は、互いに同一の半導体層に含まれる埋め込み型であり、

前記第 1 の光電変換部及び前記第 2 の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続される
固体撮像装置。

[請求項12] 前記複数の画素領域は、 N 、 M を 2 以上の整数とするとき、 N 個の前記第 1 の光電変換部と、 M 個ごとに前記第 1 の光電変換部に重なる $N \times M$ 個の前記第 2 の光電変換部と、前記第 1 の光電変換部の光の入射方向に前記第 1 の光電変換部に対応して配される N 個のオンチップレンズとを備えた
請求項 1 1 に記載の固体撮像装置。

[請求項13] 前記複数の画素領域は、 N 、 M を 2 以上の整数とするとき、 N 個の前記第 1 の光電変換部と、 M 個ごとに前記第 1 の光電変換部に重なる $N \times M$ 個の前記第 2 の光電変換部と、前記第 2 の光電変換部の光の入射方向に前記第 2 の光電変換部に対応して配される $N \times M$ 個のオンチップレンズとを備えた
請求項 1 1 に記載の固体撮像装置。

[請求項14] 前記複数の第 2 の光電変換部は、電氣的に接続される読み出し回路が共通化されている
請求項 1 1 に記載の固体撮像装置。

[請求項15] 前記複数の第 2 の光電変換部は、電氣的に接続される読み出し回路が共通化されていない
請求項 1 1 に記載の固体撮像装置。

[請求項16] 複数の画素領域を備え、
前記複数の画素領域のそれぞれは、
第 1 の光電変換部と、
光の入射方向から透視した場合に前記第 1 の光電変換部に重なる第 2 の光電変換部と、
を有し、
前記第 1 の光電変換部及び前記第 2 の光電変換部のうち少なくとも

一方は、埋め込み型であり、

前記第 1 の光電変換部及び前記第 2 の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続され、読み出し回路への接続形態が互いに異なる

固体撮像装置。

[請求項17] 前記第 1 の光電変換部は、第 1 の読み出し回路における第 1 のトランジスタのゲートに電氣的に接続され、

前記第 2 の光電変換部は、第 2 のトランジスタのソース及びドレインを介して第 2 の読み出し回路に電氣的に接続される

請求項 16 に記載の固体撮像装置。

[請求項18] 前記第 2 のトランジスタは、ゲートが基板内まで深さ方向に延びた縦型である

請求項 17 に記載の固体撮像装置。

[請求項19] 前記第 1 の光電変換部は、ゲートが基板の表面に沿った方向に延びたプレーナ型の第 3 のトランジスタのソース及びドレインを介して第 1 の読み出し回路に電氣的に接続され、

前記第 2 の光電変換部は、ゲートが基板内まで深さ方向に延びた縦型の第 2 のトランジスタのソース及びドレインを介して第 2 の読み出し回路に電氣的に接続される

請求項 16 に記載の固体撮像装置。

[請求項20] 複数の画素領域を備え、

前記複数の画素領域のそれぞれは、

第 1 の光電変換部と、

光の入射方向から透視した場合に前記第 1 の光電変換部に重なる第 2 の光電変換部と、

を有し、

前記第 1 の光電変換部及び前記第 2 の光電変換部は、互いに種類の異なる読み出し回路に電氣的に接続され、読み出し回路への接続形態

が互いに異なり、

前記第 1 の光電変換部及び前記第 2 の光電変換部のうち、一方が基板内に配され、他方が前記基板内に配されていない
固体撮像装置。

[請求項21]

前記第 1 の光電変換部は、第 1 のチップに配され、
前記第 2 の光電変換部は、前記第 1 のチップに貼り合わせられた第 2 のチップに配され、
前記第 1 の光電変換部は、DVS回路に電氣的に接続され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続される
請求項 20 に記載の固体撮像装置。

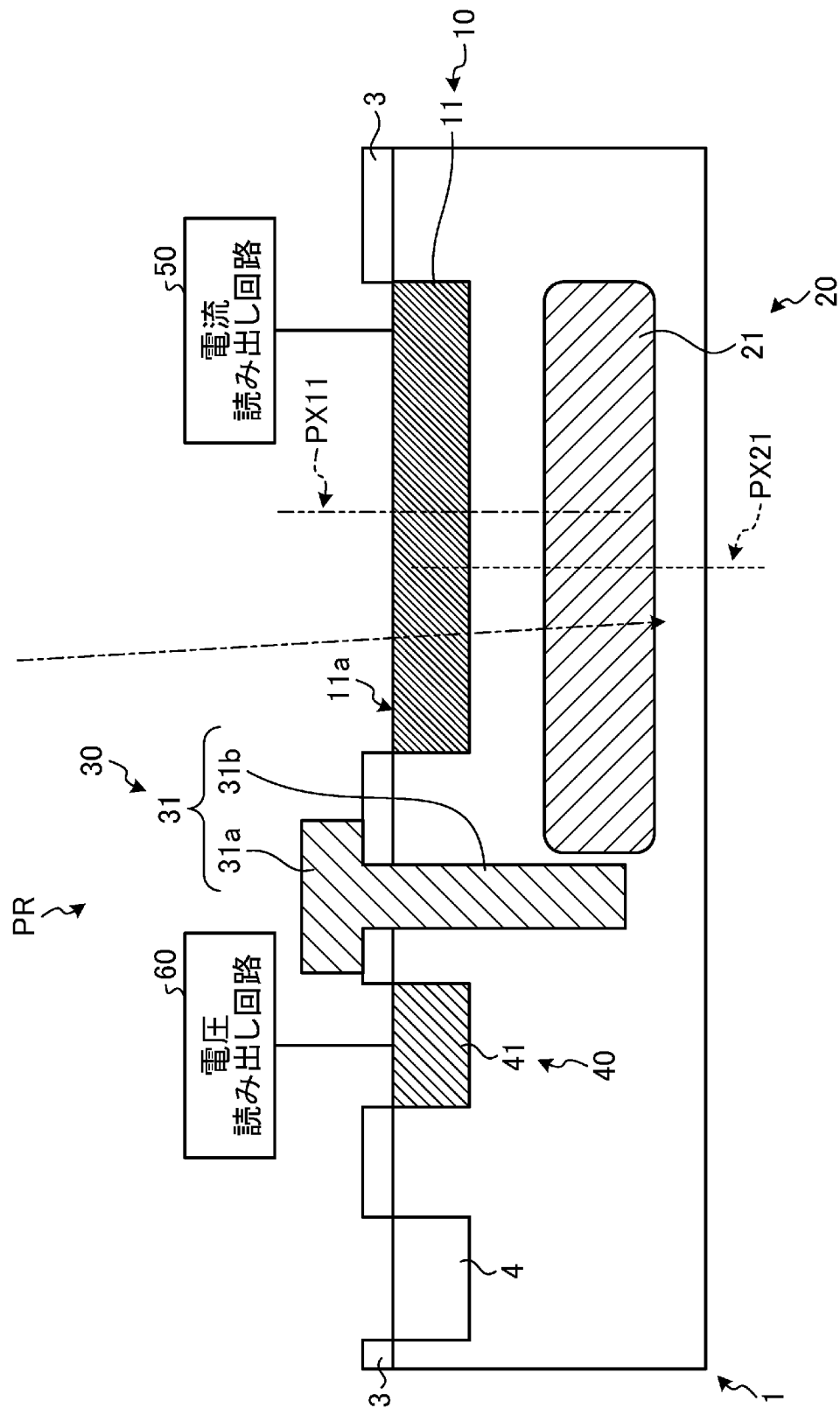
[請求項22]

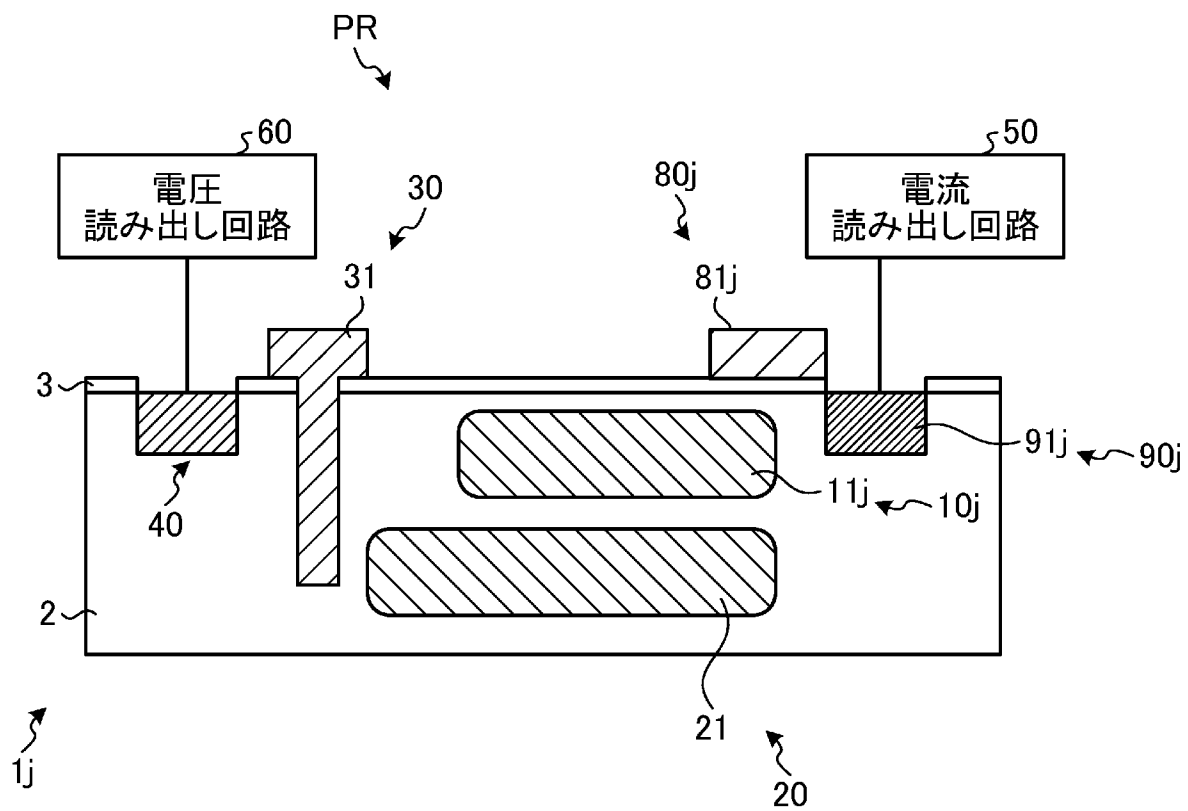
前記第 1 の光電変換部及び前記第 2 の光電変換部は、同一チップに配され、
前記第 2 の光電変換部は、シリコンを主成分とする材料で形成され、
前記第 1 の光電変換部は、シリコン以外の光電変換可能な物質を主成分とする材料で形成され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続され、
前記第 1 の光電変換部は、DVS回路に電氣的に接続される
請求項 20 に記載の固体撮像装置。

[請求項23]

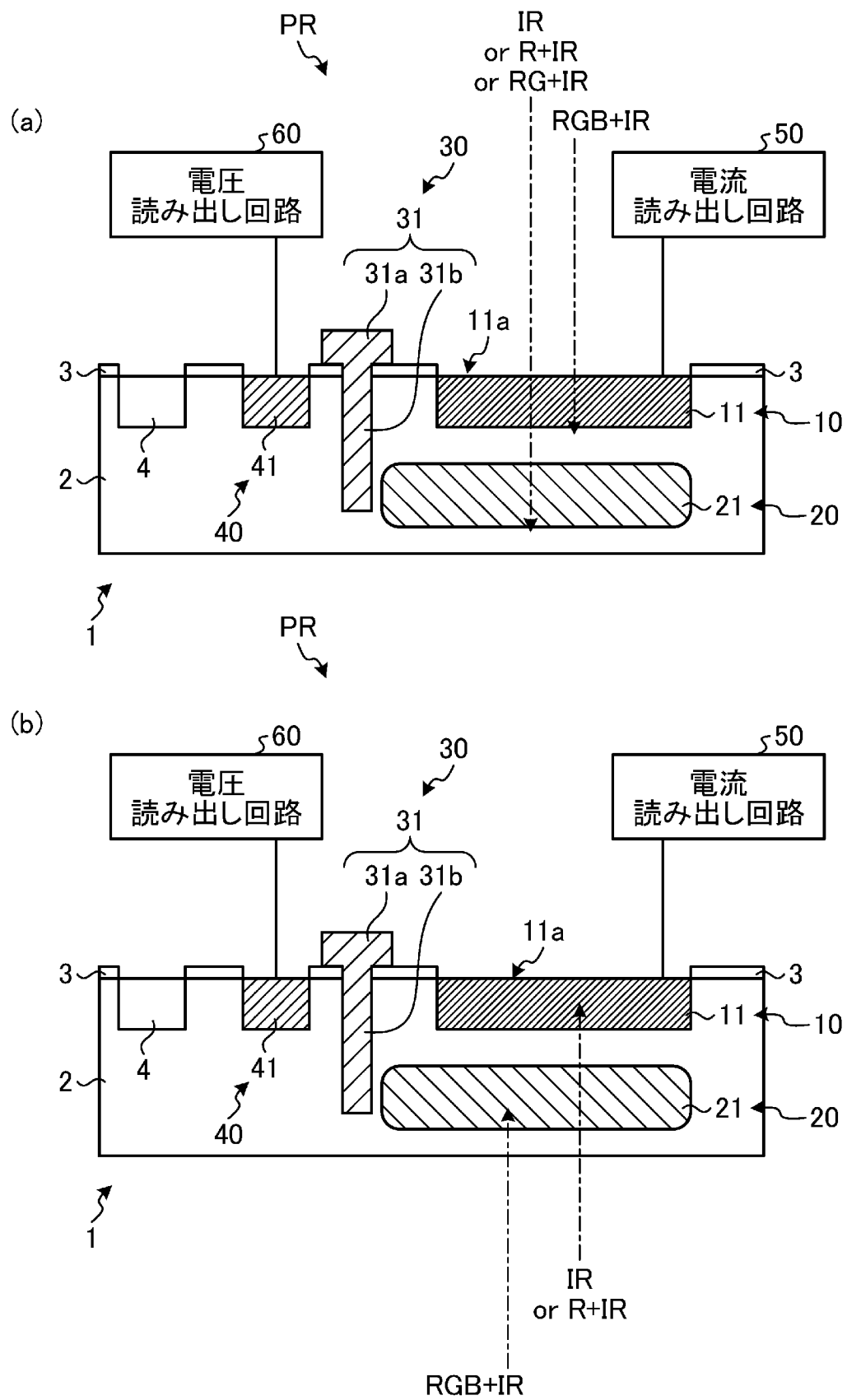
前記第 1 の光電変換部及び前記第 2 の光電変換部は、同一チップに配され、
前記第 2 の光電変換部は、半導体領域として前記基板内に配され、
前記第 1 の光電変換部は、膜として前記基板の上方に配され、
前記第 2 の光電変換部は、階調変換回路に電氣的に接続され、
前記第 1 の光電変換部は、DVS回路に電氣的に接続される
請求項 20 に記載の固体撮像装置。

[図1]

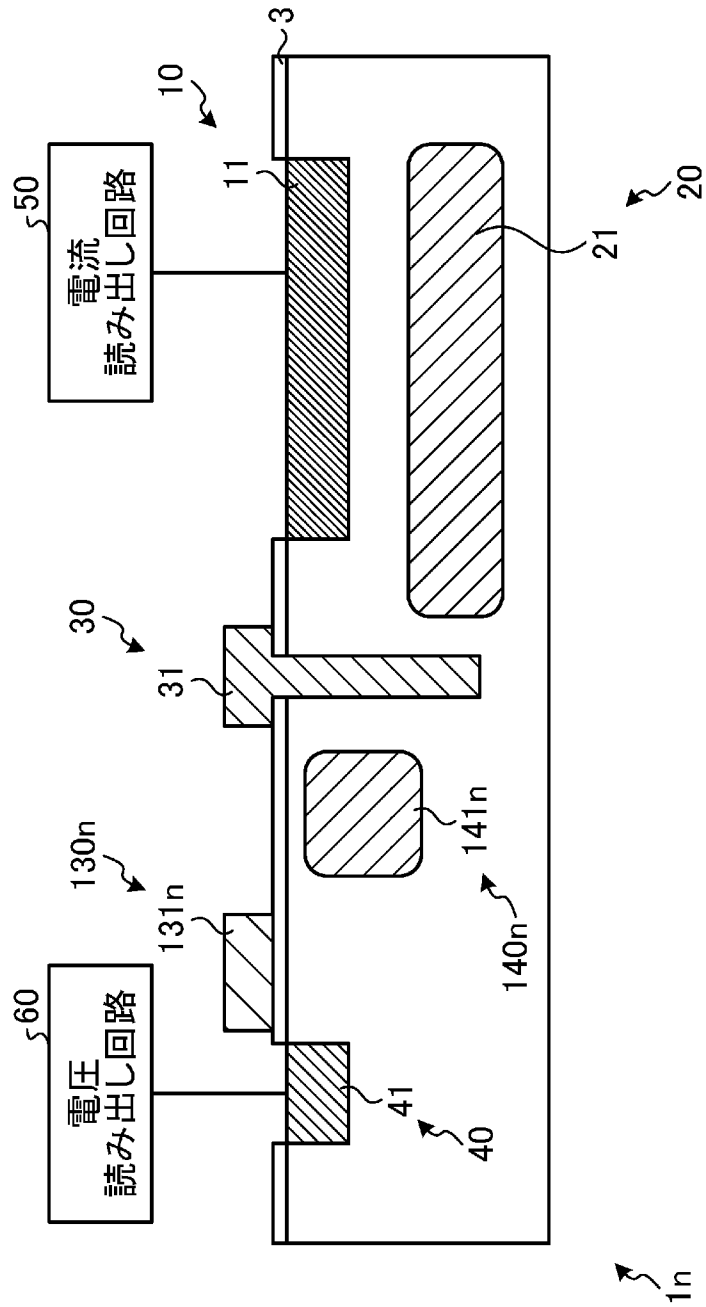




[図5]

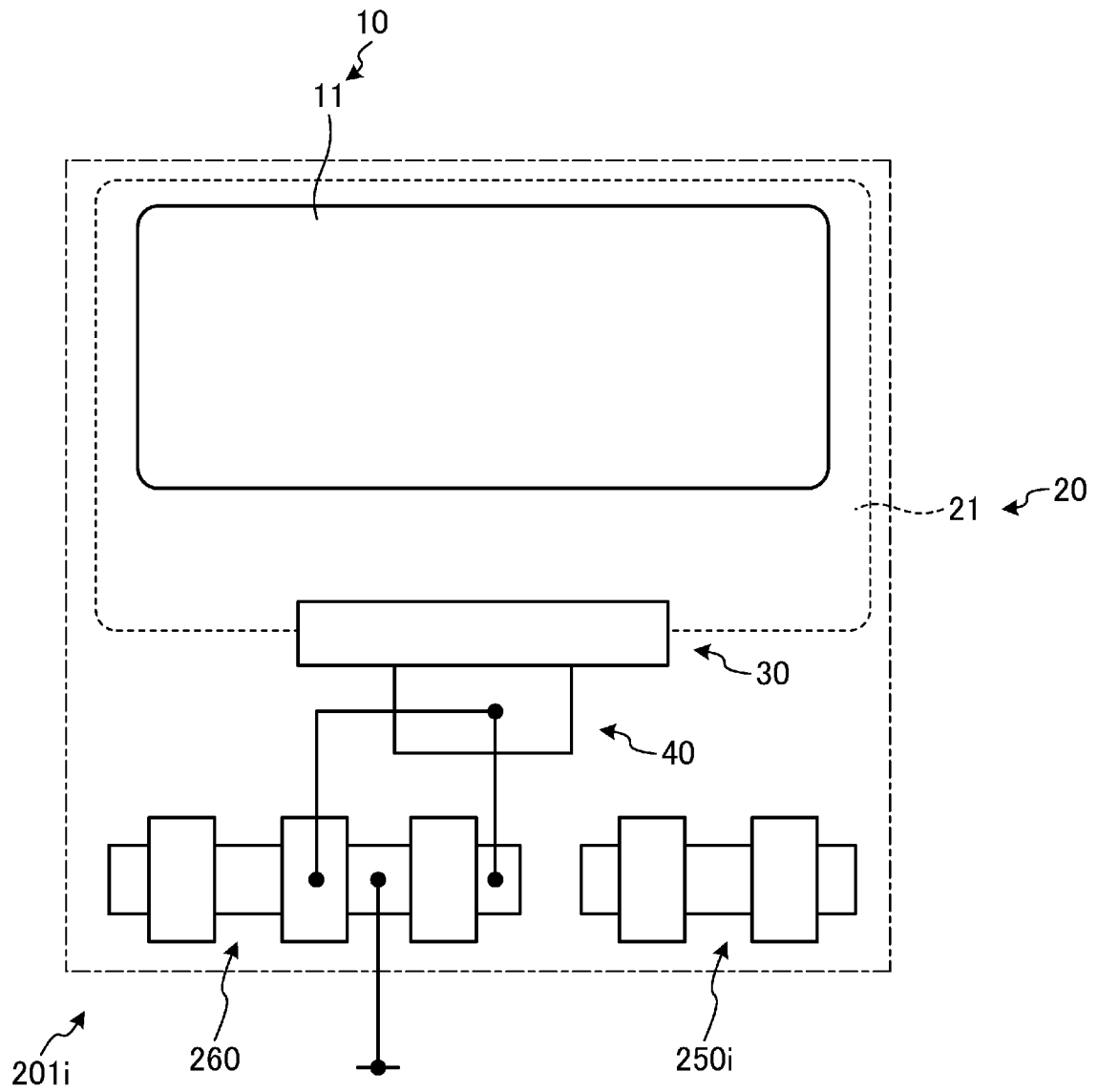


[図7]



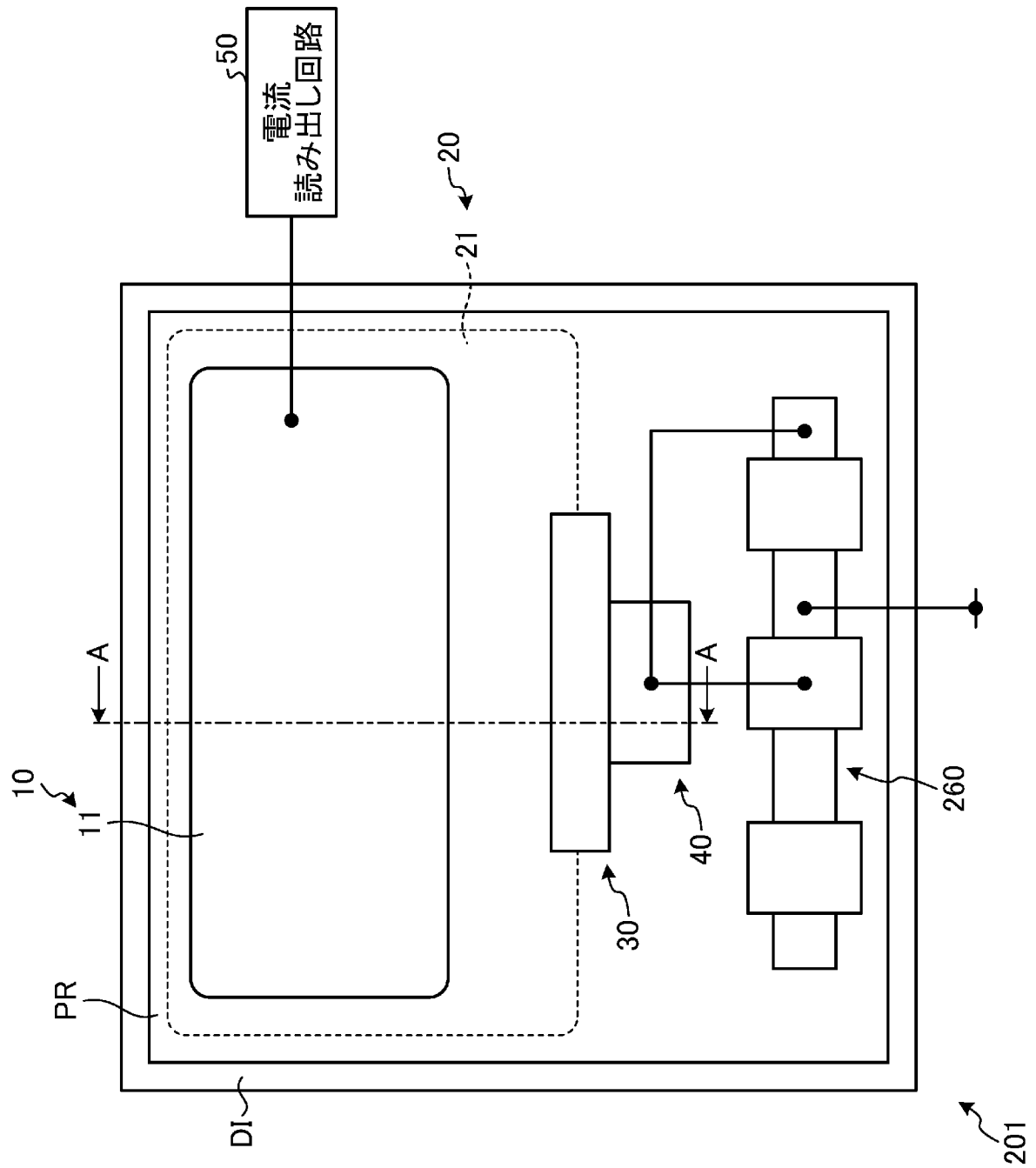
[illegible]

[図9]

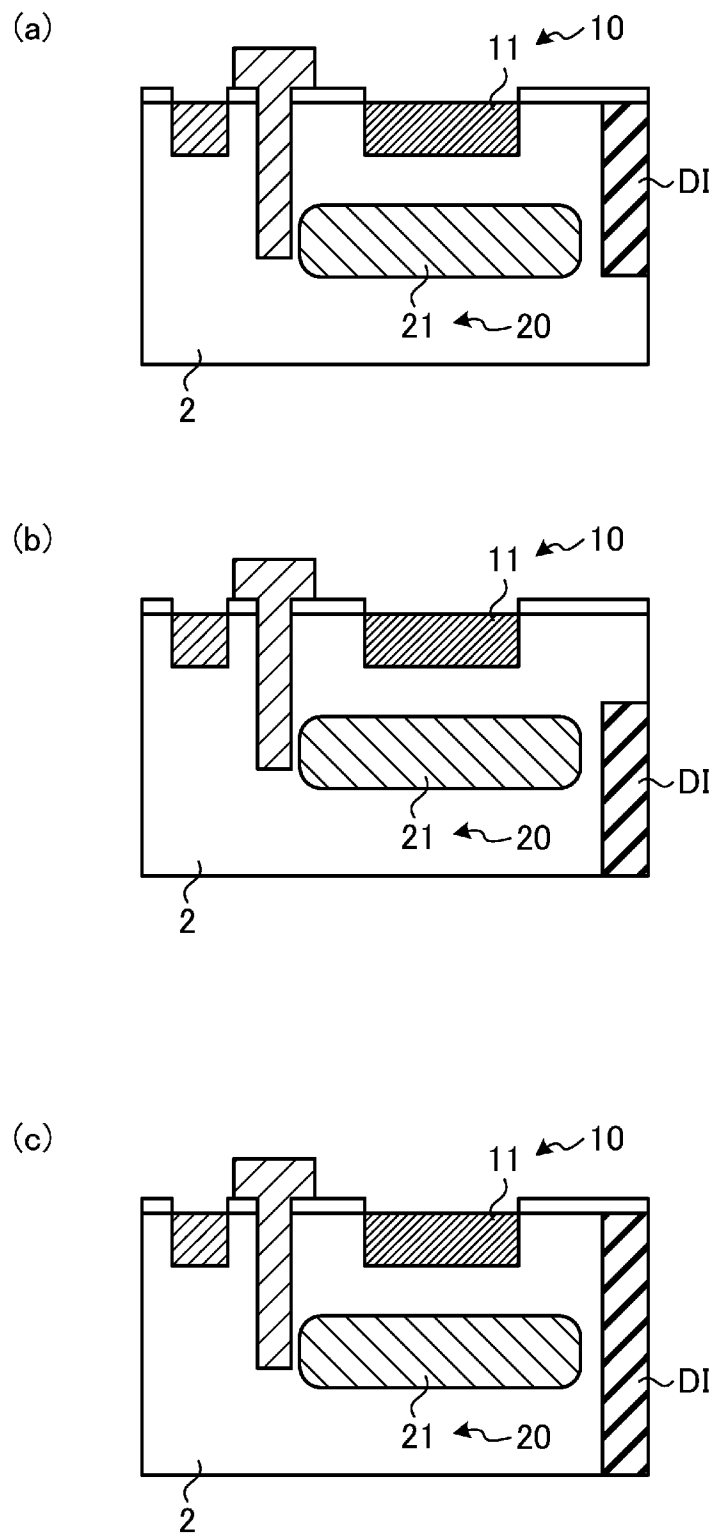


The block diagram illustrates a system 10 enclosed in a dashed box. At the top left is a processor 11, and at the top right is a memory 21. A dashed line labeled PR connects the processor 11 to the memory 21. Below the processor 11 is a display 250j, represented by a rectangle with a smaller rectangle inside. To the right of the display is a keyboard 260, shown as a horizontal row of four rectangular keys. Below the keyboard is a mouse 250j, shown as a small rectangle with a cord. A system bus 201j is represented by a horizontal line at the bottom, with vertical lines connecting it to the processor 11, the display 250j, the keyboard 260, and the mouse 250j. A ground symbol is connected to the bus 201j.

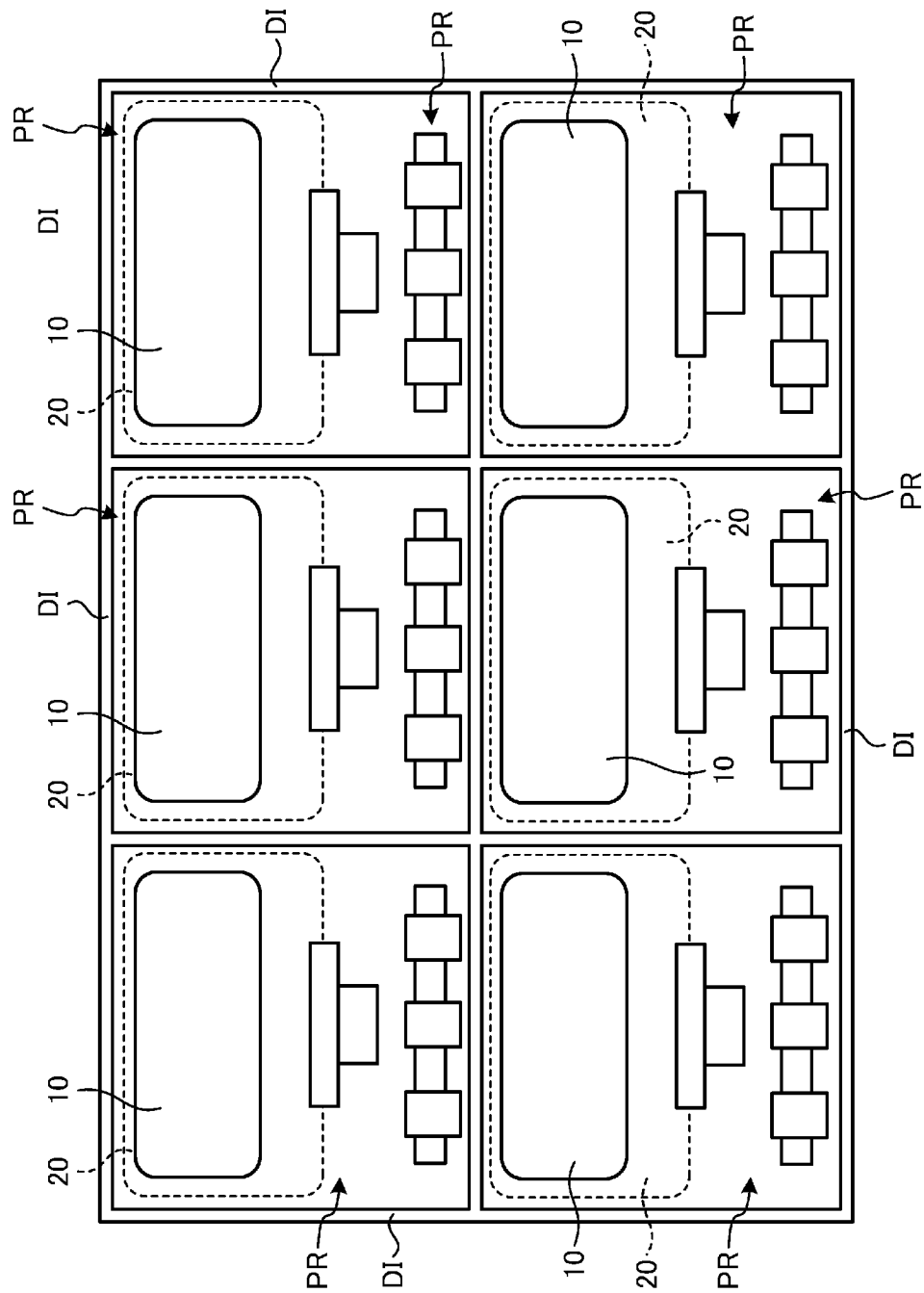
[図11]



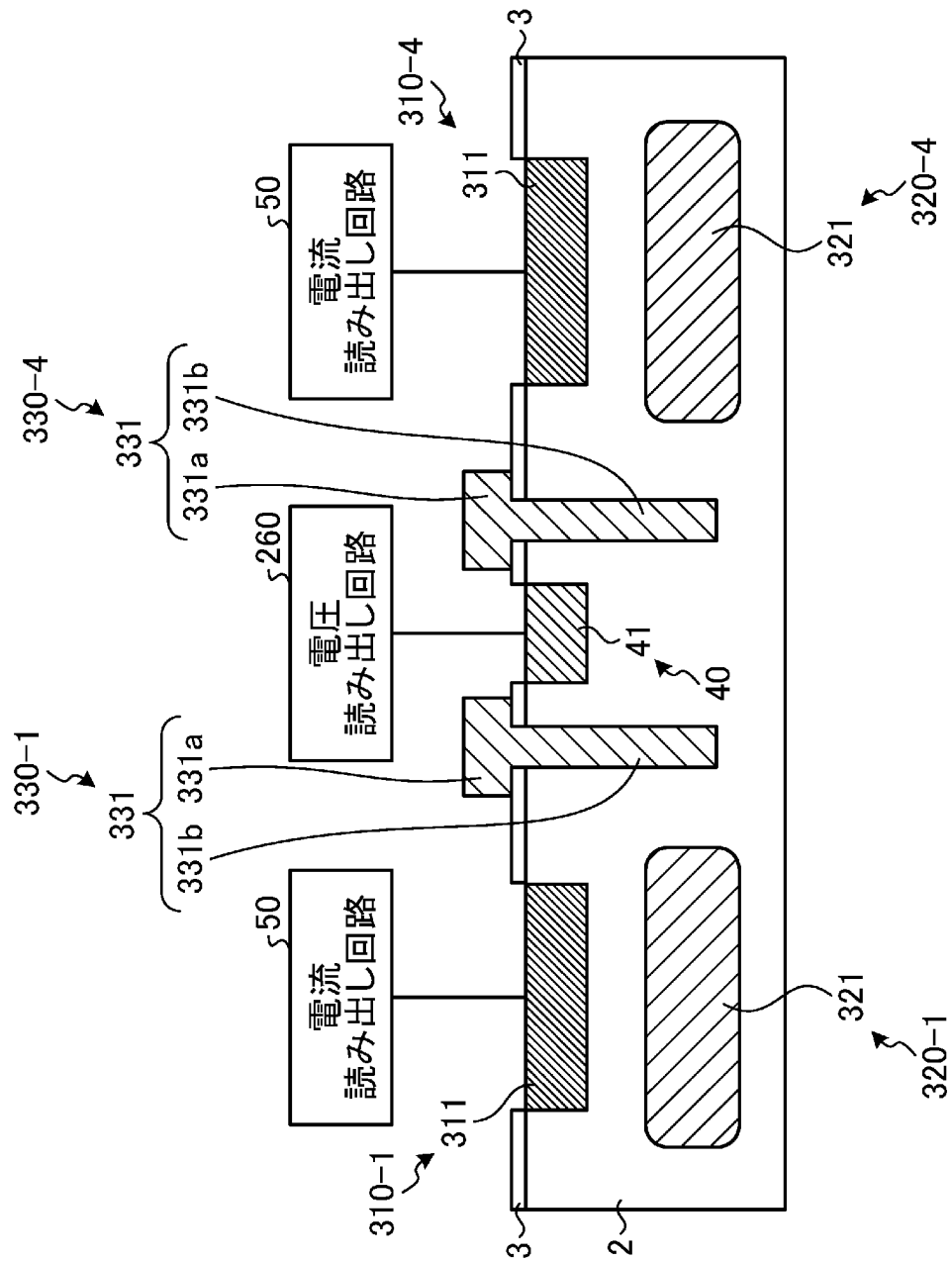
[図12]



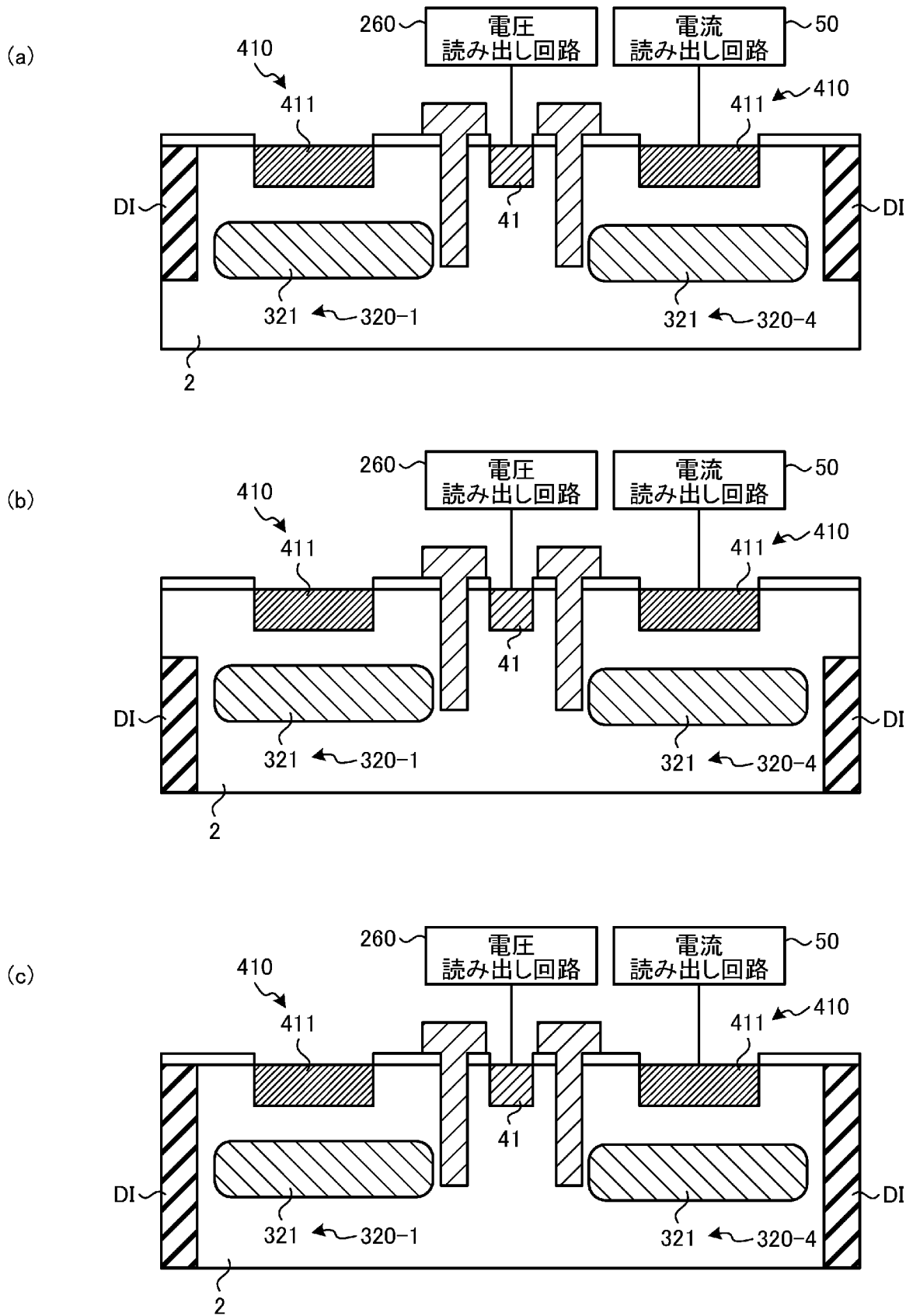
[図13]



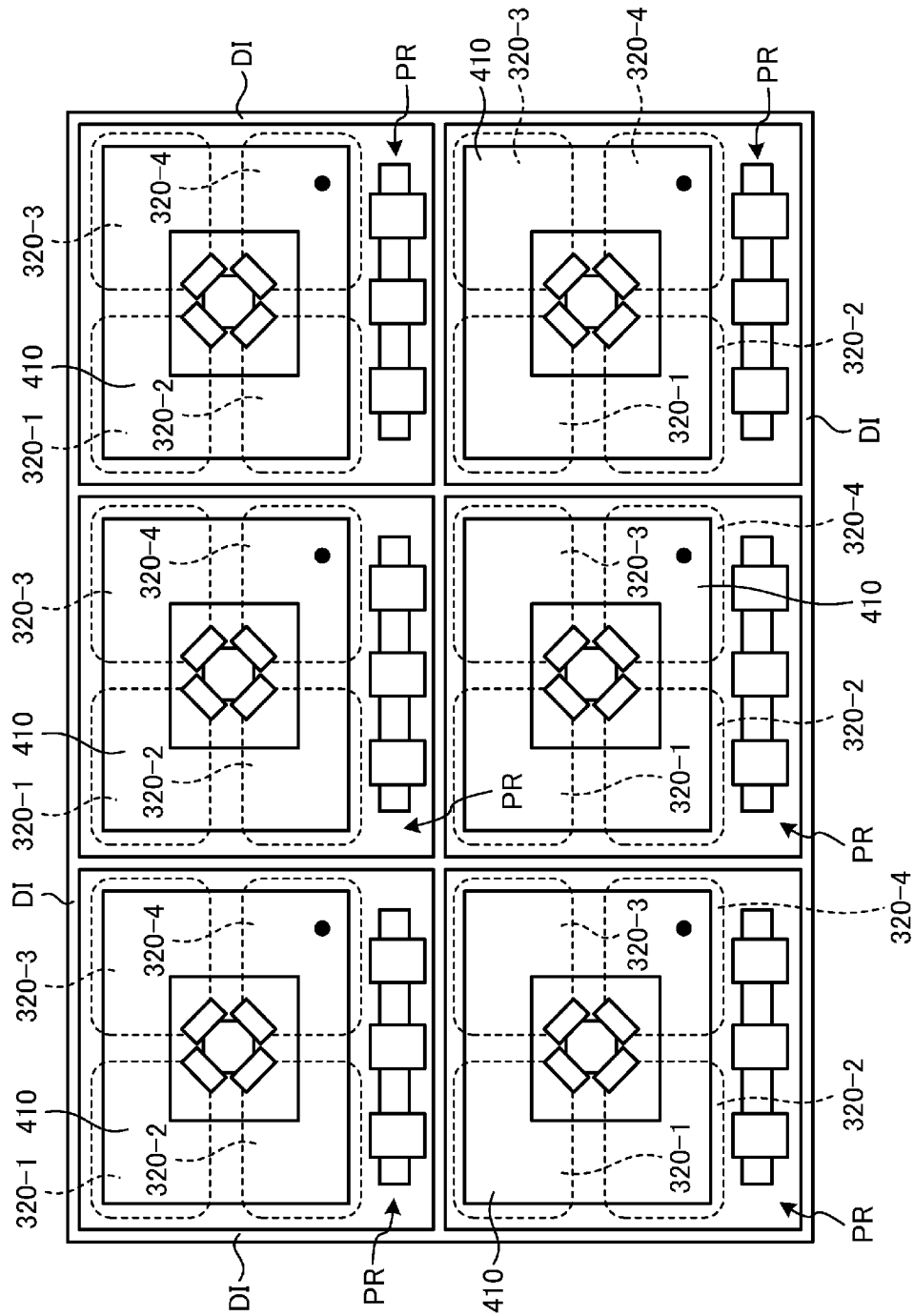
[図15]



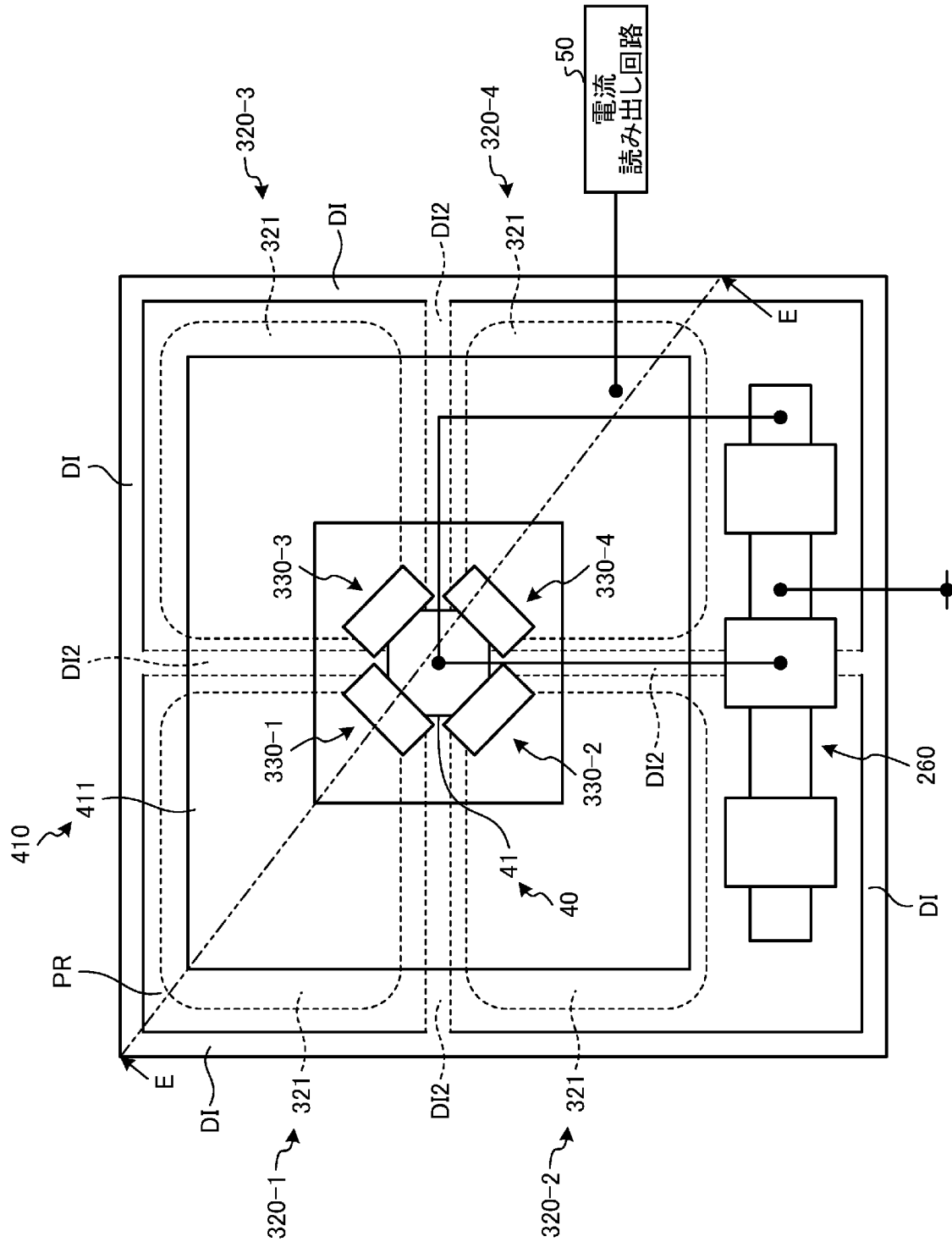
[図19]



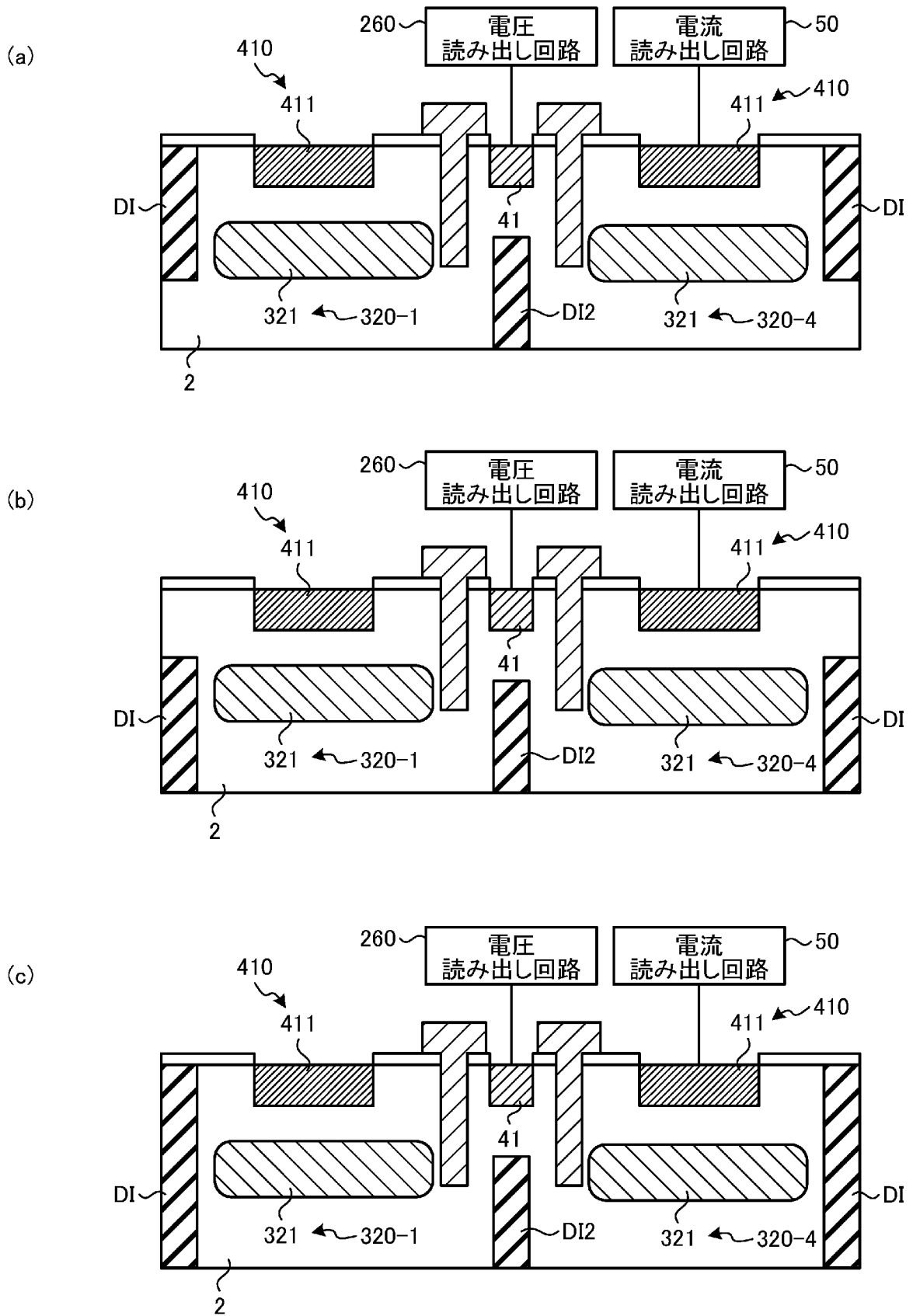
[図20]



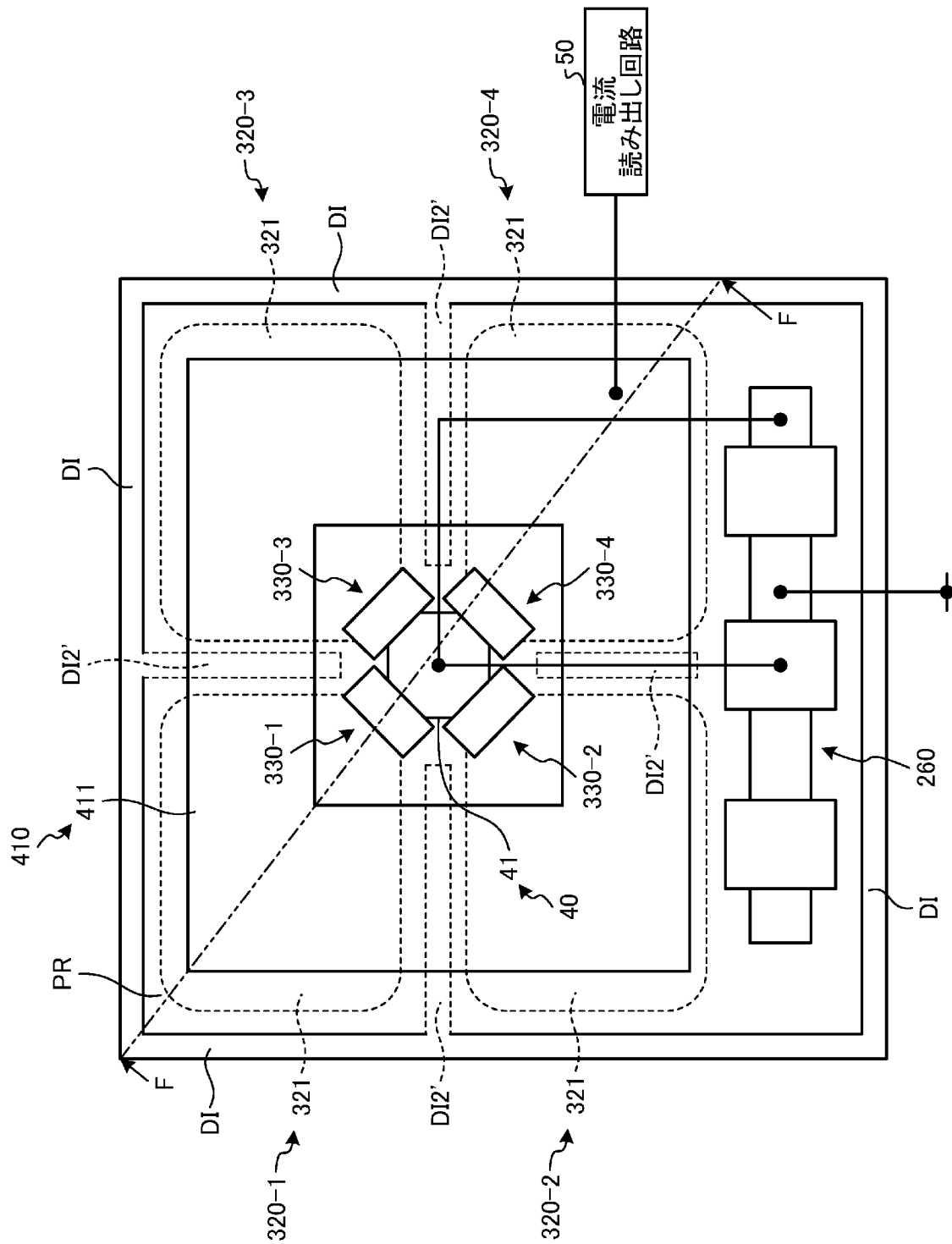
[図22]



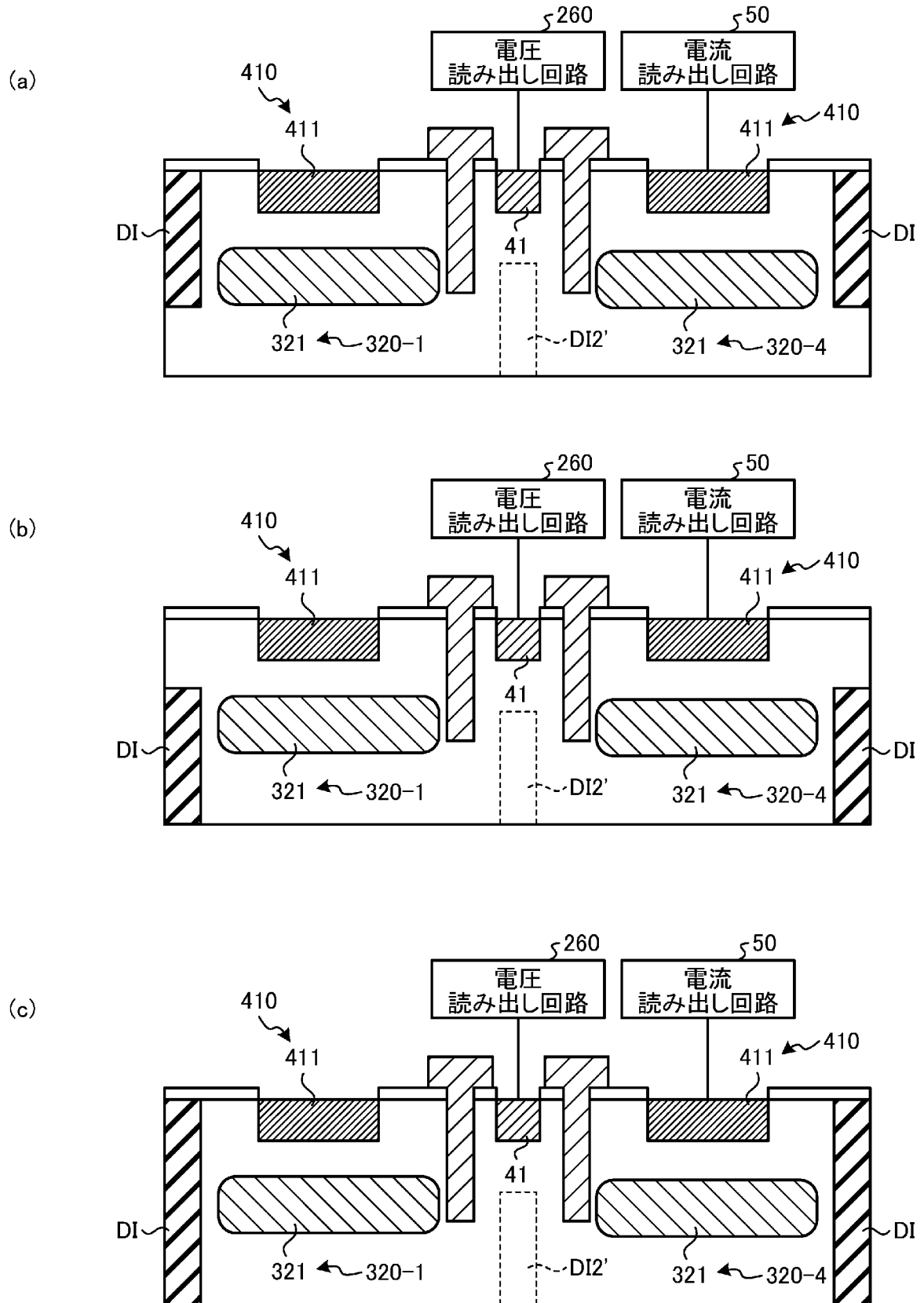
[図23]



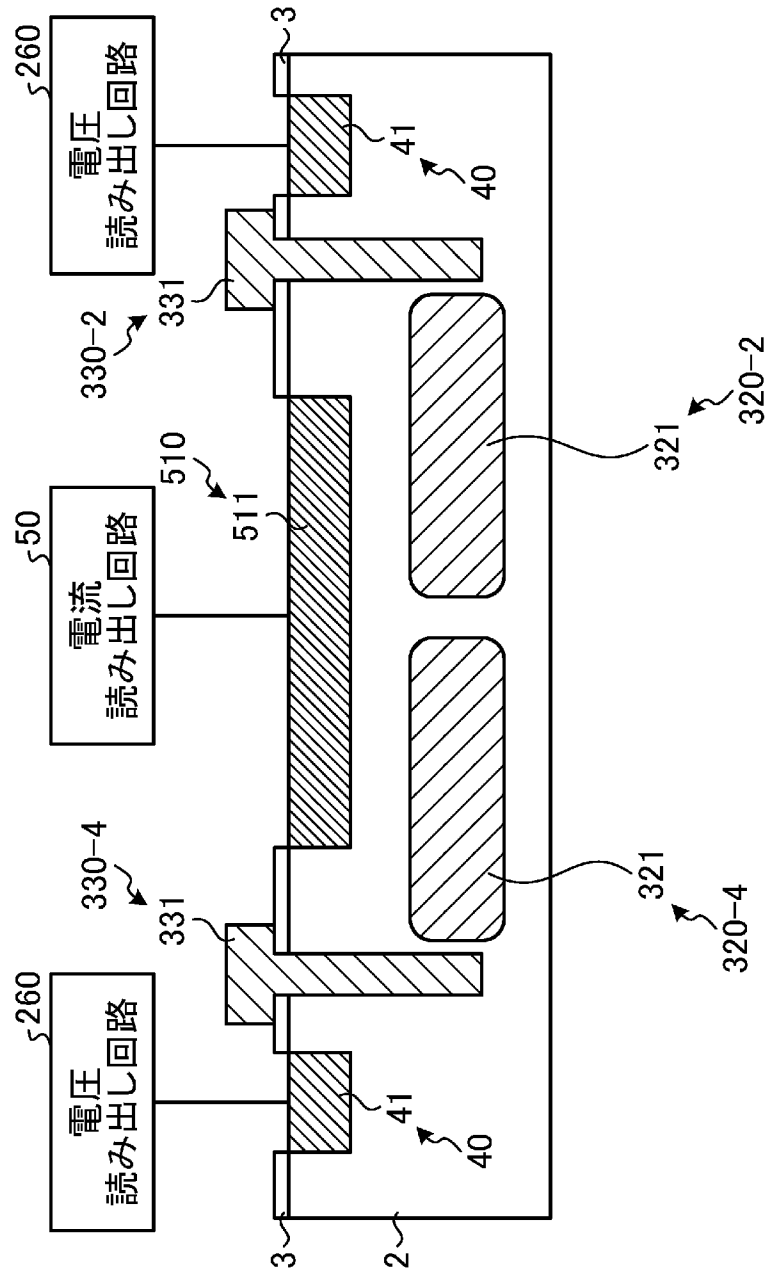
[図24]



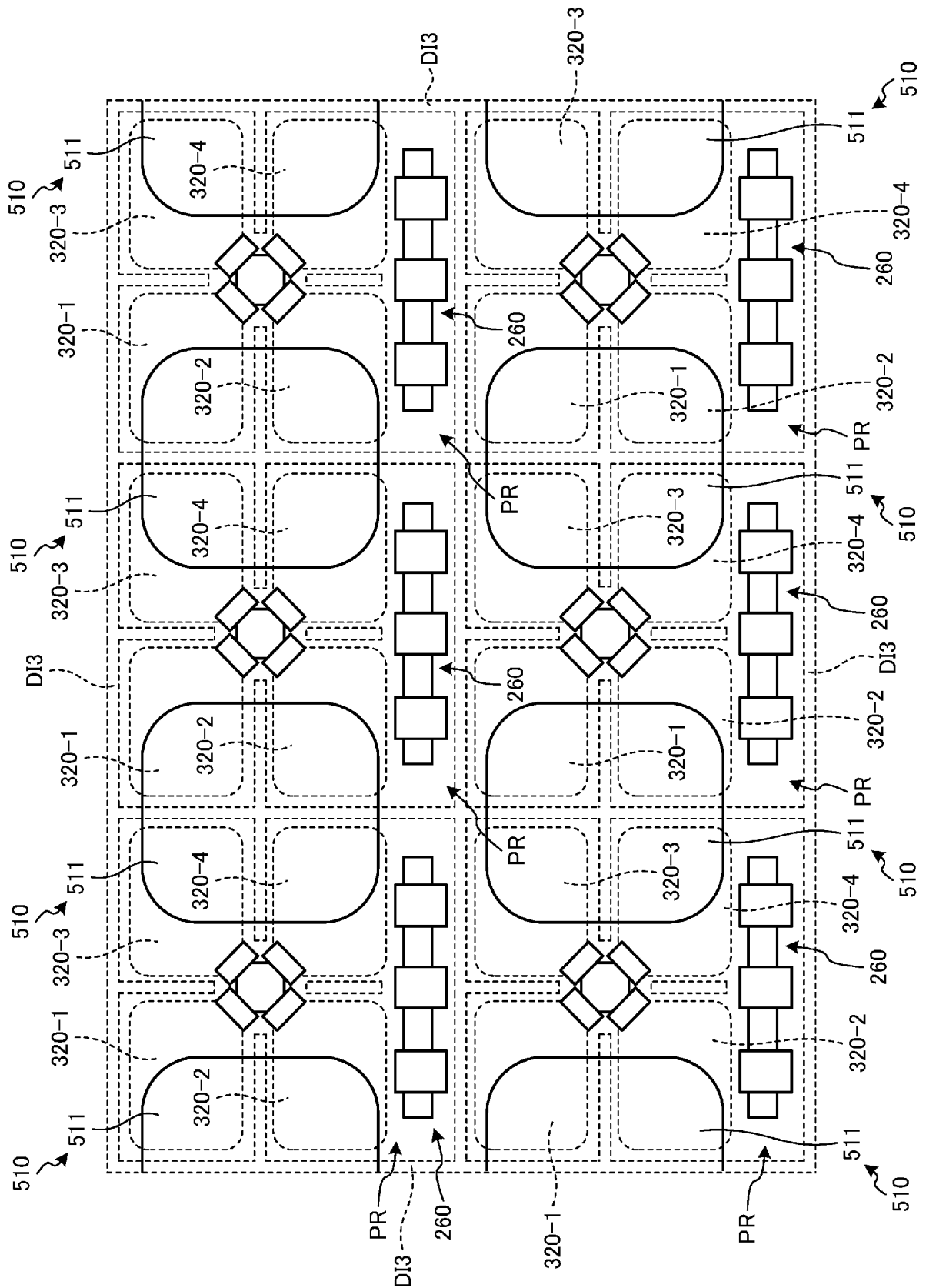
[図25]



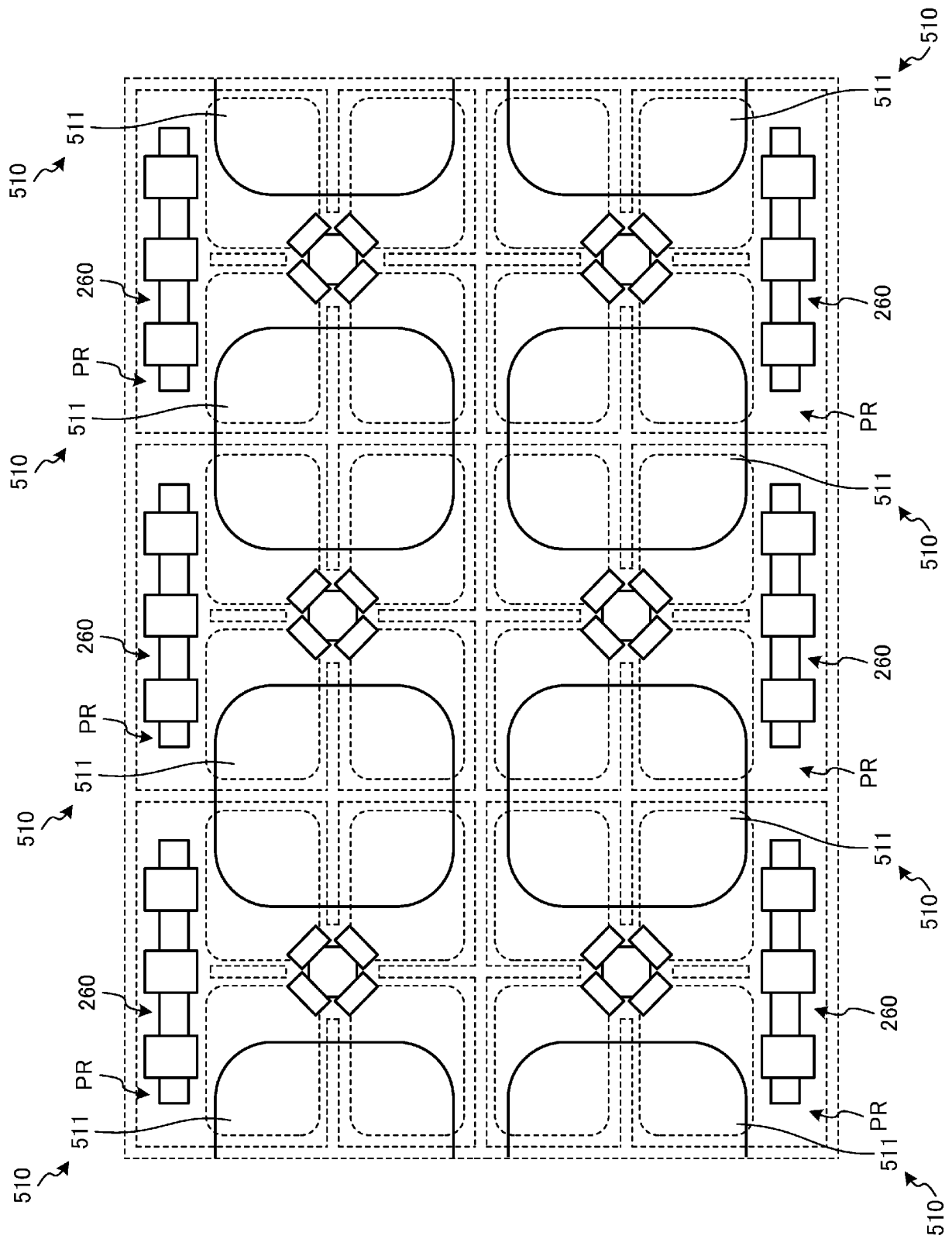
[図27]



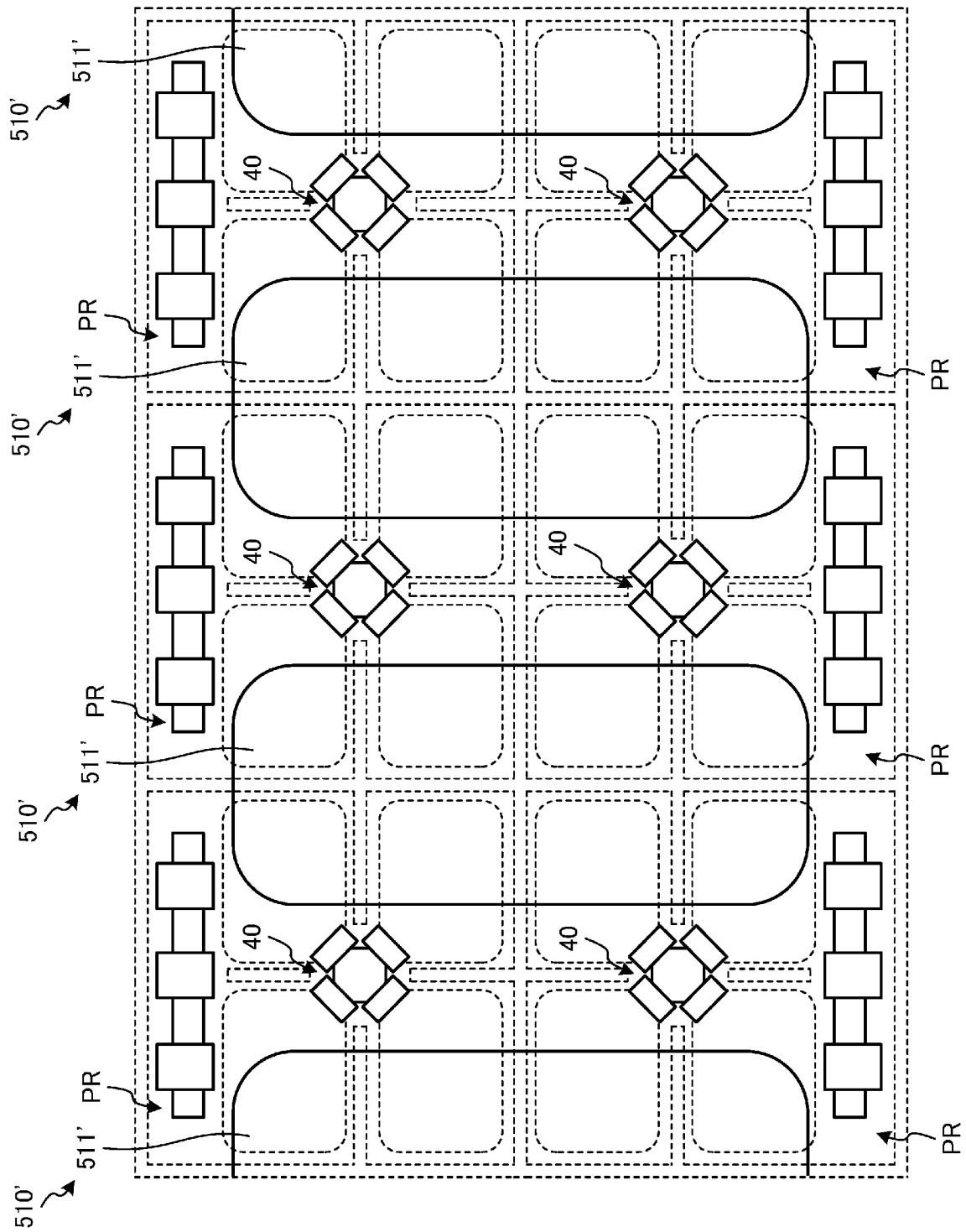
[図28]



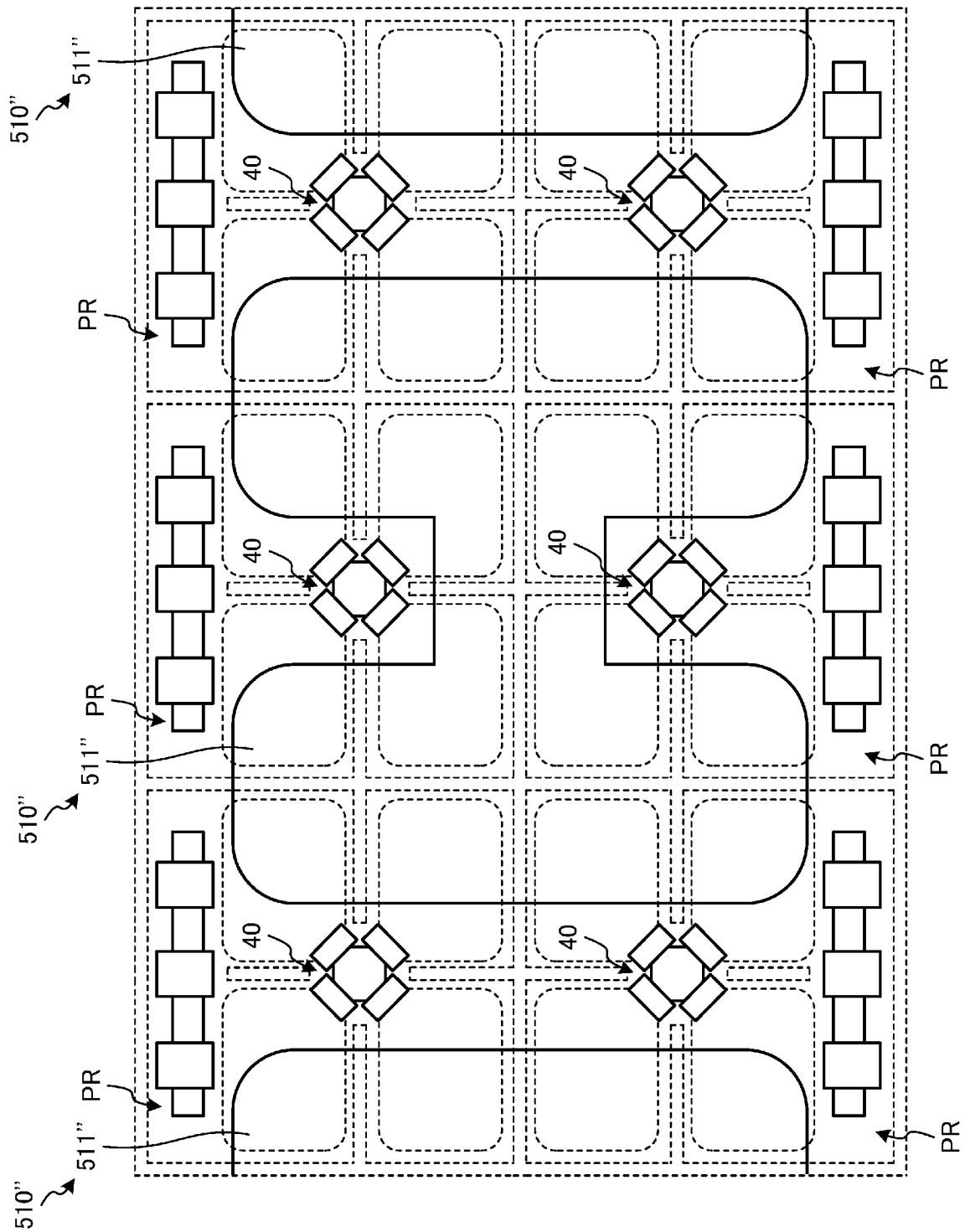
[図29]



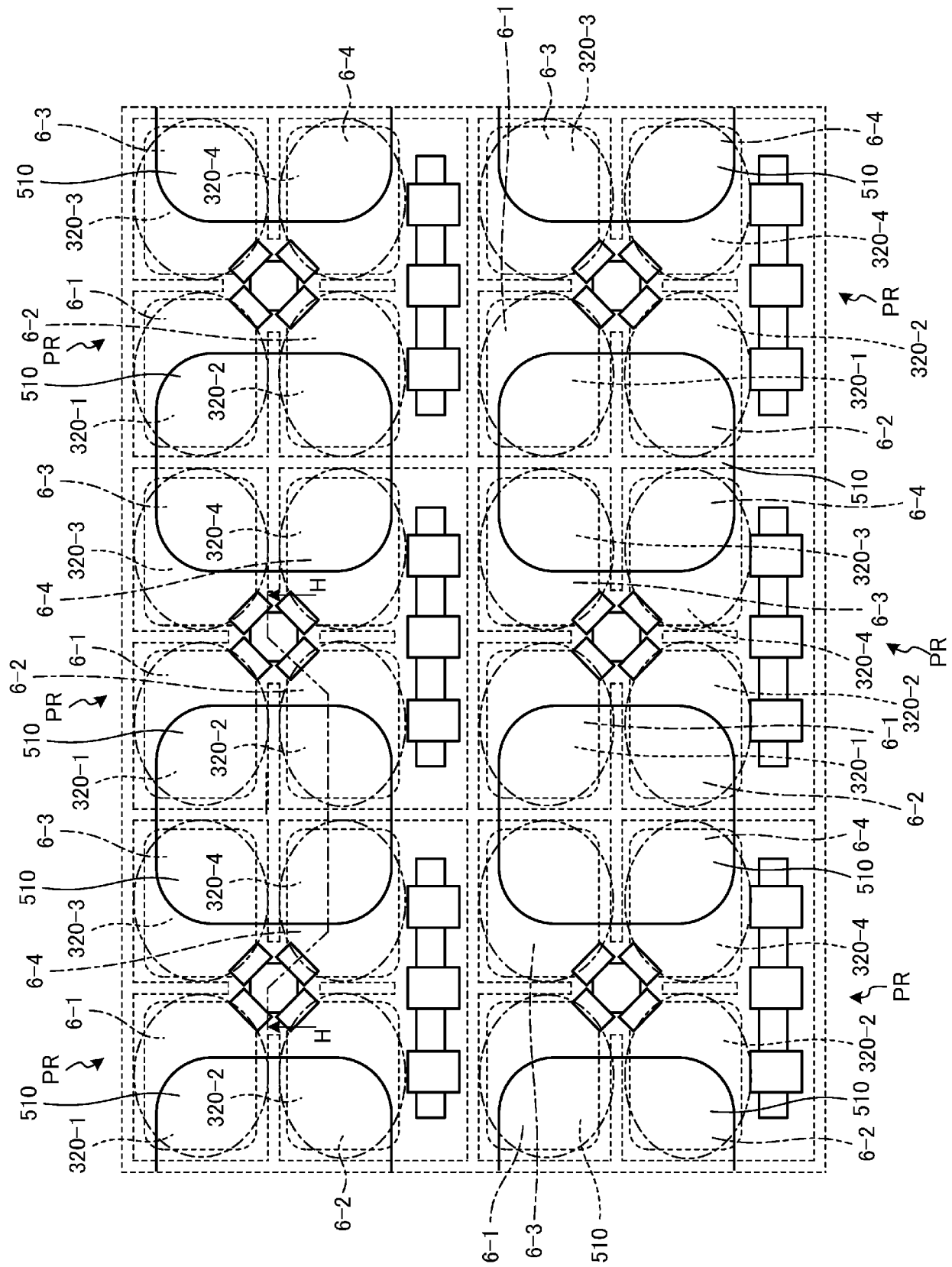
[図30]



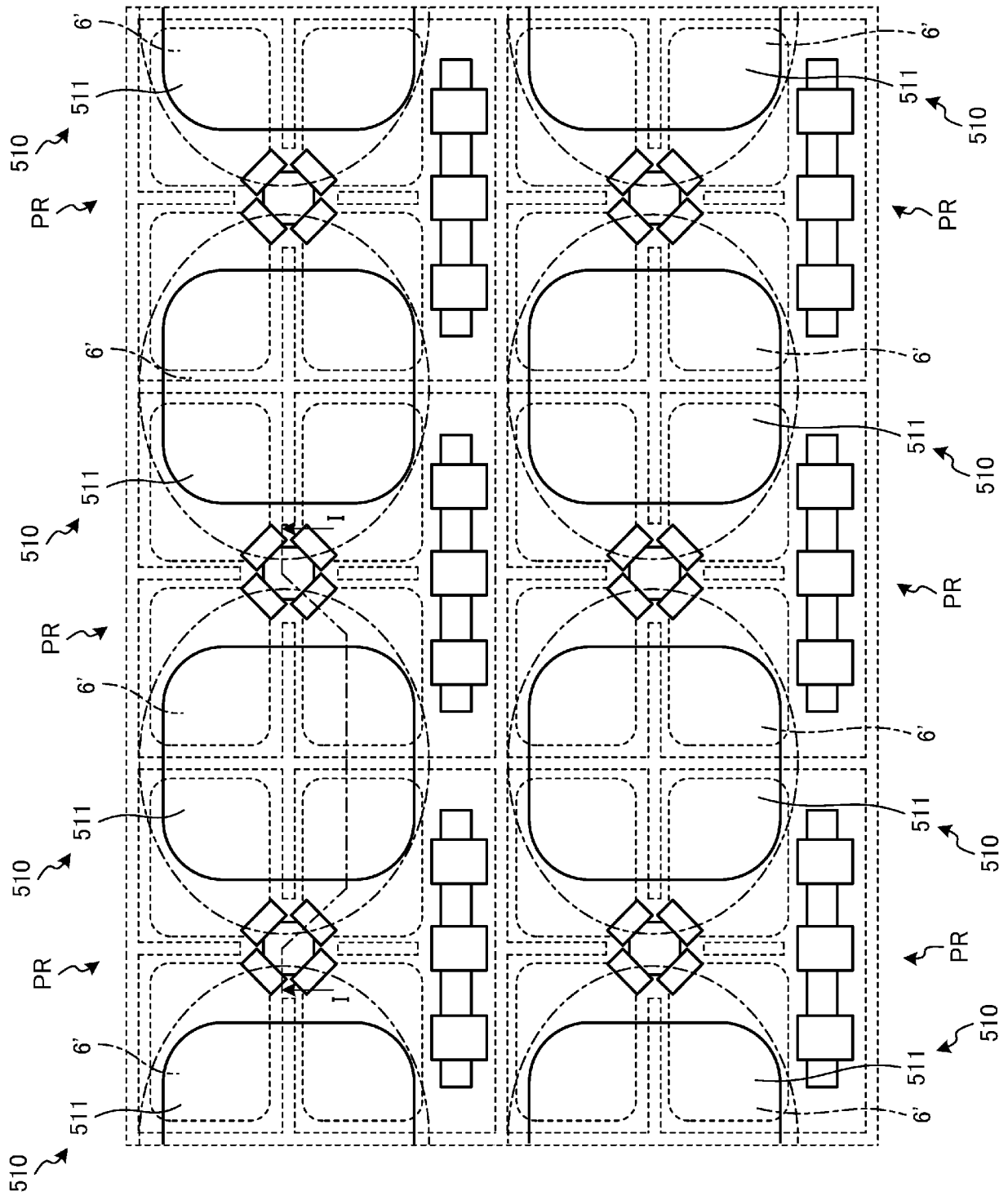
[図31]



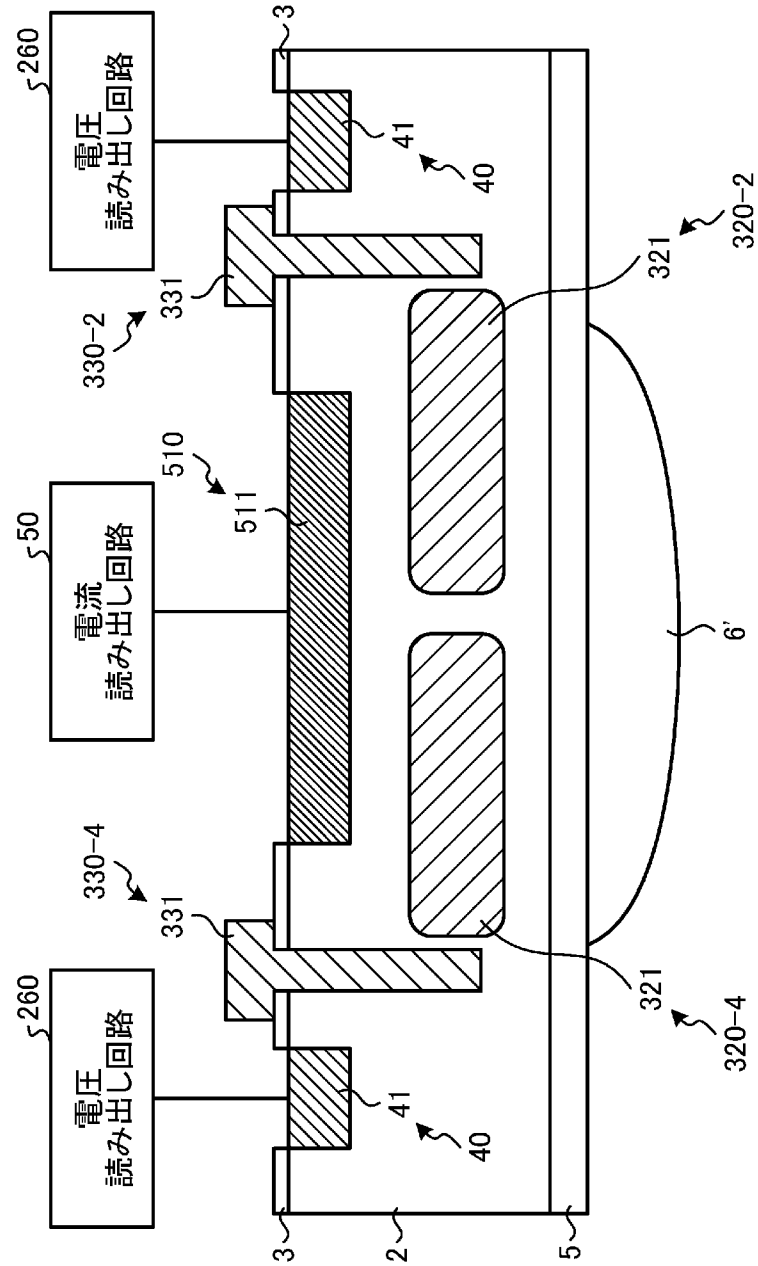
[図32]



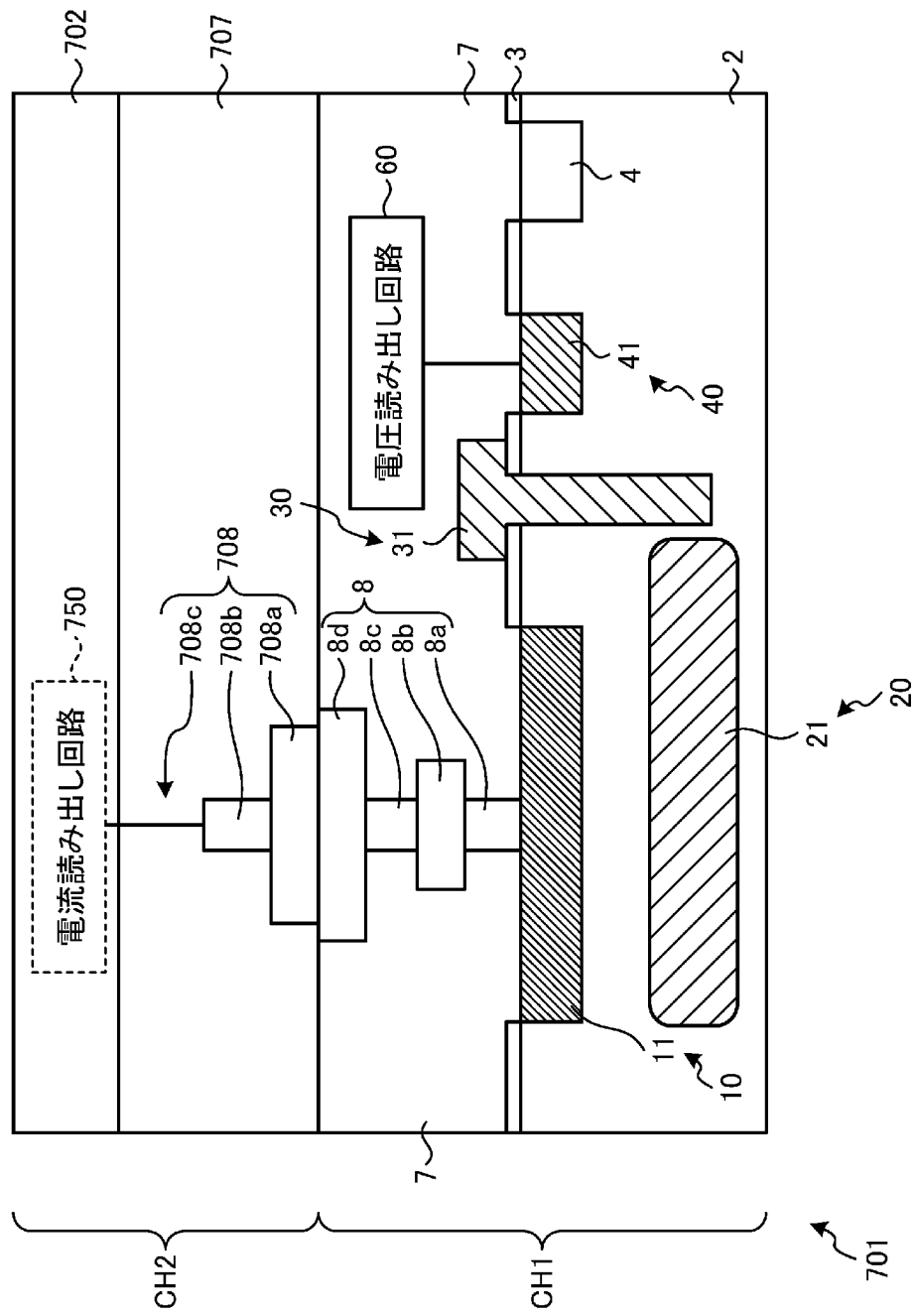
[図34]



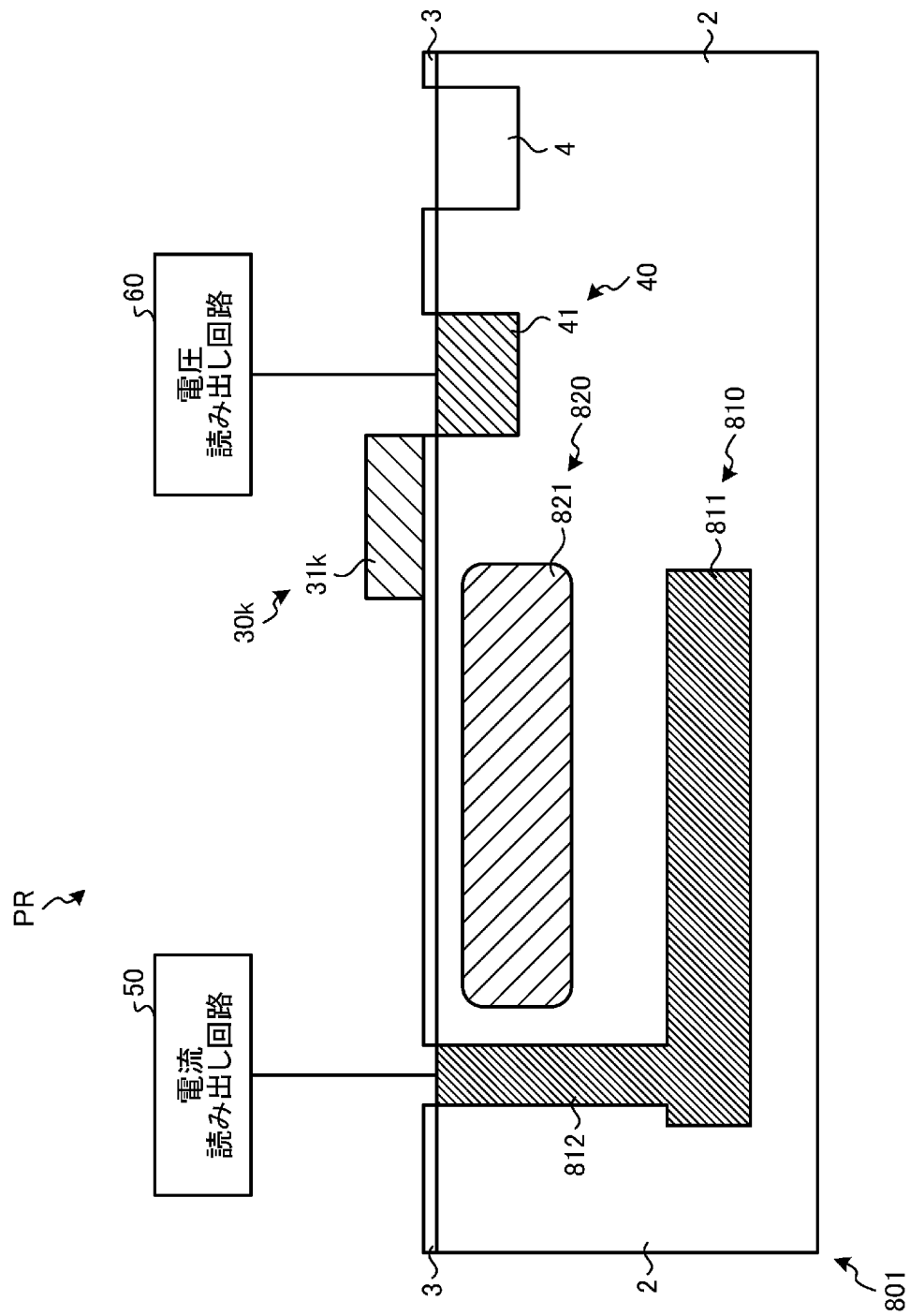
[図35]



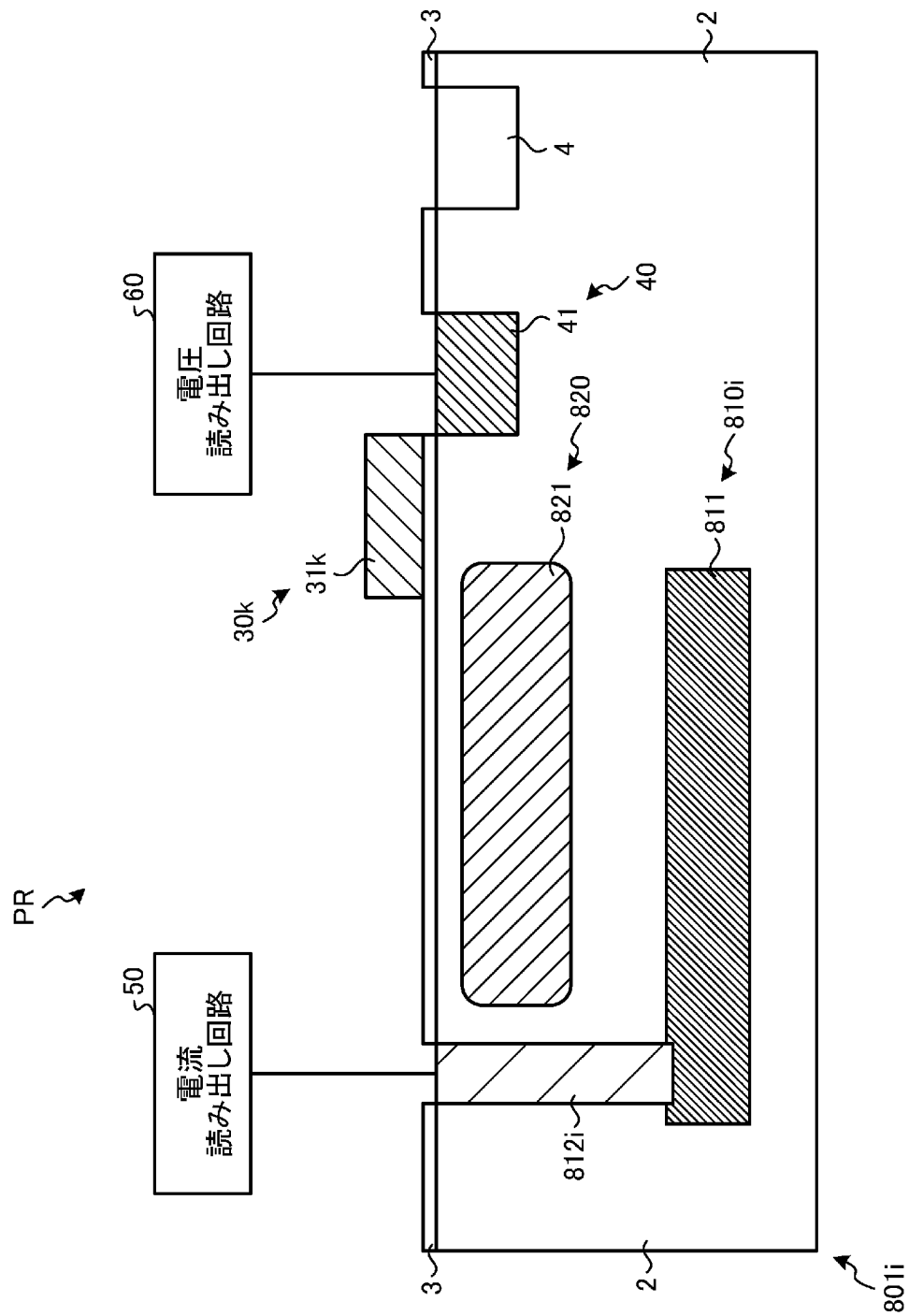
[図36]



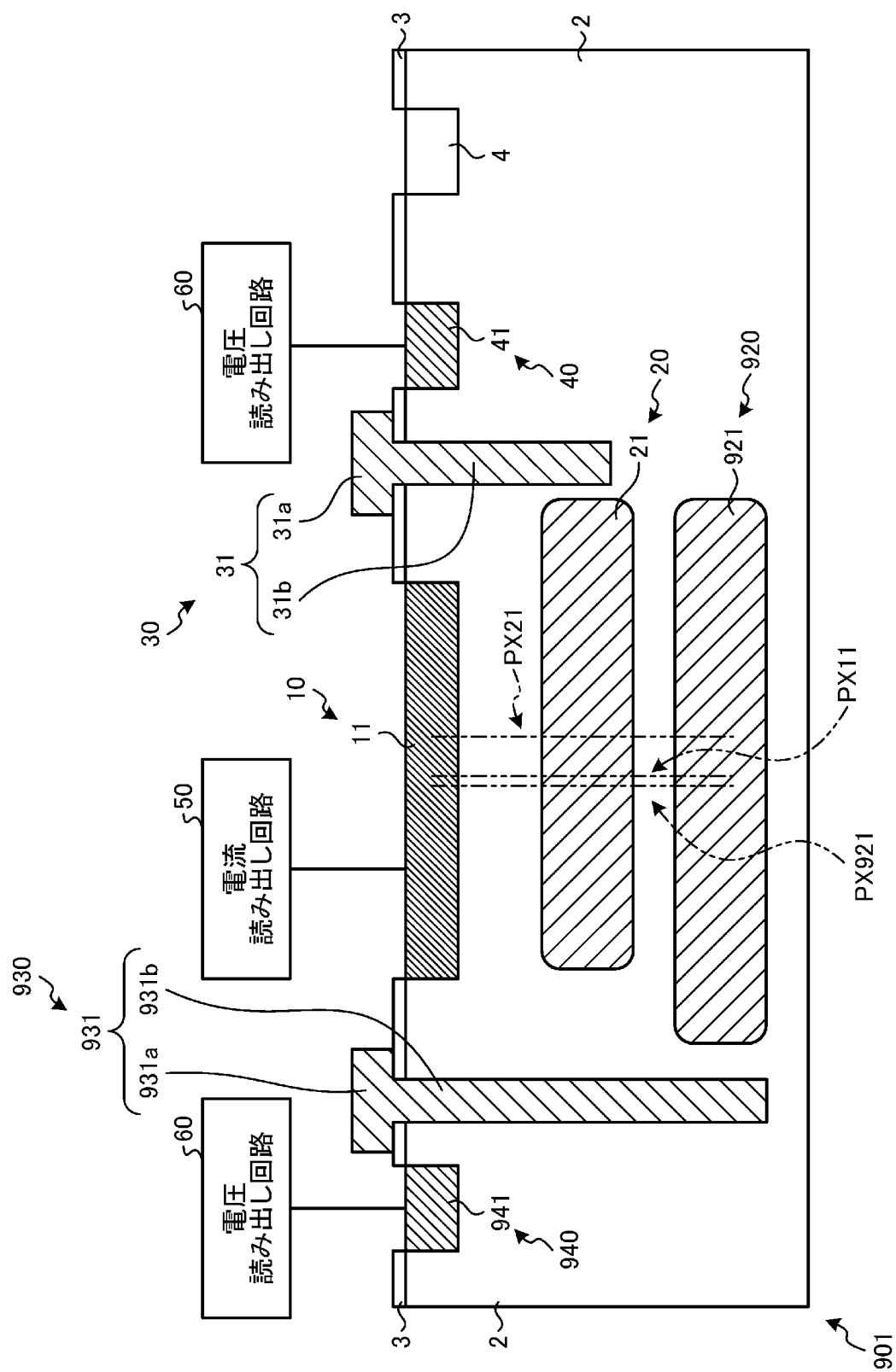
[図38]



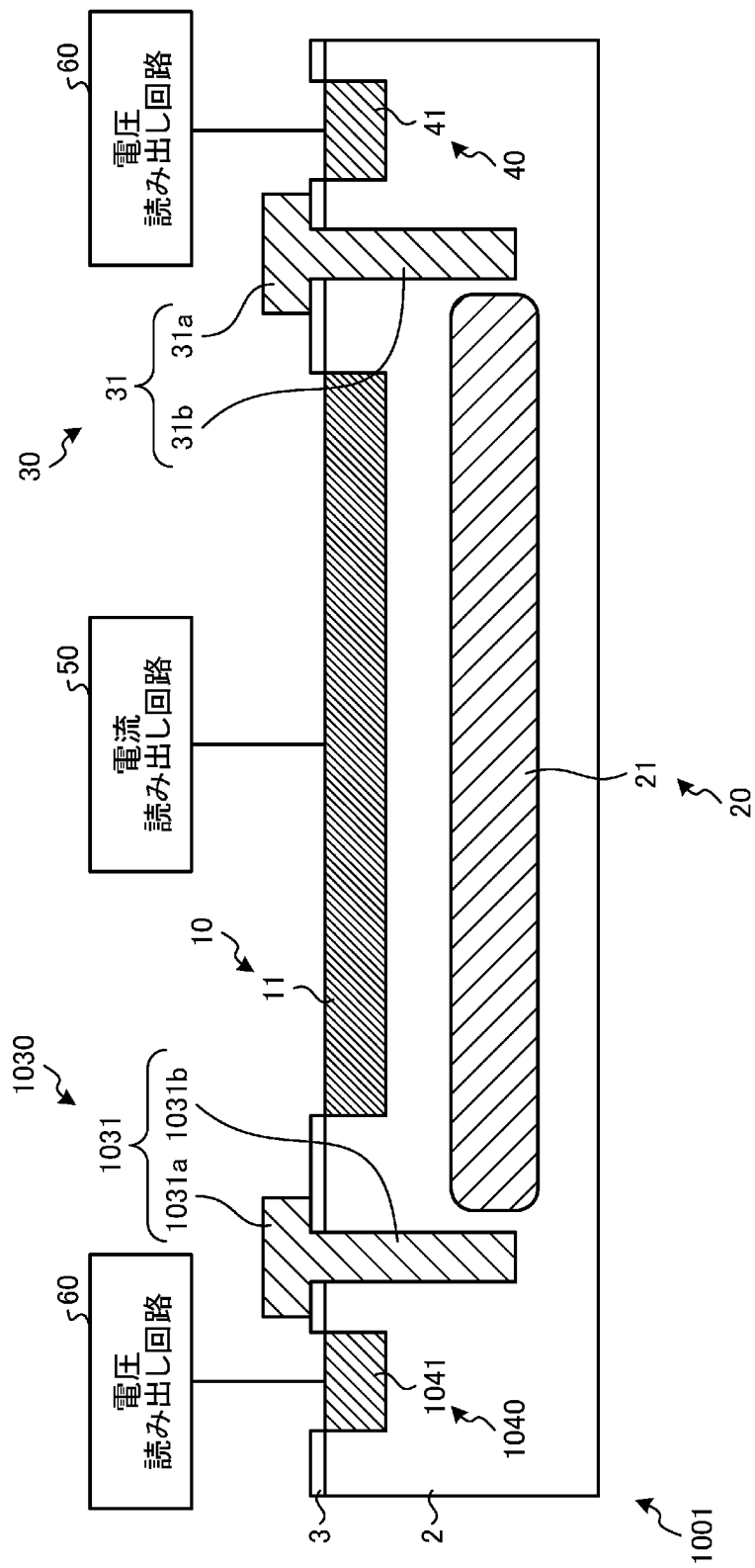
[図39]



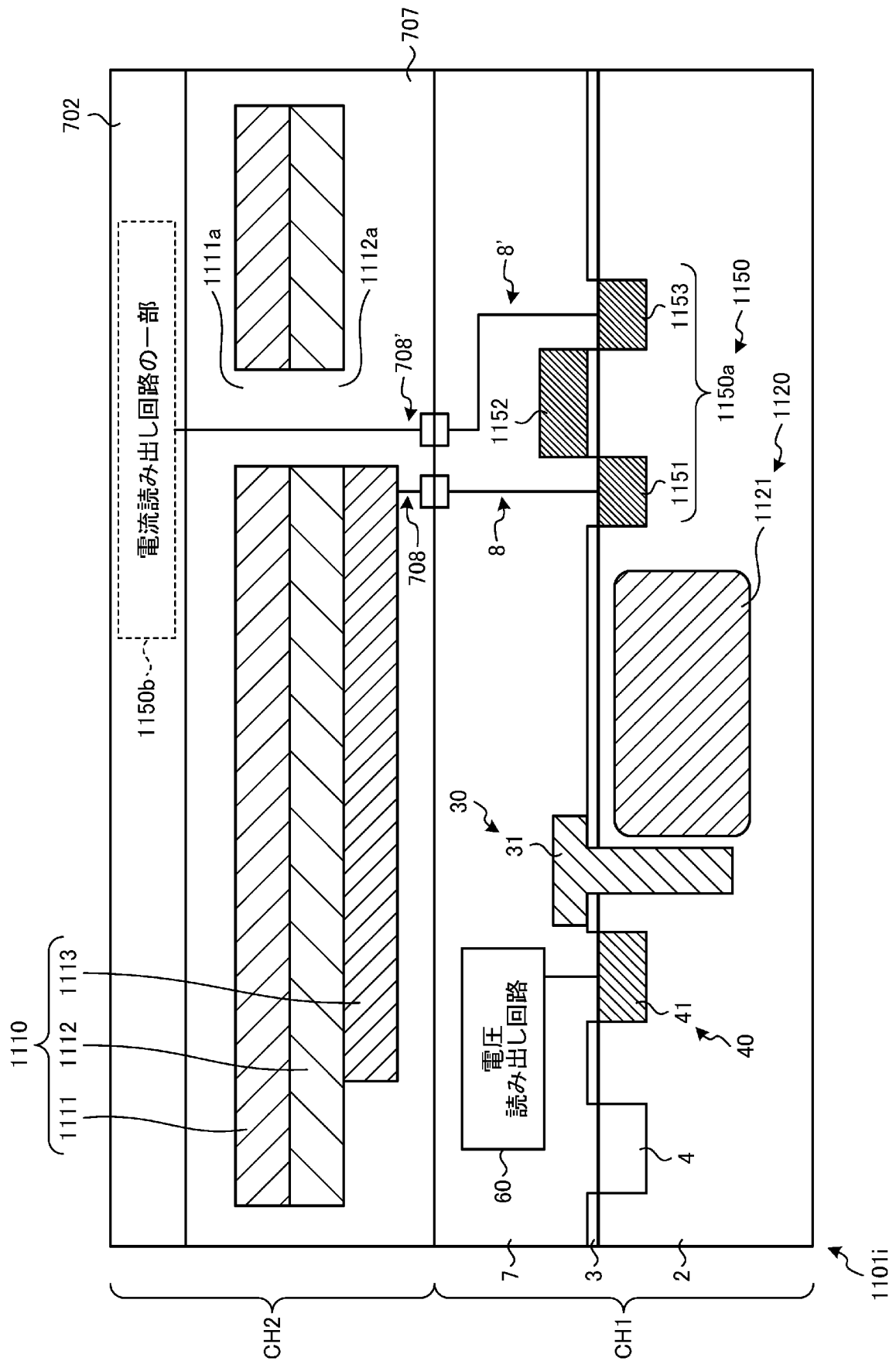
PR



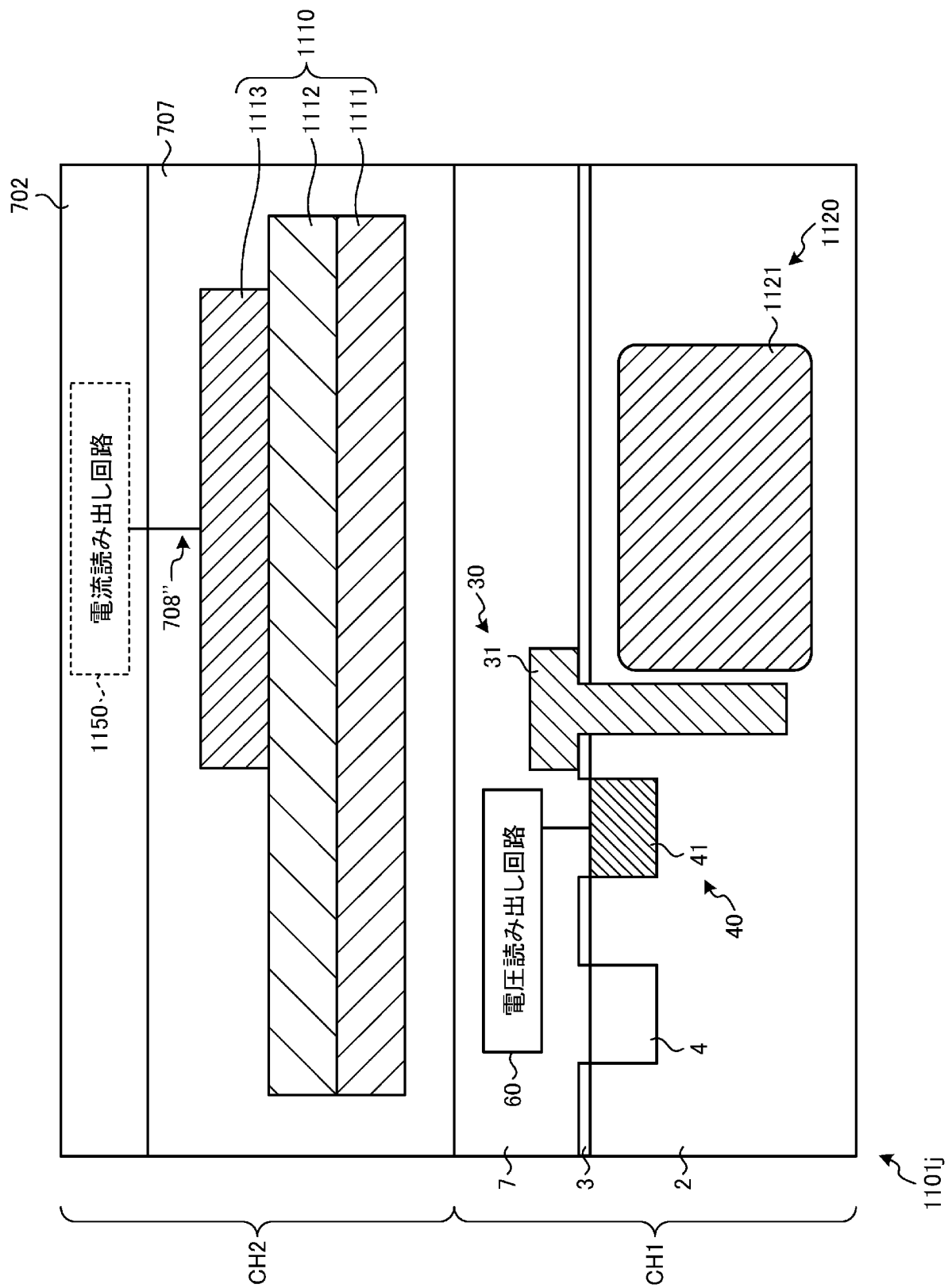
[図41]



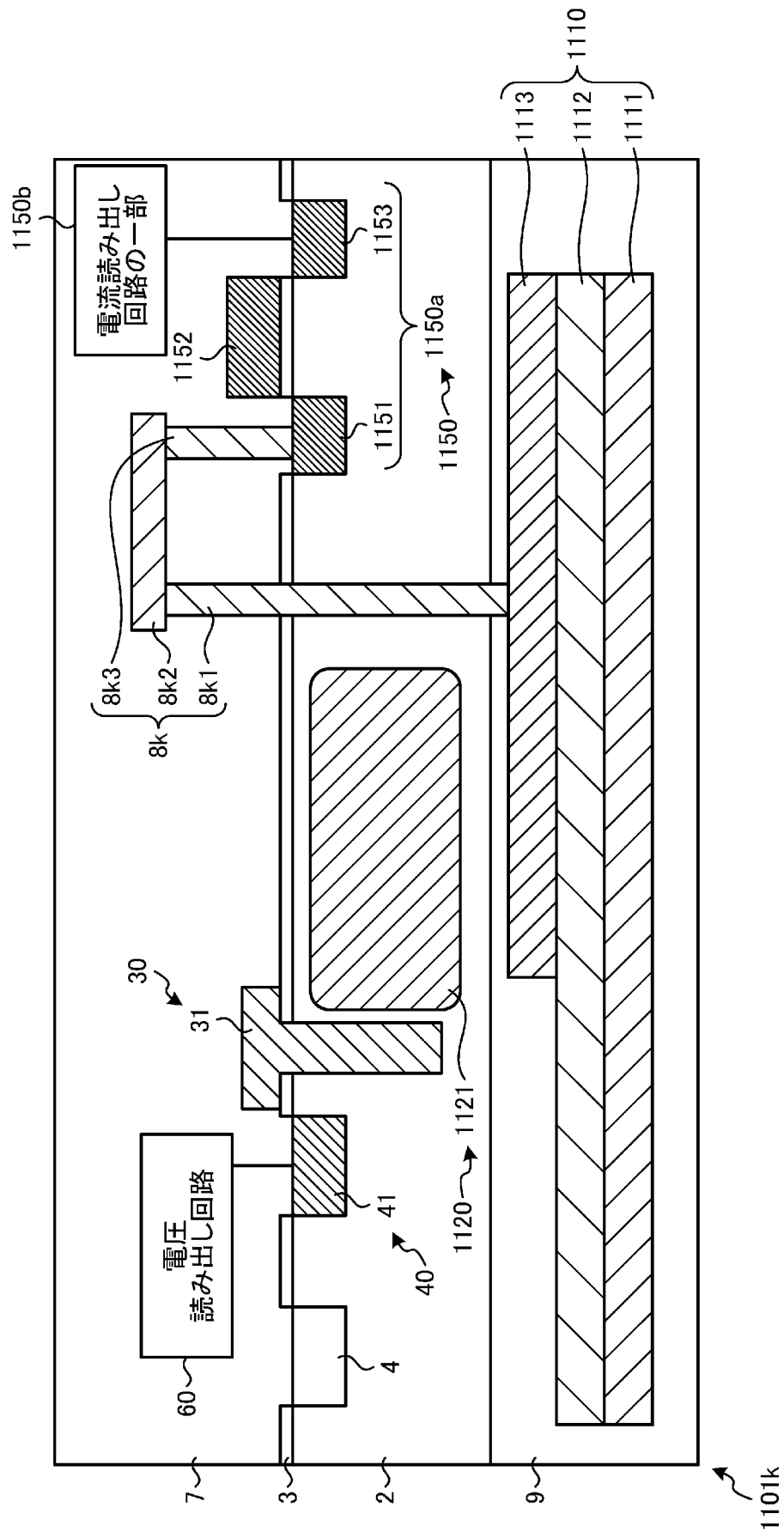
[図43]



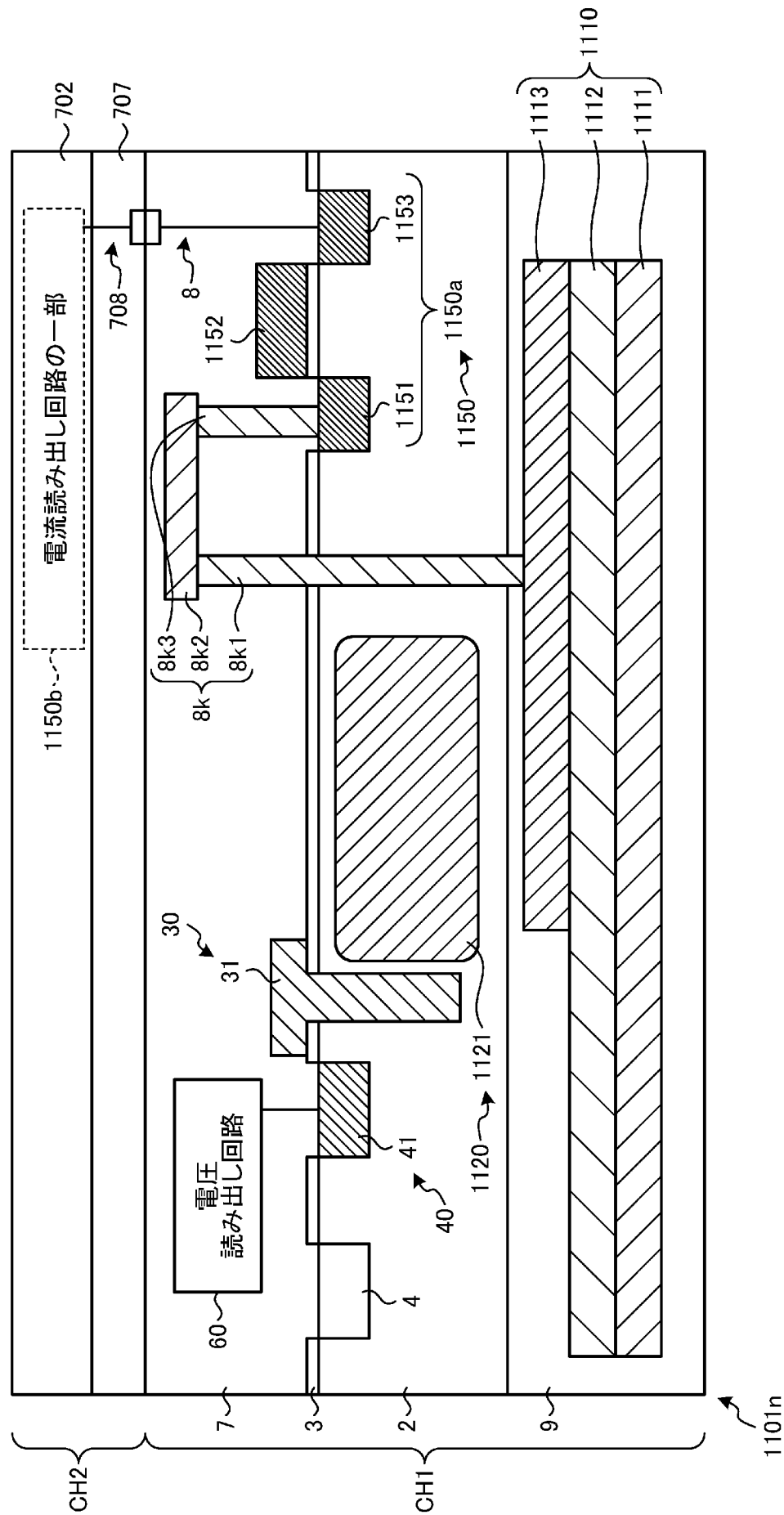
[図44]



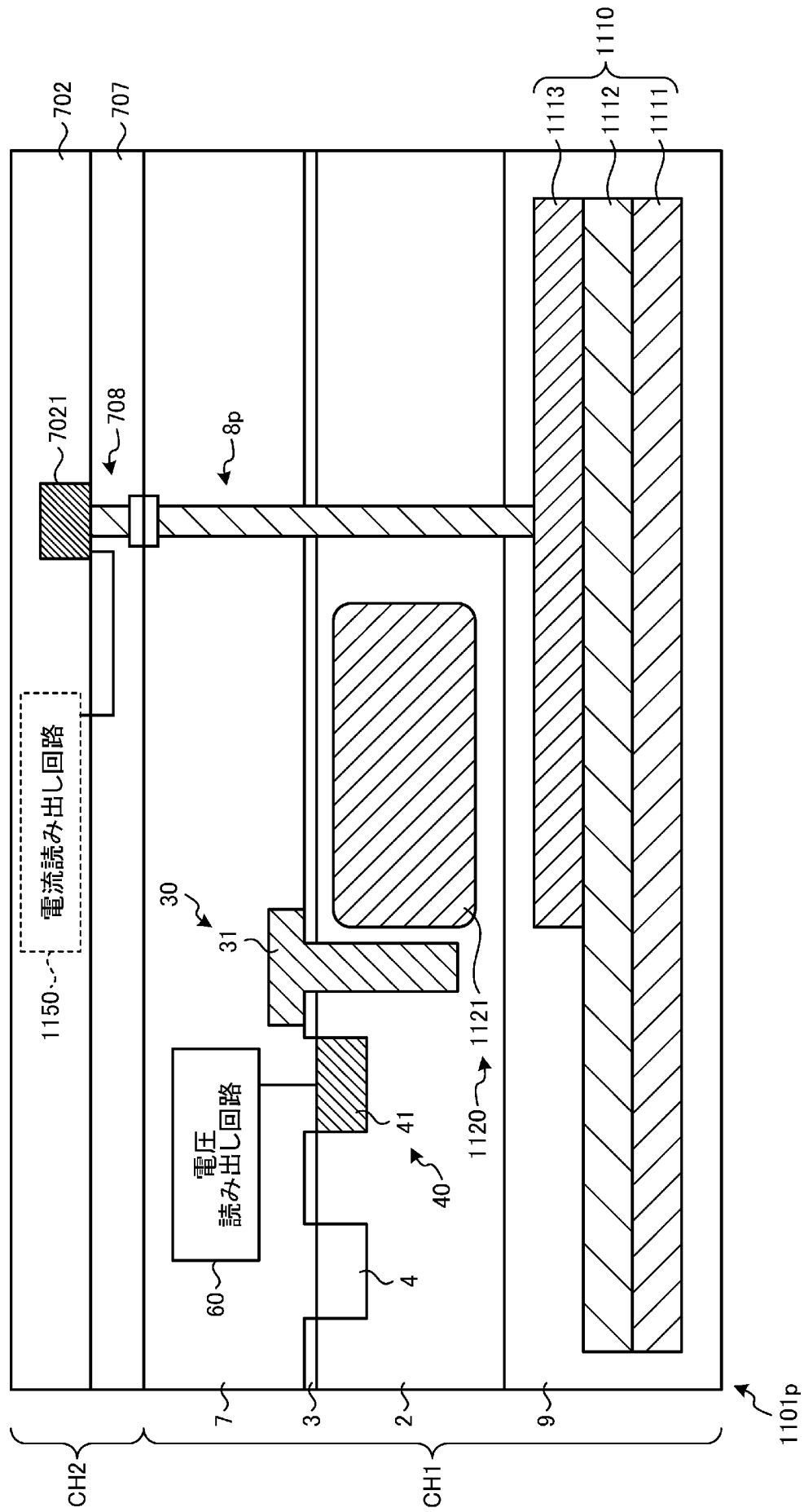
[図45]



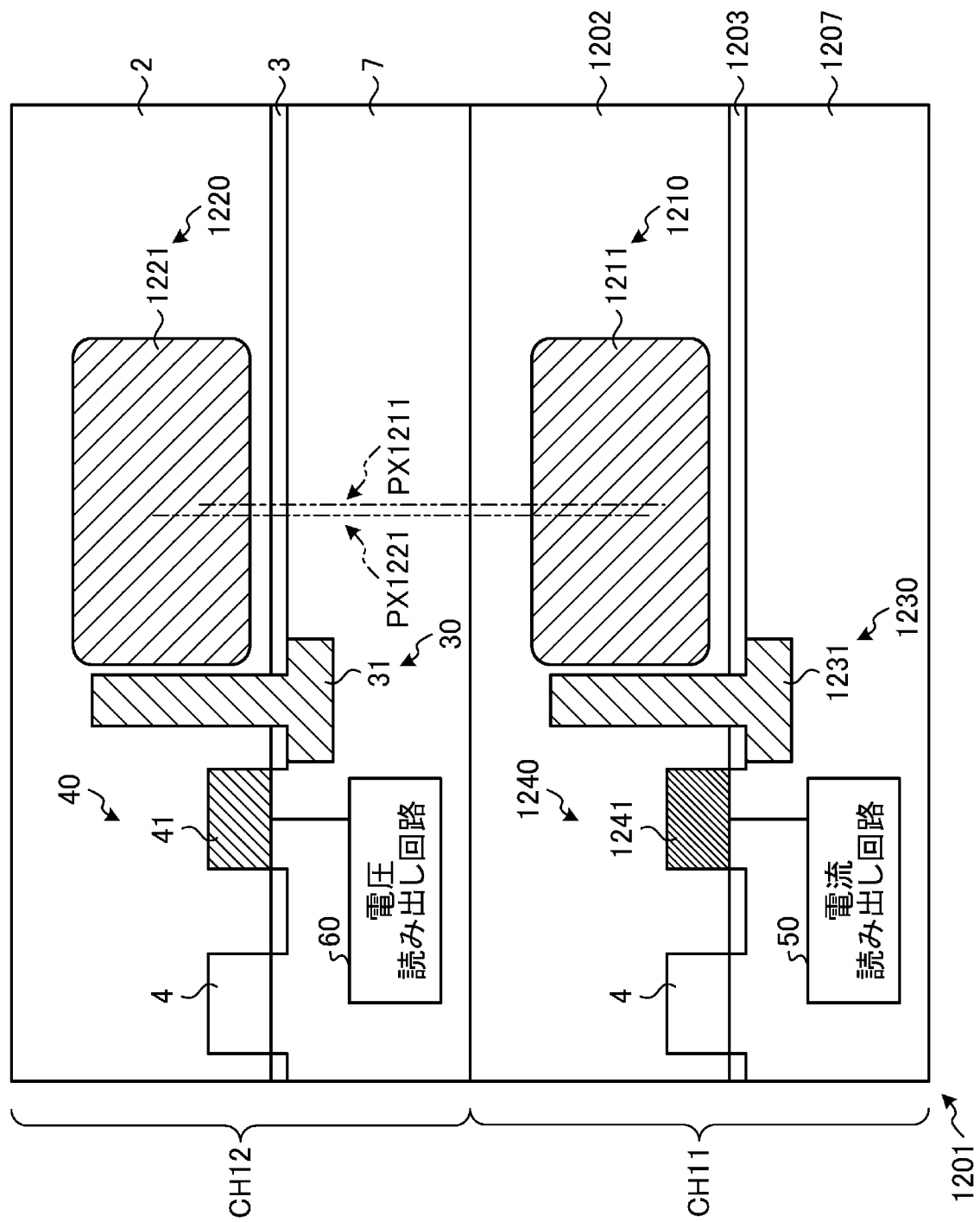
[図46]



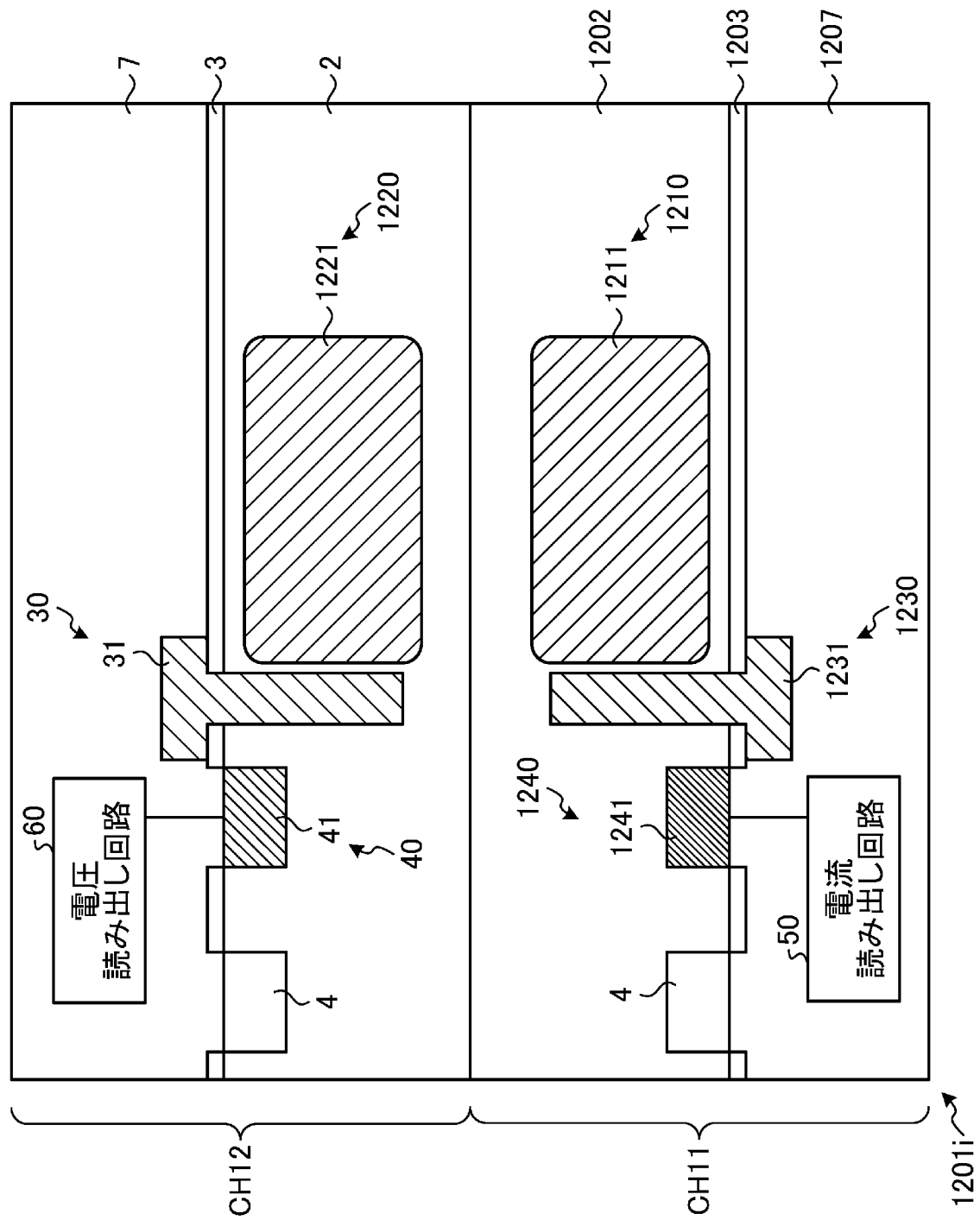
[図47]



[図48]



[図49]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021308

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i; H04N 5/369 (2011.01) i

FI: H01L27/146 A; H01L27/146 D; H01L27/146 E; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-535999 A (QUALCOMM INCORPORATED) 30 November 2017 (2017-11-30) entire text, all drawings	1-23
A	JP 2008-517541 A (SIMON FRASER UNIVERSITY) 22 May 2008 (2008-05-22) entire text, all drawings	1-23
A	JP 2007-502061 A (SIMON FRASER UNIVERSITY) 01 February 2007 (2007-02-01) entire text, all drawings	1-23
A	JP 2008-89324 A (OLYMPUS CORP.) 17 April 2008 (2008-04-17) entire text, all drawings	1-23
A	JP 2015-15332 A (SONY CORP.) 22 January 2015 (2015-01-22) entire text, all drawings	1-23
A	WO 2016/072281 A1 (SONY CORP.) 12 May 2016 (2016-05-12) entire text, all drawings	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 August 2021 (16.08.2021)

Date of mailing of the international search report
24 August 2021 (24.08.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021308

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-84926 A (SONY CORP.) 18 May 2017 (2017-05-18) entire text, all drawings	1-23
A	JP 2016-58559 A (SONY CORP.) 21 April 2016 (2016-04-21) entire text, all drawings	1-23

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/021308

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-535999 A	30 Nov. 2017	US 2016/0094796 A1 entire text, all drawings WO 2016/053795 A1 EP 3202135 A TW 201626785 A1 CN 107079115 A	
JP 2008-517541 A	22 May 2008	US 2008/0259182 A1 entire text, all drawings WO 2006/042407 A1 EP 1813096 A1 CA 2494602 A KR 10-2007-0114265 A	
JP 2007-502061 A	01 Feb. 2007	US 2007/0187609 A1 entire text, all drawings WO 2005/015639 A1 EP 1661183 A1 CA 2535490 A	
JP 2008-89324 A	17 Apr. 2008	(Family: none)	
JP 2015-15332 A	22 Jan. 2015	US 2016/0372520 A1 entire text, all drawings WO 2015/001771 A1 CN 105308749 A KR 10-2016-0030102 A	
WO 2016/072281 A1	12 May 2016	US 2017/0243912 A1 entire text, all drawings KR 10-2017-0077116 A CN 107078147 A TW 201618289 A	
JP 2017-84926 A	18 May 2017	WO 2017/073335 A1	
JP 2016-58559 A	21 Apr. 2016	US 2017/0257587 A1 entire text, all drawings WO 2016/039152 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H01L27/146 D; H01L27/146 E; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-535999 A（クアルコム、インコーポレイテッド）30.11.2017（2017-11-30） 全文、全図	1-23
A	JP 2008-517541 A（サイモン フレーザー ユニバーシティー）22.05.2008（2008-05-22） 全文、全図	1-23
A	JP 2007-502061 A（サイモン フレーザー ユニバーシティー）01.02.2007（2007-02-01） 全文、全図	1-23
A	JP 2008-89324 A（オリンパス株式会社）17.04.2008（2008-04-17） 全文、全図	1-23
A	JP 2015-15332 A（ソニー株式会社）22.01.2015（2015-01-22） 全文、全図	1-23
A	WO 2016/072281 A1（ソニー株式会社）12.05.2016（2016-05-12） 全文、全図	1-23
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 16.08.2021		国際調査報告の発送日 24.08.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-84926 A (ソニー株式会社) 18.05.2017 (2017 - 05 - 18) 全文, 全図	1-23
A	JP 2016-58559 A (ソニー株式会社) 21.04.2016 (2016 - 04 - 21) 全文, 全図	1-23

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021308

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-535999	A	30.11.2017	US	2016/0094796	A1	
				全文, 全図			
				WO	2016/053795	A1	
				EP	3202135	A	
				TW	201626785	A1	
				CN	107079115	A	
JP	2008-517541	A	22.05.2008	US	2008/0259182	A1	
				全文, 全図			
				WO	2006/042407	A1	
				EP	1813096	A1	
				CA	2494602	A	
				KR	10-2007-0114265	A	
JP	2007-502061	A	01.02.2007	US	2007/0187609	A1	
				全文, 全図			
				WO	2005/015639	A1	
				EP	1661183	A1	
				CA	2535490	A	
JP	2008-89324	A	17.04.2008	(ファミリーなし)			
JP	2015-15332	A	22.01.2015	US	2016/0372520	A1	
				全文, 全図			
				WO	2015/001771	A1	
				CN	105308749	A	
				KR	10-2016-0030102	A	
WO	2016/072281	A1	12.05.2016	US	2017/0243912	A1	
				全文, 全図			
				KR	10-2017-0077116	A	
				CN	107078147	A	
				TW	201618289	A	
JP	2017-84926	A	18.05.2017	WO	2017/073335	A1	
JP	2016-58559	A	21.04.2016	US	2017/0257587	A1	
				全文, 全図			
				WO	2016/039152	A1	