



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년08월27일

(11) 등록번호 10-1434160

(24) 등록일자 2014년08월20일

(51) 국제특허분류(Int. Cl.)

G11C 16/10 (2006.01) *G11C 16/08* (2006.01)

(21) 출원번호 10-2011-7001406

(22) 출원일자(국제) 2009년04월26일

심사청구일자 2011년07월20일

(85) 번역문제출일자 2011년01월19일

(65) 공개번호 10-2011-0033221

(43) 공개일자 2011년03월30일

(86) 국제출원번호 PCT/IB2009/051703

(87) 국제공개번호 WO 2009/156873

국제공개일자 2009년12월30일

(30) 우선권주장

61/074,705 2008년06월23일 미국(US)

(56) 선행기술조사문헌

US20060034137 A1

US20040017718 A1

JP2000173275 A

JP2009230793 A

전체 청구항 수 : 총 14 항

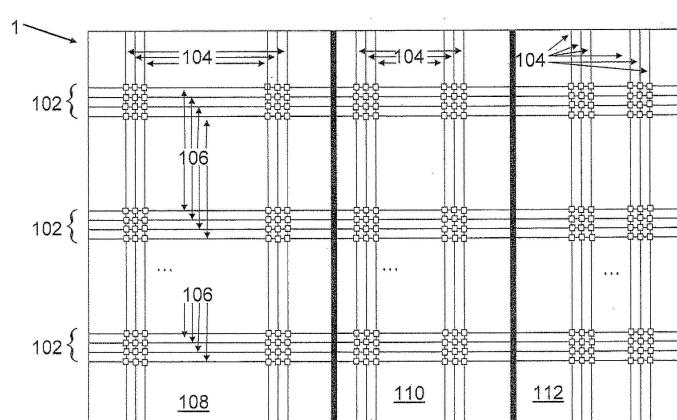
심사관 : 한선경

(54) 발명의 명칭 애드 혹 플래시 메모리 기준 셀

(57) 요약

복수의 비트 라인과 복수의 워드 라인으로 구성된 셀을 포함하는 비휘발성 메모리에서, 사용자 데이터는 워드 라인 중 2개의 워드 라인 각각의 워드 라인 개별 부분에 저장된다. 제어 정보는 비트 라인 중 하나의 비트 라인과 2개의 워드 라인 중 하나의 워드 라인에 공통인 셀에 저장된다. 비트 라인과 다른 워드 라인에 공통인 셀은 기준 셀로 이용된다. 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리는 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 질의를 받는다. 다른 예비 셀 중 적어도 일부는 기준 셀로 이용된다.

대 표 도 - 도2



특허청구의 범위

청구항 1

복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 비휘발성 메모리를 관리하는 방법으로서,

(a) 상기 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터(user data)를 저장하는 단계와,

(b) 상기 2개의 워드 라인에 의해 공유되는 상기 비트 라인 중 하나에,

(i) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 1 워드 라인의 교차 지점에 위치되는 셀에 제어 정보를 저장하는 단계와,

(ii) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 2 워드 라인의 교차 지점에 위치되는 셀을 기준 셀(reference cell)로 사용하는 단계를

포함하고,

상기 제어 정보는 에러 정정 코드 정보(error correction code information)인, 비휘발성 메모리의 관리 방법.

청구항 2

제 1항에 있어서, 상기 사용자 데이터를 저장하는 단계에서, 상기 사용자 데이터는 상기 기준 셀을 포함하는 상기 하나의 비트 라인의 셀 이외의 셀에만 저장되는, 비휘발성 메모리의 관리 방법.

청구항 3

제 1항에 있어서, 상기 제 1 워드 라인과 상기 제 2 워드 라인은 상기 비휘발성 메모리의 동일 블록에 있는, 비휘발성 메모리의 관리 방법.

청구항 4

제 3항에 있어서, 상기 제어 정보는 상기 동일 블록을 관리하기 위한 블록-레벨 관리 정보인, 비휘발성 메모리의 관리 방법.

청구항 5

제 1항에 있어서, 상기 제 1 워드 라인과 상기 제 2 워드 라인은 상기 비휘발성 메모리의 분리된 개별 블록에 있는, 비휘발성 메모리의 관리 방법.

청구항 6

비휘발성 메모리를 관리하기 위해 컴퓨터-판독 가능 코드가 구현되어 있는 컴퓨터-판독 가능 저장 매체로서,

상기 컴퓨터-판독 가능 코드는 제 1항 내지 제 5항 중 어느 한 항의 방법의 단계를 수행하는 동안 명령을 포함하는, 컴퓨터-판독 가능 저장 매체.

청구항 7

플래시 메모리 디바이스로서,

(a) 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리와,

(b) 제어기를

포함하고,

상기 제어기는,

(i) 상기 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하도록 동작하고,

(ii) 상기 2개의 워드 라인에 의해 공유되는 상기 비트 라인 중 하나에서,

(A) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 1 워드 라인의 교차 지점에 위치되는 셀에 에러 정정 코드 정보인 제어 정보를 저장하고,

(B) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 2 워드 라인의 교차 지점에 위치되는 셀을 기준 셀로 사용하도록 동작하는, 플래시 메모리 디바이스.

청구항 8

제 7항에 있어서, 상기 플래시 메모리는 호스트에 연결된, 플래시 메모리 디바이스.

청구항 9

제 8항에 있어서, 상기 호스트는 메모리와 프로세서를 포함하는, 플래시 메모리 디바이스.

청구항 10

삭제

청구항 11

시스템으로서,

(a) 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리와,

(b) 상기 플래시 메모리의 호스트를

포함하고,

상기 호스트는,

(i) 다음 단계에 의해 상기 플래시 메모리를 관리하기 위한 코드를 저장하는 메모리와,

(ii) 상기 코드를 실행하는 프로세서를

포함하고,

상기 단계는,

(A) 상기 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하는 단계와,

(B) 상기 2개의 워드 라인에 의해 공유되는 상기 비트 라인 중 하나에,

(I) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 1 워드 라인의 교차 지점에 위치되는 셀에 에러 정정 코드 정보인 제어 정보를 저장하는 단계와,

(II) 상기 하나의 비트 라인과 상기 2개의 워드 라인 중 제 2 워드 라인의 교차 지점에 위치되는 셀을 기준 셀로 사용하는 단계를

포함하는, 시스템.

청구항 12

복수의 1차 셀(primary cell)과 복수의 예비 셀(spare cell)을 포함하는 플래시 메모리를 관리하는 방법으로서,

(a) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 상기 플래시 메모리에 질의하는 단계와,

(b) 상기 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하는 단계를

포함하는, 플래시 메모리의 관리 방법.

청구항 13

복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리용 제어기로서,

- (a) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 상기 플래시 메모리에 질의하고,
- (b) 상기 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하도록 동작하는, 플래시 메모리용 제어기.

청구항 14

플래시 메모리 디바이스로서,

- (a) 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리와,

(b) 제어기를

포함하고,

상기 제어기는,

- (i) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 상기 플래시 메모리에 질의하고,

- (ii) 상기 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하도록

동작하는, 플래시 메모리 디바이스.

청구항 15

시스템으로서,

- (a) 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리와,

(b) 상기 플래시 메모리의 호스트를

포함하고,

상기 호스트는,

- (i) 다음 단계에 의해 상기 플래시 메모리를 관리하기 위한 코드를 저장하는 메모리와,

- (ii) 상기 코드를 실행하는 프로세서를

포함하며,

상기 단계는,

- (A) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 상기 플래시 메모리에 질의하는 단계와,

- (B) 상기 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하는 단계를

포함하는, 시스템.

명세서

기술 분야

[0001] 이 특허 출원은 2008년 6월 23일자로 출원된 미국 가특허 출원 번호 제 61/074,705호의 이점을 청구한다.

[0002] 본 발명은 플래시 메모리에 관한 것이고, 보다 구체적으로는, 처음에는 기준 셀로 사용되도록 의도되지 않은 플래시 메모리 셀을 기준 셀로 사용하는 방법에 관한 것이다.

배경 기술

[0003] 플래시 메모리는 메모리 셀의 직사각형 어레이로서 구성된다. 메모리 셀은 직교 비트 라인과 워드 라인으로 배열된다. 데이터의 하나 이상의 비트는, 셀의 임계 전압을, 그 비트 또는 그 비트들의 값을 나타내는 소정 범위

의 임계 전압들 내에 두기 위해 충분한 전기 전하를 셀의 플로팅 게이트에 주입함으로써 각 셀에 기록된다. 플래시 메모리 셀이 그 임계 전압을 임계 전압 범위 간의 경계들을 표시하는 기준 전압과 비교함으로써 판독된다. NOR 플래시 메모리의 경우에, 셀은 개별적으로 기록 및 판독될 수도 있다. NAND 플래시 메모리의 경우에, 셀은 한 번에 한 페이지씩 기록 및 판독될 수도 있으며, 각 워드 라인은 페이지의 작은 정수(integral number)(통상적으로 1 또는 2, 일반적으로는 4 이하)를 포함한다. 워드 라인은, 셀이 한 번에 블록 전체가 소거되도록 블록으로 추가 그룹화된다.

[0004] 역사적 이유 때문에, 플래시 메모리 셀에 데이터를 기록하는 것은 그 플래시 메모리 셀을 "프로그래밍(programming)"으로 불린다.

[0005] 플래시 메모리의 동작에 있어서 가장 방해가 되는 문제 중 하나는, 셀의 플로팅 게이트로부터의 전하의 누출로 인한, 시간에 따른 셀의 임계 전압의 변화이다. 이 현상은 또한 "데이터 보유 시프트(data retention shift)"로 알려져 있다. 과도한 데이터 보유 시프트는, 이 시프트에 따라 판독 기준 전압 레벨이 조정되지 않았다면, 플래시 메모리로부터 데이터를 판독할 때 에러를 초래할 수도 있다. 그러나, 데이터 보유 시프트로 인해 셀 임계 전압이 얼마나 많이 시프트되었는지, 또는, 다시 말해서, 판독 기준 전압이 얼마나 많이 조정되어야 하는지를 어떻게 알 수 있을까?

[0006] 이 문제를 다루기 위한 하나의 종래의 접근법은 기준 셀로서 각 페이지에 소정 수의 셀을 할당하여, 이들 셀을 선형적으로 공지된 데이터로 프로그램하고, 데이터 보유가 야기한 시프트의 양을 평가하기 위하여 이들 셀의 전압 임계치를 "감지(sense)"한다. 이러한 기준 셀을 플래시 메모리 시스템에 구현하는 것은 데이터 보유 시프트 현상에 대처할 시스템의 능력을 매우 향상시킨다.

발명의 내용

해결하려는 과제

[0007] 그러나, 이러한 기준 셀을 사용하여 데이터 보유 시프트의 신뢰 가능한 추정치를 얻는 것을 가능하게 하기 위해서는, 각 플래시 페이지에 대한 이러한 셀의 수는 적지 않다. 적어도 수십 개의 기준 셀이 각 전압 레벨마다 요구된다. 이것은 특히 셀당 1 비트보다 더 많은 비트를 저장하는 "멀티-레벨-셀(multi-level-cell)" 플래시 메모리 디바이스에 있어서 상당한 수의 셀이다. 이러한 상당한 수의 셀을 플래시 메모리 페이지에 부가하는 것은 확실히 플래시 다이 사이즈를 증가시키며, 따라서, 플래시 실리콘 기판의 비용을 증가시킨다.

[0008] 따라서, 플래시 메모리 다이 사이즈를 증가시키지 않고 기준 셀을 구현할 수 있는 것이 매우 바람직할 것이다.

과제의 해결 수단

[0009] 본원에 제공된 일 실시예는 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 비휘발성 메모리를 관리하는 방법이며, 이 방법은, (a) 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하는 단계; 및 (b) 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, (i) 하나의 비트 라인과 2개의 워드 라인 중 제 1 워드 라인에 공통인 셀에 제어 정보를 저장하는 단계, 및 (ii) 하나의 비트 라인과 2개의 워드 라인 중 제 2 워드 라인에 공통인 셀을 기준 셀로 사용하는 단계를 포함한다.

[0010] 본원에 제공된 다른 실시예는 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리용 제어기이며, 이 제어기는, (a) 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하도록 동작하고; (b) 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, (i) 하나의 비트 라인과 2개의 워드 라인 중 제 1 워드 라인에 공통인 셀에 제어 정보를 저장하고, (ii) 하나의 비트 라인과 2개의 워드 라인 중 제 2 워드 라인에 공통인 셀을 기준 셀로 사용하도록 동작한다.

[0011] 본원에 제공된 다른 실시예는 (a) 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리; 및 (b) 제어기를 포함하는 플래시 메모리 디바이스이며, 제어기는, (i) 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하도록 동작하고, (ii) 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, (A) 하나의 비트 라인과 2개의 워드 라인 중 제 1 워드 라인에 공통인 셀에 제어 정보를 저장하고, (B) 하나의 비트 라인과 2개의 워드 라인 중 제 2 워드 라인에 공통인 셀을 기준 셀로 사용하도록 동작한다.

[0012] 본원에 제공된 다른 실시예는 (a) 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리; 및 (b) 플래시 메모리의 호스트를 포함하는 시스템이며, 호스트는, (i) 단계들에 의해 플래시 메모

리를 관리하기 위한 코드를 저장하는 메모리, 및 (ii) 코드를 실행하는 프로세서를 포함하며, 상기 단계들은, (A) 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하는 단계, 및 (B) 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, (I) 하나의 비트 라인과 2개의 워드 라인 중 제 1 워드 라인에 공통인 셀에 제어 정보를 저장하는 단계, 및 (II) 하나의 비트 라인과 2개의 워드 라인 중 제 2 워드 라인에 공통인 셀을 기준 셀로 사용하는 단계를 포함한다.

[0013] 본원에 제공된 다른 실시예는 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 플래시 메모리를 관리하기 위해 컴퓨터-판독 가능 코드를 포함하고 있는 컴퓨터-판독 가능 저장 매체이며, 컴퓨터-판독 가능 코드는, (a) 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하기 위한 프로그램 코드; 및 (b) 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, (i) 하나의 비트 라인과 2개의 워드 라인 중 제 1 워드 라인에 공통인 셀에 제어 정보를 저장하고, (ii) 하나의 비트 라인과 2개의 워드 라인 중 제 2 워드 라인에 공통인 셀을 기준 셀로 사용하기 위한 프로그램 코드를 포함한다.

[0014] 본원에 제공된 다른 실시예는 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리를 관리하는 방법이며, 이 방법은, (a) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하는 단계; 및 (b) 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하는 단계를 포함한다.

[0015] 본원에 제공된 다른 실시예는 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리용 제어기이며, 이 제어기는, (a) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하고; (b) 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하도록 동작한다.

[0016] 본원에 제공된 다른 실시예는 (a) 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리; 및 (b) 제어기를 포함하는 플래시 메모리 디바이스이며, 이 제어기는, (i) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하고, (ii) 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하도록 동작한다.

[0017] 본원에 제공된 다른 실시예는 (a) 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리; 및 (b) 플래시 메모리의 호스트를 포함하는 시스템이며, 이 호스트는, (i) 단계들에 의해 플래시 메모리를 관리하기 위한 코드를 저장하는 메모리, 및 (ii) 코드를 실행하는 프로세서를 포함하며, 상기 단계들은, (A) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하는 단계, 및 (B) 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하는 단계를 포함한다.

[0018] 본원에 제공된 다른 실시예는 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리를 관리하기 위해 컴퓨터-판독 가능 코드를 포함하고 있는 컴퓨터-판독 가능 저장 매체이며, 컴퓨터-판독 가능 코드는, (a) 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하기 위한 프로그램 코드; 및 (b) 예비 셀 중 나머지 예비 셀의 적어도 일부를 기준 셀로 사용하기 위한 프로그램 코드를 포함한다.

[0019] 두 가지 일반적인 방법이 메모리의 기준 셀의 애드 혹 지정을 위해 본원에 제시된다. 제 1 방법은 플래시 메모리에 제한되지 않고, 복수의 비트 라인과 복수의 워드 라인으로 구성된 복수의 셀을 포함하는 임의의 비휘발성 메모리를 관리하는 것에 관한 것이다. 제 2 방법은 플래시 메모리에 특정되며, 복수의 1차 셀과 복수의 예비 셀을 포함하는 플래시 메모리를 관리하는 것에 관한 것이다.

[0020] 제 1 일반적인 방법에 따르면, 사용자 데이터는 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 저장된다. 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, 제어 정보는 비트 라인과 워드 라인 중 하나의 워드 라인에 공통인 셀에 저장되고, 비트 라인과 다른 워드 라인에 공통인 셀은 메모리의 적어도 하나의 다른 셀을 판독하기 위한 기준 셀로 이용된다. 문제가 되는 2개의 셀은 사용자 데이터를 저장하기 위해 사용되지 않는 셀이다.

[0021] 바람직하게는, 사용자 데이터는 기준 셀을 포함하는 하나의 비트 라인의 셀과 다른 셀에만 저장된다. 예를 들어, 이하 바람직한 실시예에 제시된 예에서, 사용자 데이터를 저장하기 위해 사용되는 셀은 섹션(108)의 셀이고, 제어 정보를 저장하기 위해 사용되는 셀은 섹션(110)의 셀이며, 기준 셀로 사용되는 셀은 섹션(110)의 다른 셀이다.

[0022] 일부 실시예에서, 2개의 워드 라인은 비휘발성 메모리의 동일 소거 블록에 있다. 이러한 실시예에서, 바람직하게는, 제어 정보는 예를 들어 워드 라인 중 하나의 워드 라인에 저장되는 페이지를 관리하기 위한 페이지-레벨 관리 정보와는 대조적으로, 공유된 블록을 관리하기 위한 블록-레벨 관리 정보이다. 다른 실시예에서, 2개의 워드 라인은 비휘발성 메모리의 분리된 각각의 소거 블록들에 있다. 일부 이러한 실시예에서, 제어 정보는 여러

정정 코드 정보이다.

[0023] 제 2 일반적인 방법에 따르면, 플래시 메모리는 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 질의받는다. 나머지 예비 셀(즉, 각각의 1차 셀을 대체하기 위해 사용되지 않은 하나 이상의 예비 셀)의 적어도 일부는 대체되지 않은 1차 셀의 적어도 일부를 판독하기 위해 및/또는 1차 셀을 대체하기 위해 이용된 예비 셀의 적어도 일부를 판독하기 위해 판독 셀로 이용된다.

[0024] 제 1 일반적인 방법을 구현하는 메모리 제어기는 워드 라인 중 2개의 워드 라인 각각의 셀의 개별 부분에 사용자 데이터를 저장하도록 동작하고, 2개의 워드 라인에 의해 공유되는 비트 라인 중 하나에, 비트 라인과 워드 라인 중 하나의 워드 라인에 공통인 셀에 제어 정보를 저장하고, 비트 라인과 다른 워드 라인에 공통인 셀을 기준 셀로 사용하도록 동작한다.

[0025] 제 2 일반적인 방법을 구현하는 플래시 메모리 제어기는 어느 예비 셀이 각각의 1차 셀을 대체하기 위해 사용되었는지 결정하기 위해 플래시 메모리에 질의하고, 다른 예비 셀의 적어도 일부를 기준 셀로 사용하도록 동작한다.

[0026] 2개의 일반적인 방법 중 한 가지 일반적인 방법에 대응하는 메모리 디바이스는 메모리 및 그 메모리를 적절한 일반적인 방법에 따라 관리하는 제어기를 포함한다.

[0027] 2개의 일반적인 방법 중 한 가지 일반적인 방법에 대응하는 시스템은 제 1 메모리, 제 2 메모리 및 프로세서를 포함한다. 제 2 메모리는 제 1 메모리를 관리하기 위해 적절한 일반적인 방법을 구현하기 위한 코드를 저장하기 위한 것이다. 2개의 일반적인 방법 중 한 가지 일반적인 방법에 대응하는 컴퓨터 판독 가능 저장 매체는 적절한 일반적인 방법을 사용하여 메모리를 관리하기 위한 컴퓨터 코드를 포함하고 있다.

발명의 효과

[0028] 본 발명은, 플래시 메모리 다이 사이즈를 증가시키지 않으면서 기준 셀을 구현할 수 있는 방법을 제공하는 효과를 갖는다.

도면의 간단한 설명

[0029] 여러 실시예가 단지 일례로만 첨부 도면을 참조하여 본원에 설명된다.

도 1은, 기준 셀의 애드 혹은 지정이 제어기에 의해 영향을 받는 플래시 메모리 디바이스의 하이-레벨 개념도이다.

도 2는, 도 1의 플래시 메모리 디바이스의 한 가지 예시적인 메모리 셀 어레이의 일부 상세를 도시한 도면.

도 3은, 플래시 메모리의 기준 셀의 애드 혹은 지정이 소프트웨어에 의해 영향을 받는 시스템의 하이-레벨 블록도.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명에 따른 플래시 메모리의 원리와 동작은 도면 및 수반되는 설명을 참조하면 더 잘 이해될 수도 있다.

[0031] 이제 도면을 참조하면, 도 1은 플래시 메모리 디바이스의 하이-레벨 개념도이다. 매트릭스로 배열된 복수의 메모리 셀(M)을 포함하는 메모리 셀 어레이(1)는 열 제어 회로(2), 행 제어 회로(3), c-소스 제어 회로(4) 및 c-p-웰 제어 회로(5)에 의해 제어된다. 열 제어 회로(2)는 메모리 셀(M)에 저장된 데이터를 판독하기 위해, 기록 동작 동안 메모리 셀(M)의 상태를 결정하기 위해, 그리고 기록을 촉진하거나 또는 기록을 억제하기 위한 비트 라인(BL)의 잠재적인 레벨을 제어하기 위해, 메모리 셀 어레이(1)의 비트 라인(BL)에 접속된다. 행 제어 회로(3)는 워드 라인(WL) 중 하나를 선택하고, 판독 전압을 인가하고, 열 제어 회로(2)에 의해 제어된 비트 라인의 잠재적인 레벨과 결합된 기록 전압을 인가하며, 메모리 셀(M)이 상부에 형성되는 p-타입 영역의 전압과 커플링된 소거 전압을 적용하기 위해 워드 라인(WL)에 접속된다. c-소스 제어 회로(4)는 메모리 셀(M)에 접속된 공통 소스선을 제어한다. c-p-웰 제어 회로(5)는 c-p-웰 전압을 제어한다.

[0032] 메모리 셀(M)에 저장된 데이터는 열 제어 회로(2)에 의해 독출되고, I/O 데이터 선 및 데이터 입/출력 버퍼(6)를 통해 외부 I/O 선으로 출력된다. 메모리 셀에 저장될 프로그램 데이터는 외부 I/O 선을 통해 데이터 입/출력 버퍼(6)에 입력되고, 열 제어 회로(2)로 전송된다. 외부 I/O 선은 제어기(20)에 접속된다.

[0033] 플래시 메모리 디바이스를 제어하기 위한 명령 데이터는 제어기(20)와 접속되는 외부 제어 선에 접속된 명령 인

터페이스에 입력된다. 명령 데이터는 어떤 동작을 요청받았는지를 플래시 메모리에 통지한다. 입력 명령은 열 제어 회로(2), 행 제어 회로(3), c-소스 제어 회로(4), c-p-웰 제어 회로(5) 및 데이터 입/출력 버퍼(6)를 제어하는 상태 머신(8)으로 전송된다. 상태 머신(8)은 레디/비지(READY/BUSY) 또는 통과/실패(PASS/FAIL)와 같은 플래시 메모리의 상태 데이터(status data)를 출력할 수 있다.

[0034] 제어기(20)는 개인용 컴퓨터, 디지털 카메라, 개인 휴대 정보 단말기와 같은 호스트 시스템에 접속되거나 또는 접속 가능하다. 제어기는 각각 메모리 어레이(1)에 데이터를 저장하거나 또는 메모리 어레이(1)로부터 데이터를 판독하고, 이러한 데이터를 저장 또는 수신하는 것과 같은 명령을 개시하는 호스트이다. 제어기(20)는 이러한 명령을 명령 회로(7)에 의해 인터프리팅되어 실행될 수 있는 명령 신호로 변환한다. 또한 제어기(20)는 통상적으로 메모리 어레이에 기록되거나 또는 메모리 어레이로부터 판독되는 사용자 데이터용 버퍼 메모리를 포함한다. 통상적인 메모리 디바이스는 제어기(20)를 포함하는 하나의 집적 회로 칩(21), 및 각각이 메모리 어레이 및 관련 제어, 입/출력 및 상태 머신 회로를 포함하는 하나 이상의 집적 회로 칩(22)을 포함한다. 트렌드는 물론 이러한 디바이스의 메모리 어레이와 제어기 회로를 하나 이상의 집적 회로 칩 상에 함께 통합하는 것이다. 메모리 디바이스는 호스트 시스템의 일부로 내장될 수 있고, 또는 호스트 시스템의 메이팅 소켓(mating socket) 내에 분리 가능하게 삽입 가능한 메모리 카드에 포함될 수도 있다. 이러한 카드는 전체 메모리 디바이스를 포함할 수도 있고, 또는 제어기 및 메모리 어레이는 관련 주변 회로와 함께 개별 카드에 제공될 수도 있다.

[0035] 도 2는 한 가지 예시적인 메모리 셀 어레이(1)의 일부 상세를 도시한다. 도 2의 메모리 셀 어레이(1)는 3개의 소거 블록(102)을 포함한다. 각 소거 블록(102)은 4개의 워드 라인(106)을 포함한다 (소거 블록은 보통은 4개의 워드 라인보다 더욱 많은 워드 라인을 포함한다). 도 2의 예는 단순화를 위해 소거 블록당 4개의 워드 라인을 도시한다. 워드 라인(106)에 수직으로 다수의 비트 라인(104)이 존재한다 (도 2의 생략 부호들은 표시된 비트 라인(104) 사이에 더욱 많은 비트 라인(104)이 있다는 것을 의미한다). 워드 라인(106)과 비트 라인(104)의 교차 지점에 있는 정사각형은 메모리 셀을 나타낸다. 따라서, 상기 설명한 바와 같이, 메모리 셀 어레이(1)는 셀의 직사각형 어레이이며, 셀의 각 열은 공유된 비트 라인(104) 상에 있고 셀의 각 행은 공유된 워드 라인(106) 상에 있다.

[0036] 도 2의 메모리 셀 어레이(1)는 3개의 섹션으로 분할되며, 각 섹션의 셀은 상이한 용도로 이용된다. 섹션(108)은 데이터 섹션이다. 섹션(108)의 셀은 데이터를 저장하기 위해 이용된다. 섹션(110)은 제어 섹션이다. 섹션(110)의 셀은 섹션(108) 내의 데이터에 대한 에러 정정 코드(ECC) 비트와 같은 제어 및 관리 정보를 저장하기 위해 이용된다. 섹션(112)은 리던던트 섹션이다. 섹션(112)의 셀은 "리던던트 컬럼 셀"이라 불리며, 섹션(108 및 110) 내의 부적절한 비트 라인(104)을 보상(즉, 대체)하기 위해 이용된다 (첨부된 특허청구범위의 일부에서는, 섹션(108 및 110)의 셀이 "1차 셀(primary cell)"이라 불리고, 섹션(112)의 셀이 "예비 셀(spare cell)"이라 불린다). 도 1의 디바이스의 초기 테스팅 중에, 부적절한 비트 라인(104)이 검출되고 섹션(112)의 양호한 비트 라인(104)과 리맵핑됨으로써 섹션(112)의 양호한 비트 라인(104)으로 "대체"된다. 이 리맵핑 정보는 도 1의 디바이스에 기록된다.

[0037] 플래시 메모리 셀 어레이(1)는 섹션(108 및 110)의 상당한 양의 비트 라인(104)이 열악한 훨씬 드문 경우를 커버하기 위해 섹션(112)에 있어서 충분한 리던던트 비트 라인(104)으로 설계된다. 그러나, 경험은 대부분의 경우에 단지 적은 수의 비트 라인(104)만 리맵핑된 비트 라인이어야 한다는 것을 보여준다. 따라서, 리던던트 비트 라인(104)의 대부분은 통계적으로 사용되지 않고, 기준 셀로 사용되는 것은 프리(free)이다.

[0038] 리던던트 비트 라인(104)의 셀이 기준 셀로 사용되도록 하기 위하여, 제어기(20)는 정상 동작 모드에서 다음을 수행하도록 구성된다:

- 컬럼 리맵핑 정보를 입수

- 리던던트 비트 라인(104)에 대한 액세스(판독 및 프로그램) 가능.

[0041] 종래의 플래시 메모리 디바이스는 플래시 메모리 디바이스 테스팅용으로 의도된, 특수 동작 모드에서 이를 제어기 동작을 이미 가능하게 한다는 것을 알아야 한다.

[0042] 기준 셀로 사용되는 플래시 메모리 셀의 수는 데이터를 저장하기 위해 사용되지 않는 추가적인 셀이 이 용도로 할당된다면 더욱 증가될 수도 있다.

[0043] 이러한 셀의 하나의 "소스"는 이 섹션의 일부가 ECC 용으로 또는 플래시 메모리 관리용으로 사용되지 않는다면

섹션(110)에서의 비트 라인(104)이다.

[0044] 기준 셀의 다른 "소스"는 블록(102)의 일부 워드 라인(106)에서 사용되고 다른 워드 라인(106)에서 사용되지 않고, 또는 대안으로는 워드 라인(106)을 따라 일부 블록(102)에서 사용되고 다른 블록(102)에서 "프리"인 비트 라인(104)의 부분이다.

[0045] 블록(102)의 일부 워드 라인(106)이 비트 라인(104)의 셀을 이용할 수 있는 반면, 블록(102)의 다른 워드 라인(106)이 이들 비트 라인(102)의 셀을 사용하지 않는 상황은 이들 비트 라인(104)의 셀이 블록-레벨 관리 데이터를 저장하기 위해 할당되었다면 발생할 수도 있다. 이러한 경우에, 블록(102)의 모든 워드 라인(106)에서 이들 비트 라인(104)의 셀을 이용할 필요가 없을 수 있으며 사용되지 않은 셀은 기준 셀로 할당될 수도 있다.

[0046] 유사하게, 플래시 메모리 디바이스가 동일 평면에서 상이한 로직 타입들의 블록(102)을 포함하는 경우, 이들 블록(102) 중 일부는 데이터를 저장하기 위해 이용된 소정의 비트 라인(104)을 가질 수도 있는 한편, 다른 블록(102)은 이들 비트 라인(104)을 프리로 가질 수도 있다. 이러한 상황의 일례는 블록(102)이 셀당 상이한 수의 비트(예를 들어, 일례로서, 일부 블록(102)은 셀당 일 비트를 저장하는 SLC("Single Level Cell")인 한편, 다른 블록(102)은 셀당 2개 이상의 비트를 저장하는 MLC("Multi Level Cell")로 프로그램되고, 따라서 상이한 수의 비트 라인(104)이 ECC 비트를 저장하기 위해 할당되게 하는 상이한 ECC 요건들을 갖는 플래시 메모리 디바이스이다. 이러한 경우에, MLC 블록(102)은 섹션(110)의 모든 비트 라인(104)을 점유하고 있지만, SLC 블록(102)은 섹션(110)의 일부 비트 라인(104)을 프리로 갖는다.

[0047] 종래에는 임계 전압 드리프트를 추정하기 위해 플래시 메모리 디바이스에서 기준 셀을 사용하지만, 그런 용도로 사용되는 셀은 기준 셀로서 미리 할당되고 또한 전용 비트 라인 상에 위치되는 셀이다. 본원에 설명된 기술은 특히 다음의 구성들에 따라, 기준 셀로서 미리 할당되지 않거나 전용 비트 라인 상에 위치되지 않은 기준 셀을 이용한다.

[0048] A. 소정의 블록(102) 내에서, 그리고 동일 비트 라인(104) 상에서, 일부 셀은 관리 데이터 셀로 사용되고 다른 셀은 기준 셀로 이용된다. 예를 들어, 블록(102)의 하나의 워드 라인(106)의 관리 섹션에서의 일부 셀이 제어 정보를 저장하고 있지만, 블록(102)의 다른 워드 라인(106)에서 대응하는 셀은 기준 셀로 이용된다.

[0049] B. 소정의 플래시 메모리 다이 내에서, 그리고 상이한 블록(102)에서 (동일 평면에서도) 대응하는 비트 라인(104) 상에서, 일부 셀은 관리 데이터 셀로 사용되고 다른 셀은 기준 셀로 이용된다. 예를 들어, MLC 모드에서 이용된 블록들은 일부 비트 라인(104)의 셀에 ECC 패리티 비트를 저장하지만, SLC 모드에서 이용된 블록(102)에서 대응하는 비트 라인(104){또는 동일 비트 라인(104)}의 셀은 기준 셀로 이용된다.

[0050] C. 소정의 많은 플래시 다이들 내(동일 웨이퍼의 다이들 내 포함)에서, 일부 비트 라인(104)의 셀은 데이터 셀로 사용되고 다른 비트 라인(104)의 셀은 기준 셀로 이용된다. 예를 들어, 다수의 부적절한 비트 라인(104)을 갖는 하나의 플래시 다이는 섹션(112)의 거의 모든 리던던트 비트 라인(104)이 데이터 비트 라인으로 사용되게 하지만, 다른 플래시 다이에서는, 거의 모든 비트 라인(104)이 양호한 비트 라인들이며 섹션(112)의 리던던트 비트 라인(104)은 기준 셀로 이용된다.

[0051] 도 3은 플래시 메모리의 기준 셀의 애드 혹 지정이 소프트웨어에 의해 영향을 받는 시스템(200)의 하이-레벨 블록도이다. 시스템(200)은 모두가 공통 버스(214)를 통해 통신하는, 프로세서(202) 및 4개의 메모리 디바이스, 즉, RAM(204), 부트 ROM(206), 대용량 저장 디바이스(하드 디스크)(208) 및 플래시 메모리 디바이스(212)와 같은 도 1의 플래시 메모리 디바이스를 포함한다. 시스템(200)에서, 플래시 메모리 디바이스(212)의 제어기(20)는 단지 버스(214)에 대한 인터페이스로서만 기능하며; 상기 설명한 바와 같은 도 1의 플래시 제어기(20)의 나머지 기능성은 대용량 저장 디바이스(208)에 저장되고 프로세서(202) 및 플래시 메모리 디바이스(212)에 의해 실행된 사용자 애플리케이션 사이에 인터페이스하고 플래시 메모리 디바이스(212)의 플래시 메모리를 관리하기 위해 프로세서(202)에 의해 실행되는 플래시 메모리 드라이버 코드(210)에 의해 에뮬레이팅된다. 이러한 플래시 관리 드라이버 코드의 종래의 기능성에 더하여, 드라이버 코드(210)는 상기 설명한 바와 같이 다르게는 어떤 용도로도 사용되지 않는 메모리 셀 어레이(1)의 셀을 기준 셀로 사용하는 것과 관련하여 도 1의 제어기(20)의 기능성을 에뮬레이팅한다. 드라이버 코드(210)는 통상적으로 시스템(200)을 위한 동작 시스템 코드에 포함되지만, 프리스탠딩(freestanding) 코드일 수도 있다.

[0052] 플래시 메모리 디바이스(212) 이외의 시스템(200)의 컴포넌트들은 플래시 메모리 디바이스(212)의 호스트(220)를 구성한다. 대용량 저장 디바이스(208)는 다르게는 어떤 용도로도 사용되지 않는 플래시 메모리 어레이의 셀을 플래시 메모리 어레이의 기준 셀로 사용하기 위해 컴퓨터-판독 가능 드라이버 코드를 보유하는 컴퓨터-판독

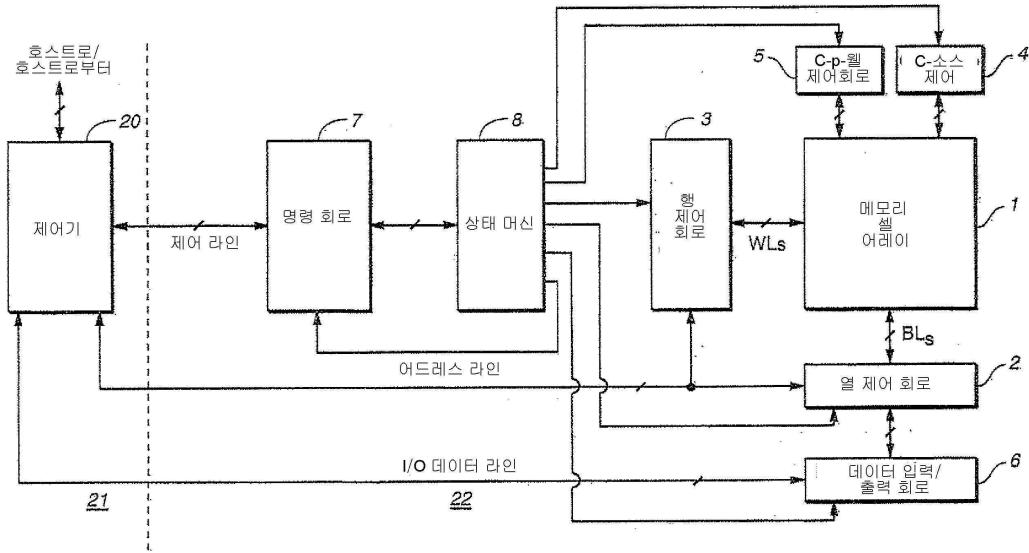
가능 저장 매체의 일례이다. 이러한 컴퓨터-판독 가능 저장 매체의 다른 예들은 이러한 코드를 보유하는 CD 와 같은 판독-전용 메모리들을 포함한다.

[0053]

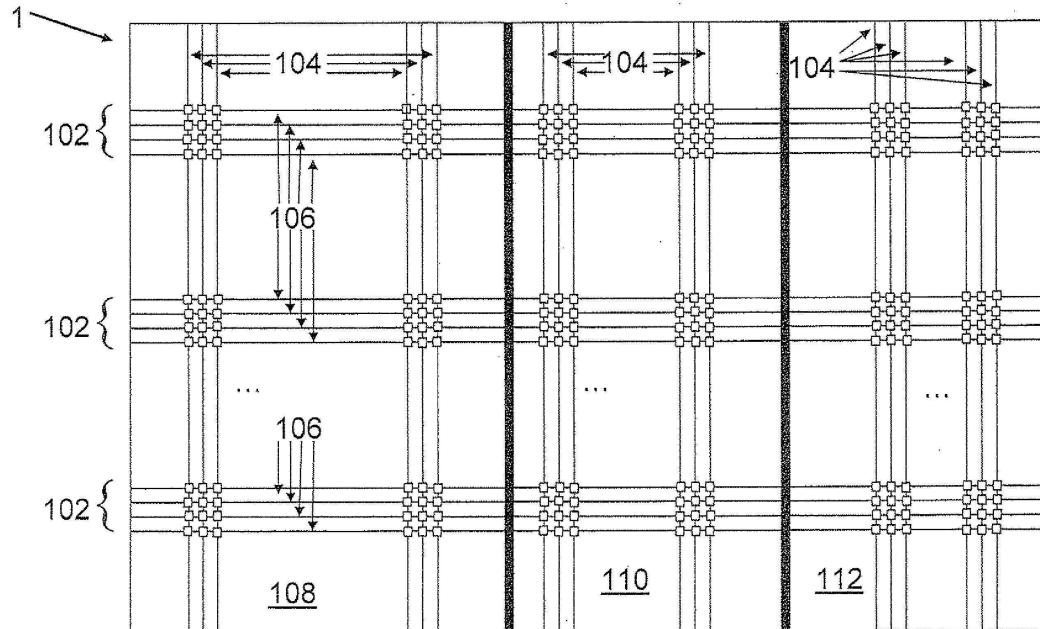
플래시 메모리의 기준 셀의 애드 혹 지정을 위한 방법 및 이러한 방법을 이용한 디바이스 및 시스템의 제한된 수의 실시예가 설명되었다. 상기 방법의 다수의 변경, 변형 및 다른 용도가 행해질 수도 있다는 것을 알아야 할 것이다.

도면

도면1



도면2



도면3

