



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201351888 A

(43)公開日：中華民國 102 (2013) 年 12 月 16 日

(21)申請案號：102118284

(22)申請日：中華民國 102 (2013) 年 05 月 23 日

(51)Int. Cl. : *H03M1/10 (2006.01)*

(30)優先權：2012/06/07 美國 13/490,673

(71)申請人：美國亞德諾半導體公司 (美國) ANALOG DEVICES, INC. (US)
美國

(72)發明人：考西克 史戴芬 R KOSIC, STEPHEN R. (US) ; 布萊 傑佛瑞 P BRAY, JEFFREY
P. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 26 頁

(54)名稱

用於比較器校正之後台技術

BACKGROUND TECHNIQUES FOR COMPARATOR CALIBRATION

(57)摘要

本發明揭示一種用於在具有以一管線式方式連接至一輸入信號之複數個級之一電路中執行一比較器之一後台校正之方法及對應裝置。計算自該複數個級中之一第一級輸出至該複數個級中之一後續級之一殘餘信號之一數位值。將該殘餘信號之該值與至少一臨限值比較。基於該比較，可調整該第一級中之一所選比較器之一觸發臨限值。

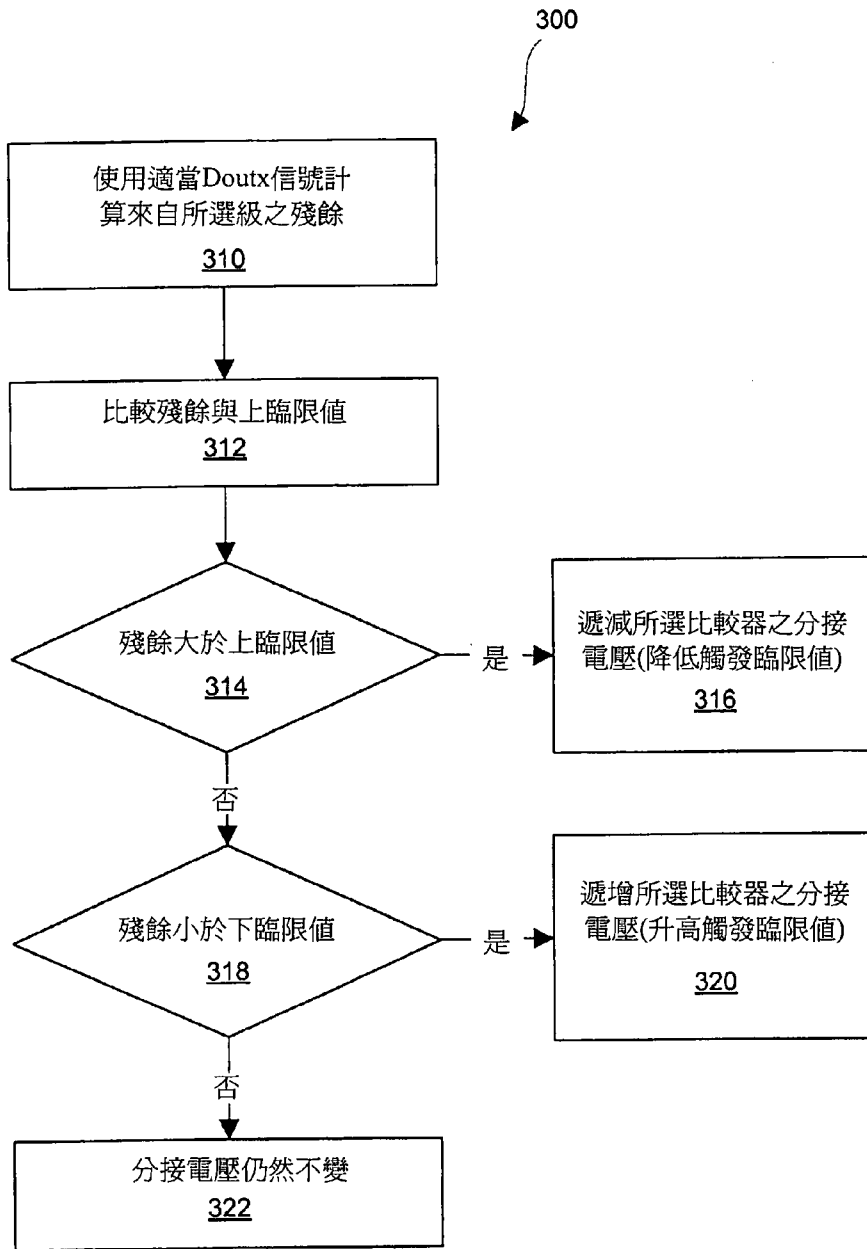


圖 6



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201351888 A

(43) 公開日：中華民國 102 (2013) 年 12 月 16 日

(21) 申請案號：102118284

(22) 申請日：中華民國 102 (2013) 年 05 月 23 日

(51) Int. Cl. : *H03M1/10 (2006.01)*

(30) 優先權：2012/06/07 美國 13/490,673

(71) 申請人：美國亞德諾半導體公司 (美國) ANALOG DEVICES, INC. (US)
美國

(72) 發明人：考西克 史戴芬 R KOSIC, STEPHEN R. (US) ; 布萊 傑佛瑞 P BRAY, JEFFREY
P. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 26 頁

(54) 名稱

用於比較器校正之後台技術

BACKGROUND TECHNIQUES FOR COMPARATOR CALIBRATION

(57) 摘要

本發明揭示一種用於在具有以一管線式方式連接至一輸入信號之複數個級之一電路中執行一比較器之一後台校正之方法及對應裝置。計算自該複數個級中之一第一級輸出至該複數個級中之一後續級之一殘餘信號之一數位值。將該殘餘信號之該值與至少一臨限值比較。基於該比較，可調整該第一級中之一所選比較器之一觸發臨限值。

發明摘要

※ 申請案號：102118284

※ 申請日：102-5-23

※IPC 分類：H03M 1/10 (2006.01)

【發明名稱】

用於比較器校正之後台技術

BACKGROUND TECHNIQUES FOR COMPARATOR
CALIBRATION

【中文】

本發明揭示一種用於在具有以一管線式方式連接至一輸入信號之複數個級之一電路中執行一比較器之一後台校正之方法及對應裝置。計算自該複數個級中之一第一級輸出至該複數個級中之一後續級之一殘餘信號之一數位值。將該殘餘信號之該值與至少一臨限值比較。基於該比較，可調整該第一級中之一所選比較器之一觸發臨限值。

【英文】

A method and a corresponding device for performing a background calibration of a comparator in a circuit having a plurality of stages that are connected in a pipelined fashion to an input signal. A digital value of a residue signal, which is output from a first stage in the plurality of stages to a subsequent stage in the plurality of stages, is calculated. The value of the residue signal is compared to at least one threshold. Based on the comparison, a triggering threshold of a selected comparator in the first stage may be adjusted.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於比較器校正之後台技術

BACKGROUND TECHNIQUES FOR COMPARATOR
CALIBRATION

【先前技術】

電子組件經受操作特性變動。儘管裝置可根據說明書加以製造，然並無製造技術可保證跨所有裝置之一致性。在金屬氧化物半導體(MOS)裝置中，此變動經常表現為一臨限值電壓位準之一移位。例如，在一比較器電路中，差分對中之失配及電流源中之失配可導致一比較器偏移，該比較器偏移為藉由影響一輸入電壓與一參考電壓之間之一比較之性能而限制比較器之精確性之一電壓偏移。比較器偏移不僅因隨機裝置失配而出現，亦為裝置尺寸之一函數。減少偏移之一已知方法為增加裝置尺寸。然而，此要求增加的功率以維持增益頻寬及再生時間。對於小、低功率比較器，增加裝置尺寸可不為一實際選項，所以要求一偏移補償或取消方案。

比較器偏移可分類為兩種類型。稱為DC偏移(在本文中亦稱為一「靜態」偏移)之一第一類型為當比較器電路在操作時存在的一更多或更少個恆定偏移。在本文中稱為一「動態」偏移之一第二類型在比較器電路經切換以基於至電路之輸入值而輸出一比較器決定時出現。可藉由電路中之失衡(諸如影響電路組件之寄生電容)引起動態偏移。因此，動態偏移之原因可與靜態偏移之原因無關。

存在補償靜態偏移之技術。然而，動態偏移仍然為一問題。

【發明內容】

本發明之實例實施例係關於用於在一管線式類比至數位轉換器(ADC)中校正比較器之方法及對應裝置。

根據一實例實施例，一第一電阻器梯及一第二電阻器梯連接至ADC管線之至少一級中之差分比較器之各自輸入。各比較器可具有其本身之第一電阻器梯及第二電阻器梯、選擇該電阻器梯之初始分接點以形成至比較器之一初始互補輸入對。在ADC操作期間(當ADC執行一轉換)，在時間對準來自後續級之輸出以將級當中之時差納入考量之後，使用來自後續級之輸出計算藉由至少一級產生之一數位殘餘。將各殘餘值與至少一臨限值進行比較，較佳與一上臨限值及一下臨限值進行比較。基於比較，可藉由移動至第一電阻器梯及第二電阻器梯中之一不同分接位置而校正施加至至少一級中之至少一比較器之初始分接電壓。當ADC主動地執行轉換以矯正ADC之多種比較器中之偏移時，上述校正程序可(例如)針對特定數目個循環按照每時脈循環一次進行重複。視需要，只要ADC主動轉換輸入則可重複校正程序。

【圖式簡單說明】

圖1為一習知多級管線式類比至數位轉換器之一方塊圖。

圖2為展示針對一類比至數位轉換器之一輸出信號之計算及針對轉換器中之多種級之殘餘值之計算之一圖。

圖3為展示針對在一例示性級中之比較器之一部分之例示性殘餘值相對於輸入之一曲線。

圖4為根據本發明之一實例實施例之用於比較器校正之一系統之一方塊圖。

圖5為根據本發明之一實例實施例之用於比較器校正之一電路之一示意圖。

圖6為根據本發明之一實例實施例之用於比較器校正之一方法之一流程圖。

【實施方式】

本發明係關於用於比較器校正之方法及裝置。參考用於一管線式ADC中之一比較器描述本發明之例示性實施例。然而，本發明可應用至管線式電路之其他類型中之一比較器之校正。根據本發明之例示性實施例，藉由校正ADC之一快閃部分中之一電阻器梯之分接補償在一切換式電容器快閃ADC中之比較器偏移誤差。在一後台校正週期(即，當ADC主動執行一轉換)期間出現校正。校正補償靜態及動態偏移兩者。

圖1為一習知多級管線式ADC之一方塊圖。一類比信號 V_{in} 被輸入至ADC之一第一級(級10)。在各級之一快閃部分內，藉由一排比較器執行輸入與一組參考電壓之間之一比較，導致輸入之一粗略數位估計，該數位估計被輸出至一電路(輸出電路18)。粗略估計亦經精確轉換至一電壓且自輸入減去。所得類比殘餘信號經提高增益(gained-up)且輸出作為至下一級(例如，級12)之輸入。此重複通過任意數目個額外級(例如，級14至16)直至達到管線之末端(最終級)。可基於ADC之一所要解析度選擇級之數目。圖1包含展示級10之多種組件之一放大視圖(blow-up view)。剩餘級12/14/16之各者可包含類似組件，惟最終級16可不包含一數位至類比轉換器(DAC)或一減法單元除外。輸入 V_{in} 被傳至一快閃單元10a，快閃單元10a執行 V_{in} 之一類比至數位轉換以產生一數位值 D_{out1} 。 V_{in} 可被施加至快閃單元10a中之一組比較器。取決於 V_{in} 值，任意數目個比較器可經觸發以產生 V_{in} 之一數位近似值，因為各比較器可具有一不同觸發臨限值之故。 D_{out1} 被輸入至一DAC 10b，DAC 10b將 D_{out1} 轉換成一類比信號。在藉由一增益單元10d提高增益且傳至下一級(例如，級12)作為一類比殘餘信號之前， D_{out1} 之類比版本接著可藉由一減法單元10c而自 V_{in} 減去。可重複此程序直至達到管線之末端。接著藉由一輸出電路18產生ADC之總

輸出，該輸出電路18將各級之數位輸出(例如，Dout1、Dout2...Doutn)組合成一單個數位輸出Dout。由於級以一管線式形式操作，來自各級之Doutx信號經適當地延時(例如，藉由輸出電路18)使得來自相同樣本瞬間之所有輸出信號經時間對準。輸出電路18接著可藉由組合時間對準信號產生Dout(例如)作為時間對準信號之一數位總和。

圖2為展示可如何組合個別Doutx信號以形成總Dout信號之一圖。圖2亦展示可如何針對任意給定級計算殘餘值。為簡明起見假設一個四級管。然而，如初期解釋，級之數目可變動。來自所有級之輸出資料(61、62、63、64及65)經時間對準且經組合以產生Dout 67。為計算任意給定級之殘餘，來自所有後續級之輸出資料可經求和。例如，針對第二級之殘餘為輸出資料(63、64及65)之總和，而針對第一級之殘餘為輸出資料(62、63、64及65)之總和。

圖3為展示針對一例示性級中之比較器之一部分(例如，比較器C13、C14及C15)之例示性殘餘值相對於輸入之一曲線。水平軸對應於級之輸入處之電壓範圍。垂直軸對應於藉由該級產生之類比殘餘(例如，圖1中之Vout)。如展示，輸入可在ADC之一負全標度電壓(-FS)與一正全標度電壓(+FS)之間變動。針對比較器C13/C14/C15之各者之觸發臨限值藉由與輸入軸相交之垂直線表示。展示之觸發臨限值可對應於針對比較器之各者之理想臨限值。比較器偏移可導致一或多個比較器臨限值至左或至右之一移位，使得所產生殘餘可較一理想殘餘值更高(若向右移位)或更低(若向左移位)(例如，殘餘可高於+FS/2或低於-FS/2)。

圖4為根據本發明之一實例實施例之用於比較器校正之一系統之一方塊圖。系統可包含一組級10'/12'/14'/16'，該組級類似於圖1中之級10/12/14/16。一控制器30可經由一信號匯流排31接收各級之數位輸出(例如，圖1中之Dout1)。控制器可在輸出電路18內或作為一單獨電

路加以實施。由於比較器之數目可在級之間變動，數位輸出之尺寸亦可變動。針對圖解之目的，數位輸出展示為在二位元<1:0>與五位元<4:0>之間變動。控制器30可包含一組控制信號Csel、Inc/Dec及Fsel，其等輸出至該等級之至少一者。在圖4中，此等控制信號展示為僅輸出至前兩級(級10'及12')使得僅校正級10'及12'之比較器。然而，在一替代實施例中，控制信號可施加至任意數目個級(例如，級14'及16')。在一較佳實施例中，初期級(該等最接近輸入Vin之級)在隨後級之前校正。例如，可校正至少第一級10'。控制器30之操作將在下文中進一步詳細描述。

圖5為根據本發明之一實例實施例之用於比較器校正之一電路100之一示意圖。電路100包含藉由複數個電阻器(包含電阻器R1 / R2 / R3 / R4 / R5 / R6 / R7 / Rn)形成之一電阻器梯。電阻器梯在一參考電壓(VREF 20)與一基板或接地電壓(e.g., Vss)之間連接。在一替代實施例中，VREF 20可由一電流源代替。電路100亦可包含複數個開關22 / 24 / 25 / 28、一比較器60及一控制器30。除控制器30之外，電路100之剩餘組件可存在於圖1之ADC中之各級之快閃部分中(即，其之局部)。控制器30可居中地位於(例如)ADC內。電路100僅展示一比較器，然而將瞭解，可針對經校正之級中之各比較器複製多種組件，諸如，電阻器梯及至控制器30之連接。

電阻器R1至Rn可(但無需)具有相同電阻值且連續電阻器之間之節點形成分接點，在各分接處具有不同電壓，例如，自R1朝向Rn上該梯增加電壓。

可啓動開關24以回應於發信號通知操作之一保持階段之開始之一控制信號(qh)，其中電容器50之底板連接至被施加一所選分接電壓之一共同節點19，且電容器50之頂板連接至一共同模式電壓(vcmc)。

可啓動開關25以回應於一數位控制信號($te[1:5]$)，該數位控制信號自藉由控制器30產生之控制信號(Csel、Inc/Dec及Fsel)導出。爲圖解之目的，用於導出控制信號 $te[1:5]$ 之電路已忽略。然而，將描述此等信號之各者之功能使得一般技術者將瞭解如何完全實施電路100。控制信號 $te[1:5]$ 之各位元可啓動一各自開關25以將共同節點19連接至一各自分接點。每次僅可啓動一開關25使得一單個分接點連接至共同節點19。可啓動開關22以回應於發送信號通知操作之樣本階段之開始之一控制信號(qs)。在樣本階段期間，輸入信號 Vip 被施加至電容器50之底板，電容器50之頂板連接至比較器60之一第一輸入終端-IN。由於頂板爲浮動(至比較器之輸入具有一高阻抗)在頂板處之電壓等於輸入 Vip 與在保持階段期間取樣至電容器50上之所選分接電壓之間之差。比較器60將在 Vip 大於所選分接電壓時觸發。因此，所選分接電壓判定比較器60之觸發臨限值。

可啓動開關28以回應於在保持階段期間操作以將比較器之頂板連接至 $vcmc$ 之一控制信號(qhp)。控制信號 qh 及 qhp 可爲相同，除 qhp 在 qh 去啓動之前一短時間去啓動以便正好界定取樣瞬間之外，例如， qhp 可在 qh 之前約100pS去啓動。

比較器60可包含一第二輸入終端+IP。儘管未在圖式中展示，將瞭解類似於連接至第一輸入終端-IN之電路亦可提供用於第二輸入終端+IP。即，+IP可連接至具有以相反極性連接至與-IN連接之組件之元件之一對稱電路，使得一互補輸入電壓 Vin 被取樣至第二輸入終端上。比較器60產生一數位輸出信號 Qp 。藉由在一給定級中之比較器60產生之 Qp 信號之組(例如，產生一16位元值之16個 Qp 信號)表示快閃之原始數位輸出且稱爲一溫度計碼。溫度計碼可轉換爲形成來自快閃之數位輸出之一二進位碼(例如，5位元)。此二進位碼對應於圖1中之信號Dout1且形成經由圖4中之匯流排31傳輸至控制器30之數位輸出。

控制器30可包含一邏輯區塊32及一選擇區塊34。邏輯區塊32接收二進位碼(圖4中之一或多個Doutx信號)且可使用二進位碼計算任意給定級之數位殘餘值。例如，為計算級10'之殘餘，可組合各後續級(例如，級12'、14'及16')之碼。

控制器30亦可基於所計算殘餘之值判定哪個分接點連接至共同節點19(即，其判定啓動哪個開關25)。在下文中結合根據本發明之一方法之例示性實施例描述基於殘餘值之判定。

可輸出控制信號te[1:5]以回應於來自邏輯區塊32之一或多個信號。在一實施例中，選擇區塊34輸出te[1:5]以回應於包含一位址信號(Csel [3:0])、一遞增/遞減信號(inc/dec)及一快閃選擇信號(Fsel)之一組輸入。Csel[3:0]用於定址一特定快閃中之一特定比較器60。Fsel用於選擇(啓動)定位經定址比較器之快閃。Inc/dec用於藉由按序啓動或去啓動開關25步進通過(step through)梯分接。在後台校正之前，可將ADC中之一或多個級設定至一各自初始分接點(例如，使用在ADC操作之前之時間週期中校正比較器之一前台校正技術，或設定至一標稱分接電壓)。本發明之後台校正技術接著藉由上或下該梯遞增而調整此初始分接點。在亦施加前台校正之情況中，以前台及後台兩者調整分接點，使得後台校正操作以微調在前台中進行之校正。

步進通過該梯可涉及遞增或遞減至一鄰近分接。例如，若初始分接點對應於te[3](即，藉由te[3]控制之開關初始地關閉)且設定inc/dec以指示遞增，可輸出te[4]。因此，可在任意給定時間處輸出te[1:5]中之一位元以選擇一分接點。其他控制順序亦可能用於選擇下一分接點。例如，可能移動至一非鄰近分接點(例如，以兩步而非一步遞增)。

圖6為根據本發明之一實例實施例之用於比較器校正之一方法300之一流程圖。方法300可結合電路100使用。其他電路配置(例如，

管線式ADC)亦可適於與此方法一起使用。根據一實例實施例，方法300可在ADC之一所選部分上執行，特定言之在最粗略級而非在所有級中執行。例如，方法300可應用至前兩個或三個級。

在步驟310中，可使用適當延時輸出信號數位計算針對一給定級之殘餘。例如，如結合圖2之先前描述，來自該等級之各者之輸出信號經時間對準(例如，相對於隨後級延時來自初期級之輸出信號)。在時間對準之後，針對任意給定級之殘餘值可計算為來自所有後續級之Doutx信號之總和。

在步驟312中，可藉由與一上臨限值比較分析殘餘值。返回參考圖3，展示殘餘在約 $+FS/2$ 與 $-FS/2$ 之間理想地變動。然而，當比較器臨限值依偏移進行移位，殘餘之量值可為FS或更大(例如，大於圖3中之參考數字52處之 $+FS$ 或約參考數字54處之 $-FS$)。因此，在一實施例中，上臨限值可為實質上等於 $+FS$ 之任意值。此外，一下臨限值可為實質上等於 $-FS$ 之任意值。當上臨限值大於下臨限值時，上臨限值及下臨限值之量值無需相同。

在步驟314中，控制器30可判定殘餘是否大於上臨限值。若殘餘超過上臨限值，則接著方法前進至步驟316。

在步驟316中，藉由遞減(例如，藉由遞減一所選比較器之 $te[1:5]$ 之值)選擇下一分接點(電壓)。校正哪個比較器之選擇為藉由匯流排31輸出之二進位碼之一函數。藉由任意給定級輸出之二進位碼可用以在該級中選擇一單個比較器。返回參考圖3，相對於mdac1輸入展示針對藉由一實例級輸出之碼之例示性值(Dout1)。若觸發所有比較器(例如，C0至C15)，則 $Dout1 = 10000$ 。若mdac1殘餘接近 $+FS(52)$ 則C15之臨限值過高，使得C15不觸發，且因此Dout1為一較低值(例如，01111)而非正確值10000。此誤差可藉由遞減針對C15之分接點以降低其觸發臨限值加以矯正。在此例項中之C15之選擇可藉由使用

Csel[3:0] = Dout1加以執行。以此方式，選擇經觸發以回應於引起產生在步驟310中計算之殘餘之相同類比輸入之最高臨限值位準比較器進行校正。

若殘餘未超過上臨限值，則控制器30可判定殘餘是否小於下臨限值(步驟318)。若殘餘小於下臨限值，則藉由遞增選擇所選比較器之下一分接點(步驟320)。例如，在圖3中，若C15之臨限值過低(接近-FS 54)，則此可藉由遞增分接點、使用Csel[3:0] = Dout1 - 1以選擇C15加以矯正。另一方面，若殘餘至少等於下臨限值，則分接點既不遞增也不遞減，使得分接電壓仍然相同(步驟322)。

如上提及，存在連接至-IN之一互補電路。因此，只要分接電壓經遞增或遞減，一對應改變可出現於互補電路中。例如，互補電路可藉由與連接至+IP之電路相同之數量但在相反方向上進行遞增或遞減。

在前述說明書中，已參考本發明之特定實例實施例而描述本發明。然而，顯然在不脫離如在以下之申請專利範圍中闡述之本發明之廣泛精神及範疇之情況下可進行本發明之多種修改及改變。在本文中描述之實施例可在多種組合中之彼此組合進行呈現。說明書及圖式相應地以一闡釋性而非限制性意義加以看待。

【符號說明】

- 10 級
- 10a 快閃單元
- 10b 數位至類比轉換器(DAC)
- 10d 增益單元
- 10c 減法單元
- 10' 級
- 12 級

12'	級
14	級
14'	級
16	級
16'	級
18	輸出電路
19	共同節點
20	參考電壓(VREF)
22	開關
24	開關
25	開關
28	開關
30	控制器
31	信號匯流排
32	邏輯區塊
34	選擇區塊
50	電容器
52	+FS
54	-FS
60	比較器
61	輸出資料
62	輸出資料
63	輸出資料
64	輸出資料
65	輸出資料
100	電路

C13	比較器
C14	比較器
C15	比較器
Csel[3:0]	位址信號/控制信號
Dout1	數位輸出/數位值/信號
Dout2	數位輸出
Doutn	數位輸出
Dout	數位輸出
dec	遞減信號/控制信號
Fsel	快閃選擇信號/控制信號
inc	遞增信號/控制信號
R1	電阻器
R2	電阻器
R3	電阻器
R4	電阻器
R5	電阻器/
R6	電阻器
R7	電阻器
Rn	電阻器
qh	控制信號
qhp	控制信號
qs	控制信號
Qp	數位輸出信號
te[1:5]	數位控制信號
vcmc	共同模式電壓
Vin	類比信號/互補輸入電壓

201351888

Vout	類比殘餘
Vip	輸入信號
- IN	第一輸入終端
+IP	第二輸入終端

申請專利範圍

1. 一種用於在具有以一管線式方式連接至一輸入信號之複數個級之一電路中執行一比較器之一後台校正之方法，其包括：
 - 計算一殘餘信號之一數位值，該殘餘信號自該複數個級中之一第一級輸出至該複數個級中之一後續級；
 - 比較該殘餘信號之該值與至少一臨限值；及
 - 基於該比較，調整該第一級中之一所選比較器之一觸發臨限值。
2. 如請求項1之方法，其中該至少一臨限值包含一上臨限值及一下臨限值，該上臨限值大於該下臨限值。
3. 如請求項2之方法，其中該調整包含：
 - 當該殘餘信號大於該上臨限值時，降低該觸發臨限值；及
 - 當該殘餘信號小於該下臨限值時，升高該觸發臨限值。
4. 如請求項2之方法，其中：
 - 該電路為一類比至數位轉換器；
 - 該上臨限值約為+FS；及
 - 該下臨限值約為-FS，
 - 其中FS為該轉換器之一全標度值。
5. 如請求項1之方法，其中藉由組合來自該第一級後續之所有級之輸出而計算該殘餘信號之該數位值。
6. 如請求項1之方法，其中該調整包含改變連接至該所選比較器之一輸入之一電阻器梯中之一分接點。
7. 如請求項1之方法，其中將僅來自最接近該輸入信號之該複數個級之一部分之級用作為該第一級重複執行該方法。
8. 如請求項1之方法，其中該方法在使用一前台校正技術調整該所

選比較器之該觸發臨限值之後執行。

9. 如請求項1之方法，其中該所選比較器具有一對互補輸入且該調整包含依相同數量但在相反方向上改變兩個輸入。
10. 如請求項1之方法，其中該電路為一類比至數位轉換器，該方法進一步包括：
 - 基於一類比輸入之一數位近似值選擇該比較器，藉由該第一級輸出之該殘餘信號係自該數位近似值產生。
11. 一種用於在具有以一管線式形式連接至一輸入信號之複數個級之一電路中執行一比較器之一後台校正之裝置，其包括：
 - 一控制器，其經組態以：
 - 計算一殘餘信號之一數位值，其自該複數個級中之一第一級輸出至該複數個級中之一後續級；
 - 比較該殘餘信號之該值與至少一臨限值；及
 - 基於該比較，調整該第一級中之一所選比較器之一觸發臨限值。
12. 如請求項11之裝置，其中該至少一臨限值包含一上臨限值及一下臨限值，該上臨限值大於該下臨限值。
13. 如請求項12之裝置，其中該調整包含：
 - 當該殘餘信號大於該上臨限值時降低該觸發臨限值；及
 - 當該殘餘信號小於該下臨限值時升高該觸發臨限值。
14. 如請求項12之裝置，其中：
 - 該電路為一類比至數位轉換器；
 - 該上臨限值約為+FS；及
 - 該下臨限值約為-FS，
 - 其中FS為該轉換器之一全標度值。
15. 如請求項11之裝置，其中該控制器藉由組合來自該第一級後續之

所有級之輸出計算該殘餘信號之該數位值。

16. 如請求項11之裝置，其中該調整包含改變連接至該所選比較器之一輸入之一電阻器梯中之一分接點。
17. 如請求項11之裝置，其中該控制器將僅來自最接近該輸入信號之該複數個級之一部分之級用作為該第一級重複執行該計算、該比較及該調整。
18. 如請求項11之裝置，其中該控制器在使用一前台校正技術調整該所選比較器之該觸發臨限值之後執行該調整。
19. 如請求項11之裝置，其中該所選比較器具有一對互補輸入，且該調整包含依相同數量但在相反方向上改變兩個輸入。
20. 如請求項11之裝置，其中該電路為一類比至數位轉換器，其中該控制器基於一類比輸入之一數位近似值選擇該比較器，藉由該第一級輸出之該殘餘信號係自該數位近似值產生。

圖式

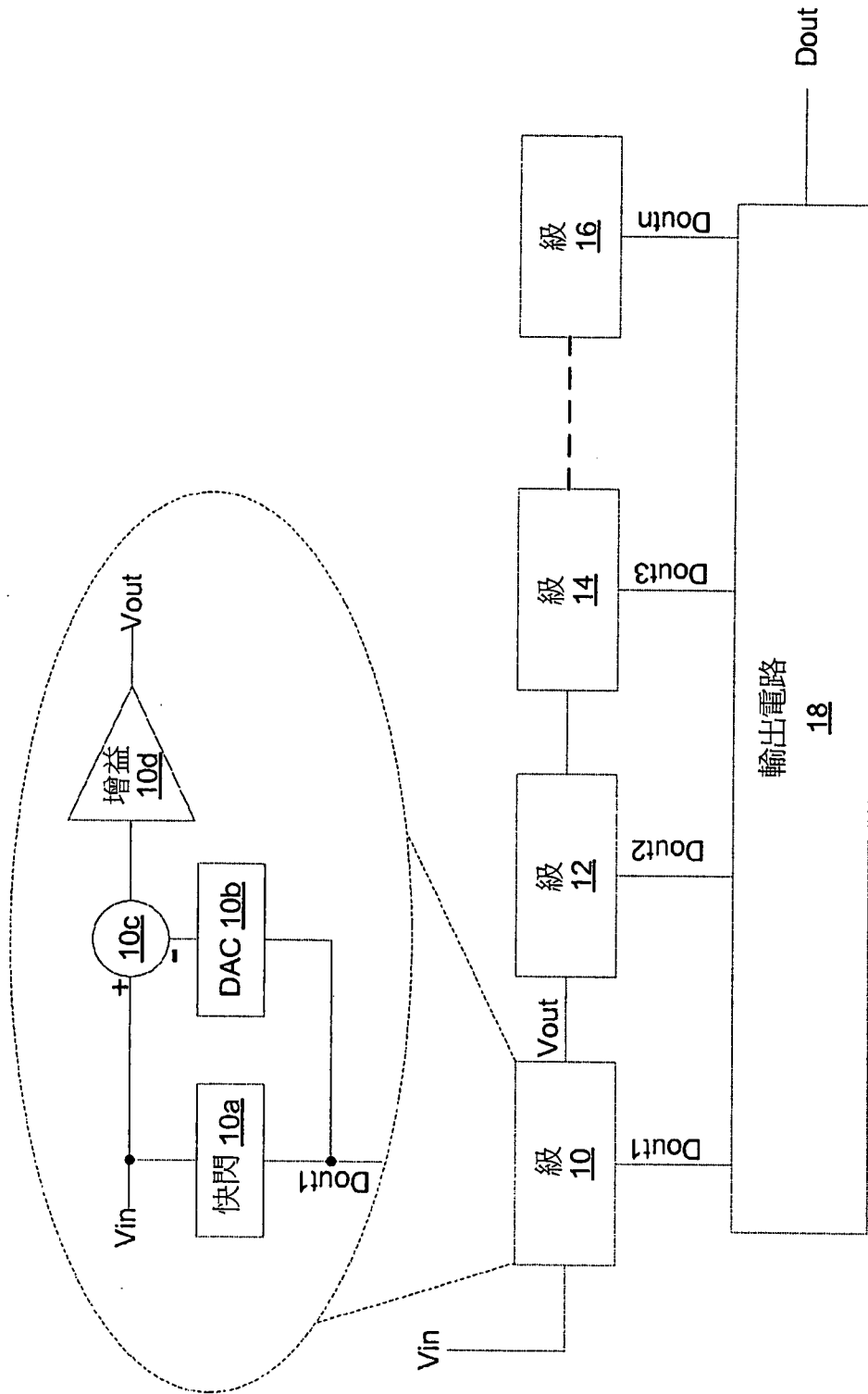


圖 1

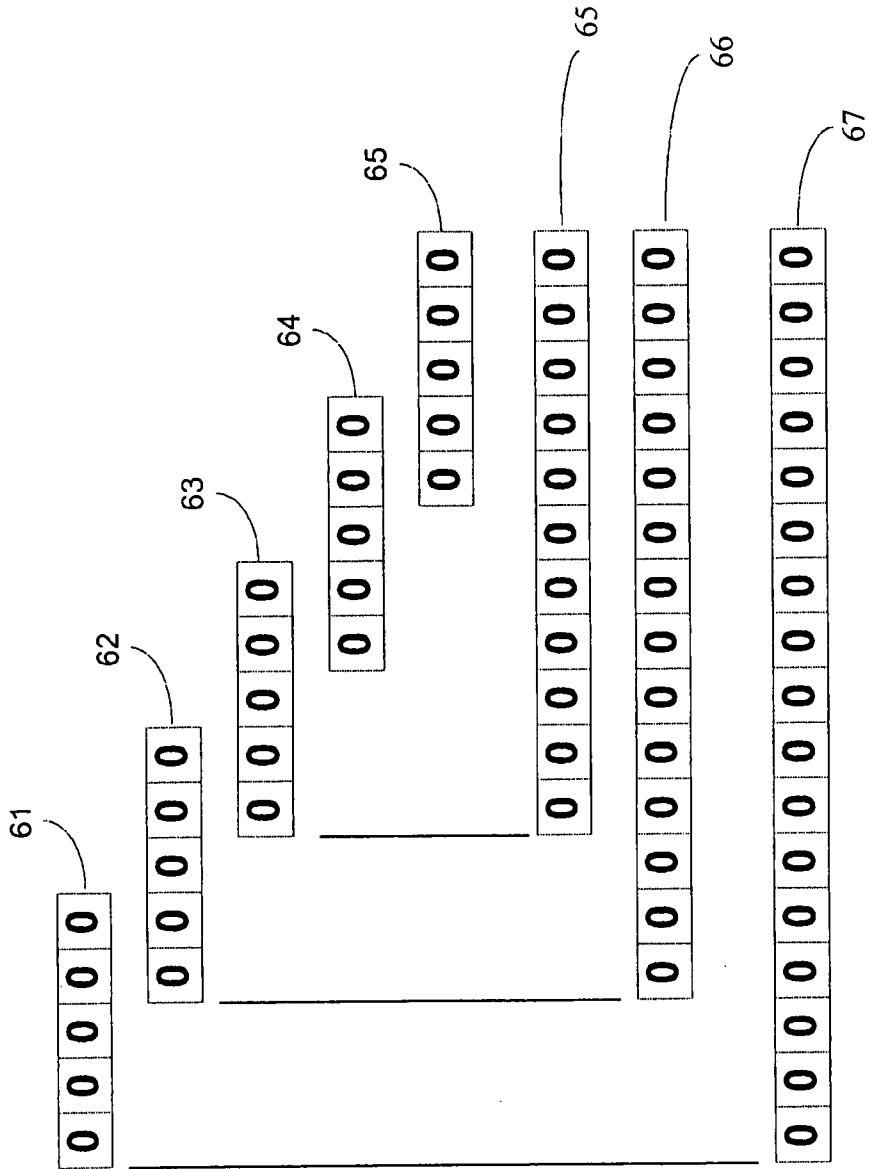


圖 2

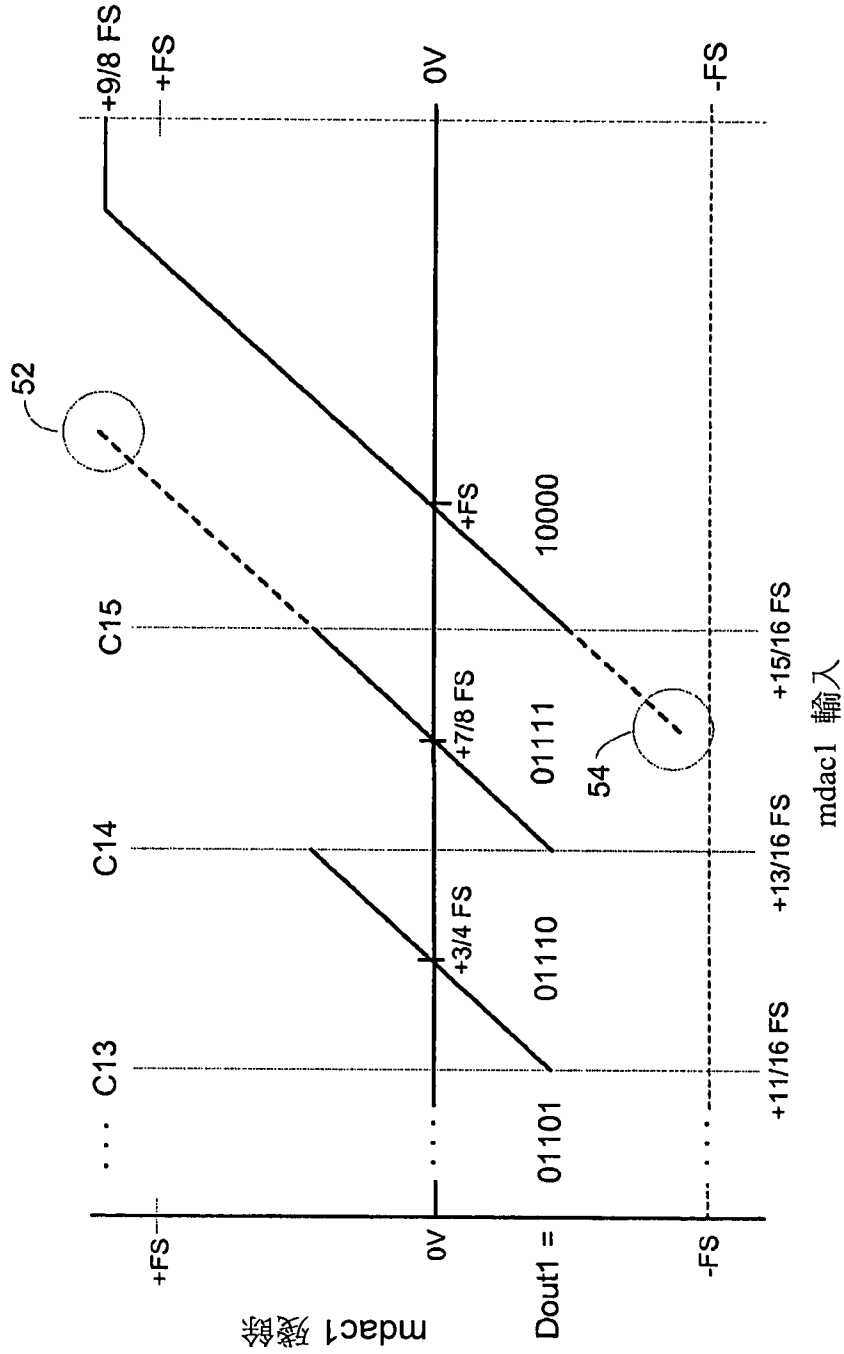


圖 3

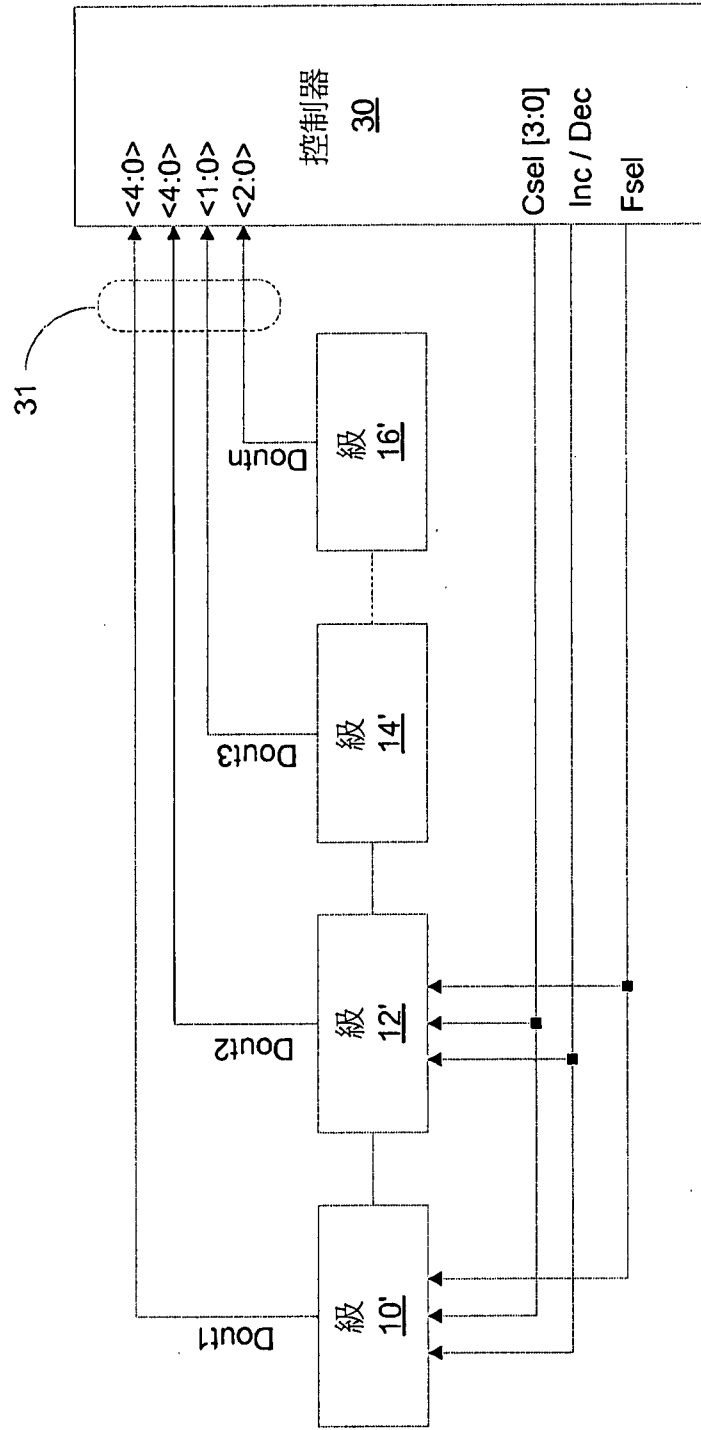


圖 4

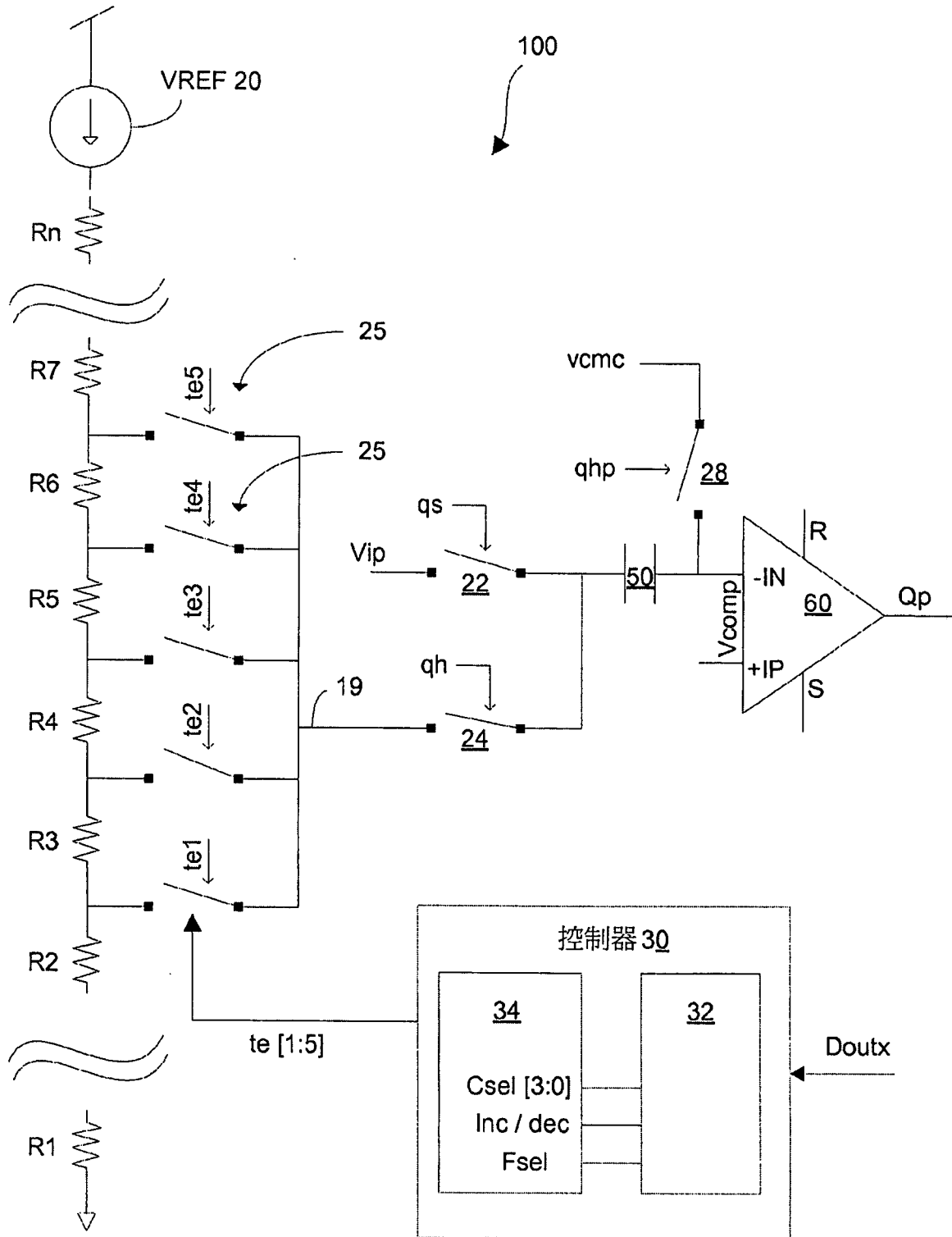


圖 5

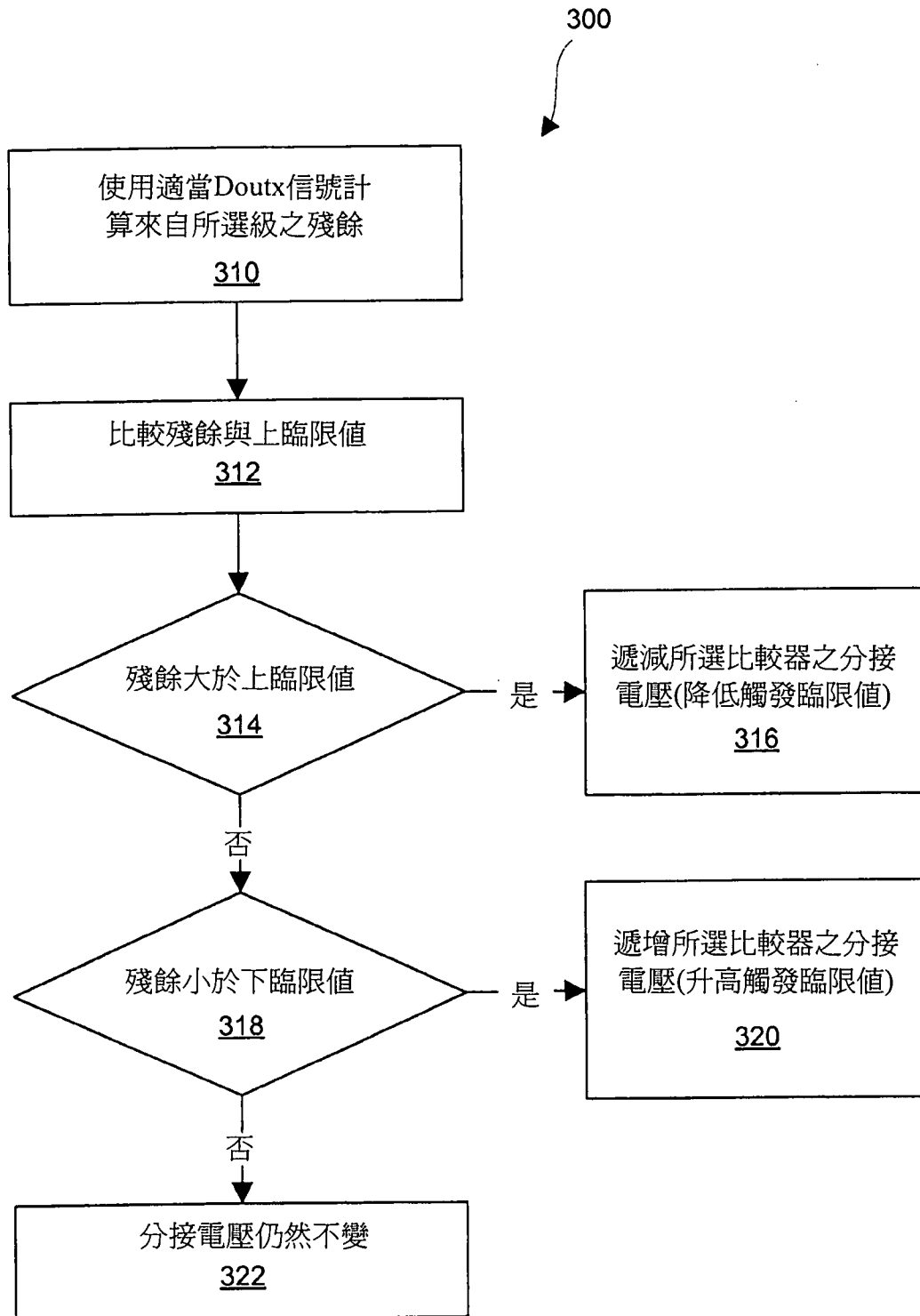


圖 6