

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6825675号
(P6825675)

(45) 発行日 令和3年2月3日 (2021. 2. 3)

(24) 登録日 令和3年1月18日 (2021.1.18)

(51) Int. Cl.	F I
HO 4 N 5/347 (2011.01)	HO 4 N 5/347
HO 4 N 5/374 (2011.01)	HO 4 N 5/374

請求項の数 15 (全 28 頁)

(21) 出願番号	特願2019-193939 (P2019-193939)	(73) 特許権者	000004112
(22) 出願日	令和1年10月25日 (2019. 10. 25)		株式会社ニコン
(62) 分割の表示	特願2017-185541 (P2017-185541) の分割		東京都港区港南二丁目15番3号
原出願日	平成25年11月19日 (2013. 11. 19)	(74) 代理人	100096770
(65) 公開番号	特開2020-14255 (P2020-14255A)		弁理士 四宮 通
(43) 公開日	令和2年1月23日 (2020. 1. 23)	(72) 発明者	猿渡 修
審査請求日	令和1年10月25日 (2019. 10. 25)		東京都港区港南二丁目15番3号 株式会 社ニコン内
		(72) 発明者	駒井 敦
			東京都港区港南二丁目15番3号 株式会 社ニコン内
		審査官	鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像素子及び撮像装置

(57) 【特許請求の範囲】

【請求項 1】

列方向において並んで配置される複数の画素ブロックを備える撮像素子であって、
 前記画素ブロックは、光を電荷に変換する複数の光電変換部と、前記複数の光電変換部
 からの電荷が転送される第1ノード部と、前記第1ノード部とは異なる第2ノード部と、
 前記第1ノード部と前記第2ノード部との間の接続を制御する第1スイッチ部と、前記第
 2ノード部と前記複数の画素ブロックのうち隣りに配置される他の前記画素ブロックが有
 する前記第2ノード部との間の接続を制御する第2スイッチ部と、前記第2ノード部と所
 定電圧が供給される供給部との間の接続を制御する第3スイッチ部と、を有する撮像素子
 。

10

【請求項 2】

請求項 1 に記載の撮像素子において、
 前記第1ノード部は、前記第1スイッチ部および前記第3スイッチ部を介して前記供給
 部に接続される撮像素子。

【請求項 3】

請求項 1 または請求項 2 に記載の撮像素子において、
 前記第2ノード部は、前記第1スイッチ部および前記第2スイッチ部に接続される配線
 を有する撮像素子。

【請求項 4】

請求項 1 から請求項 3 のいずれか一項に記載の撮像素子において、

20

前記第 1 スイッチ部は、前記第 1 スイッチ部を制御するための制御信号が出力される第 1 制御線に接続され、

前記第 2 スイッチ部は、前記第 2 スイッチ部を制御するための制御信号が出力される第 2 制御線に接続され、

前記第 3 スイッチ部は、前記第 3 スイッチ部を制御するための制御信号が出力される第 3 制御線に接続される撮像素子。

【請求項 5】

請求項 4 に記載の撮像素子において、

前記第 1 ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、

前記第 1 スイッチ部は、前記第 1 制御線に接続されるゲート電極を含む第 1 トランジスタを有し、

前記第 2 スイッチ部は、前記第 2 制御線に接続されるゲート電極を含む第 2 トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記第 2 トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 6】

請求項 5 に記載の撮像素子において、

前記第 3 スイッチ部は、前記第 3 制御線に接続されるゲート電極を含む第 3 トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記第 3 トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 7】

請求項 5 または請求項 6 に記載の撮像素子において、

前記画素ブロックは、前記第 1 ノード部に接続されるゲート電極を含む増幅トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 8】

請求項 5 から請求項 7 のいずれか一項に記載の撮像素子において、

前記画素ブロックは、前記第 1 ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 9】

請求項 4 に記載の撮像素子において、

前記第 1 ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、

前記第 1 スイッチ部は、前記第 1 制御線に接続されるゲート電極を含む第 1 トランジスタを有し、

前記第 3 スイッチ部は、前記第 3 制御線に接続されるゲート電極を含む第 3 トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記第 3 トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 10】

請求項 9 に記載の撮像素子において、

前記画素ブロックは、前記第 1 ノード部に接続されるゲート電極を含む増幅トランジスタを有し、

前記第 1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項 11】

請求項 9 または請求項 10 に記載の撮像素子において、

10

20

30

40

50

前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、

前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項12】

請求項4に記載の撮像素子において、

前記画素ブロックは、前記第1ノード部に接続されるゲート電極を含む増幅トランジスタを有し、

前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、

前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、

前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項13】

請求項12に記載の撮像素子において、

前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、

前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項14】

請求項4に記載の撮像素子において、

前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、

前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、

前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、

前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置される撮像素子。

【請求項15】

請求項1から請求項14のいずれか一項に記載の撮像素子を備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子及びこれを用いた撮像装置に関するものである。

【背景技術】

【0002】

下記特許文献1には、複数の画素であって少なくとも2つの画素がそれぞれ（a）フォトディテクタ、（b）フローティング容量部をなす電荷電圧変換領域及び（c）増幅器への入力部を含む複数の画素と、前記電荷電圧変換領域同士を選択的に接続する連結スイッチとを備えた固体撮像素子が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2008-546313号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

前記従来の固体撮像素子において、前記連結スイッチをオンして前記電荷電圧変換領域同士を接続することによって、接続された全体の電荷電圧変換領域での飽和電子数が拡大されるため、ダイナミックレンジを拡大させることができる。

10

20

30

40

50

【0005】

また、前記従来の固体撮像素子において、前記連結スイッチをオフして前記電荷電圧変換領域を他の電荷電圧変換領域から切り離すことによって、電荷電圧変換容量が小さくなってその電荷電圧変換係数が大きくなるため、高感度読出し時のS/N比が高くなる。

【0006】

しかし、前記従来の固体撮像素子では、前記連結スイッチをオフにしても、高感度読出し時のS/N比をさほど高くすることはできなかった。

【0007】

本発明は、このような事情に鑑みてなされたもので、ダイナミックレンジを拡大させることができるとともに、高感度読出し時のS/N比を向上させることができる固体撮像素子、及び、これを用いた撮像装置を提供することを目的とする。

10

【課題を解決するための手段】

【0008】

前記課題を解決するための手段として、以下の各態様を提示する。第1の態様による固体撮像素子は、1つの光電変換部、第1のノード、及び、前記1つの光電変換部に対応して設けられ前記光電変換部から前記第1のノードに電荷を転送する1つの転送スイッチを有する複数の画素ブロックと、1つの前記画素ブロックの前記第1のノード及び他の1つの前記画素ブロックの前記第1のノードにそれぞれ対応する2つの第2のノードと、前記1つの画素ブロックの前記第1のノード及び前記他の1つの画素ブロックの前記第1のノードと前記2つの第2のノードとの間を、それぞれ電氣的に接続及び切断する2つの第1のスイッチ部と、前記2つの第2のノード間を電氣的に接続及び切断する第2のスイッチ部と、前記2つの第2のノードにそれぞれ所定電位を供給する2つの第3のスイッチ部と、を備えたものである。

20

【0009】

前記画素ブロックは、前記光電変換部を1つのみ有して1つの画素で構成されたものでもよいし、前記光電変換部を2つ以上有して複数の画素で構成されたものでもよい。この点は、後述する各態様についても同様である。

【0010】

第2の態様による固体撮像素子は、前記第1の態様において、前記各画素ブロックは、前記光電変換部及び前記転送スイッチをそれぞれ複数有するものである。

30

【0011】

第3の態様による固体撮像素子は、前記第1又は第2の態様において、第1の動作モードにおいて、前記1つの画素ブロックの前記第1のノードとこれに対応する前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部が、前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみ一旦オンし、かつ、前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記1つの画素ブロックの前記第1のノードの電位のリセット時に少なくともオンするように、前記各第1のスイッチ部及び前記各第3のスイッチ部を制御する制御部を備えたものである。

【0012】

40

第4の態様による固体撮像素子は、前記第3の態様において、前記制御部は、第2の動作モードにおいて、前記1つの画素ブロックの前記第1のノードとこれに対応する前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部がオンし、前記第2のスイッチ部がオフし、かつ、前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみオンするように、前記各第1のスイッチ部、前記第2のスイッチ部及び前記各第3のスイッチ部を制御するものである。

【0013】

第5の態様による固体撮像素子は、前記第3又は第4の態様において、前記制御部は、第3の動作モードにおいて、前記1つの画素ブロックの前記第1のノードとこれに対応す

50

る前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部がオンし、前記第2のスイッチ部がオンし、かつ、前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみオンするように、前記各第1のスイッチ部、前記第2のスイッチ部及び前記各第3のスイッチ部を制御するものである。

【0014】

第6の態様による固体撮像素子は、前記第1又は第2の態様において、前記複数の画素ブロックのうちの3つ以上の画素ブロックの前記第1のノードと、これらの3つ以上の前記第1のノードにそれぞれ対応する3つ以上の前記第2のノードとの間の電氣的な接続を、それぞれ電氣的に接続及び切断する3つ以上の前記第1のスイッチ部を備え、前記3つ以上の第2のノードが複数の前記第2のスイッチ部により数珠繋ぎ状に接続され、前記3つ以上の第2のノードに前記所定電位をそれぞれ供給する3つ以上の前記第3のスイッチ部を備えたものである。

10

【0015】

第7の態様による固体撮像素子は、前記第6の態様において、第1の動作モードにおいて、前記3つ以上の画素ブロックのうちの1つの画素ブロックの前記第1のノードとこれに対応する前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部が、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみ一旦オンし、かつ、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードの電位のリセット時に少なくともオンするように、前記各第1のスイッチ部及び前記各第3のスイッチ部を制御する制御部を備えたものである。

20

【0016】

第8の態様による固体撮像素子は、前記第7の態様において、前記制御部は、第2の動作モードにおいて、前記3つ以上の画素ブロックのうちの1つの画素ブロックの前記第1のノードとこれに対応する前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部がオンし、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに対して電氣的に接続される前記第2のスイッチ部がオフし、かつ、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみオンするように、前記各第1のスイッチ部、前記各第2のスイッチ部及び前記各第3のスイッチ部を制御するものである。

30

【0017】

第9の態様による固体撮像素子は、前記第7又は第8の態様において、前記制御部は、第3の動作モードにおいて、前記3つ以上の画素ブロックのうちの1つの画素ブロックの前記第1のノードとこれに対応する前記第2のノードとの間を電氣的に接続及び切断する前記第1のスイッチ部がオンし、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに対して電氣的に接続される前記第2のスイッチ部がオンし、かつ、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードに対応する前記第2のノードに前記所定電位を供給する前記第3のスイッチ部が、前記3つ以上の画素ブロックのうちの前記1つの画素ブロックの前記第1のノードの電位のリセット時にのみオンするように、前記各第1のスイッチ部、前記各第2のスイッチ部及び前記各第3のスイッチ部を制御するものである。

40

【0018】

第10の態様による撮像装置は、前記第1乃至第9のいずれかの態様による固体撮像素子を備えたものである。

【0019】

50

第11の態様による撮像装置は、前記第3、第4、第5、第7、第8又は第9の態様による固体撮像素子と、ISO感度の設定値に応じて前記各動作モードを切り替える制御手段と、を備えたものである。

前記課題を解決するための手段として、以下の各態様も提示する。第1の面による撮像素子は、列方向において並んで配置される複数の画素ブロックを備える撮像素子であって、前記画素ブロックは、光を電荷に変換する複数の光電変換部と、前記複数の光電変換部からの電荷が転送される第1ノード部と、前記第1ノード部とは異なる第2ノード部と、前記第1ノード部と前記第2ノード部との間の接続を制御する第1スイッチ部と、前記第2ノード部と前記複数の画素ブロックのうち隣りに配置される他の前記画素ブロックが有する前記第2ノード部との間の接続を制御する第2スイッチ部と、前記第2ノード部と所定電圧が供給される供給部との間の接続を制御する第3スイッチ部と、を有するものである。

10

第2の面による撮像素子は、前記第1の面による撮像素子において、前記第1ノード部は、前記第1スイッチ部および前記第3スイッチ部を介して前記供給部に接続されるものである。

第3の面による撮像素子は、前記第1又は第2の面による撮像素子において、前記第2ノード部は、前記第1スイッチ部および前記第2スイッチ部に接続される配線を有するものである。

第4の面による撮像素子は、前記第1乃至第3のいずれかの面による撮像素子において、前記第1スイッチ部は、前記第1スイッチ部を制御するための制御信号が出力される第1制御線に接続され、前記第2スイッチ部は、前記第2スイッチ部を制御するための制御信号が出力される第2制御線に接続され、前記第3スイッチ部は、前記第3スイッチ部を制御するための制御信号が出力される第3制御線に接続されるものである。

20

第5の面による撮像素子は、前記第4の面による撮像素子において、前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、前記第2スイッチ部は、前記第2制御線に接続されるゲート電極を含む第2トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記第2トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第6の面による撮像素子は、前記第5の面による撮像素子において、前記第3スイッチ部は、前記第3制御線に接続されるゲート電極を含む第3トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記第3トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

30

第7の面による撮像素子は、前記第5又は第6の面による撮像素子において、前記画素ブロックは、前記第1ノード部に接続されるゲート電極を含む増幅トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第8の面による撮像素子は、前記第5乃至第7のいずれかの面による撮像素子において、前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

40

第9の面による撮像素子は、前記第4の面による撮像素子において、前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、前記第3スイッチ部は、前記第3制御線に接続されるゲート電極を含む第3トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記第3トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第10の面による撮像素子は、前記第9の面による撮像素子において、前記画素ブロックは、前記第1ノード部に接続されるゲート電極を含む増幅トランジスタを有し、前記第

50

1 トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第11の面による撮像素子は、前記第9又は第10の面による撮像素子において、前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第12の面による撮像素子は、前記第4の面による撮像素子において、前記画素ブロックは、前記第1ノード部に接続されるゲート電極を含む増幅トランジスタを有し、前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記増幅トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第13の面による撮像素子は、前記第12の面による撮像素子において、前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第14の面による撮像素子は、前記第4の面による撮像素子において、前記画素ブロックは、前記第1ノード部の電荷に基づく信号を出力する信号線との間の接続を制御する選択トランジスタを有し、前記第1ノード部は、前記複数の光電変換部からの電荷が転送される拡散領域を有し、前記第1スイッチ部は、前記第1制御線に接続されるゲート電極を含む第1トランジスタを有し、前記第1トランジスタのゲート電極は、前記拡散領域までの距離が、前記選択トランジスタのゲート電極から前記拡散領域までの距離よりも短い位置に配置されるものである。

第15の面による撮像装置は、前記第1乃至第14のいずれかの面による撮像素子を備えるものである。

【発明の効果】

【0020】

本発明によれば、ダイナミックレンジを拡大させることができるとともに、高感度読み出し時のSN比を向上させることができる固体撮像素子、及び、これを用いた撮像装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の第1の実施の形態による電子カメラを模式的に示す概略ブロック図である。

【図2】図1中の固体撮像素子の概略構成を示す回路図である。

【図3】図1中の4つの画素ブロックの付近を拡大して示す回路図である。

【図4】図3中の3つの画素ブロックの付近を模式的に示す概略平面図である。

【図5】図4中の1つの画素ブロックの付近を拡大して示す概略平面図である。

【図6】図2に示す固体撮像素子の所定の動作モードを示すタイミングチャートである。

【図7】図2に示す固体撮像素子の他の動作モードを示すタイミングチャートである。

【図8】図2に示す固体撮像素子の更に他の動作モードを示すタイミングチャートである。

。

【図9】図2に示す固体撮像素子の更に他の動作モードを示すタイミングチャートである。

。

【図10】図2に示す固体撮像素子の更に他の動作モードを示すタイミングチャートである。

【図11】比較例による固体撮像素子の3つの画素ブロックの付近を示す回路図である。

【図12】図9に示す3つの画素ブロックの付近を模式的に示す概略平面図である。

10

20

30

40

50

【図 1 3】本発明の第 2 の実施の形態による電子カメラの固体撮像素子の概略構成を示す回路図である。

【発明を実施するための形態】

【0022】

以下、本発明による固体撮像素子及び撮像装置について、図面を参照して説明する。

【0023】

[第 1 の実施の形態]

図 1 は、本発明の第 1 の実施の形態による電子カメラ 1 を模式的に示す概略ブロック図である。

【0024】

本実施の形態による電子カメラ 1 は、例えば一眼レフのデジタルカメラとして構成されるが、本発明による撮像装置は、これに限らず、コンパクトカメラなどの他の電子カメラや、携帯電話に搭載された電子カメラや、動画を撮像するビデオカメラ等の電子カメラなどの種々の撮像装置に適用することができる。

【0025】

電子カメラ 1 には、撮影レンズ 2 が装着される。この撮影レンズ 2 は、レンズ制御部 3 によってフォーカスや絞りが駆動される。この撮影レンズ 2 の像空間には、固体撮像素子 4 の撮像面が配置される。

【0026】

固体撮像素子 4 は、撮像制御部 5 の指令によって駆動され、デジタルの画像信号を出力する。通常の本撮影時（静止画撮影時）などでは、撮像制御部 5 は、例えば、全画素を同時にリセットするいわゆるグローバルリセット後に、図示しないメカニカルシャッターで露光した後に、所定の読み出し動作を行うように固体撮像素子 4 を制御する。また、電子ビューファインダーモード時や動画撮影時などでは、撮像制御部 5 は、例えばいわゆるローリング電子シャッターを行いつつ所定の読み出し動作を行うように固体撮像素子 4 を制御する。これらのとき、撮像制御部 5 は、後述するように、ISO 感度の設定値に応じて、後述する各動作モードの読み出し動作を行うように、固体撮像素子 4 を制御する。デジタル信号処理部 6 は、固体撮像素子 4 から出力されるデジタルの画像信号に対して、デジタル増幅、色補間処理、ホワイトバランス処理などの画像処理等を行う。デジタル信号処理部 6 による処理後の画像信号は、メモリ 7 に一旦蓄積される。メモリ 7 は、バス 8 に接続されている。バス 8 には、レンズ制御部 3、撮像制御部 5、CPU 9、液晶表示パネル等の表示部 10、記録部 11、画像圧縮部 12 及び画像処理部 13 なども接続される。CPU 9 には、レリーズ釦などの操作部 14 が接続される。操作部 14 によって、ISO 感度を設定することができるようになっている。記録部 11 には記録媒体 11a が着脱自在に装着される。

【0027】

電子カメラ 1 内の CPU 9 は、操作部 14 の操作により電子ビューファインダーモードや動画撮影や通常の本撮影（静止画撮影）などが指示されると、それに合わせて撮像制御部 5 を駆動する。このとき、レンズ制御部 3 によって、フォーカスや絞りが適宜調整される。固体撮像素子 4 は、撮像制御部 5 の指令によって駆動され、デジタルの画像信号を出力する。固体撮像素子 4 からのデジタルの画像信号は、デジタル信号処理部 6 で処理された後に、メモリ 7 に蓄積される。CPU 9 は、電子ビューファインダーモード時にはその画像信号を表示部 10 に画像表示させ、動画撮影時にはその画像信号を記録媒体 11a に記録する。通常の本撮影時（静止画撮影時）などの場合は、CPU 9 は、固体撮像素子 4 からのデジタルの画像信号がデジタル信号処理部 6 で処理されてメモリ 7 に蓄積された後に、操作部 14 の指令に基づき、必要に応じて画像処理部 13 や画像圧縮部 12 にて所望の処理を行い、記録部 11 に処理後の信号を出力させ記録媒体 11a に記録する。

【0028】

図 2 は、図 1 中の固体撮像素子 4 の概略構成を示す回路図である。図 3 は、図 2 中の列方向に順次並んだ 4 つの画素ブロック BL の付近を拡大して示す回路図である。図 4 は、

10

20

30

40

50

図3中の3つの画素ブロックBLの付近を模式的に示す概略平面図である。図5は、図4中の1つの画素ブロックBLの付近を拡大して示す概略平面図である。本実施の形態では、固体撮像素子4は、CMOS型の固体撮像素子として構成されているが、これに限らず、例えば、他のXYアドレス型固体撮像素子として構成してもよい。

【0029】

固体撮像素子4は、図2乃至図4に示すように、N行M列に2次元マトリクス状に配置されそれぞれ2つの画素PX(PXA, PXB)を有する画素ブロックBLと、後述する第1のノードPaとこれに対応する第2のノードPbとの間を電氣的に接続及び切断する第1のスイッチ部としての第1のトランジスタSWAと、2つの第2のノードPb間を電氣的に接続及び切断する第2のスイッチ部としての第2のトランジスタSWBと、第2のノードPbに所定電位としての電源電圧VDDを供給する第3のスイッチ部としてのリセットトランジスタRSTと、垂直走査回路21と、画素ブロックBLの行毎に設けられた制御線22~27と、画素PXの列毎に(画素ブロックBLの列毎に)設けられ対応する列の画素PX(画素ブロックBL)からの信号を受け取る複数の(M本の)垂直信号線28と、各垂直信号線28に設けられた定電流源29と、各垂直信号線28に対応して設けられたカラムアンプ30、CDS回路(相関2重サンプリング回路)31及びA/D変換器32と、水平読み出し回路33とを有している。

10

【0030】

なお、カラムアンプ30として、アナログ増幅器を用いてもよいし、いわゆるスイッチトキャパシタアンプを用いてもよい。また、カラムアンプ30は、必ずしも設けなくてもよい。

20

【0031】

図面表記の便宜上、図2ではM=2として示しているが、列数Mは実際にはより多くの任意の数にされる。また、行数Nも限定されない。画素ブロックBLを行毎に区別する場合、j行目の画素ブロックBLは符号BL(j)で示す。この点は、他の要素や後述する制御信号についても同様である。図2及び図3には、4行に渡るn-1行目乃至n+2行目の画素ブロックBL(n-1)~BL(n+2)が示されている。

【0032】

なお、図面では、画素ブロックBLのうち図2及び図3中下側の画素の符号をPXAとし、図2及び図3中上側の画素の符号をPXBとして、両者を区別しているが、両者を区別しないで説明するときには両者に符号PXを付して説明する場合がある。また、図面では、画素PXAのフォトダイオードの符号をPDAとし、画素PXBのフォトダイオードの符号をPDBとして、両者を区別しているが、両者を区別しないで説明するときには両者に符号PDを付して説明する場合がある。同様に、画素PXAの転送トランジスタの符号をTXAとし、画素PXBの転送トランジスタの符号をTXBとして、両者を区別しているが、両者を区別しないで説明するときには両者に符号TXを付して説明する場合がある。なお、本実施の形態では、画素PXのフォトダイオードPDは、2N行M列に2次元マトリクス状に配置されている。

30

【0033】

本実施の形態では、各画素PXは、入射光に応じた信号電荷を生成し蓄積する光電変換部としてのフォトダイオードPDと、フォトダイオードPDから第1のノードPaに電荷を転送する転送スイッチとしての転送トランジスタTXとを有している。

40

【0034】

本実施の形態では、複数の画素PXは、フォトダイオードPDが列方向に順次並んだ2個の画素PX(PXA, PXB)毎に画素ブロックBLをなしている。図2及び図3に示すように、各画素ブロックBL毎に、当該画素ブロックBLに属する2個の画素PX(PXA, PXB)が、1組の第1のノードPa、増幅トランジスタAMP及び選択トランジスタSELを共有している。第1のノードPaには基準電位との間に容量(電荷電圧変換容量)が形成され、その容量によって、第1のノードPaに転送されてきた電荷が電圧に変換される。増幅トランジスタAMPは、第1のノードPaの電位に応じた信号を出力す

50

る増幅部を構成している。選択トランジスタSELは、当該画素ブロックBLを選択するための選択部を構成している。フォトダイオードPD及び転送トランジスタTXは、2個の画素PX(PXA, PXB)で共有されることなく、画素PX毎に設けられている。図2及び図3では、nは画素ブロックBLの行を示している。例えば、1行目の画素PX(PXA)と2行目の画素PX(PXB)とにより1行目の画素ブロックBLが構成され、3行目の画素PX(PXA)と4行目の画素PX(PXB)とにより2行目の画素ブロックBLが構成されている。

【0035】

例えば、画素ブロックBL(n)の転送トランジスタTXA(n)は、フォトダイオードPDA(n)から第1のノードPa(n)に電荷を転送し、転送トランジスタTXB(n)はフォトダイオードPDB(n)から第1のノードPa(n)に電荷を転送する。第1のノードPa(n)には基準電位との間に容量(電荷電圧変換容量)が形成され、その容量によって、第1のノードPa(n)に転送されてきた電荷が電圧に変換される。増幅トランジスタAMP(n)は、第1のノードPa(n)の電位に応じた信号を出力する。これらの点は、他の画素ブロックBLの行についても同様である。

【0036】

なお、本発明では、例えば、フォトダイオードPDが列方向に順次並んだ3個以上の画素PX毎に画素ブロックBLを構成するようにしてもよい。

【0037】

図面には示していないが、本実施の形態では、各々の画素PXのフォトダイオードPDの光入射側には、それぞれが異なる色成分の光を透過させる複数種類のカラーフィルタが、所定の色配列(例えば、ベイヤー配列)で配置されている。画素PXは、カラーフィルタでの色分解によって各色に対応する電気信号を出力する。

【0038】

第1のトランジスタSWA(n)は、第1のノードPa(n)とこれに対応する第2のノードPb(n)との間を電氣的に接続及び切断する第1のスイッチ部を構成している。このような第1のスイッチ部は、複数のトランジスタ等のスイッチを組み合わせることも可能であるが、構造を簡単にするため、本実施の形態のように単一の第1のトランジスタSWA(n)で構成することが好ましい。これらの点は、他の第1のトランジスタSWAについても同様である。

【0039】

各第2のトランジスタSWBは、各画素ブロックBLのうちの列方向に互いに隣り合う各2つの画素ブロックBLについて、一方の画素ブロックBLの第1のノードPaに対応する第2のノードPbと他方の画素ブロックBLの第1のノードPaに対応する第2のノードPbとの間を電氣的に接続及び切断するように設けられた第2のスイッチ部を構成している。これによって、本実施の形態では、3つ以上の画素ブロックBLの第1のノードPaが、複数の前記第2のスイッチ部により数珠繋ぎ状に接続されている。前述したような第2のスイッチ部は、複数のトランジスタ等のスイッチを組み合わせることも可能であるが、構造を簡単にするため、本実施の形態のように単一の第2のトランジスタSWBで構成することが好ましい。

【0040】

例えば、第2のトランジスタSWB(n)は、n行目の画素ブロックBL(n)の第1のノードPa(n)に対応する第2のノードPb(n)とn-1行目の画素ブロックBL(n-1)の第1のノードPa(n-1)に対応する第2のノードPb(n-1)との間を電氣的に接続及び切断するように、設けられている。この点は、他の第2のトランジスタSWBについても同様である。

【0041】

リセットトランジスタRST(n)は、第2のノードPb(n)に所定電位としての電源電圧VDDを供給する第3のスイッチ部を構成している。このような第3のスイッチ部は、複数のトランジスタ等のスイッチを組み合わせることも可能であるが、構造

10

20

30

40

50

を簡単にするため、本実施の形態のように単一のリセットトランジスタ RST (n) で構成することが好ましい。これらの点は、他のリセットトランジスタ RST についても同様である。

【0042】

図2及び図3において、VDDは電源電位である。なお、本実施の形態では、トランジスタ TXA, TXB, AMP, RST, SEL, SWA, SWBは、全てnMOSトランジスタである。

【0043】

転送トランジスタ TXA のゲートは行毎に制御線 26 に共通に接続され、そこには、制御信号 ϕ TXA が垂直走査回路 21 から供給される。転送トランジスタ TXB のゲートは行毎に制御線 25 に共通に接続され、そこには、制御信号 ϕ TXB が垂直走査回路 21 から供給される。リセットトランジスタ RST のゲートは行毎に制御線 24 に共通に接続され、そこには、制御信号 ϕ RST が垂直走査回路 21 から供給される。選択トランジスタ SEL のゲートは行毎に制御線 23 に共通に接続され、そこには、制御信号 ϕ SEL が垂直走査回路 21 から供給される。第1のトランジスタ SWA のゲートは行毎に制御線 22 に共通に接続され、そこには、制御信号 ϕ SWA が垂直走査回路 21 から供給される。第2のトランジスタ SWB のゲートは行毎に制御線 27 に共通に接続され、そこには、制御信号 ϕ SWB が垂直走査回路 21 から供給される。例えば、転送トランジスタ TXA (n) のゲートには制御信号 ϕ TXA (n) が供給され、転送トランジスタ TXB (n) のゲートには制御信号 ϕ TXB (n) が供給され、リセットトランジスタ RST (n) のゲートには制御信号 ϕ RST (n) が供給され、選択トランジスタ SEL (n) のゲートには制御信号 ϕ SEL (n) が供給され、第1のトランジスタ SWA (n) のゲートには制御信号 ϕ SWA (n) が供給され、第2のトランジスタ SWB (n) のゲートには制御信号 ϕ SWB (n) が供給される。

【0044】

各トランジスタ TXA, TXB, RST, SEL, SWA, SWB は、対応する制御信号 ϕ TXA, ϕ TXB, ϕ RST, ϕ SEL, ϕ SWA, ϕ SWB がハイレベル (H) のときにオンし、ローレベル (L) のときにオフする。

【0045】

垂直走査回路 21 は、図1中の撮像制御部 5 による制御下で、画素ブロック BL の行毎に、制御信号 ϕ TXA, ϕ TXB, ϕ RST, ϕ SEL, ϕ SWA, ϕ SWB をそれぞれ出力し、画素ブロック BL、第1のトランジスタ SWA、第2のトランジスタ SWB を制御し、静止画読み出し動作や動画読み出し動作などを実現する。この制御において、例えば ISO 感度の設定値に応じて、後述する各動作モードの読み出し動作が行われる。この制御によって、各垂直信号線 28 には、それに対応する列の画素 PX の信号 (アナログ信号) が供給される。

【0046】

本実施の形態では、垂直走査回路 21 は、後述する各動作モードを、図1中の撮像制御部 5 からの指令 (制御信号) に応じて切り替えて行う制御部を構成している。

【0047】

垂直信号線 28 に読み出された信号は、各列毎に、カラムアンプ 30 で増幅され更に CDS 回路 31 にて光信号 (画素 PX で光電変換された光情報を含む信号) と暗信号 (光信号から差し引くべきノイズ成分を含む差分用信号) との差分を得る処理が施された後に、A/D 変換器 32 にてデジタル信号に変換され、そのデジタル信号は A/D 変換器 32 に保持される。各 A/D 変換器 32 に保持されたデジタルの画像信号は、水平読み出し回路 33 によって水平走査され、必要に応じて所定の信号形式に変換されて、外部 (図1中のデジタル信号処理部 6) へ出力される。

【0048】

なお、CDS 回路 31 は、図1中の撮像制御部 5 による制御下でタイミング発生回路 (図示せず) から暗信号サンプリング信号 ϕ DARKC を受け、 ϕ DARKC がハイレベル

10

20

30

40

50

(H)の場合にカラムアンプ30の出力信号を暗信号としてサンプリングするとともに、図1中の撮像制御部5による制御下で前記タイミング発生回路から光信号サンプリング信号 ϕ SIGCを受け、 ϕ SIGCがHの場合にカラムアンプ30の出力信号を光信号としてサンプリングする。そして、CDS回路31は、前記タイミング発生回路からのクロックやパルスに基づいて、サンプリングした暗信号と光信号との差分に応じた信号を出力する。このようなCDS回路31の構成としては、公知の構成を採用することができる。

【0049】

ここで、図4及び図5を参照して、画素ブロックBLの構造について説明する。実際には、フォトダイオードPDの上部にはカラーフィルタやマイクロレンズ等が配置されるが、図4及び図5では省略している。なお、図4及び図5において、電源線、グラウンド線及び制御線22～27等のレイアウトは省略している。

10

【0050】

本実施の形態では、N型シリコン基板（図示せず）上にP型ウェル（図示せず）が設けられ、前記P型ウェル中にフォトダイオードPDなどの画素ブロックBLにおける各素子が配置されている。図5において、符号41～50は、前述した各トランジスタの一部となっているN型不純物拡散領域である。符号61～67は、ポリシリコンによる各トランジスタのゲート電極である。なお、拡散領域42、50は、図示しない電源線により電源電圧VDDが印加される領域である。

【0051】

フォトダイオードPDA(n)、PDB(n)は、前記P型ウェル中に設けられたN型の電荷蓄積層（図示せず）とその表面側に配置されたP型の空乏化防止層（図示せず）からなる埋め込み型フォトダイオードである。フォトダイオードPDA(n)、PDB(n)は、入射する光を光電変換し、生じた電荷をその電荷蓄積層に蓄積する。

20

【0052】

転送トランジスタTXA(n)は、フォトダイオードPDA(n)の電荷蓄積層をソース、拡散領域41をドレイン、ゲート電極61をゲートとするnMOSトランジスタである。転送トランジスタTXB(n)は、フォトダイオードPDB(n)の電荷蓄積層をソース、拡散領域41をドレイン、ゲート電極62をゲートとするnMOSトランジスタである。拡散領域41は、フォトダイオードPDA(n)とフォトダイオードPDB(n)との間に設けられている。拡散領域41は、転送トランジスタTXA(n)のドレインとなる拡散領域及び転送トランジスタTXB(n)のドレインとなる拡散領域として、兼用されている。転送トランジスタTXA(n)のゲート電極61は、拡散領域41のフォトダイオードPDA(n)側に配置されている。転送トランジスタTXB(n)のゲート電極62は、拡散領域41のフォトダイオードPDB(n)側に配置されている。

30

【0053】

増幅トランジスタAMP(n)は、拡散領域42をドレイン、拡散領域43をソース、ゲート電極63をゲートとするnMOSトランジスタである。選択トランジスタSEL(n)は、拡散領域43をドレイン、拡散領域44をソース、ゲート電極64をゲートとするnMOSトランジスタである。拡散領域44は、垂直信号線28に接続されている。

【0054】

40

第1のトランジスタSWA(n)は、拡散領域45をソース、拡散領域46をドレイン、ゲート電極65をゲートとするnMOSトランジスタである。第2のトランジスタSWB(n)は、拡散領域47をドレイン、拡散領域48をソース、ゲート電極66をゲートとするnMOSトランジスタである。リセットトランジスタRST(n)は、拡散領域49をソース、拡散領域50をドレイン、ゲート電極67をゲートとするnMOSトランジスタである。

【0055】

画素ブロックBL(n)のゲート電極63及び拡散領域41、45間が、配線71(n)によって互いに電氣的に接続されて導通している。本実施の形態では、第1のノードPa(n)は、配線71(n)及びこれに対して電氣的に接続されて導通している箇所全体

50

に相当している。

【0056】

第1のトランジスタSWA (n) のドレイン拡散領域46、第2のトランジスタSWB (n) のドレイン拡散領域47、リセットトランジスタRST (n) のソース拡散領域49及び第2のトランジスタSWB (n+1) のソース拡散領域48の間が、配線72 (n) によって互いに電氣的に接続されて導通している。第2のノードPb (n) は、配線72 (n) 及びこれに対して電氣的に接続されて導通している箇所全体に相当している。これらの点は、他の第1のトランジスタSWA、他の第2のトランジスタSWB及び他のリセットトランジスタRSTについても同様である。

【0057】

n行目以外の画素ブロックBLの構造も、前述したn行目の画素ブロックBL (n) の構造と同様である。第1のトランジスタSWA (n) 以外の第1のトランジスタSWAの構造も、前述した第1のトランジスタSWA (n) の構造と同様である。第2のトランジスタSWB (n) 以外の連結トランジスタSWBの構造も、前述した連結トランジスタSWB (n) の構造と同様である。リセットトランジスタRST (n) 以外のリセットトランジスタRSTの構造も、前述したリセットトランジスタRST (n) の構造と同様である。

【0058】

図2乃至図5において、CC (n) は、第1のトランジスタSWA (n) がオフしている場合の、第1のノードPa (n) と基準電位との間の容量である。容量CC (n) の容量値をCfd1とする。CD (n) は、第1のトランジスタSWA (n)、第2のトランジスタSWB (n)、SWB (n+1) 及びリセットトランジスタRST (n) がオフしている場合の、配線72 (n) と基準電位との間の容量である。容量CD (n) の容量値をCfd2とする。これらの点は、他の第1のトランジスタSWA、他の第2のトランジスタSWB及び他のリセットトランジスタRSTについても同様である。

【0059】

容量CC (n) は、転送トランジスタTXA (n)、TXB (n) のドレイン拡散領域41の容量と、第1のトランジスタSWA (n) のソース拡散領域の容量と、増幅トランジスタAMP (n) のゲート電極63の容量と、配線71 (n) の配線容量とから構成され、それらの容量値の合計が容量CC (n) の容量値Cfd1となる。この点は、他の画素ブロックBLの行についても同様である。なお、第2のトランジスタSWB (n) のドレイン拡散領域47及びリセットトランジスタRST (n) のソース拡散領域49は容量CC (n) の構成要素とならないので、その分、容量CC (n) の容量値Cfd1は小さくなる。

【0060】

ここで、第1のトランジスタSWAのオン時のチャネル容量の値及び第2のトランジスタSWBのオン時のチャネル容量の値を、両方ともCswとする。通常、容量値Cswは、容量値Cfd1、Cfd2に対して小さい値である。

【0061】

今、画素ブロックBL (n) に着目して、第1のトランジスタSWA (n) がオフする(すなわち、各第1のトランジスタSWA及び各第2のトランジスタSWBのうちのオン状態のトランジスタが第1のノードPa (n) に対して電氣的に接続された状態とならない) と、第1のノードPa (n) と基準電位との間の容量(電荷電圧変換容量)は、容量CC (n) となる。よって、第1のノードPa (n) の電荷電圧変換容量の容量値は、Cfd1となる。この状態は、後述する第1の動作モードを示す図6中の期間T2中の第1のノードPa (n) のリセット時以外の状態(図6中の期間T2においてφSWA (n) がLの期間の状態) に相当している。

【0062】

また、画素ブロックBL (n) に着目して、第1のトランジスタSWA (n) がオンすると、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち、第1のトラ

10

20

30

40

50

ンジスタSWA (n) 以外のオン状態のトランジスタが第1のノードPa (n) に対して電氣的に接続された状態とならなければ(ここでは、具体的には、第2のトランジスタSWB (n), SWB (n+1) がオフであれば)、第1のノードPa (n) と基準電位との間の容量(電荷電圧変換容量)は、容量CC (n) に対して、容量CD (n) 及び第1のトランジスタSWA (n) のオン時のチャンネル容量を付加したものとなる。よって、第1のノードPa (n) の電荷電圧変換容量の容量値は、 $Cfd1 + Cfd2 + Csw$ $Cfd1 + Cfd2$ となる。この状態は、後述する第2の動作モードを示す図7中の期間T2の状態に相当している。

【0063】

さらに、画素ブロックBL (n) に着目して、第1のトランジスタSWA (n) 及び第2のトランジスタSWB (n+1) がオンすると、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち、トランジスタSWA (n), SWB (n+1) 以外のオン状態のトランジスタが第1のノードPa (n) に対して電氣的に接続された状態とならなければ(ここでは、具体的には、トランジスタSWB (n), SWA (n+1), SWB (n+2) がオフであれば)、第1のノードPa (n) の電荷電圧変換容量は、容量CC (n) に対して、容量CD (n)、容量CD (n+1) 及びトランジスタSWA (n), SWB (n+1) のオン時のチャンネル容量を付加したものとなる。よって、第1のノードPa (n) の電荷電圧変換容量の容量値は、 $Cfd1 + 2 \times Cfd2 + 2 \times Csw$ $Cfd1 + 2 \times Cfd2$ となる。この状態は、後述する第3Aの動作モードを示す図8中の期間T2の状態に相当している。

【0064】

さらにまた、画素ブロックBL (n) に着目して、第1のトランジスタSWA (n), SWA (n+1) 及び第2のトランジスタSWB (n+1) がオンすると、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち、トランジスタSWA (n), SWA (n+1), SWB (n+1) 以外のオン状態のトランジスタが第1のノードPa (n) に対して電氣的に接続された状態とならなければ(ここでは、具体的には、トランジスタSWB (n), SWB (n+2) がオフであれば)、第1のノードPa (n) の電荷電圧変換容量は、容量CC (n) に対して、容量CD (n)、容量CD (n+1)、容量CC (n+1) 及びトランジスタSWA (n), SWA (n+1), SWB (n+1) のオン時のチャンネル容量を付加したものとなる。よって、第1のノードPa (n) の電荷電圧変換容量の容量値は、 $2 \times Cfd1 + 2 \times Cfd2 + 3 \times Csw$ $2 \times Cfd1 + 2 \times Cfd2$ となる。この状態は、後述する第3Bの動作モードを示す図9中の期間T2の状態に相当している。

【0065】

また、画素ブロックBL (n) に着目して、第1のトランジスタSWA (n) 及び第2のトランジスタSWB (n+1), SWB (n+2) がオンすると、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち、トランジスタSWA (n), SWB (n+1), SWB (n+2) 以外のオン状態のトランジスタが第1のノードPa (n) に対して電氣的に接続された状態とならなければ(ここでは、具体的には、トランジスタSWA (n+1), SWA (n+2), SWB (n), SWB (n+3) がオフであれば)、第1のノードPa (n) の電荷電圧変換容量は、容量CC (n) に対して、容量CD (n)、容量CD (n+1)、容量CD (n+2) 及びトランジスタSWA (n), SWB (n+1), SWB (n+2) のオン時のチャンネル容量を付加したものとなる。よって、第1のノードPa (n) の電荷電圧変換容量の容量値は、 $Cfd1 + 3 \times Cfd2 + 3 \times Csw$ $Cfd1 + 3 \times Cfd2$ となる。この状態は、後述する第3Cの動作モードを示す図10中の期間T2の状態に相当している。

【0066】

このように、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち第1のノードPa (n) に対して電氣的に接続されるオン状態のトランジスタがなければ、第1のノードPa (n) の電荷電圧変換容量の容量値が最小の容量値Cfd1となり、その

10

20

30

40

50

電荷電圧変換容量による電荷電圧変換係数が大きくなるため、最高のS/N比での読出しが可能となる。

【0067】

一方、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち第1のノードPa(n)に対して電氣的に接続されるオン状態のトランジスタの数を1つ以上の所望の数に増やしていけば、第1のノードPa(n)の電荷電圧変換容量の容量値を所望の値に大きくすることができ、大きな信号電荷量を扱うことができるため、飽和電子数を拡大することができる。これにより、ダイナミックレンジを拡大することができる。

【0068】

以上、画素ブロックBL(n)の第1のノードPa(n)について説明したが、他の画素ブロックBLの第1のノードPaについても同様である。

10

【0069】

図6は、図2に示す固体撮像素子4の第1の動作モードを示すタイミングチャートである。この第1の動作モードは、各画素ブロックBLを行毎に順次選択していき、各第1のトランジスタSWA及び各第2のトランジスタSWBのうち選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるオン状態のトランジスタがない状態（当該第1のノードPaの電荷電圧変換容量が最小である状態）で、選択された画素ブロックBLの転送トランジスタTXA、TXBを順次選択的にオンさせて、選択された画素ブロックBLの各フォトダイオードPDA、PDBの信号を行毎に順次読み出す動作の例である。図6に示す例では、全画素PXA、PXBの信号を読み出すが、これに限らず、例えば、画素行を間引いて読み出す間引き読み出し等を行ってもよい。この点は、後述する図7乃至図10にそれぞれ示す各例についても同様である。

20

【0070】

図6は、期間T1においてn-1行目の画素ブロックBL(n-1)が選択され、期間T2においてn行目の画素ブロックBL(n)が選択され、期間T3においてn+1行目の画素ブロックBL(n+1)が選択されていく状況を示している。いずれの行の画素ブロックBLが選択された場合の動作も同様であるので、ここでは、n行目の画素ブロックBL(n)が選択された場合の動作についてのみ説明する。

【0071】

期間T2の開始前に既に、所定の露光期間において、フォトダイオードPDA(n)、PDB(n)の露光が終了している。この露光は、通常の本撮影時（静止画撮影時）などでは、全画素を同時にリセットするいわゆるグローバルリセット後にメカニカルシャッタ（図示せず）により行われ、電子ビューファインダーモード時や動画撮影時などでは、いわゆるローリング電子シャッタ動作により行われる。期間T2の開始直前には、全てのトランジスタSEL、RST、TXA、TXB、SWA、SWBはオフしている。

30

【0072】

期間T2において、n行目の $\phi_{SEL}(n)$ がHにされ、n行目の画素ブロックBL(n)の選択トランジスタSEL(n)がオンにされ、n行目の画素ブロックBL(n)が選択される。また、期間T2において、n行目の $\phi_{RST}(n)$ がHにされ、リセットトランジスタRST(n)がオンにされる。もっとも、リセットトランジスタRST(n)は必ずしも期間T2の全体に渡ってオンにする必要はなく、 $\phi_{RST}(n)$ は、第1のノードPa(n)のリセット時（すなわち、図6中の $\phi_{SWA}(n)$ のH期間）のみHにしてもよい。

40

【0073】

期間T2の開始直後から一定期間（第1のノードPa(n)のリセット時）だけ、 $\phi_{SWA}(n)$ がHにされてn行目の第1のトランジスタSWA(n)が一旦オンにされる。このとき、 $\phi_{RST}(n)$ がHにされていてリセットトランジスタRST(n)がオンしているため、オン状態のリセットトランジスタRST(n)及びオン状態の第1のトランジスタSWA(n)を経由して、第1のノードPa(n)の電位が一旦電源電位VDDにリセットされる。

50

【0074】

その後、第1のトランジスタSWA(n)がオフにされると、各トランジスタSWA, SWBのうち選択された画素ブロックBL(n)の第1のノードPa(n)に対して電氣的に接続されるオン状態のトランジスタがない状態となる。したがって、前述したように、第1のノードPa(n)の電荷電圧変換容量の容量値は、Cfd1となり、最小となる。

【0075】

期間T2中のその後の時点t1から一定期間だけ、暗信号サンプリング信号φDARKCがHにされて、第1のノードPa(n)に現れる電位がn行目の増幅トランジスタAMP(n)で増幅された後に選択トランジスタSEL(n)及び垂直信号線28を経由し更にカラムアンプ30で増幅された信号が、暗信号として、CDS回路31によりサンプリングされる。

10

【0076】

期間T2中のその後の時点t2から一定期間だけ、φTXA(n)がHにされてn行目の転送トランジスタTXA(n)がオンにされる。これにより、n行目の画素ブロックBL(n)のフォトダイオードPDA(n)に蓄積されていた信号電荷が、第1のノードPa(n)の電荷電圧変換容量に転送される。第1のノードPa(n)の電位は、ノイズ成分を除くと、この信号電荷の量と第1のノードPa(n)の電荷電圧変換容量の容量値の逆数とに比例した値となる。

20

【0077】

期間T2中のその後の時点t3において、光信号サンプリング信号φSIGCがHにされて、第1のノードPa(n)に現れる電位がn行目の増幅トランジスタAMP(n)で増幅された後に選択トランジスタSEL(n)及び垂直信号線28を経由し更にカラムアンプ30で増幅された信号が、光信号として、CDS回路31によりサンプリングされる。

【0078】

その後にφSIGCがLになった時点の後に、CDS回路31は、時点t1からの一定期間でサンプリングした暗信号と時点t3からの一定時間でサンプリングした光信号との差分に応じた信号を出力する。A/D変換器32は、この差分に応じた信号をデジタル信号に変換して保持する。各A/D変換器32に保持されたデジタルの画像信号は、水平読み出し回路33によって水平走査され、デジタル信号画像信号として外部(図1中のデジタル信号処理部6)へ出力される。

30

【0079】

そして、期間T2中の時点t4から一定期間(第1のノードPa(n)のリセット時)だけ、φSWA(n)がHにされてn行目の第1のトランジスタSWA(n)が一旦オンにされる。このとき、φSEL(n)がHにされていてリセットトランジスタRST(n)がオンしているため、オン状態のリセットトランジスタRST(n)及びオン状態の第1のトランジスタSWA(n)を経由して、第1のノードPa(n)の電位が一旦電源電位VDDにリセットされる。

【0080】

40

その後、第1のトランジスタSWA(n)がオフにされると、各トランジスタSWA, SWBのうち選択された画素ブロックBL(n)の第1のノードPa(n)に対して電氣的に接続されるオン状態のトランジスタがない状態となる。したがって、前述したように、第1のノードPa(n)の電荷電圧変換容量の容量値は、Cfd1となり、最小となる。

【0081】

期間T2中のその後の時点t5から一定期間だけ、暗信号サンプリング信号φDARKCがHにされて、第1のノードPa(n)に現れる電位がn行目の増幅トランジスタAMP(n)で増幅された後に選択トランジスタSEL(n)及び垂直信号線28を経由し更にカラムアンプ30で増幅された信号が、暗信号として、CDS回路31によりサンプリ

50

ングされる。

【0082】

期間T2中のその後の時点t6から一定期間だけ、 $\phi T X B(n)$ がHにされてn行目の転送トランジスタTXB(n)がオンにされる。これにより、n行目の画素ブロックBL(n)のフォトダイオードPDB(n)に蓄積されていた信号電荷が、第1のノードPa(n)の電荷電圧変換容量に転送される。第1のノードPa(n)の電位は、ノイズ成分を除くと、この信号電荷の量と第1のノードPa(n)の電荷電圧変換容量の容量値の逆数とに比例した値となる。

【0083】

期間T2中のその後の時点t7において、光信号サンプリング信号 $\phi S I G C$ がHにされて、第1のノードPa(n)に現れる電位がn行目の増幅トランジスタAMP(n)で増幅された後に選択トランジスタSEL(n)及び垂直信号線28を経由し更にカラムアンプ30で増幅された信号が、光信号として、CDS回路31によりサンプリングされる。

10

【0084】

その後に $\phi S I G C$ がLになった時点の後に、CDS回路31は、時点t5からの一定期間でサンプリングした暗信号と時点t7からの一定時間でサンプリングした光信号との差分に応じた信号を出力する。A/D変換器32は、この差分に応じた信号をデジタル信号に変換して保持する。各A/D変換器32に保持されたデジタルの画像信号は、水平読み出し回路33によって水平走査され、デジタル信号画像信号として外部(図1中のデジタル信号処理部6)へ出力される。

20

【0085】

このように、前記第1の動作モードでは、各トランジスタSWA, SWBのうち選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるオン状態のトランジスタがないので、選択された画素ブロックBLの第1のノードPaの電荷電圧変換容量の容量値が最小となり、その電荷電圧変換容量による電荷電圧変換係数が大きくなるため、最高のSN比での読み出しが可能となる。例えば、ISO感度の設定値が最も高い場合に、撮像制御部5によって、前記第1の動作モードを行うように指令される。

【0086】

図7は、図2に示す固体撮像素子4の第2の動作モードを示すタイミングチャートである。この第2の動作モードは、各画素ブロックBLを行毎に順次選択していき、各第1のトランジスタSWA及び各第2のトランジスタSWBのうちの1つのオン状態のトランジスタSWAが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続された状態で、選択された画素ブロックBLの転送トランジスタTXA, TXBを順次選択的にオンさせて、選択された画素ブロックBLの各フォトダイオードPDA, PDBの信号を行毎に順次読み出す動作の例である。

30

【0087】

図7も、図6と同様に、期間T1においてn-1行目の画素ブロックBL(n-1)が選択され、期間T2においてn行目の画素ブロックBL(n)が選択され、期間T3においてn+1行目の画素ブロックBL(n+1)が選択されていく状況を示している。図7に示す第2の動作モードが図6に示す前記第1の動作モードと異なる所は、以下に説明する点である。

40

【0088】

図7に示す第2の動作モードでは、n行目の画素ブロックBL(n)が選択される期間T2において、 $\phi S W A(n)$ がHにされるとともに $\phi S W B(n)$, $\phi S W B(n+1)$ がLにされ、第1のトランジスタSWA(n)がオンにされるとともに第2のトランジスタSWB(n), $\phi S W B(n+1)$ がオフにされる。これにより、期間T2において、各トランジスタSWA, SWBのうちの1つのオン状態の第1のトランジスタSW(ここでは、第1のトランジスタSWA(n))が、選択された画素ブロックBL(n)の第1のノードPa(n)に対して電氣的に接続された状態となる。したがって、前述したよ

50

うに、第1のノードPa(n)の電荷電圧変換容量の容量値は、 $C_{fd1} + C_{fd2} + C_{sw} - C_{fd1} - C_{fd2}$ となり、図6に示す前記第1の動作モードに比べていわば1段階大きくなる。

【0089】

そして、図7に示す第2の動作モードでは、 $\phi SWA(n)$ がHにされていて第1のトランジスタSWA(n)がオンにされている一方で、第1のノードPa(n)のリセット時(期間T2の開始直後から一定期間及び期間T2中の時点t4からの一定期間)にだけ、 $\phi RST(n)$ がHにされてリセットトランジスタRST(n)がオンにされる。これにより、第1のノードPa(n)の電位のリセットが適切に行われる。

【0090】

ここでは、n行目の画素ブロックBL(n)が選択される期間T2について説明したが、他の画素ブロックBLが選択される期間についても同様である。

【0091】

このように、前記第2の動作モードでは、各トランジスタSWA、SWBのうちの1つのオン状態の第1のトランジスタSWAが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるので、選択された画素ブロックBLの第1のノードPaの電荷電圧変換容量の容量値がいわば1段階大きくなり、第1のノードPaの電荷電圧変換容量での飽和電子数を1段階拡大することができる。これにより、ダイナミックレンジを1段階拡大することができる。例えば、ISO感度の設定値が最も高い値から1段階小さい値である場合に、撮像制御部5によって、前記第2の動作モードを行うように指令される。

【0092】

図8は、図2に示す固体撮像素子4の第3Aの動作モードを示すタイミングチャートである。第3Aの動作モードは、第3の動作モードのうちの1つの動作モードである。この第3の動作モードは、各画素ブロックBLを行毎に順次選択していき、選択された画素ブロックBLの第1のノードPaとこれに対応する第2のノードPbとの間を電氣的に接続及び切断する第1のトランジスタSWAがオンし、選択された画素ブロックBLの第1のノードPaに対応する第2のノードPbに対して電氣的に接続される第2のトランジスタSWBがオンし、かつ、選択された画素ブロックBLの第1のノードPaに対応する第2のノードPbに電源電位VDDを供給するリセットトランジスタRSTが、選択された画素ブロックBLの第1のノードPaのリセット時のみオンする状態で、選択された画素ブロックBLの転送トランジスタTXA、TXBを順次選択的にオンさせて、選択された画素ブロックBLの各フォトダイオードPDA、PDBの信号を行毎に順次読み出す動作の例である。前記第3Aの動作モードは、前記第3の動作モードにおいて、選択された画素ブロックBLの第1のノードPaに対して、オン状態の1つの第1のトランジスタSWA及びオン状態の1つの第2のトランジスタSWBが電氣的に接続される動作の例である。

【0093】

図8も、図6と同様に、期間T1においてn-1行目の画素ブロックBL(n-1)が選択され、期間T2においてn行目の画素ブロックBL(n)が選択され、期間T3においてn+1行目の画素ブロックBL(n+1)が選択されていく状況を示している。図8に示す第3Aの動作モードが図6に示す前記第1の動作モードと異なる所は、以下に説明する点である。

【0094】

図8に示す第3Aの動作モードでは、n行目の画素ブロックBL(n)が選択される期間T2において、 $\phi SWA(n)$ 及び $\phi SWB(n+1)$ がHにされるとともに $\phi SWA(n+1)$ 、 $\phi SWB(n)$ 、 $\phi SWB(n+2)$ がLにされ、第1のトランジスタSWA(n)及び第2のトランジスタSWB(n+1)がオンにされるとともに第1のトランジスタSWA(n+1)及び第2のトランジスタSWB(n)、SWB(n+2)がオフにされる。これにより、期間T2において、各トランジスタSWA、SWBのうちの1つのオン状態の第1のトランジスタSWA(ここでは、第1のトランジスタSWA(n))

10

20

30

40

50

及び1つのオン状態の第2のトランジスタSWB（ここでは、第2のトランジスタSWB（ $n+1$ ））が、選択された画素ブロックBL（ n ）の第1のノードPa（ n ）に対して電氣的に接続された状態となる。したがって、前述したように、第1のノードPa（ n ）の電荷電圧変換容量の容量値は、 $C_{fd1} + C_{fd2} + C_{sw}$ $C_{fd1} + C_{fd2}$ となり、図6に示す前記第1の動作モードに比べていわば2段階大きくなる。

【0095】

そして、図8に示す第3Aの動作モードでは、 $\phi_{SWA}(n)$ がHにされていて第1のトランジスタSWA（ n ）がオンにされている一方で、第1のノードPa（ n ）のリセット時（期間T2の開始直後から一定期間及び期間T2中の時点 t_4 からの一定期間）にだけ、 $\phi_{RST}(n)$ がHにされてリセットトランジスタRST（ n ）がオンにされる。これにより、第1のノードPa（ n ）の電位のリセットが適切に行われる。この点は、後述する図9に示す第3Bの動作モード及び図10に示す第3Cの動作モードについても同様である。

【0096】

ここでは、 n 行目の画素ブロックBL（ n ）が選択される期間T2について説明したが、他の画素ブロックBLが選択される期間についても同様である。

【0097】

このように、前記第3の動作モードでは、各トランジスタSWA、SWBのうちの1つのオン状態の第1のトランジスタSWA及び1つのオン状態の第2のトランジスタSWBが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるので、選択された画素ブロックBLの第1のノードPaの電荷電圧変換容量の容量値がいわば2段階大きくなり、第1のノードPaの電荷電圧変換容量での飽和電子数を2段階拡大することができる。これにより、ダイナミックレンジを2段階拡大することができる。例えば、ISO感度の設定値が最も高い値から2段階小さい値である場合に、撮像制御部5によって、前記第3Aの動作モードを行うように指令される。

【0098】

図9は、図2に示す固体撮像素子4の第3Bの動作モードを示すタイミングチャートである。この第3Bの動作モードは、前記第3の動作モードにおいて、選択された画素ブロックBLの第1のノードPaに対して、オン状態の2つの第1のトランジスタSWA及びオン状態の1つの第2のトランジスタSWBが電氣的に接続される動作の例である。

【0099】

図9も、図4と同様に、期間T1において $n-1$ 行目の画素ブロックBL（ $n-1$ ）が選択され、期間T2において n 行目の画素ブロックBL（ n ）が選択され、期間T3において $n+1$ 行目の画素ブロックBL（ $n+1$ ）が選択されていく状況を示している。図9に示す第3Bの動作モードが図4に示す前記第1の動作モードと異なる所は、以下に説明する点である。

【0100】

図9に示す第3Bの動作モードでは、 n 行目の画素ブロックBL（ n ）が選択される期間T2において、 $\phi_{SWA}(n)$ 、 $\phi_{SWA}(n+1)$ 及び $\phi_{SWB}(n+1)$ がHにされるとともに $\phi_{SWB}(n)$ 、 $\phi_{SWB}(n+2)$ がLにされ、第1のトランジスタSWA（ n ）、SWA（ $n+1$ ）及び第2のトランジスタSWB（ $n+1$ ）がオンにされるとともに第2のトランジスタSWB（ n ）、SWB（ $n+2$ ）がオフにされる。これにより、期間T2において、各トランジスタSWA、SWBのうちの2つのオン状態の第1のトランジスタSWA（ここでは、第1のトランジスタSWA（ n ）、SWA（ $n+1$ ））及び1つのオン状態の第2のトランジスタSWB（ここでは、第2のトランジスタSWB（ $n+1$ ））が、選択された画素ブロックBL（ n ）の第1のノードPa（ n ）に対して電氣的に接続された状態となる。したがって、前述したように、第1のノードPa（ n ）の電荷電圧変換容量の容量値は、 $2 \times C_{fd1} + 2 \times C_{fd2} + 3 \times C_{sw}$ $2 \times C_{fd1} + 2 \times C_{fd2}$ となり、図6に示す前記第1の動作モードに比べていわば3段階大きくなる。

10

20

30

40

50

【0101】

ここでは、 n 行目の画素ブロックBL (n) が選択される期間 T_2 について説明したが、他の画素ブロックBLが選択される期間についても同様である。

【0102】

このように、前記第3Bの動作モードでは、各トランジスタSWA、SWBのうちの2つのオン状態の第1のトランジスタSWA及び1つのオン状態の第2のトランジスタSWBが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるので、選択された画素ブロックBLの第1のノードPaの電荷電圧変換容量の容量値がいわば3段階大きくなり、第1のノードPaの電荷電圧変換容量での飽和電子数を3段階拡大することができる。これにより、ダイナミックレンジを3段階拡大することができる。例えば、ISO感度の設定値が最も高い値から3段階小さい値である場合に、撮像制御部5によって、前記第3Bの動作モードを行うように指令される。

10

【0103】

図10は、図2に示す固体撮像素子4の第3Cの動作モードを示すタイミングチャートである。この第3Cの動作モードは、各画素ブロックBLを行毎に順次選択していき、各第1のトランジスタSWA及び各第2のトランジスタSWBのうちの1つのオン状態の第1のトランジスタSWA及び2つのオン状態の第2のトランジスタSWBが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続された状態で、選択された画素ブロックBLの転送トランジスタTXA、TXBを順次選択的にオンさせて、選択された画素ブロックBLの各フォトダイオードPDA、PDBの信号を行毎に順次読み出す動作の例である。

20

【0104】

図10も、図6と同様に、期間 T_1 において $n-1$ 行目の画素ブロックBL ($n-1$) が選択され、期間 T_2 において n 行目の画素ブロックBL (n) が選択され、期間 T_3 において $n+1$ 行目の画素ブロックBL ($n+1$) が選択されていく状況を示している。図10に示す第3Cの動作モードが図4に示す前記第1の動作モードと異なる所は、以下に説明する点である。

【0105】

図10に示す第3Cの動作モードでは、 n 行目の画素ブロックBL (n) が選択される期間 T_2 において、 $\phi SWA(n)$ 及び $\phi SWB(n+1)$ 、 $\phi SWB(n+2)$ がHにされるとともに $\phi SWA(n+1)$ 、 $\phi SWA(n+2)$ 、 $\phi SWB(n)$ 、 $\phi SWB(n+3)$ がLにされ、第1のトランジスタSWA (n) 及び第2のトランジスタSWB ($n+1$)、SWB ($n+2$) がオンにされるとともに第1のトランジスタSWA ($n+1$)、SWA ($n+2$) 及び第2のトランジスタSWB (n)、SWB ($n+3$) がオフにされる。これにより、期間 T_2 において、各トランジスタSWA、SWBのうちの1つのオン状態の第1のトランジスタSWA (ここでは、第1のトランジスタSWA (n)) 及び2つのオン状態の第2のトランジスタSWB (ここでは、第2のトランジスタSWB ($n+1$)、SWB ($n+2$)) が、選択された画素ブロックBL (n) の第1のノードPa (n) に対して電氣的に接続された状態となる。したがって、前述したように、第1のノードPa (n) の電荷電圧変換容量の容量値は、 $C_{fd1} + 3 \times C_{fd2} + 3 \times C_{sw}$ となり、図4に示す前記第1の動作モードに比べていわば3段階大きくなる。

30

40

【0106】

ここでは、 n 行目の画素ブロックBL (n) が選択される期間 T_2 について説明したが、他の画素ブロックBLが選択される期間についても同様である。

【0107】

このように、前記第3Cの動作モードでは、各トランジスタSWA、SWBのうちの1つのオン状態の第1のトランジスタSWA及び2つのオン状態の第2のトランジスタSWBが、選択された画素ブロックBLの第1のノードPaに対して電氣的に接続されるので、選択された画素ブロックBLの第1のノードPaの電荷電圧変換容量の容量値がいわば

50

3段階大きくなり、第1のノードP aの電荷電圧変換容量での飽和電子数を3段階拡大することができる。これにより、ダイナミックレンジを3段階拡大することができる。例えば、ISO感度の設定値が最も高い値から3段階小さい値である場合に、撮像制御部5によって、前記第2の動作モードを行うように指令される。

【0108】

ここで、本実施の形態における固体撮像素子4と比較される比較例による固体撮像素子について、説明する。図11は、この比較例による固体撮像素子の3つの画素ブロックBLの付近を示す回路図であり、図3に対応している。図12は、図11に示す3つの画素ブロックBLの付近を模式的に示す概略平面図であり、図4及び図5に対応している。図11及び図12において、図3、図4及び図5中の要素と同一又は対応する要素には同一

10

【0109】

この比較例が本実施の形態と異なる所は、以下に説明する点である。この比較例では、第1及び第2のトランジスタSWA, SWB並びに配線71, 72が取り除かれ、その代わりに、第1の連結トランジスタSWa、第2の連結トランジスタSWb及び配線97, 98が設けられている。また、この比較例では、第1のノードPaに相当するノードPは存在しているが、第2のノードPbに相当するノードは存在していない。さらに、本実施の形態では、リセットトランジスタRSTのソースは第1のノードPaに接続されずに第

20

【0110】

この比較例では、各画素ブロックBLのうちの列方向に互いに隣り合う各2つの画素ブロックBLについて、一方の画素ブロックBLのノードPと他方の画素ブロックBLのノードPとの間に、第1の連結トランジスタSWa及び第2の連結トランジスタSWbが直列に設けられている。例えば、n行目の画素ブロックBL(n)のノードP(n)とn+1行目の画素ブロックBLのノードP(n+1)との間に、第1の連結トランジスタSWa(n)及び第2の連結トランジスタSWb(n)が直列に設けられている。

【0111】

この比較例では、画素ブロックBL(n)の増幅トランジスタAMP(n)のゲート電極、転送トランジスタTXA(n), TXB(n)のドレイン拡散領域、第1の連結トランジスタSWa(n)のソース拡散領域、第2の連結トランジスタSWb(n-1)のドレイン拡散領域及びリセットトランジスタRST(n)のソース拡散領域間が、配線97(n)によって互いに電氣的に接続されて導通している。ノードP(n)は、配線97(n)及びこれに対して電氣的に接続されて導通している箇所全体に相当している。この点は、他の画素ブロックBLについても同様である。

30

【0112】

また、この比較例では、各2つのノードP間に直列に設けられている各2個の連結トランジスタSWa, SWb間が、配線98によって接続されている。例えば、第1の連結トランジスタSWa(n)のドレイン拡散領域と第2の連結トランジスタSWb(n)のソース拡散領域との間が、配線98(n)によって電氣的に接続されている。

40

【0113】

図11及び図12において、CA(n)は、連結トランジスタSWa(n), SWb(n-1)がオフしている場合の、ノードP(n)と基準電位との間の容量である。容量CA(n)の容量値をCfd1'とする。CB(n)は、連結トランジスタSWa(n), SWb(n)がオフしている場合の、配線72(n)と基準電位との間の容量を示している。これらの点は、他の画素ブロックBLの行についても同様である。

【0114】

容量CA(n)は、転送トランジスタTXA(n), TXB(n)のドレイン拡散領域

50

の容量と、リセットトランジスタ $RST(n)$ のソース拡散領域の容量と、第1の連結トランジスタ $SWa(n)$ のソース拡散領域の容量と、第2の連結トランジスタ $SWb(n-1)$ のドレイン拡散領域の容量と、増幅トランジスタ $AMP(n)$ のゲート電極の容量と、配線 $97(n)$ の配線容量とから構成され、それらの容量値の合計が容量 $CA(n)$ の容量値 $Cfdl'$ となる。この点は、他の画素ブロック BL の行についても同様である。

【0115】

これに対し、本実施の形態における容量 $CC(n)$ は、前述したように、転送トランジスタ $TXA(n)$ 、 $TXB(n)$ のドレイン拡散領域 41 の容量と、第1のトランジスタ $SWA(n)$ のソース拡散領域の容量と、増幅トランジスタ $AMP(n)$ のゲート電極の容量と、配線 $71(n)$ の配線容量とから構成され、それらの容量値の合計が容量 $CC(n)$ の容量値 $Cfdl$ となっている。

10

【0116】

したがって、本実施の形態における容量 $CC(n)$ の容量値 $Cfdl$ は、この比較例における容量 $CA(n)$ の容量値 $Cfdl'$ よりも、第2の連結トランジスタ $SWb(n-1)$ のドレイン拡散領域の容量及びリセットトランジスタ $RST(n)$ のソース拡散領域の容量の分（すなわち、トランジスタ拡散容量2個分）、小さくなる。

【0117】

この比較例では、画素ブロック $BL(n)$ に着目して、連結トランジスタ $SWa(n)$ 、 $SWb(n-1)$ が両方ともオフすると、ノード $P(n)$ と基準電位との間の容量（電荷電圧変換容量）は容量 $CA(n)$ となり、ノード $P(n)$ の電荷電圧変換容量の容量値が最小の $Cfdl'$ となり、その電荷電圧変換容量による電荷電圧変換係数が大きくなるため、最高の SN 比での読出しが可能となる。また、この比較例では、各連結トランジスタ SWa 、 SWb のうちノード $P(n)$ に対して電氣的に接続されるオン状態の連結トランジスタの数を1つ以上の所望の数に増やしていけば、ノード $P(n)$ の電荷電圧変換容量の容量値を所望の値に大きくすることができ、大きな信号電荷量を扱うことができるため、飽和電子数を拡大することができる。これにより、ダイナミックレンジを拡大することができる。

20

【0118】

前述したように、本実施の形態における第1のノード $Pa(n)$ の電荷電圧変換容量の最小の容量値 $Cfdl$ は、この比較例におけるノード $P(n)$ の電荷電圧変換容量の最小の容量値 $Cfdl'$ よりも、トランジスタ拡散容量2個分小さくなる。したがって、本実施の形態によれば、この比較例と比べても、電荷電圧変換係数が一層大きくなり、より一層高い SN 比での読み出しが可能となる。

30

【0119】

本実施の形態では、列方向に順次隣り合う全ての2つの第2のノード Pb 間に第2のトランジスタ SWB を設けているが、本発明では、必ずしもこれに限らない。例えば、列方向に並ぶ r 個（ r は2以上の整数）置きの第2のノード Pb と当該第2のノード Pb に対し図中下側に隣り合う第2のノード Pb との間には、第2のトランジスタ SWB を設けずにその間を常に開放しておいてもよい。この場合、 r の数が小さいほど、前記第2の動作モードにおける前記所定数の最大数が小さくなり、ダイナミックレンジの拡大の度合いが低下するが、前記比較例に比べて高感度読出し時の SN 比を向上させることができる。また、例えば、列方向に並ぶ s 個（ s は1以上の整数）置きの第2のノード Pb と当該第2のノード Pb に対し図中下側に隣り合う第2のノード Pb との間には、第2のトランジスタ SWB を設けずにその間を電氣的に短絡させておいてもよい。さらに、例えば、列方向に並ぶ u 個（ u は1以上の整数）置きの第2のノード Pb と当該第2のノード Pb に対し図中下側に隣り合う第2のノード Pb との間には、第2のトランジスタ SWB を設ける一方で、列方向に並ぶ u 個置き以外の第2のノード Pb と当該第2のノード Pb に対し図中下側に隣り合う第2のノード Pb との間を電氣的に短絡させてもよい。

40

【0120】

50

なお、本実施の形態において、配線 72 に調整容量を設けるなどによって、容量 C D の容量値を、容量 C C の容量値に対して $\pm 20\%$ の範囲内の値にしてもよいし、容量 C C の容量値に対して $\pm 10\%$ の範囲内の値にしてもよい。これらの点は、後述する第 2 の実施の形態についても同様である。

【0121】

なお、図 6 乃至図 10 に示す各動作例は、各画素 P X のフォトダイオード P D の信号電荷を、他の画素 P X のフォトダイオード P D の信号電荷と混合することなく読み出す動作の例であった。しかし、本発明では、各画素 P X のフォトダイオード P D の信号電荷を、同色の他の画素 P X のフォトダイオード P D の信号電荷と混合して読み出してもよい。

【0122】

例えば、第 1 のトランジスタ S W A (n - 1) , S W A (n) , S W A (n + 1) 及び第 2 のトランジスタ S W B (n) , S W B (n + 1) をオンにして第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) を互いに連結し、T X A (n - 1) , T X A (n) , T X A (n + 1) を同時にオンにすると、ベイヤー配列等を前提とした場合における同色の 3 つの画素 P X A (n - 1) , P X A (n) , P X A (n + 1) のフォトダイオード P D A (n - 1) , P D A (n) , P D A (n + 1) の信号電荷が互いに連結された第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) で平均化され、同色 3 画素混合読出しの機能を実現することができる。このとき、第 2 のトランジスタ S W B (n - 2) , S W B (n + 2) をオフにし、第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) に対して電氣的に接続されるオン状態の第 1 又は第 2 のトランジスタの数を最小限にすることによって、連結された第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) における電荷電圧変換容量値が最小となり、最高の S N 比で同色 3 画素混合読出しを行うことができる。一方、第 1 のトランジスタ S W A (n - 1) , S W A (n) , S W A (n + 1) 及び第 2 のトランジスタ S W B (n) , S W B (n + 1) の他に、各第 1 のトランジスタ S W A 及び各第 2 のトランジスタ S W B のうちの 1 個以上のオン状態のトランジスタが第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) に対して電氣的に接続されるようにすれば、その数に応じて、連結された第 1 のノード P a (n - 1) , P a (n) , P a (n + 1) における電荷電圧変換容量値が大きくなり、同色 3 画素混合読出しのダイナミックレンジを拡大することができる。

【0123】

[第 2 の実施の形態]

図 13 は、本発明の第 2 の実施の形態による電子カメラの固体撮像素子 84 の概略構成を示す回路図であり、図 2 に対応している。図 13 において、図 2 中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

【0124】

本実施の形態が前記第 1 の実施の形態と異なる所は、本実施の形態では、前記第 1 の実施の形態において、各画素ブロック B L において、フォトダイオード P D B 及び転送トランジスタ T X B が取り除かれ、各画素ブロック B L が画素 P X A になっている点である。ただし、本実施の形態では、フォトダイオード P D A の列方向の密度は、前記第 1 の実施の形態におけるフォトダイオード P D A の列方向の密度の 2 倍にされ、前記第 4 の実施の形態におけるフォトダイオード P D A , P D B 全体の列方向の密度と同一になっている。本実施の形態では、n は、画素ブロック B L の行を示すと同時に、画素 P X A の行を示すことになる。

【0125】

換言すれば、前記第 1 の実施の形態では、各画素ブロック B L は 2 個の画素 P X (P X A , P X B) で構成されているのに対し、本実施の形態では、各画素ブロック B L は 1 個の画素 P X (P X A) で構成されている。そして、前記第 1 の実施の形態では、画素ブロック B L に属する 2 個の画素 P X (P X A , P X B) が、1 組の第 1 のノード P a 、増幅トランジスタ A M P 、リセットトランジスタ R S T 及び選択トランジスタ S E L を共有しているのに対し、本実施の形態では、各画素 P X (本実施の形態では、P X A のみ) が、そ

れぞれ１組の第１のノード P_a 、増幅トランジスタ AMP 、リセットトランジスタ RST 及び選択トランジスタ SEL を有している。

【０１２６】

基本的に、前記第１の実施の形態の説明は、画素ブロック BL を画素 PXA に置き換えることで、本実施の形態の説明として適合する。よって、ここでは、本実施の形態の詳細な説明は省略する。

【０１２７】

本実施の形態によっても、前記第１の実施の形態と同様の利点を得られる。

【０１２８】

以上、本発明の各実施の形態及び変形例について説明したが、本発明はこれらに限定されるものではない。

【符号の説明】

【０１２９】

４ 固体撮像素子

BL 画素ブロック

PX 画素

PD フォトダイオード

TXA , TXB 転送トランジスタ

P_a 第１のノード

P_b 第２のノード

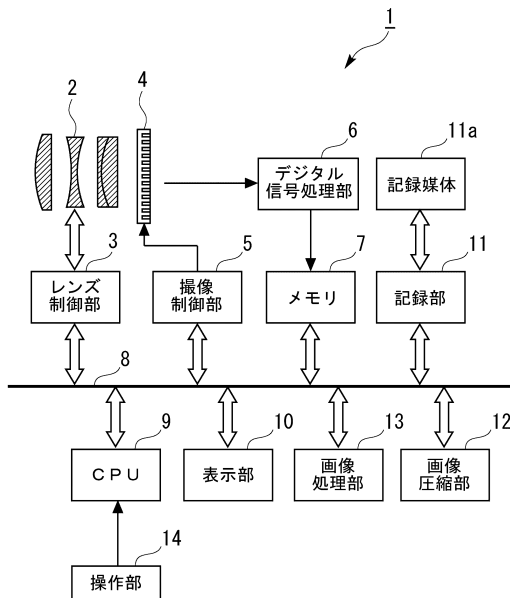
AMP 増幅トランジスタ

SWA 第１のトランジスタ

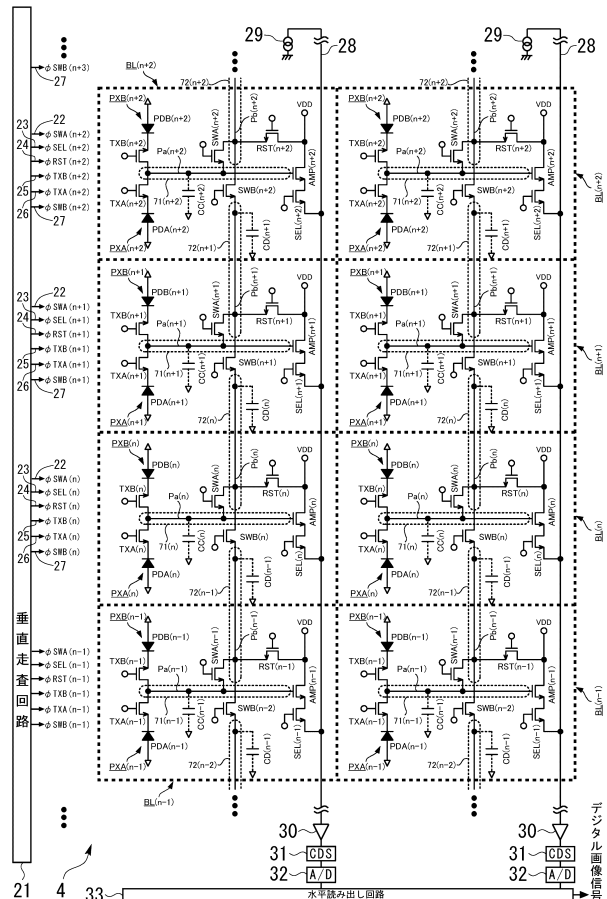
SWB 第２のトランジスタ

RST リセットトランジスタ（第３のトランジスタ）

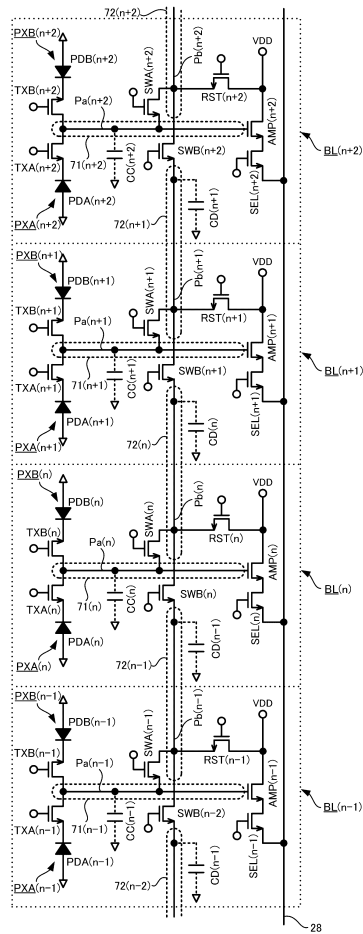
【図１】



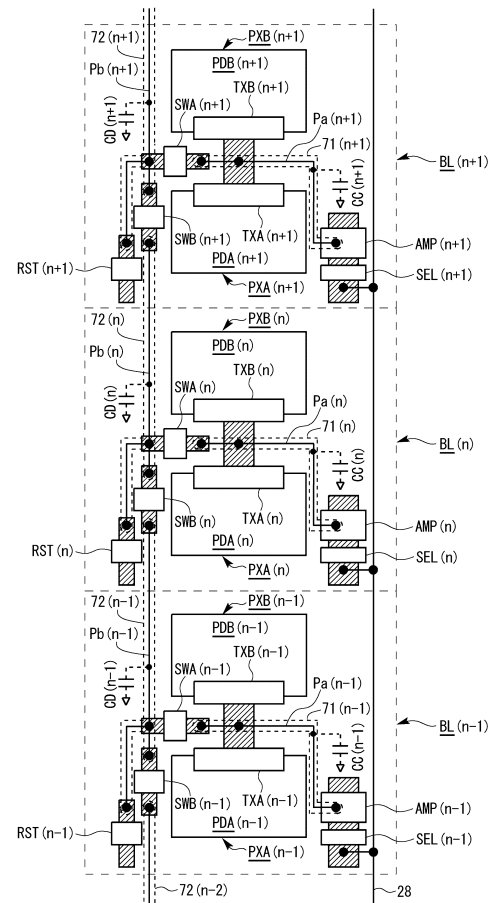
【図２】



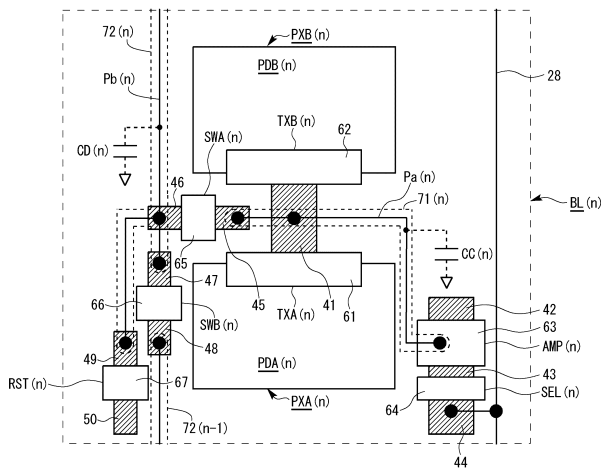
【図 3】



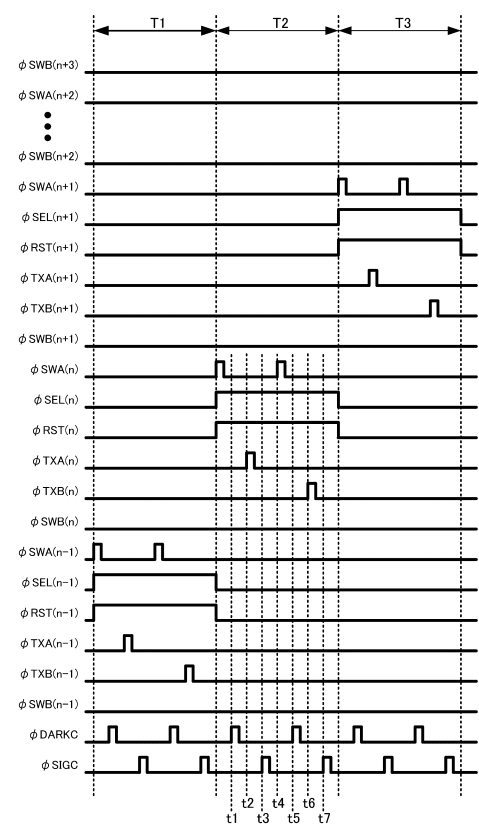
【図 4】



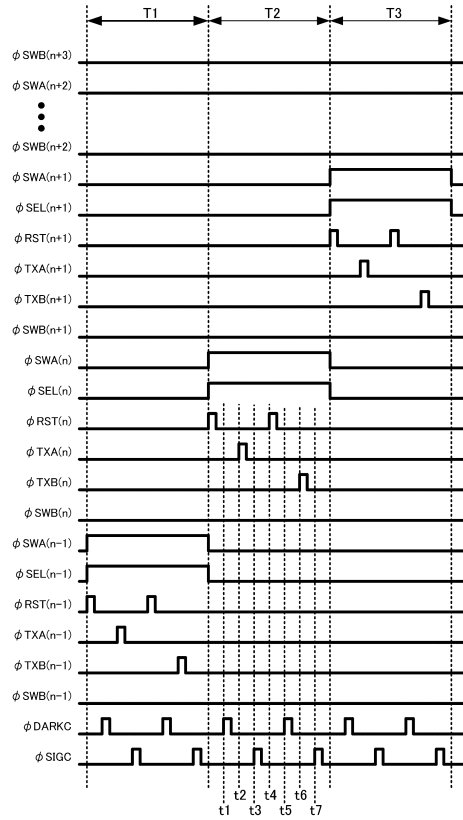
【図 5】



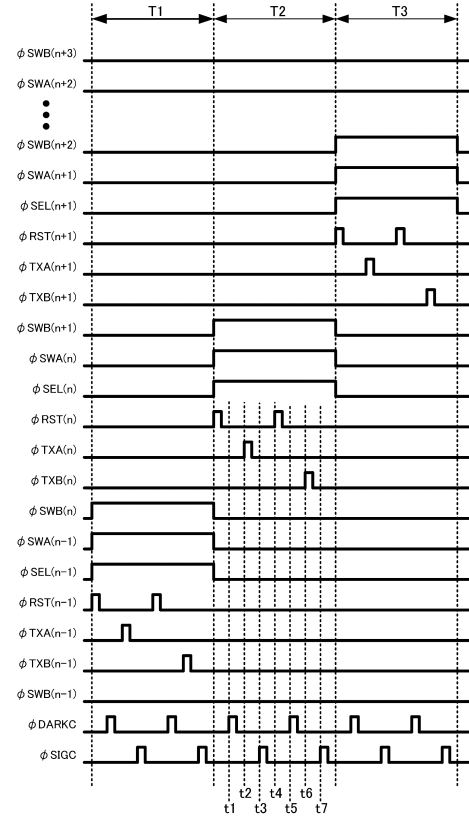
【図 6】



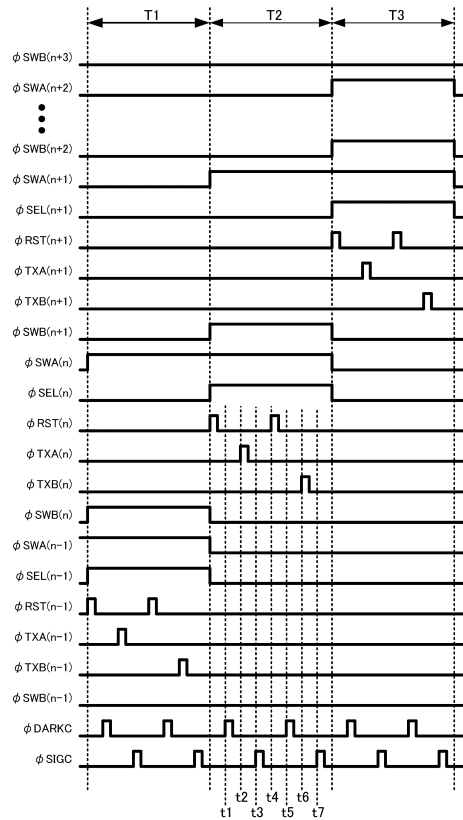
【図 7】



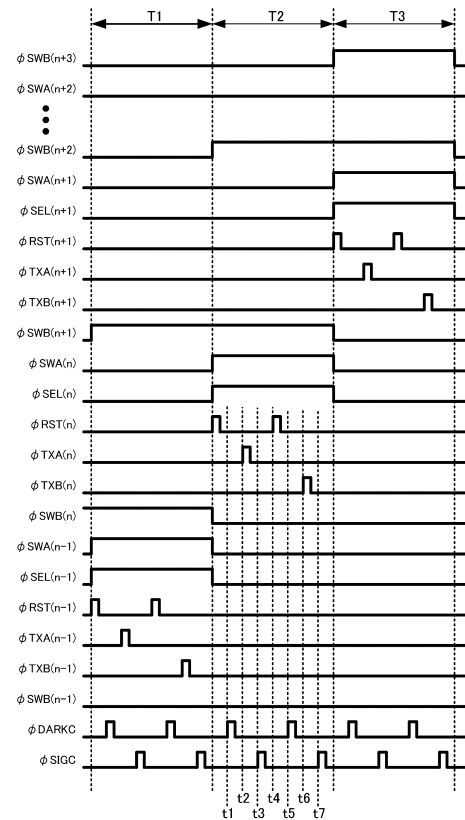
【図 8】



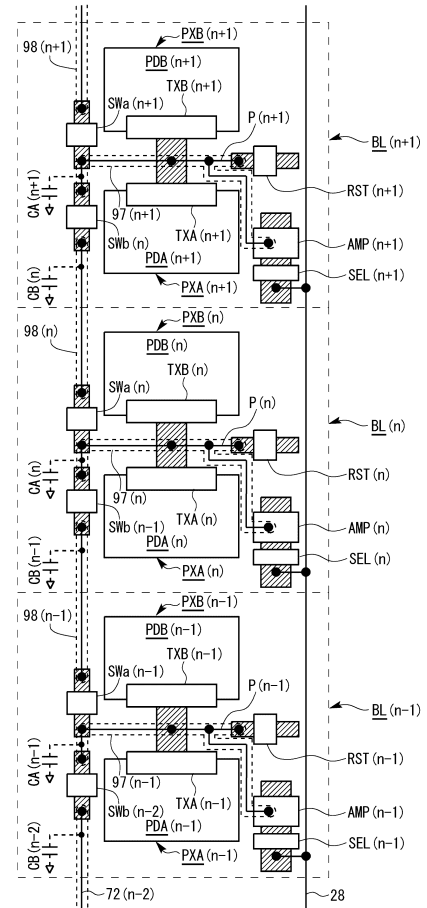
【図 9】



【図 10】



【図 1 2】



フロントページの続き

(56)参考文献 特開2008-205638 (JP, A)
特開2012-257028 (JP, A)
特開2013-033896 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30-5/378