(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 21/762
H01L 21/336
H01L 21/265
H01L 21/20

(11) 공개번호 10-2004-0102052
(43) 공개일자 2004년12월03일

(21) 출원번호 10-2004-7015051
(22) 출원일자 2004년09월22일
번역문 제출일자 2004년09월22일
(86) 국제출원번호 PCT/US2002/040213
(86) 국제출원출원일자 2002년12월17일
(87) 국제공개번호 WO 2003/083934
(87) 국제공개일자 2003년10월09일

(30) 우선권주장 10/109,096 2002년03월28일 미국(US)

(71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자
푸셀리어마크비.
미국 텍사스 78748 오스틴 바렐 벤드 12232

리스터즈데릭제이.
미국 텍사스 78738 비 케이브스 오버랜드 패스 13710

웨이앤디씨.
미국 텍사스 78748 오스틴 만차카 알디 #125 9323

(74) 대리인
박장원

심사청구 : 없음

(54) 다중-두께 매립 산화물층 위에 형성된 반도체 디바이스 및그 제조 방법

요약

본 발명은 일반적으로 다중-두께 매립 산화물층(20) 위에 형성된 반도체 디바이스 및 그 제조 방법에 관한 것이다. 일 실시예에서, 이 디바이스는 벌크 기판(12), 벌크 기판(12) 위에 형성된 다중-두께 매립 산화물층(20), 및 다중-두께 매립 산화물층(20) 위에 형성된 활성층(21)을 포함하며, 상기 반도체 디바이스는 상기 다중-두께 매립 산화물층(20) 위의 활성층(21)에 형성된다. 다른 실시예에서, 상기 다중-두께 매립 산화물층(20)은 두개의 제2 부분(20A) 사이에 배치된 제1 부분(20B)으로 구성되며, 상기 제1 부분(20B)은 상기 제2 부분(20A)의 두께 미만의 두께를 갖는다. 일 실시예에서, 이 방법은 실리콘 기판(40)에 대해 제1 산소 이온 주입 공정(42)을 수행하고, 상기 기판(40) 위에 마스킹 층(44)을 형성하고, 상기 마스킹 층(44)을 통해 제2 산소 이온 주입 공정(46)을 실시하고, 상기 기판(40)에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층(20)을 상기 기판(40)에 형성하는 것을 포함한다. 다른 실시예에서, 이 방법은 실리콘 기판(40)에 제1 산소 이온 주입 공정(46)을 수행하고, 상기 기판(40) 위에 마스킹 층(44)을 형성하고, 상기 마스킹 층(44)을 통해 상기 기판에 대해 제2 산소 이온 주입 공정(42)을 실시하고, 상기 기판(40)에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층(20)을 상기 기판(40)에 형성하는 것을 포함한다. 또 다른 실시예에서, 이 방법은 웨이퍼 본딩 산화물층을 사용하여 다중-두께 매립 산화물층(20)을 형성하는 것을 포함한다.

대표도

도 1

색인어

다중-두께 매립 산화물층, 반도체 디바이스, 벌크 기판, 활성층, 산소 이온 주입 공정, 마스킹 층, 가열 공정

명세서

기술분야

본 발명은 일반적으로 반도체 제조 기술에 관한 것으로, 더 상세하게는 다중-두께 매립 산화물층(multiple-thickness buried oxide layer)위에 형성된 반도체 디바이스 및 그 제조 방법에 관한 것이다.

배경기술

반도체 업계에서는 집적 회로 디바이스, 예를 들면, 마이크로프로세서, 메모리 디바이스 등의 동작 속도를 증가시키려 지속적으로 노력하고 있다. 이와 같은 노력은 갈수록 빠른 속도로 동작하는 컴퓨터 및 전자 디바이스에 대한 소비자의 요구에 의해 더욱 가속화되고 있다. 증가된 속도에 대한 이와 같은 요구로 인해 반도체 디바이스, 예를 들면, 트랜지스터의 크기가 계속 감소하게 되었다. 즉, 전형적인 전계 효과 트랜지스터(FET)의 많은 피쳐들, 예를 들면 채널 길이, 접합 깊이, 게이트 절연 두께 등이 감소된다. 예를 들어, 모든 다른 조건이 동일하다고 할 때, 트랜지스터의 채널 길이가 작아질수록 트랜지스터는 더 빨리 동작할 것이다. 따라서, 이와 같은 트랜지스터가 집적된 집적 회로 디바이스는 물론, 이들 트랜지스터의 전반적인 속도를 증가시키기 위해 크기 또는 스케일과 같은 전형적인 트랜지스 터의 피쳐들을 감소시키려고 지속적으로 노력하고 있다.

발전하는 기술 여건에 맞추어 트랜지스터가 계속 작아짐에 따라, 디바이스 신뢰도를 위해 전원 공급 전압의 감소가 요구되고 있다. 즉, 연속하는 모든 기술들은 흔히 트랜지스터의 동작 전압을 감소시킴으로써 발전되고 있다. SOI(silicon-on-insulator)기판 상에 제조된 트랜지스터 디바이스는 벌크 실리콘 기판(bulk silicon substrate)에 제조된 유사한 치수의 트랜지스터보다 낮은 동작 전압에서 보다 나은 성능을 나타내는 것으로 알려지고 있다. 낮은 동작 전압에서의 SOI 디바이스의 뛰어난 성능은 유사한 치수의 벌크 실리콘 디바이스와 비교할 때 SOI 디바이스 위에 얻어진 비교적 낮은 접합 캐패시턴스(junction capacitance)에 관련된다. SOI 디바이스에서 매립 산화물층은 활성 트랜지스터 영역을 벌크 실리콘 기판과 분리시켜 접합 캐패시턴스를 감소시키고 있다.

SOI 기판에 제조된 트랜지스터는 벌크 실리콘 기판에 제조된 트랜지스터에 비해 몇몇 성능 면에서 장점을 제공한다. 예를 들어, SOI 기판에 제조되는 상보형 금속 산화물 반도체(CMOS) 디바이스는 래치업(latch-up)이라고 하는 디스에이블링 캐패시티브 커플링(diabling capacitive coupling)에 강한 경향이 있다. 또한, 일반적으로 SOI 기판에 제조된 트랜지스터들은 큰 구동 전류와 높은 트랜스컨덕턴스 값을 갖는다. 또한, 서브마이크론 SOI 트랜지스터는 유사한 치수로 제조된 벌크 트랜지스터과 비교할 때 짧은 채널 효과에 대한 개선된 면역을 가지고 있다.

비록 SOI 디바이스가 유사한 치수의 벌크 실리콘 디바이스에 비해 성능상의 장점을 제공하지만, SOI 디바이스는 모든 박막 트랜지스터에 공통인 몇 가지 성능 상의 문제를 가지고 있다. 예를 들어, SOI 트랜지스터의 활성 소자들은 박막 활성층에 제조된다. 박막 트랜지스터를 보다 작은 치수로 스케일링하기 위해서는 활성층의 두께를 감소시켜야만 한다. 그러나, 활성층의 두께가 감소함에 따라, 활성층의 전기적 저항이 증가한다. 이는 높은 전기적 저항을 갖는 도전체에 트랜지스터 소자를 제조하는 것은 트랜지스터의 구동 전류를 감소시키기 때문에 트랜지스터 성능에 부정적인 영향을 끼칠 수 있다. 더우기, SOI 디바이스의 활성층의 두께가 계속 감소함에 따라, 디바이스의 임계 전압(V_T)이 변하게 된다. 간단히 말해서, 활성층의 두께가 감소함에 따라, 디바이스의 임계 전압이 불안정해진다. 결국, 근래의 집적 회로 디바이스, 예를 들어, 마이크로프로세서, 메모리 디바이스, 논리 디바이스 등에 이와 같은 불안정한 디바이스의 사용은 불가능하며, 만약 사용하게 되면 그 사용이 매우 힘들어 지게 된다.

본 발명은 상술한 문제들의 일부 또는 전부를 해결 또는 적어도 감소시킬 수 있는 디바이스 및 다양한 방법에 관한 것이다.

발명의 상세한 설명

본 발명은 일반적으로 다중-두께 매립 산화물층 위에 형성된 반도체 디바이스 및 그 제조 방법에 관한 것이다. 일 실시예에서, 상기 반도체 디바이스는 벌크 기판(bulk substrate), 벌크 기판 위에 형성된 다중-두께 매립 산화물층, 및 다중-두께 매립 산화물층 위에 형성된 활성층을 포함하며, 상기 반도체 디바이스는 상기 다중-두께 매립 산화물층 위의 활성층에 형성된다. 다른 실시예에서, 상기 다중-두 께 매립 산화물층은 두개의 제2 부분 사이에 배치된 제1 부분으로 구성되며, 상기 제1 부분은 상기 제2 부분의 두께 미만의 두께를 갖는다.

일 실시예에서, 상기 반도체 디바이스 제조 방법은 실리콘 기판에 대해 제1 산소 이온 주입 공정을 수행하고, 상기 제1 산소 이온 주입 공정 후에 상기 기판 위에 마스킹 층을 형성하고, 상기 마스킹 층을 통해 제2 산소 이온 주입 공정을 실시하고, 상기 기판에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층을 상기 기판에 형성하는 것을 포함한다. 다른 실시예에서, 이 방법은 상기 기판 위에 마스킹 층을 형성하고, 상기 마스킹 층을 통해 실리콘 기판에 대해 제1 산소 이온 주입 공정을 실시하고, 상기 마스킹 층을 제거하고, 상기 마스킹 층이 제거된 후에 상기 기판에 대해 제2 산소 이온 주입 공정을 수행하고, 상기 기판에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층을 상기 기판에 형성하는 것을 포함한다.

또 다른 실시예에서, 상기 방법은 제1 기판 위에 실리콘 이산화물층을 형성하고, 상기 실리콘 이산화물층의 일부 위에 마스킹 층을 형성하고, 상기 마스킹 층의 각 측면에 인접하는 상기 기판의 리세스부를 에칭하는 적어도 한번의 에칭 공정을 수행하고, 상기 마스킹 층을 제거하는 것을 포함한다. 이 방법은 산화 공정과 증착 공정 중의 적어도 하나를 수행하여 상기 리세스부에 적어도 실리콘 이산화물을 형성하고, 상기 리세스부에 형성된 적어도 상기 실리콘 이산화물에 대해 적어도 한번의 화학적 기계적 평탄화(CMP) 공정을 수행하고, 상기 리세스부에 형성된 적어도 상기 실리콘 이산화물에 제2 기판을 접착시키고, 상기 제2 기판의 일부를 제거 하는 것을 포함한다.

도면의 간단한 설명

본 발명은 첨부 도면을 참조로한 다음의 설명을 참조하여 이해할 수 있을 것이며, 도면에서 유사한 도면부호는 유사한 요소를 가리킨다.

도 1은 본 발명의 일 실시예에 따른 예시적인 반도체 디바이스의 단면도;

도 2A 내지 도 2D는 본 발명의 반도체 디바이스의 일부를 형성하기 위한 한 예시적인 방법을 도시하는 여러 단면도;

도 3A 내지 도 3F는 본 발명에 개시된 디바이스를 형성하기 위한 방법의 다른 예시적인 실시예의 도면; 및

도 4A 내지 도 4C는 발명의 다른 예시적인 실시예에 따른 예시적인 반도체 디바이스의 예시적인 실시예를 나타내는 도면.

비록 본 발명이 다양하게 수정 가능하지만, 그 특정 실시예가 예로서 도면에 도시되고 이하 상세히 설명된다. 그러나, 특정 실시예의 설명은 본 발명을 개시된 특정 형태에 본 발명을 한정하려 의도한 것이 아니고, 그 반대로 첨부하는 청구범위에 한정된 바와 같이 본 발명의 정신과 범위 내에 드는 모든 수정, 등가, 및 대체를 포괄하도록 의도된것임을 알아야 한다.

실시예

본 발명의 예시적인 실시예가 이하 설명된다. 명료성을 위해, 실제 구현의 모든 특징이 본 명세서에 설명하지는 않는다. 물론, 이와 같은 임의의 실제 실시예에서, 실시예에 따라 변할 수 있는 시스템 관련 및 비지니스 관련 제약에의 준수와 같이 개발자가 특정 목표를 달성하기 위해 무수히 많은 구현 상의 변경이 있을 수 있다는 것을 알아야 한다. 더우기, 이와 같은 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본 개시의 이득을 갖는 당업자에게는 일상적인 작업이 될 것이다.

이제부터 본 발명을 첨부 도면을 참조하여 상세히 설명할 것이다. 비록 반도체 디바이스의 다양한 영역과 구조가 극히 정밀하고, 선명한 구성과 프로필을 갖는 것으로 도면에 도시되었지만, 당업자이면 실제로 이들 영역과 구조는 도면에 나타난 바와는 같지 않음을 알수 있을 것이다. 또한, 도면에 도시된 다양한 피쳐와 도핑 영역의 상대적인 크기는 제조된 디바이스 위의 그와 같은 피쳐 또는 영역의 크기와 비교하여 확대되거나 감소될 수 있다. 그럼에도 불구하고, 첨부 도면은 본 발명의 예시적인 실시예를 설명하기위해 포함된 것이다. 본 발명에 사용된 단어와 구들은 당업자에 의한 그와 같은 단어와 구의 이해와 일치하는 의미를 갖는 것으로 해석되어야 한다. 용어 또는 구의 특수한 어떠한 정의, 즉 당업자가 이해하는 것과 같은 통상적이고 보통의 의미와는 다른 어떠한 정의도 본 발명에 사용된 용어 또는 구의 일치하는 사용에 의해 암시되도록 의도된 것이 아니다. 용어 또는 구이 특수한 의미, 즉 당업자가 이해하는 것과

다른 의미를 포함하도록 의도된 정도로, 이와 같은 특수한 정의는 용어 또는 구에 대한 특수한 정의를 직접적이고도 모호하게 제공하는 정의적인 방법으로 본 명세서에 명확히 설명될 것이다.

전체적으로, 본 발명은 서로 다른 두께의 부분을 갖는 매립 산화물층 위에 형성된 반도체 디바이스 및 그 제조 방법에 관한 것이다. 도 1은 본 발명의 예시적 인 일 실시예에 따른 반도체 디바이스(10)의 단면도이다. 비록 본 발명이 예시적인 NMOS 트랜지스터의 형성에 대해 개시될 것이지만, 당업자는 본 명세서를 읽게 되면 본 발명이 이에 제한되어 있지 않다는 것을 알 것이다. 특히, 본 발명은 다양한 기술, 예를 들어, NMOS, PMOS, CMOS 등에 적용될 수 있고, 서로 다른 다양한 종류의 디바이스, 예를 들어, 메모리 디바이스, 마이크로프로세서, 논리 디바이스 등에 이용될 수 있다.

도 1에 도시된 바와 같이, 반도체 디바이스(100)는 벌크 기판(2), 매립 산화물층(BOX)(20), 및 활성층(21)으로 구성된 SOI형 구조물 위에 형성된다. 매립 산화물층(20)은 비교적 얇은 매립 산화물 부분(20B)에 인접하여 배치되는 비교적 두꺼운 매립 산화물 부분(20A)에 의해 표시한 바와 같이 가변 두께를 갖는다. 물론 도 1만이 전체 기판 또는 웨이퍼 중 작은 부분은 도시한다. 결과적으로, 매립 산화물층(20)은 웨이퍼 전체에 걸쳐 펼쳐진 무수히 많은 얇은 부분(20B)을 가질 것이다. 도 1에 도시된 SOI 구조물은 본 출원에서 이후에 더욱 상세히 설명될 다양한 산화물층에 의해 형성될 수 있다.

NMOS 디바이스가 형성되는 예시적인 실시예에서, 벌크 기판(12)은 P형 도펀트 재료, 예를 들어 보론, 보론 디플로우라이드(boron difluoride)로 도핑될 수 있다. 매립 산화물층(20)의 두꺼운 부분(20A)은 일 실시예에서 약 120-180nm (1200-1800Å)일 수 있는 두께를 가질 수 있는 반면, 상기 매립 산화물층(20)의 얇은 부분(20B)의 두께는 약 30-50㎚ (300-500Å)일 수 있다. 활성층(21)은 약 5-30㎚ (50-300Å)의 두께를 가질 수 있고, NMOS 디바이스의 경우, 이는 P형 도펀트 재료 로 도핑될 수 있다.

반도체 디바이스(10)는 게이트 절연층(14), 게이트 전극(16), 측벽 스페이서(19), 및 활성층(21)에 형성된 복수의 소스/드레인 영역(18)을 더 포함한다. 트렌치 격리 영역(17)은 활성층(21)에 형성되어 반도체 디바이스(10)를 다른 반도체 디바이스(도시되지 않음)로부터 전기적으로 격리시킨다. 또한 도 1에 도시된 것은 절연 재료(29), 예를 들어 실리콘 이산화물층에 형성된 복수의 도전성 콘택트(30)이다. 도전성 콘택트(30)는 디바이스(10)의 소스/드레인 영역(18)에 필요한 전기적 접속을 제공한다. 도 1에 또한 도시되어 있는 것은 기판(12)에의 전기적 접속을 만드는데 사용되는 콘택트(32)이다. 매립 산화물층(20)의 얇은 부분(20B)은 반도체 디바이스(10)의 채널 영역(23)의 밑에 배치된다는 것을 알아야 한다. 예를 들어, 도시된 실시예에서, 얇은 부분(20B)은 대략 반도체 디바이스(10)의 게이트 전극(16)과 정렬된다.

반도체 디바이스(10) 및 그 다양한 구성요소, 예를 들어 게이트 전극(16), 게이트 절연층(14), 소스/드레인 영역(18), 측벽 스페이서(19), 트렌치 격리 영역(17), 및 콘택트(30)는 모두 이와 같은 구성요소를 형성하기 위한 전통적인 산화물층을 사용하여 형성될 수 있다. 예를 들어, 게이트 절연층(14)은 실리콘 이산화물로 구성될 수 있고, 게이트 전극(16)은 도핑된 폴리실리콘으로 구성될 수 있고, 소스/드레인 영역(18)은 비교적 낮은 도우즈(low-dose)의 연장 주입 공정(extension implant process)과 다음에 비교적 높은-도우즈(high-dose)의 소스/드레인 주입 공정을 수행하여 형성될 수 있다. 따라서, 도 1에 도시된 반도체 디바이스(10)의 다 양한 구성요소를 형성하는데 사용된 특수한 산화물층과 재료들은 그 제한이 첨부하는 특허청구의 범위에 명확히 명시되어 있지 않는 한 본 발명을 제한하는 것으로 간주되어서는 않된다.

도 1에 도시된 다중-두께 매립 산화물층(20)은 다양한 산화물층에 의해 형성될 수 있다. 도 2A 내지 도 2D는 상기 매립 산화물층(20)을 형성하는 공정의 일부로서 산소 주입 산화물층을 이용한 다양한 방법을 도시한다. 예를 들어, 도 2A에 도시된 바와 같이, 화살표 42로 표시한 초기 산소 이온 주입 공정은 기판(40)에 비교적 얇은 산소 주입 층(48)을 형성하기 위해 웨이퍼(40)상에 형성될 수 있다. 한 예시적인 실시예에서, 산소 주입 공정(42)은 약 10-40keV 범위의 에너지 레벨에서 약 10^{17}-10^{18} ions/cm^2 범위의 산소 이온을 사용하여 형성될 수 있다. 결국, 산소 주입 층(48)은 기판(40)의 표면(40A) 밑 약 10-70Å에 배치될 수 있다. 필요에 따라, 산소 주입 공정은 상승 온도, 예를 들어 400-700℃에서 수행될 수 있다.

그 후, 도 2B에 도시된 바와 같이, 마스킹 층(44)이 기판(40)에 형성된다. 이 마스킹 층(44)은 다양한 재료, 예를 들어 포토레지스트를 이용할 수 있다. 다른 경우에, 이 마스킹 층(44)은 실제로 완성된 반도체 디바이스(10)가 될 게이트 전극(16)일 수 있다. 마스킹 층(44)이 형성된 후 화살표 46으로 표시한 바와 같이 제2 산소 주입 공정을 수행하여 기판(40)에 비교적 두꺼운 산소 주입 층(49)을 형성한다. 반도체 디바이스(10)를 형성하는 공정 동안, 약 950-1150℃ 범위의 온도에서 한 번 이상의 어닐링 공정을 수행하여 산소 주입층(48, 49)을 실리콘 이산화 물로 바꿔 다중-두께 매립 산화물층(20)의 부분(20A, 20B)을 형성할 수 있다. 제2 주입 공정(46)은 약 10^{17}-10^{18} ions/cm^{2}의 도핑 도우즈로 약 30-150keV의 에너지 레벨로 수행될 수 있다.

도 2C 및 도 2D는 이온 주입 공정(42 및 46)이 다른 순서로 수행되는 대체 실시예를 도시한다. 본 실시예에서는, 우

선 마스킹 층(44)이 기판(40)에 형성된다. 그 후, 산소 주입 공정(46)을 수행하여 기판(40)에 비교적 두꺼운 산소 주입 영역을 형성한다. 그후, 마스킹 층(44)을 제거하고 산소 주입 공정(42)을 수행하여 비교적 얇은 산소 주입 영역(48)을 형성한다. 이전과 같이, 한 번 이상의 어닐링 공정을 수행하여, 상기 주입된 산소층(48, 49)을 도 1에 도시된 바와 같이 비교적 두꺼운 부분(20A)과 비교적 얇은 부분(20B)로 구성된 매립 산화물층(20)으로 바꿀 수 있다.

도 3A 내지 도 3F는 도 1에 도시된 다중-두께 매립 산화물층(20)을 형성하기 위한 웨이퍼-본딩 기술을 도시한다. 도 3A에 도시된 바와 같이, 전통적인 산화 공정을 수행하여 실리콘 웨이퍼(50) 상에 비교적 얇은 실리콘 이산화물층(52)을 형성한다. 실리콘 이산화물층(52)은 약 30-70㎚ (300-700℃) 범위의 두께를 가질 수 있다. 그 후, 도 3B에 도시된 바와 같이, 상기 실리콘 이산화물층(52) 위에 마스킹 층(54)을 형성하고, 에칭 공정을 수행하여 웨이퍼(50)에 리세스부(55)를 형성한다. 한 예시적인 실시예에서, 리세스부(55)는 약 10-50㎚ (100-500Å)의 깊이를 가질 수 있고, 이 깊이는 도 1에 도시된 다중-두께 매립 산화물층(20)의 두꺼운 부분 (20A)의 소정의 최종 두께에 따라 변할 수 있다.

다음에, 마스킹 층(54)을 제거하고, 제2 산화 공정 또는 증착 공정을 사용하여 웨이퍼(50)의 리세스부(55) 실리콘 이산화물을 형성한다. 그후, 화학적 기계적 평탄화 공정을 수행하여 상기 실리콘 이산화물의 두께를 소정의 레벨로 감소시킨다. 이들 공정의 결과 도 3C에 도시된 계층화된 산화물층(stepped oxide layer)(56)이 형성되게 된다. 다음에, 도 3D에 도시된 바와 같이, 전통적인 본딩 기술을 이용하여 소정의 SOI 구조물을 완성한다. 특히, 도 3E에 도시된 바와 같이, 화살표 60으로 표시한 수소 주입 공정을 수행하고, 웨이퍼(58)의 벌크를 제거한다. 다음에, 웨이퍼(58)의 나머지 부분의 표면(59)에 대해 화학적 기계적 평탄화 공정을 수행하여 위에 활성층(21)이 형성된 두꺼운 부분(20A)과 얇은 부분(20B)으로 구성된 매립 산화물층(20)을 갖는 최종 SOI 구조물이 완성된다.

도 4A에 도시된 바와 같은 본 발명의 다른 실시예에서, 도핑된 백 게이트 영역(doped back gate region)(13)이 벌크 기판(12)에 형성될 수 있다. 한 예시적인 실시예에서, 백 게이트 영역(13)의 부분들은 다중-두께 매립 산화물층(20)의 밑에 형성된다. 백 게이트 영역(13)은 반도체 디바이스(10)의 채널 영역(23)을 도핑하는데 사용된 도펀트 종류와 동일한 종류의 도펀트 재료로 도핑될 수 있다. 예를 들어, NMOS 디바이스의 경우, 백 게이트 영역(13)은 N형 도펀트 재료로 도핑될 수 있다. 물론, 당업자는 본 발명을 읽음으로써 잘알 수 있는 바와 같이, 본 발명의 특징은 예를 들어 도 1에 도시된 반도체 디바이스(10)에서와 같이 백 게이트 영역(13)을 형성하지 않고 반도체 디바이스에 이용될 수 있다. 백 게이트 영역(13)에 전기적 접촉을 제공하기 위한 콘택트(31)를 제공할 수 있다.

백 게이트 영역(13)이 형성되는 경우에, 이는 한번 또는 다수의 이온 주입 공정에 의해 형성될 수 있다. NMOS 디바이스의 경우, 도 4B에 화살표 70으로 가리킨 바와 같이 초기 이온 주입 공정을 수행하여 기판(12)에 주입 영역(72)을 형성할 수 있다. 명확히 하기 위해, 다중-두께 매립 산화물층(20)은 도 4B 및 도 4C에 굵은 점선으로 표시하였다. 초기 주입 공정(70)은 약 10^{15} -10^{16} ions/cm^2 및 약 50-80keV의 에너지 레벨로 비소를 사용하여 수행될 수 있다. 그후, 도 4C에 도시된 바와 같이, 화살표 80으로 가리킨 바와 같이 제2 이온 주입 공정을 수행하여 기판(12)에 주입 영역(82)을 형성할 수 있다. 한 예시적인 실시예에서, 주입 공정(80)은 약 10^{17} -10^{18} ions/cm^2 및 약 50-200keV의 에너지 레벨로 비소를 사용하여 수행될 수 있다. 주입 공정(70 및 80)이 수행된 후, 한 번 이상의 어닐링 공정을 수행하여 실리콘 기판의 손상된 격자 구조를 교정하고 주입된 도펀트 재료를 도 4A에 도시된 백 게이트 영역(13)의 최종 위치로 위치시킨다.

본 발명은 일반적으로 다중-두께 매립 산화물층 위에 형성된 반도체 디바이스 및 그 제조 방법에 관한 것이다. 일 실시예에서, 이 디바이스는 벌크 기판, 벌크 기판 위에 형성된 다중-두께 매립 산화물층, 및 다중-두께 매립 산화물층 위에 형성된 활성층을 포함하되, 상기 반도체 디바이스는 상기 다중-두께 매립 산화물층 위의 활성층에 형성된다. 다른 실시예에서, 상기 다중-두께 매립 산화물층은 두개의 제2 부분 사이에 배치된 제1 부분으로 구성되되, 상기 제1 부분은 상기 제2 부 분의 두께 미만의 두께를 갖는다.

일 실시예에서, 이 방법은 실리콘 기판에 대해 제1 산소 이온 주입 공정을 수행하고, 상기 제1 산소 이온 주입 공정 후에 상기 기판 위에 마스킹 층을 형성하고, 상기 마스킹 층을 통해 제2 산소 이온 주입 공정을 실시하고, 상기 기판에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층을 상기 기판에 형성하는 것을 포함한다. 다른 실시예에서, 이 방법은 상기 기판위에 마스킹 층을 형성하고, 상기 마스킹 층을 통해 실리콘 기판에 대해 제1 산소 이온 주입 공정을 실시하고, 상기 마스킹 층을 제거하고, 상기 마스킹 층이 제거된 후에 상기 기판에 대해 제2 산소 이온 주입 공정을 수행하고, 상기 기판에 대해 적어도 한번의 가열 공정을 실시하여 다중-두께 매립 산화물층을 상기 기판에 형성하는 것을 포함한다.

또 다른 실시예에서, 이 방법은 제1 기판 위에 실리콘 이산화물층을 형성하고, 상기 실리콘 이산화물층의 일부 위에 마스킹 층을 형성하고, 상기 마스킹 층의 각 측면에 인접하는 상기 기판의 리세스부를 에칭하는 적어도 한번의 에칭 공정을 수행하고, 상기 마스킹 층을 제거하는 것을 포함한다. 이 방법은 산화 공정과 증착 공정 중의 적어도 하나를 수행하여 상기 리세스부에 적어도 실리콘 이산화물을 형성하고, 상기 리세스부에 형성된 적어도 상기 실리콘 이산화물에 대해 적어도 한번의 화학적 기계적 평탄화(CMP) 공정을 수행하고, 상기 리세스부에 형성된 적어도 상기 실리콘 이산화물에 제2 기판을 접착시키고, 상기 제2 기판의 일부를 제거하는 것을 포함한다.

상기 개시된 특정 실시예는 예시적인 것이며, 본 발명은 본 발명 개시의 이 득을 갖는 당업자에 명확한 바와같이, 수정되고 실시될 수 있다. 더욱이, 이하의 청구범위에 설명된 것 이외의 도시된 구성 또는 설계의 상세한 설명에 어떠한 제한도 없다. 따라서, 개시된 특정 실시예는 수정 또는 변경될 수 있고, 이와 같은 모든 변경은 본 발명의 정신과 범위 내에 포함되는 것으로 간주된다. 따라서, 본 발명이 보호하고자 하는 사항은 이하의 청구범위에 나타나 있다.

(57) 청구의 범위

청구항 1.

반도체 디바이스에 있어서,

벌크 기판(12);

상기 벌크 기판(12)위에 형성되는 다중-두께 매립 산화물층(20); 및

상기 다중-두께 매립 산화물층(20) 위에 형성되는 활성층(21)을 포함하며,

상기 반도체 디바이스는 상기 다중-두께 매립 산화물층(20) 위의 상기 활성층(21)에 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 2.

제1항에 있어서, 상기 반도체 디바이스는 트랜지스터인 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제1항에 있어서, 상기 활성층은 실리콘으로 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제1항에 있어서, 상기 매립 산화물층은 실리콘 이산화물로 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 5.

제1항에 있어서, 상기 다중-두께 매립 산화물층(20)은 두개의 제2 부분(20A) 사이에 배치된 제1 부분(20B)을 포함하며, 상기 제1 부분(20B)은 두께를 가지며 상 기 제2 부분(20A)의 각각은 두께를 가지며, 상기 제1 부분(20B)의 상기 두께는 상기 제2 부분(20A)의 상기 두께 미만인 것을 특징으로 하는 반도체 디바이스.

청구항 6.

제1항에 있어서, 상기 반도체 디바이스는 채널 영역(23)을 갖는 트랜지스터이고, 상기 채널 영역(23)의 적어도 일부는 상기 매립 산화물층(20)의 나머지 부분의 두께 미만인 두께를 갖는 상기 매립 산화물층(20)의 구간 위에 배치되는 것을 특징으로 하는 반도체 디바이스.

청구항 7.

제1항에 있어서, 상기 반도체 디바이스는 게이트 전극(16)으로 구성된 트랜지스터이고, 상기 다중-두께 매립 산화물층(20)은 두개의 제2 부분(20A) 사이에 배치된 제1 부분(20B)을 가지며, 상기 제1 부분(20B)은 두께를 가지며, 상기 제2 부분(20A)의 각각은 두께를 가지며, 상기 제1 부분(20B)의 상기 두께는 상기 제2 부분(20A)의 두께 미만이고, 상기 제1 부분(20B)은 상기 게이트 전극(16) 밑에 적어도 부분적으로 배치되는 것을 특징으로 하는 반도체 디바이스.

청구항 8.

제1항에 있어서, 상기 반도체 디바이스는 게이트 전극(16)으로 구성된 트랜지스터이고, 상기 다중-두께 매립 산화물층(20)은 두개의 제2 부분(20A) 사이에 배치된 제1 부분(20B)을 가지며, 상기 제1 부분(20B)은 두께를 가지며 상기 제2 부분(20A)의 각각은 두께를 가지며, 상기 제1 부분(20B)의 상기 두께는 상기 제2 부분(20A)의 두께 미만이고, 상기 제1 부분(20B)은 상기 게이트 전극(16)과 실질적으로 정렬되는 것을 특징으로 하는 반도체 디바이스.

청구항 9.

반도체 디바이스를 형성하는 방법에 있어서,

실리콘 기판(40)에 대해 제1 산소 이온 주입 공정(42)을 수행하는 단계;

상기 제1 산소 이온 주입 공정(42) 후에 상기 기판(40) 위에 마스킹 층(44)을 형성하는 단계;

상기 마스킹 층(44)을 통해 상기 기판(40)에 대해 제2 산소 이온 주입 공정(46)을 수행하는 단계; 및

상기 기판(40)에 대해 적어도 한번의 어닐링 공정을 수행하여 상기 기판(40)에 다중-두께 매립 산화물층(20)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 10.
제9항에 있어서, 상기 제1 산소 이온 주입 공정(42)은 약 10-40keV 범위의 에너지 레벨에서 약 10^{17}-10^{18} ions/cm^2 범위의 산소 도펀트 도우즈를 사용하여 수행되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 11.
제9항에 있어서, 상기 제2 산소 이온 주입 공정(46)은 약 30-150keV 범위의 에너지 레벨에서 약 10^{17}-10^{18} ions/cm^2 범위의 산소 도펀트 도우즈를 사용하여 수행되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 12.
반도체 디바이스를 형성하는 방법에 있어서,

실리콘 기판(40) 상에 마스킹 층(44)을 형성하는 단계;

상기 마스킹 층(44)을 통해 상기 기판에 대해 제1 산소 이온 주입 공정(46)을 수행하는 단계;

상기 마스킹 층(44)을 제거하는 단계;

상기 마스킹 층(44)이 제거된 후 상기 기판(40)에 대해 제2 산소 이온 주입 공정(42)을 수행하는 단계; 및

상기 기판(40)에 대해 적어도 한번의 가열 공정을 수행하여 상기 기판(40)에 다중-두께 매립 산화물층(20)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 13.
제12항에 있어서,

상기 제2 산소 이온 주입 공정(42)은 약 10-40keV 범위의 에너지 레벨에서 약 10^{17}-10^{18} ions/cm^2 범위의 산소 도펀트 도우즈를 사용하여 수행되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 14.
제12항에 있어서,

상기 제1 산소 이온 주입 공정(46)은 약 10-40keV 범위의 에너지 레벨에서 약 10^{17}-10^{18} ions/cm^2 범위의 산소 도펀트 도우즈를 사용하여 수행되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 15.
반도체 디바이스를 형성하는 방법에 있어서,

제1 기판(50) 위에 실리콘 이산화(silicon dioxide)층(52)을 형성하는 단계;

상기 실리콘 이산화물층(52) 일부 위에 마스킹 층(54)을 형성하는 단계;

적어도 한번의 에칭 공정을 수행하여 상기 마스킹 층의 각 측면에 인접한 상기 기판에 리세부(55)를 형성하는 단계;

상기 마스킹 층(54)을 제거하는 단계;

산화 공정 및 증착 공정 중 적어도 하나를 수행하여 적어도 상기 리세스부(55)에 실리콘 이산화물을 형성하는 단계;

상기 리세스부(55)에 형성된 적어도 상기 실리콘 이산화물에 대해 적어도 한번의 화학적 기계적 평탄화 공정을 수행하는 단계;

제2 기판(58)을 상기 리세스부(55)에 형성된 적어도 상기 실리콘 이산화물에 본딩시키는 단계; 및

상기 제2 기판(58)의 일부를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

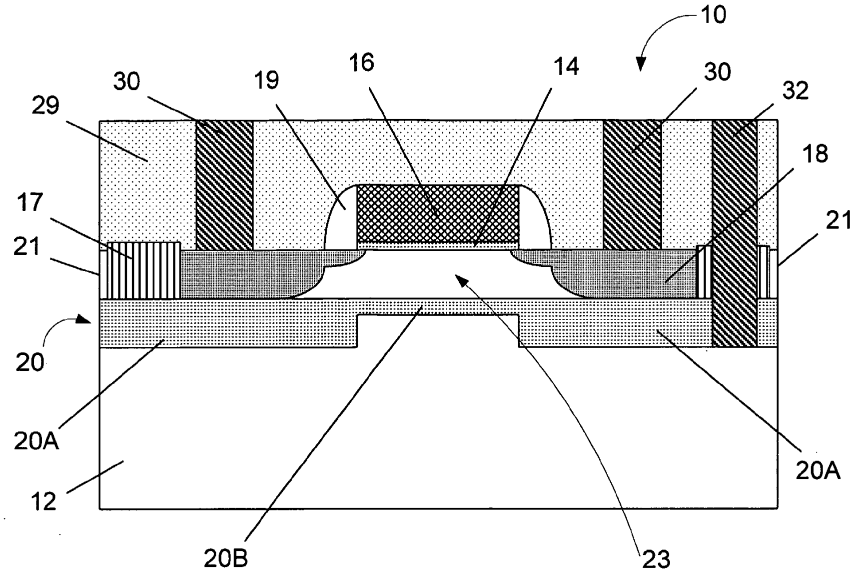
청구항 16.

제15항에 있어서,

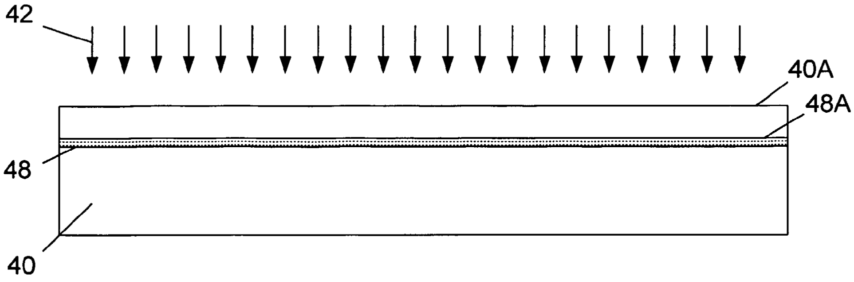
적어도 한번의 에칭 공정을 수행하여 상기 마스킹 층의 각 측면에 인접한 상기 기판에 리세부(55)를 형성하는 단계는 적어도 한번의 에칭 공정을 수행하여 상기 마스킹 층(54)의 각 측면에 인접한 상기 기판(50)에 약 10-50㎚ 범위의 깊이를 갖는 리세스부(55)를 형성하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

도면

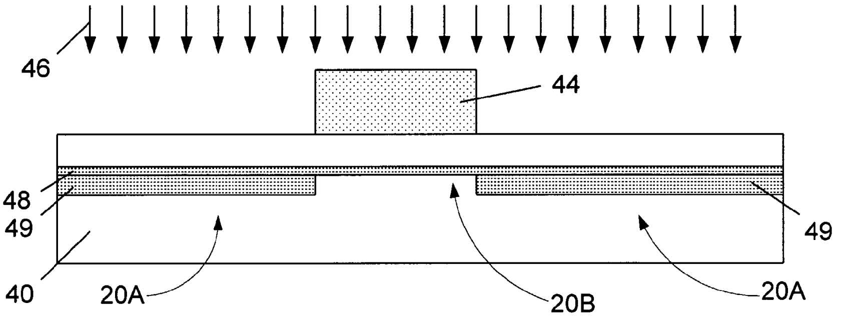
도면1



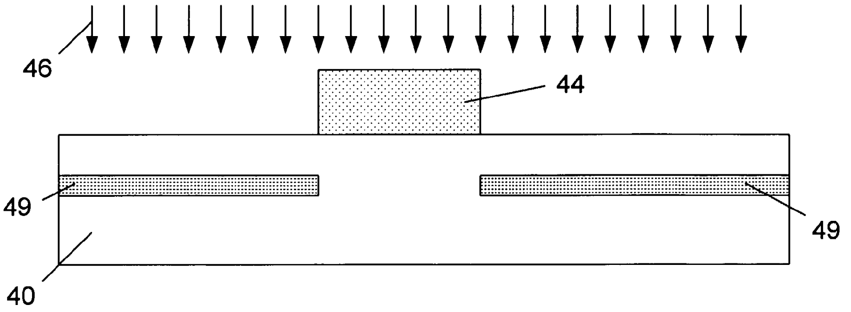
도면2A



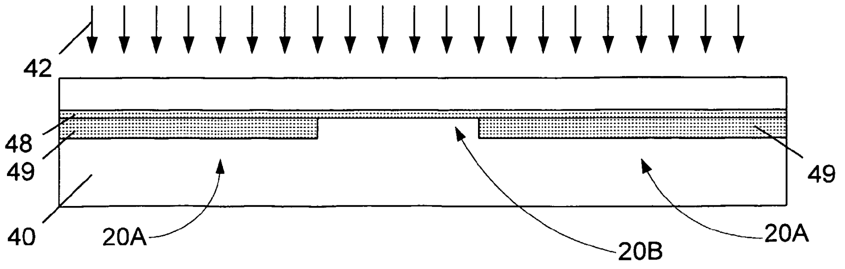
도면2B



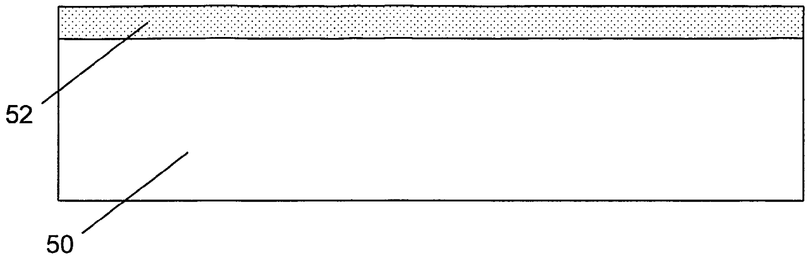
도면2C



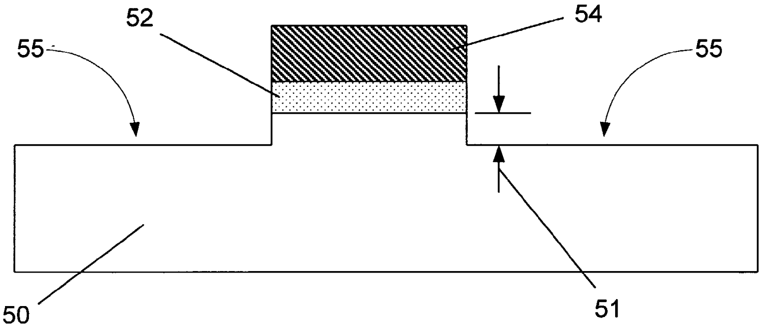
도면2D



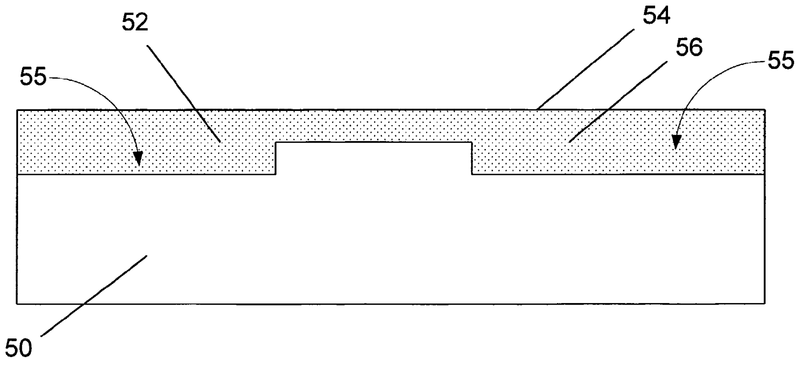
도면3A



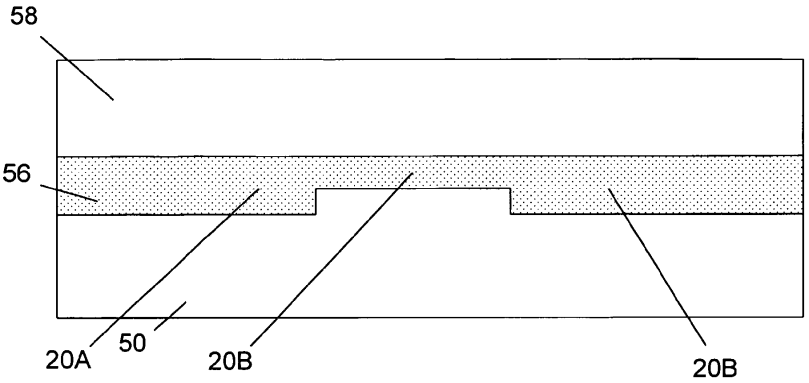
도면3B



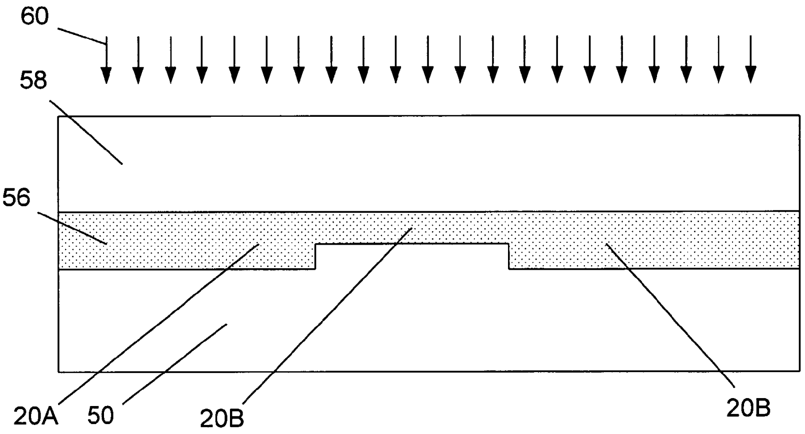
도면3C



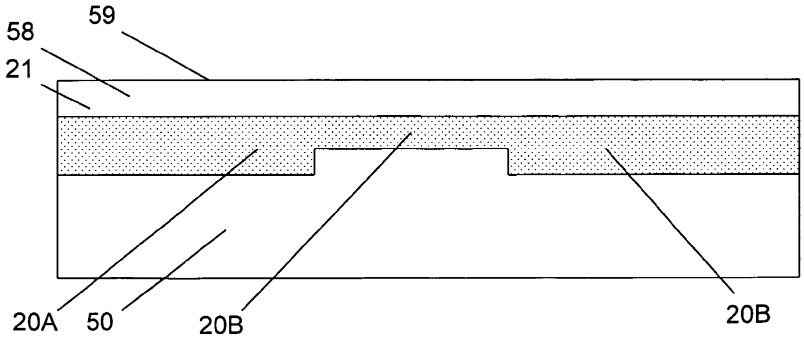
도면3D



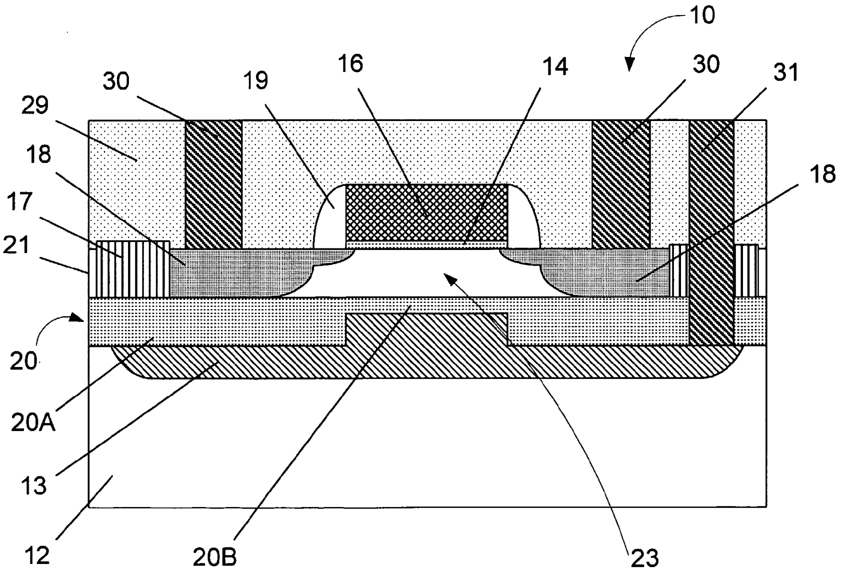
도면3E



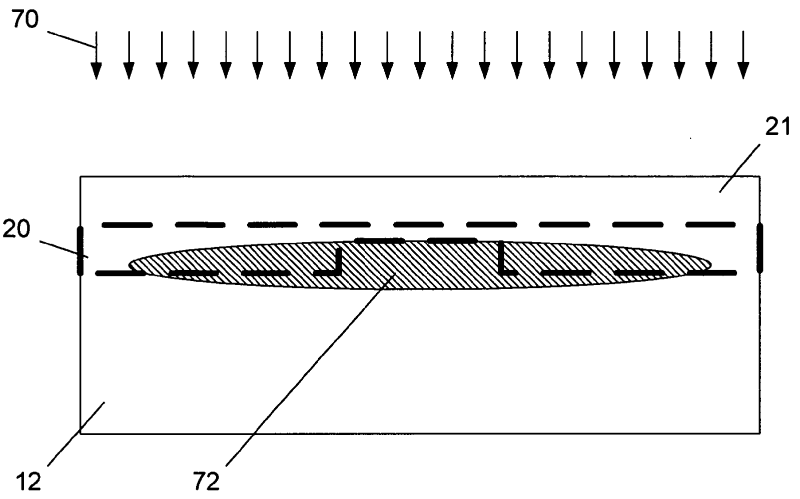
도면3F



도면4A



도면4B



도면4C