

- (56) 선행기술조사문헌
KR1020050121357 A
KR1020050114850 A
KR1020050096568 A
KR1020050094010 A
KR1020050037657 A
KR1020040070537 A
-

특허청구의 범위

청구항 1

입력 단자, 출력 단자, 제1클록 단자 및 리셋트 단자와,
 상기 제1클록 단자에 입력되는 제1클록 신호를 상기 출력 단자에 공급하는 제1트랜지스터와,
 상기 입력 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 충전하고, 상기 리셋트 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 방전함으로써 이 제1트랜지스터를 구동하는 구동 회로와,
 상기 제1트랜지스터의 제어 전극이 방전된 상태일 때, 상기 제1클록 신호에 의거하여 상기 제1트랜지스터의 제어 전극과 상기 출력 단자 사이를 전도시키는 스위칭 회로를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 2

삭제

청구항 3

제 1항에 있어서,
 상기 스위칭 회로는, 상기 출력 단자와 상기 제1트랜지스터의 제어 전극 사이에 접속한 제2트랜지스터이며,
 상기 제2트랜지스터의 제어 전극은, 상기 제1클록 단자에 접속하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 4

제 1항에 있어서,
 상기 스위칭 회로는, 상기 출력 단자와 상기 제1트랜지스터의 제어 전극 사이에 접속한 제2트랜지스터이며,
 상기 제1클록 신호의 진폭을 소정값 만큼 작게 하고나서 상기 제2트랜지스터의 제어 전극에 공급하는 레벨 조정 회로를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 5

제 4항에 있어서,
 상기 레벨 조정 회로는,
 상기 제2트랜지스터의 제어 전극과 상기 제1클록 단자 사이에 접속하고, 상기 제2트랜지스터의 제어 전극으로부터 상기 제1클록 단자로의 방향을 방전 방향으로 하는 일방향성의 스위칭소자를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 6

제 4항에 있어서,
 상기 레벨 조정 회로는,
 상기 제2트랜지스터의 제어 전극과 상기 제1클록 단자 사이에 접속하고, 상기 제1클록 단자로부터 상기 제2트랜지스터의 제어 전극으로의 방향을 충전 방향으로 하도록 다이오드 접속된 제3트랜지스터와,
 상기 제1클록 신호와는 위상이 다른 제2클록 신호가 입력되는 제어 전극을 가지고, 상기 제2트랜지스터의 제어 전극을 방전하는 제4트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 7

제 6항에 있어서,

상기 레벨 조정 회로는, 상기 제3트랜지스터를 복수개 구비하고,

상기 복수의 제3트랜지스터는, 상기 제2트랜지스터의 제어 전극과 상기 제1클록 단자 사이에 서로 직렬로 접속하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 8

제 1항에 있어서,

상기 제1트랜지스터의 제어 전극이 접속하는 노드를 입력 노드로 하고, 상기 제1클록 신호와는 위상이 다른 제3클록 신호에 의해 활성화되는 인버터와,

상기 인버터의 출력 노드의 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 방전하는 제5트랜지스터를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 9

제 8항에 있어서,

상기 제5트랜지스터는, 상기 제1트랜지스터의 제어 전극과 상기 제1클록 단자 사이에 접속하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 10

제 8항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 상기 제3클록 신호가 공급되는 제2클록 단자 사이에 접속하고, 이 제2클록 단자에 접속한 제어 전극을 가지는 제7트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 11

제 8항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 소정의 제2전원단자 사이에 접속하고, 상기 제3클록 신호가 공급되는 제2클록 단자에 접속한 제어 전극을 가지는 제7트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 12

삭제

청구항 13

제 10항 또는 제 11항에 있어서,

상기 인버터가 비활성이 될 때에, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제1전원단자 사이에 접속하고, 상기 제1클록 단자에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 14

제 10항 또는 제 11항에 있어서,

상기 인버터가 비활성이 될 때에, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제2클록 단자 사이에 접속하고, 상기 제1클록 단자에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 15

제 10항 또는 제 11항에 있어서,

상기 인버터가 비활성이 될 때에, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제2클록 단자 사이에 접속하고, 상기출력 노드에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 16

제 8항 또는 제 9항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 상기 제3클록 신호가 공급되는 제2클록 단자 사이에 접속한 제1용량소자를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 17

제 8항 내지 제 11항 중 어느 한 항에 있어서,

상기 인버터의 출력 노드의 신호에 의거하여 상기 출력 단자를 방전하는 제9트랜지스터를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 18

제 17항에 있어서,

상기 제9트랜지스터는,

상기 출력 단자에 접속한 하나의 주전극, 상기 인버터의 상기 출력 노드에 접속한 제어 전극 및 상기 제3클록 신호와는 위상이 다른 제4클록 신호가 공급되는 다른 주전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 19

제 1항에 있어서,

상기 입력 단자를 입력 노드로 하고, 상기 제1클록 신호와는 위상이 다른 제3클록 신호에 의해 활성화되는 인버터와,

상기 인버터의 출력 노드의 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 방전하는 제5트랜지스터를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 20

제 19항에 있어서,

상기 제5트랜지스터는, 상기 제1트랜지스터의 제어 전극과 상기 제1클록 단자 사이에 접속하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 21

제 19항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 상기 제3클록 신호가 공급되는 제2클록 단자 사이에 접속하고, 이 제2클록 단자에 접속한 제어 전극을 가지는 제7트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 22

제 19항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 소정의 제2전원단자 사이에 접속하고, 상기 제3클록신호가 공급되는 제2클록 단자에 접속한 제어 전극을 가지는 제7트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 23

삭제

청구항 24

제 21항 또는 제 22항에 있어서,

상기 인버터가 비활성이 될 때, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제1전원단자 사이에 접속하고, 상기 제1클록 단자에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 25

제 21항 또는 제 22항에 있어서,

상기 인버터가 비활성이 될 때, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제2클록 단자 사이에 접속하고, 상기 제1클록 단자에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 26

제 21항 또는 제 22항에 있어서,

상기 인버터가 비활성이 될 때, 이 인버터의 상기 출력 노드를 방전하는 제8트랜지스터를 더 구비하며,

상기 제8트랜지스터는, 상기 인버터의 상기 출력 노드와 상기 제2클록 단자 사이에 접속하고, 상기 출력 노드에 접속한 제어 전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 27

제 19항 또는 제 20항에 있어서,

상기 인버터는,

이 인버터의 상기 출력 노드와 소정의 제1전원단자 사이에 접속하고, 그 제어 전극이 이 인버터의 상기 입력 노드가 되는 제6트랜지스터와,

상기 출력 노드와 상기 제3클록 신호가 공급되는 제2클록 단자 사이에 접속한 제1용량소자를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 28

제 19항 내지 제 22항 중 어느 한 항에 있어서,

상기 인버터의 출력 노드의 신호에 의거하여 상기 출력 단자를 방전하는 제9트랜지스터를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 29

제 28항에 있어서,

상기 제9트랜지스터는,

상기 출력 단자에 접속한 하나의 주전극, 상기 인버터의 상기 출력 노드에 접속한 제어 전극 및 상기 제3클록 신호와는 위상이 다른 제4클록 신호가 공급되는 다른 주전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 30

제 1항, 제 3항, 제 4항, 제 5항, 제 6항, 제 7항, 제 8항, 제 9항, 제 10항, 제 11항, 제 19항, 제 20항, 제 21항 또는 제 22항 중 어느 한 항에 있어서,

상기 제1클록 신호와는 위상이 다른 제4클록 신호에 의거하여 상기 출력 단자를 방전하는 제9트랜지스터를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 31

제 30항에 있어서,

상기 제9트랜지스터는,

상기 출력 단자에 접속한 하나의 주전극, 상기 제4클록 신호가 입력되는 제어 전극 및 상기 제4클록 신호와는 위상이 다른 제5클록 신호가 공급되는 다른 주전극을 가지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 32

제 1항, 제 3항, 제 4항, 제 5항, 제 6항, 제 7항, 제 8항, 제 9항, 제 10항, 제 11항, 제 19항, 제 20항, 제 21항 또는 제 22항 중 어느 한 항에 있어서,

상기 구동회로는,

상기 제1트랜지스터의 제어 전극과 소정의 제1전원단자 사이에 접속하고, 상기 리셋트 단자에 접속한 제어 전극을 가지는 제10트랜지스터와,

상기 제1트랜지스터의 제어 전극과 상기 입력 단자 사이에 접속하고, 이 입력 단자에 접속한 제어 전극을 가지는 제11트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 33

제 1항, 제 3항, 제 4항, 제 5항, 제 6항, 제 7항, 제 8항, 제 9항, 제 10항, 제 11항, 제 19항, 제 20항, 제 21항 또는 제 22항 중 어느 한 항에 있어서,

상기 구동회로는,

상기 제1트랜지스터의 제어 전극과 소정의 제1전원단자 사이에 접속하고, 상기 리셋트 단자에 접속한 제어 전극을 가지는 제10트랜지스터와,

상기 제1트랜지스터의 제어 전극과 소정의 제2전원단자 사이에 접속하고, 상기 입력 단자에 접속한 제어 전극을 가지는 제11트랜지스터를 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 34

제 1항, 제 3항, 제 4항, 제 5항, 제 6항, 제 7항, 제 8항, 제 9항, 제 10항, 제 11항, 제 19항, 제 20항, 제 21항 또는 제 22항 중 어느 한 항에 있어서,

상기 출력 단자와 상기 제1트랜지스터의 제어 전극 사이에 접속하는 제2용량소자를 더 구비하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 35

제 1항, 제 3항, 제 4항, 제 5항, 제 6항, 제 7항, 제 8항, 제 9항, 제 10항, 제 11항, 제 19항, 제 20항, 제 21항 또는 제 22항 중 어느 한 항에 기재된 시프트 레지스터 회로가 여러개 종속 접속하여 이루어지는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 36

복수의 시프트 레지스터 회로가 종속 접속하여 이루어지는 복수단의 시프트 레지스터 회로로서,
 상기 복수단의 각 단은, 청구항 4 내지 청구항 7 중 어느 한 항 기재의 시프트 레지스터 회로이며,
 상기 레벨 조정 회로는,
 2이상의 단의 시프트 레지스터 회로에 의해 공유되고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 37

복수단으로 이루어지는 시프트 레지스터 회로로서,
 상기 복수단의 각 단은, 청구항 6 또는 청구항 7 기재의 시프트 레지스터 회로이며,
 상기 레벨 조정 회로의 상기 제4트랜지스터는,
 2이상의 단의 시프트 레지스터 회로에 의해 공유되고 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 38

제 36항에 있어서,
 상기 각 단의 시프트 레지스터 회로 및 상기 레벨 조정 회로의 상기 제1클록 단자에 소정의 클록 신호를 공급하기 위한 클록 배선과,
 상기 클록 배선에 상기 소정의 클록 신호를 입력하기 위한 접속 단자를 더 구비하고,
 상기 레벨 조정 회로는,
 상기 접속 단자의 근처에서, 혹은 상기 복수단 중 상기 접속 단자에 가장 가까운 단의 근처에 배치되어 있는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 39

복수단으로 이루어지는 시프트 레지스터 회로를 게이트 선 구동회로로 하는 화상표시장치로서,
 상기 복수단의 각 단이,
 입력 단자, 출력 단자, 제1클록 단자 및 리셋트 단자와,
 상기 제1클록 단자에 입력되는 제1클록 신호를 상기 출력 단자에 공급하는 제1트랜지스터와,
 상기 입력 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 충전하고,
 상기 리셋트 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 방전함으로써 이 제1트랜지스터를 구동하는 구동회로와,
 상기 제1트랜지스터의 제어 전극이 방전된 상태일 때, 상기 제1클록 신호에 의거하여 상기 제1트랜지스터의 제어 전극과 상기 출력 단자 사이를 전도시키는 스위칭 회로를 구비하는 것을 특징으로 하는 화상표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <47> 본 발명은 시프트 레지스터회로에 관한 것으로서, 특히, 예를 들면 화상표시장치의 주사선 구동회로 등에 사용되는, 동일 도전형의 전계 효과 트랜지스터에 의해서만 구성되는 시프트 레지스터 회로에 관한 것이다.
- <48> 액정표시장치 등의 화상표시장치(화소 (이하 「표시장치」)에서는, 복수의 화소가 행렬 모양으로 배열된 표시 패널의 화소행(화소 라인)마다 게이트 선(주사선)이 배치되고, 표시신호의 1수평 기간의 주기로 그 게이트 선을 순차 선택하여 구동함으로써 표시화상의 갱신이 행해진다. 그와 같이 화소 라인 즉 게이트 선을 순차 선택하여 구동하기 위한 게이트 선 구동회로(주사선 구동회로)로서는, 표시 신호의 1프레임 기간에서 일순하는 시프트 동작을 행하는 시프트 레지스터를 이용할 수 있다.
- <49> 게이트 선 구동회로에 사용되는 시프트 레지스터는, 표시장치의 제조 프로세스에 있어서의 공정수를 적게 하기 위해, 동일 도전형의 전계효과 트랜지스터만으로 구성되는 것이 바람직하다. 이 때문에, N형 또는 P형의 전계효과 트랜지스터만으로 구성된 시프트 레지스터 및 그것을 탑재하는 표시장치가 여러가지로 제안되고 있다(예를 들면 특허문헌 1). 전계효과 트랜지스터로서는, MOS(Metal Oxide Semiconductor)트랜지스터나 박막트랜지스터(TFT:Thin Film Transistor)등이 사용된다.
- <50> 또한 게이트 선 구동회로로서의 시프트 레지스터는, 하나의 화소 라인 즉 하나의 게이트 선 마다 설치된 복수의 시프트 레지스터 회로가 종속 접속(캐스캐이드 접속)하여 구성된다. 본 명세서에서는 설명의 편의상, 게이트 선 구동회로를 구성하는 복수의 시프트 레지스터 회로의 각각을 「단위 시프트 레지스터」라고 칭한다.
- <51> [특허문헌 1] 특표평 10-500243호

발명이 이루고자 하는 기술적 과제

- <52> 특허문헌 1에는, 종래의 것(예를 들면 특허문헌 1의 도 2)보다 회로 내의 트랜지스터의 수가 적어지도록 구성된 단위 시프트 레지스터가 개시되어 있다. 특허문헌 1의 단위 시프트 레지스터(본 명세서의 도 3참조)는, 소정의 제1클록 신호가 입력되는 제1클록 단자(CK1)와 출력 단자(OUT) 사이에 접속하는 출력 풀업 트랜지스터로서의 제1트랜지스터(Q1)를 구비하고 있다. 제1트랜지스터는, 소정의 입력 신호(G_{n-1})에 따라 온이 되며, 또한 소정의 리셋 신호(G_{n-1})에 따라 오프가 된다. 그리고, 단위 시프트 레지스터의 출력 신호(G_n)는, 입력 신호에 의해 제1트랜지스터가 온이 되어 제1클록 신호가 출력단자에 전달됨으로써 출력된다.
- <53> 한편, 이 단위 시프트 레지스터가 출력 신호를 출력하지 않는 기간은, 제1클록 신호가 출력 단자에 전달되지 않도록 제1트랜지스터는 오프 상태로 유지된다. 따라서 그 동안은, 상기의 입력 신호는 입력되지 않는다. 그러나 실제로는, 제1트랜지스터가 오프 상태일 때 제1클록 신호가 입력되면, 제1트랜지스터의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해 이 제1트랜지스터의 게이트 전위가 상승하고자 한다. 그에 따라 게이트 전위가 제1트랜지스터의 임계값 전압을 넘게 되면, 오프 상태로 유지되어야 할 제1트랜지스터가 필요없이 온하여, 단위 시프트 레지스터의 오동작을 초래한다.
- <54> 특허문헌 1의 단위 시프트 레지스터에서는 그 오동작을 방지하기 위해, 제1트랜지스터의 게이트에, 제1용량소자(C2)를 통해, 제1클록 신호의 상보 신호인 제2클록 신호(/CLK)가 인가된다. 다시 말해, 제1클록 신호에 기인하는 제1트랜지스터의 게이트 전위의 변동은, 제2클록 신호로 없앴으로써, 이 게이트 전위가 상승하는 것을 방지하고 있는 것이다.
- <55> 그러나, 이와 같은 단위 시프트 레지스터가 출력 신호를 출력할 때, 출력 단자 즉 제1트랜지스터의 소스가 상승하여 H(High)레벨이 된다. 따라서 가령 제1트랜지스터의 게이트 전위가 일정하다고 하면, 출력 신호가 출력되는 동안은 제1트랜지스터의 게이트·소스간 전압이 작아져 이 제1트랜지스터의 구동 능력(전류를 흐르게 하는 능력)이 저하한다. 그렇게 되면 출력 신호의 상승 및 하강 속도가 늦어져 동작의 고속화가 곤란하게 된다는 문제가 발생한다. 특히 표시 장치의 게이트 선 구동회로는, 화소로의 데이터 기록 시간을 충분히 확보하기 위해, 게이트 선을 고속으로 충전하여 활성화시킬 필요가 있기 때문에, 제1트랜지스터의 구동능력 즉 단위 시프트 레지스터의 구동 능력의 저하는 큰 문제가 된다.
- <56> 그래서 특허문헌 1의 단위 시프트 레지스터에서는 또한, 출력 단자와 제1트랜지스터의 게이트 사이에도 제2용량소자(C1)가 설치되어 있고, 출력 신호의 출력시에는, 이 제2용량소자를 통한 결합에 의해 제1트랜지스터의 게이트가 승압되도록 되어 있다. 즉, 출력 단자의 전위가 상승한 경우에도, 그와 함께 제1트랜지스터의 게이트 전위도 상승하므로 이 제1트랜지스터의 게이트·소스간 전압은 크게 유지된다. 따라서, 출력 신호의 출력시에 있어

서의 제1트랜지스터의 구동능력의 저하를 억제할 수 있는 효과를 얻을 수 있다.

- <57> 그러나 특허문헌 1의 단위 시프트 레지스터에서는, 전술한 바와 같이, 제1트랜지스터(Q1)의 게이트에는 제1클록 신호(CLK)에 기인하는 게이트 전위의 상승을 억제하기 위한 제1용량소자(C2)가 접속되어 있다. 이 제1용량소자는, 출력 신호의 출력시에도 제1트랜지스터의 게이트 전위의 변동을 억제하도록 작용하므로, 제2용량소자(C1)에 의한 제1트랜지스터의 게이트의 승압 작용도 또한 억제되게 된다. 즉, 출력 신호의 출력시에 제1트랜지스터의 구동능력의 저하를 억제한다는 제2용량소자(C1)가 나타내는 효과가, 제1용량소자의 (C2)의 작용에 의해 약해지게 된다. 그 결과, 제1트랜지스터의 구동능력을 충분히 확보할 수 없게 되면, 동작의 고속화가 곤란하게 된다는 문제가 있다.
- <58> 이상과 같이, 특허문헌 1의 단위 시프트 레지스터에 있어서는, 출력 신호를 출력하지 않는 기간의 오동작을 방지하는 제1용량소자의 작용이, 출력 신호를 출력하는 기간에 이 시프트 레지스터의 구동능력을 확보한다는 제2용량소자의 효과를 약화시키는 결과가 되고 있어, 그 2가지의 작용은 이율배반의 관계에 있다고 할 수 있다.
- <59> 본 발명은 이상의 문제를 해결하기 위한 것으로, 출력 신호를 출력하지 않는 기간의 오동작을 방지함과 동시에, 출력 신호를 출력하는 기간에 있어서의 구동능력의 저하를 방지하는 것이 가능한 시프트 레지스터 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <60> 본 발명에 따른 시프트 레지스터 회로는, 제1클록 단자에 입력되는 제1클록 신호를 출력 단자에 공급하는 제1트랜지스터와, 소정의 입력 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 충전하고, 소정의 리셋 단자에 입력되는 신호에 의거하여 상기 제1트랜지스터의 제어 전극을 방전함으로써 이 제1트랜지스터를 구동하는 구동회로와, 상기 제1트랜지스터의 제어 전극이 방전된 상태일 때, 상기 제1클록 신호에 의거하여 상기 제1트랜지스터의 제어 전극과 상기 출력 단자 사이를 전도시키는 스위칭 회로를 구비하는 것이다.
- <61> 이하, 본 발명의 실시예를 도면을 참조하면서 설명한다. 또한, 설명이 중복되어 장황하게 되는 것을 피하기 위해, 각 도에 있어서 동일 또는 상당하는 기능을 가지는 요소에는 동일한 부호를 붙이고 있다.
- <62> <실시예 1>
- <63> 도 1은, 본 발명의 실시예 1에 따른 표시장치의 구성을 나타내는 개략 블록도이며, 표시장치의 대표예로서 액정 표시장치(10)의 전체구성을 나타내고 있다.
- <64> 액정표시장치(10)는, 액정 어레이부(20)와, 게이트 선 구동회로(주사선 구동회로)(30)와, 소스 드라이버(40)를 구비한다. 후의 설명에 의해 명백하게 되지만, 본 발명의 실시예에 따른 시프트 레지스터는, 게이트 선 구동회로(30)에 탑재된다.
- <65> 액정 어레이부(20)는, 행렬 모양으로 배열된 복수의 화소(25)를 포함한다. 화소의 행(이하 「화소 라인」이라고도 칭한다)의 각각에는 각각 게이트 선 $GL_1, GL_2 \dots$ (총칭 「게이트 선 GL 」)이 배치되고, 또한 화소의 열(이하 「화소열」이라고도 칭한다)의 각각에는 각각 데이터 선 $DL_1, DL_2 \dots$ (총칭 「데이터 선 DL 」)이 각각 설치된다. 도 1에는, 제1행의 제1열 및 제2열의 화소(25) 및 이것에 대응하는 게이트 선 GL_1 및 데이터 선 DL_1, DL_2 이 대표적으로 도시되고 있다.
- <66> 각 화소(25)는, 대응하는 데이터 선 DL 과 화소 노드 Np 사이에 배치되는 화소 스위치 소자(26)와, 화소 노드 Np 및 공통 전극 노드 NC 사이에 병렬로 접속되는 커패시터(27) 및 액정표시 소자(28)를 가지고 있다. 화소 노드 Np 와 공통 전극 노드 NC 사이의 전압차에 따라, 액정표시 소자(28)안의 액정의 배향성이 변화되고, 이것에 응답하여 액정표시 소자(28)의 표시 휘도가 변화된다. 이에 따라 데이터 선 DL 및 화소 스위치 소자(26)를 통해 화소 노드 Np 에 전달되는 표시 전압에 의해, 각 화소의 휘도를 제어하는 것이 가능하게 된다. 다시 말해, 최대휘도에 대응하는 전압차와 최소휘도에 대응하는 전압차 사이의 중간적인 전압차를, 화소 노드 Np 와 공통 전극 노드 NC 사이에 인가함으로써, 중간적인 휘도를 얻을 수 있다. 따라서, 상기 표시 전압을 단계적으로 설정함으로써, 계조적인 휘도를 얻는 것이 가능하게 된다.
- <67> 게이트 선 구동회로(30)는, 소정의 주사 주기에 근거하여, 게이트 선 GL 을 순차로 선택하여 구동한다. 화소 스위치 소자(26)의 게이트 전극은, 각각 대응하는 게이트 선 GL 과 접속된다. 특정한 게이트 선 GL 이 선택되고 있는 동안은, 거기에 접속하는 각 화소에 있어서, 화소 스위치 소자(26)가 전도상태가 되어 화소 노드 Np 가 대응하는 데이터 선 DL 과 접속된다. 그리고, 화소 노드 Np 에 전달된 표시 전압이 커패시터(27)에 의해 유지된다. 일

반적으로, 화소 스위치 소자(26)는, 액정표시 소자(28)와 동일한 절연체 기판(유리 기판, 수지기판 등)위에 형성되는 TFT로 구성된다.

- <68> 소스 드라이버(4)는, N비트의 디지털 신호인 표시 신호 SIG에 의해 단계적으로 설정되는 표시 전압을, 데이터 선 DL에 출력하기 위한 것이다. 여기에서는 일례로서, 표시 신호 SIG는 6비트의 신호이며, 표시 신호 비트 DB0~DB5로 구성되는 것으로 한다. 6비트의 표시 신호 SIG에 근거하면, 각 화소에 있어서, $2^6=64$ 단계의 계조표시가 가능하게 된다. 또한, R(Red), G(Green) 및 B(Blue)의 3개의 화소에 의해 하나의 컬러 표시 단위를 형성하면, 약 26만색의 컬러표시가 가능하게 된다.
- <69> 또한 도 1에 나타나 있는 바와 같이 소스 드라이버(4)는, 시프트 레지스터(50)와, 데이터 래치 회로(52, 54)와, 계조전압 생성회로(60)와, 디코드 회로(70)와, 아날로그 앰프(80)로 구성되어 있다.
- <70> 표시 신호 SIG에 있어서는, 각각의 화소(25)의 표시 휘도에 대응하는 표시신호 비트 DB0~DB5가 직렬로 생성된다. 즉 각 타이밍에 있어서의 표시신호 비트 DB0~DB5는, 액정 어레이부(20)안의 어느 하나의 화소(25)에 있어서의 표시 휘도를 나타내고 있다.
- <71> 시프트 레지스터(50)는, 표시 신호 SIG의 설정이 전환되는 주기에 동기한 타이밍에 데이터 래치회로(52)에 대하여, 표시 신호 비트 DB0~DB5의 받아들임을 지시한다. 데이터 래치회로(52)는, 직렬로 생성되는 표시 신호 SIG를 순차적으로 받아들이고, 하나의 화소 라인 분의 표시 신호 SIG를 유지한다.
- <72> 데이터 래치회로(54)에 입력되는 래치 신호 LT는, 데이터 래치회로(52)에 하나의 화소 라인 분의 표시 신호 SIG가 받아들여지는 타이밍에서 활성화한다. 데이터 래치회로(54)는 그것에 응답하여, 그 때 데이터 래치회로(52)에 유지되어 있는 하나의 화소 라인 분의 표시 신호 SIG를 받아들인다.
- <73> 계조전압 생성회로(60)는, 고전압 VDH 및 저전압 VDL 사이에 직렬로 접속된 63개의 분압 저항으로 구성되어, 64단계의 계조전압 V1~V64를 각각 생성한다.
- <74> 디코드 회로(70)는, 데이터 래치회로(54)에 유지되어 있는 표시 신호 SIG를 디코드하고, 이 디코드 결과에 의거하여 각 디코드 출력 노드 Nd₁, Nd₂···(총칭 「디코드 출력 노드 Nd」)에 출력하는 전압을, 계조전압 V1~V64 중에서 선택하여 출력한다.
- <75> 그 결과, 디코드 출력 노드 Nd에는, 데이터 래치회로(54)에 유지된 하나의 화소 라인 분의 표시 신호 SIG에 대응한 표시 전압(계조전압 V1~V64 중 하나)이 동시에(병렬로) 출력된다. 또한, 도 1에 있어서는, 제1열제 및 제2열제의 데이터 선 DL1, DL2에 대응하는 디코드 출력 노드 Nd₁, Nd₂가 대표적으로 도시되고 있다.
- <76> 아날로그 앰프(80)는, 디코드 회로(70)에서 디코드 출력 노드 Nd₁, Nd₂···로 출력된 각 표시 전압에 대응한 아날로그 전압을, 각각 데이터 선 DL1, DL2···에 출력한다.
- <77> 소스 드라이버(4)가, 소정의 주사 주기에 의거하여 일련의 표시 신호 SIG에 대응하는 표시 전압을 1화소 라인 분씩 데이터 선 DL에 반복적으로 출력하고, 게이트 선 구동회로(30)가 그 주사 주기에 동기하여 게이트 선 GL₁, GL₂···을 순차적으로 구동함으로써, 액정 어레이부(20)에 표시 신호 SIG에 근거한 화상의 표시가 이루어진다.
- <78> 또한, 도 1에는, 게이트 선 구동회로(30) 및 소스 드라이버(4)가 액정 어레이부(20)와 일체로 형성된 액정표시 장치(10)의 구성을 예시했지만, 게이트 선 구동회로(30) 및 소스 드라이버(4)에 대해서는, 액정 어레이부(20)의 외부회로로서 설치하는 것도 가능하다.
- <79> 도 2는, 게이트 선 구동회로(30)의 구성을 도시한 도면이다. 이 게이트 선 구동회로(30)는, 종속 접속(캐스케이드 접속)한 복수의 단위 시프트 레지스터 SR₁, SR₂, SR₃, SR₄···로 구성되는 다단의 시프트 레지스터로 이루어지고 있다(이하, 단위 시프트 레지스터 SR₁, SR₂···를 「단위 시프트 레지스터 SR」라고 총칭한다). 단위 시프트 레지스터 SR은, 하나의 화소 라인 즉 하나의 게이트 선 GL 마다 하나씩 설치된다.
- <80> 또 도 2에 나타내는 클록 발생기(31)는, 서로 위상이 다른 2상의 클록 신호 CLK, /CLK를, 게이트 선 구동회로(30)의 단위 시프트 레지스터 SR에 입력하는 것이다. 이들 클록 신호 CLK, /CLK는, 표시장치의 주사 주기에 동기한 타이밍에 순서대로 활성화하도록 제어되어 있다. 다시 말해, 클록 신호 CLK, /CLK는 서로 상보인 신호이다.
- <81> 각각의 단위 시프트 레지스터 SR은, 입력 단자 IN, 출력 단자 OUT, 리셋트 단자 RST, 제1클록 단자 CK1 및 제2

클록 단자 CK2를 가지고 있다. 도 2와 같이, 각 단위 시프트 레지스터 SR의 제1 및 제2클록 단자 CK1, CK2에는, 클록 발생기(31)가 출력하는 클록 신호 CLK, /CLK중 어느 하나가 공급된다. 단위 시프트 레지스터 SR의 출력 단자 OUT에는 각각 게이트 선 GL이 접속한다. 즉, 출력 단자 OUT에 출력되는 신호(출력 신호)는, 게이트 선 GL을 활성화하기 위한 수평(또는 수직)주사 펄스가 된다.

- <82> 제1단계(제1스테이지)의 단위 시프트 레지스터 SR₁의 입력 단자 IN에는, 화상 신호의 각 프레임 기간의 선두에 대응하는 스타트 펄스 SP가 입력된다. 제2단 이후의 단위 시프트 레지스터 SR의 입력 단자 IN에는 그 전단의 출력 신호가 입력된다. 다시 말해, 제2단 이후의 단위 시프트 레지스터 SR의 입력 단자 IN은, 자신의 전단의 단위 시프트 레지스터 SR의 출력 단자 OUT에 접속되어 있다.
- <83> 이 구성의 게이트 선 구동회로(30)에 있어서는, 각 단위 시프트 레지스터 SR은, 클록 신호 CLK, /CLK에 동기하여, 전단으로부터 입력되는 입력 신호(전단의 출력 신호)를 시간적으로 시프트시키면서, 대응하는 게이트 선 GL 및 자신의 다음 단의 단위 시프트 레지스터 SR에 전달한다(단위 시프트 레지스터 SR의 동작의 상세한 것은 후술한다). 그 결과, 일련의 단위 시프트 레지스터 SR은, 소정의 주사 주기에 근거한 타이밍에서 게이트 선 GL을 순차적으로 활성화시키는, 소위 게이트 선 구동 유닛으로서 기능한다.
- <84> 여기에서, 본 발명의 설명을 쉽게 하기 위해, 종래의 단위 시프트 레지스터(상기 특허문헌 1의 발명에 따른 단위 시프트 레지스터)에 관하여 설명한다. 도 3은, 종래의 단위 시프트 레지스터 SR의 구성을 나타내는 회로도이다. 또한 게이트 선 구동회로(30)에 있어서는, 종속 접속된 각 단위 시프트 레지스터 SR의 구성은 실질적으로 모두 동일하므로, 이하에서는 하나의 단위 시프트 레지스터 SR의 구성에 대해서만 대표적으로 설명한다. 또한 이 단위 시프트 레지스터 SR을 구성하는 트랜지스터는, 모두 동일 도전형의 전계효과 트랜지스터이지만, 본 실시예에 있어서는 모두 N형 TFT인 것으로 한다.
- <85> 도 3과 같이, 종래의 단위 시프트 레지스터 SR은, 이미 도 2에서 나타난 입력 단자 IN, 출력 단자 OUT, 리셋트 단자 RST 및 제1 및 제2클록 단자 CK1, CK2 외에, 저전위측 전원전위 VSS가 공급되는 제1전원단자 S1을 가지고 있다. 이하의 설명에는, 저전위측 전원전위 VSS를 회로의 기준전위(=0V)로 하지만, 실사용에서는 화소에 기록되는 데이터의 전압을 기준으로 하여 기준전위가 설정되며, 예를 들면 저전위측 전원전위 VSS는 -12V등으로 설정된다.
- <86> 또한 클록 신호 CLK, /CLK는, 모두 같은 타이밍에서 H(High)레벨 및 L(Low)레벨로의 천이가 행해지도록 제어된다. 다시 말해, 클록 신호 CLK의 상승의 타이밍에서 클록 신호/CLK가 하강하고, 클록 신호 CLK의 하강 타이밍에서 클록 신호/CLK가 상승한다.
- <87> 도 3과 같이, 이 단위 시프트 레지스터 SR의 출력단은, 출력 단자 OUT와 제1클록 단자 CK1 사이에 접속하는 트랜지스터 Q1에 의해 구성되어 있다. 다시 말해, 트랜지스터 Q1은, 제1클록 단자 CK1에 입력되는 클록 신호를 출력 단자 OUT에 공급하는 출력 풀업 트랜지스터로서 기능하고 있다. 이하, 트랜지스터 Q1의 게이트(제어 전극)가 접속하는 노드를 「노드 N1」로 정의하여 설명을 행한다.
- <88> 트랜지스터 Q1의 게이트·소스간(즉 출력 단자 OUT와 노드 N1 사이)에는 용량소자 C1이 설치되고, 노드 N1과 제2클록 단자 CK2 사이에는 용량소자 C2가 설치된다. 또한, 참조 부호 「C3」의 요소는, 단위 시프트 레지스터 SR의 출력 단자 OUT(즉 게이트 선)의 부하용량을 나타내고 있다.
- <89> 노드 N1과 입력 단자 IN 사이에는 트랜지스터 Q3이 접속하고, 이 트랜지스터 Q3은 다이오드 접속되고 있다(즉, 트랜지스터 Q3의 게이트와 드레인 모두 입력 단자 IN에 접속하고 있다). 또 노드 N1과 제1전원단자 S1 사이에는 트랜지스터 Q4가 접속하고, 이 트랜지스터 Q4의 게이트는 리셋트 단자 RST에 접속하고 있다. 트랜지스터 Q3은, 입력 단자 IN에 입력되는 신호에 의거하여 노드 N1을 충전하여 트랜지스터 Q1을 온으로 할 수 있고, 트랜지스터 Q4는 리셋트 단자 RST에 입력되는 신호에 의거하여 노드 N1을 방전하여 트랜지스터 Q1을 오프로 할 수 있다. 즉 트랜지스터 Q3, Q4는, 트랜지스터 Q1을 구동하는 구동회로를 구성하고 있다.
- <90> 도 4는, 도 3에 나타난 종래의 단위 시프트 레지스터의 동작을 나타내는 타이밍 도이다. 이하, 도 4를 참조하여, 도 3의 단위 시프트 레지스터 SR의 구체적인 동작을 설명한다. 또한, 게이트 선 구동회로(30)를 구성하는 각 단위 시프트 레지스터 SR의 동작은 실질적으로 모두 동일하므로, 여기에서는 제n단계의 단위 시프트 레지스터 SR_n의 동작을 대표적으로 설명한다.
- <91> 간단히 하기 위해, 이 단위 시프트 레지스터 SR_n의 제1클록 단자 CK1에는 클록 신호 CLK가 입력되고, 제2클록 단자 CK2에는 클록 신호/CLK가 입력되는 것으로서 설명을 행한다(예를 들면 도 2에 있어서의 단위 시프트 레지

스터 SR_1, SR_3 등이 여기에 해당한다). 또한 이 단위 시프트 레지스터 SR_n 의 출력 신호를 G_n , 그 전단(제 $n-1$ 단)의 단위 시프트 레지스터 SR의 출력 신호를 G_{n-1} , 그 후단(제 $n+1$ 단)의 단위 시프트 레지스터 SR의 출력 신호를 G_{n+1} 로 각각 정의한다. 또한 여기에서는, 단위 시프트 레지스터 SR_n 을 구성하는 각 트랜지스터의 임계값 전압은 모두 같은 것으로 가정하고, 그 값을 V_{th} 로 한다. 또한, 클록 신호 CLK, /CLK의 H레벨의 전위는 서로 같으며, 그 값을 VDD로 한다.

<92> 우선 초기 상태로서, 노드 N1은 L레벨(VSS)이며(이하, 이 상태를 「리셋트 상태」라고 칭한다), 출력 단자 OUT도 L레벨이라고 한다. 또한 제1클록 단자 CK1(클록 신호 CLK)은 H레벨이며, 제2클록 단자 CK2(클록 신호/CLK), 리셋트 단자 RST(다음단의 출력 신호 G_{n+1}), 입력 단자 IN(전단의 출력 신호 G_{n-1})은 모두 L레벨이라고 하자. 이 상태에서는, 트랜지스터 Q1이 오프(차단 상태)이므로, 출력 단자 OUT에는 제1클록 단자 CK1(클록 신호 CLK)의 H레벨은 전달되지 않고, 출력 신호 G_n 은 L레벨로 유지되고 있다. 다시 말해, 이 단위 시프트 레지스터 SR_n 이 접속하는 게이트 선 GL_n 은 비선택 상태에 있다.

<93> 클록 신호 CLK가 L레벨로, 클록 신호/CLK가 H레벨로 각각 천이하는 시각 t_1 에서, 전단의 단위 시프트 레지스터 SR_{n-1} 의 출력 신호 G_{n-1} 이 H레벨이 되었다고 하자. 그것에 의해 이 단위 시프트 레지스터 SR_n 의 트랜지스터 Q3이 온이 되므로, 노드 N1의 레벨은 H레벨($VDD-V_{th}$)이 된다. 이렇게 노드 N1이 H레벨의 상태(이하, 이 상태를 「세트 상태」로 칭한다)에서는, 트랜지스터 Q1이 온이 되지만, 이 시점에서는 클록 신호 CLK는 L레벨이므로, 출력 단자 OUT는 L레벨상태이다.

<94> 이어지는 시각 t_2 에서, 클록 신호 CLK가 H레벨로, 클록 신호/CLK가 L레벨로 각각 천이한다. 이 때, 전단의 출력 신호 G_{n-1} 은 L레벨로 되돌아와 트랜지스터 Q3은 오프되므로, 노드 N1은 플로팅 상태의 H레벨이 된다. 따라서 트랜지스터 Q1이 온 상태이므로, 클록 신호 CLK의 H레벨이 출력 단자 OUT에 전달되어, 출력 신호 G_n 의 레벨이 상승한다. 이 때 용량소자 C1 및 트랜지스터 Q1의 게이트·채널간 용량을 통한 결합에 의해, 노드 N1의 레벨이 특정 전압만큼 상승된다. 따라서 출력 단자 OUT의 레벨이 상승해도 트랜지스터 Q1의 게이트·소스간 전압은 임계값 전압(V_{th})보다도 크게 유지되고, 이 트랜지스터 Q1은 저임피던스로 유지되므로, 출력 신호 G_n 의 레벨은 제1클록 단자 CK1(클록 신호 CLK)의 레벨에 따라 변화된다. 특히, 트랜지스터 Q1의 게이트·소스간 전압이 충분히 클 경우에는 트랜지스터 Q1은 비포화 영역에서의 동작(비포화 동작)을 행하므로, 임계값 전압분의 손실은 없고 출력 단자 OUT는 클록 신호 CLK와 동 레벨까지 상승한다. 따라서, 출력 신호 G_n 은 H레벨(VDD)이 되어, 게이트 선 GL_n 을 활성화하고 선택 상태로 한다.

<95> 그리고 시각 t_3 에서, 클록 신호 CLK가 L레벨로, 클록 신호/CLK가 H레벨로 각각 천이하면, 출력 신호 G_n 의 레벨은 클록 신호 CLK에 따라 L레벨이 되고, 게이트 선 GL_n 은 비선택 상태로 돌아간다. 또한 이것과 거의 동시에 다음단의 출력 신호 G_{n+1} 이 H레벨이 되므로 트랜지스터 Q4가 온이 된다. 그 때문에 노드 N1은 L레벨이 되고, 단위 시프트 레지스터 SR_n 은 리셋트 상태로 돌아간다.

<96> 그 후의 시각 t_4 이후에서는, 다음에 전단의 출력 신호 G_{n-1} 이 입력될 때까지, 출력 단자 OUT(출력 신호 G_n)가 불필요하게 활성화되지 않도록, 트랜지스터 Q1을 오프로 유지할 필요가 있다. 다시 말해, 노드 N1을 L레벨의 상태(즉 리셋트 상태)를 유지할 필요가 있다. 이 노드 N1의 전위는, 트랜지스터 Q1의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해 클록 신호 CLK의 상승시에 상승하려고 하는 한편, 용량소자 C2를 통한 결합에 의해 클록 신호/CLK의 하강시에 하강하려고 한다. 클록 신호 CLK, /CLK는 같은 타이밍에서 레벨이 천이하므로, 결과적으로 노드 N1의 L레벨은 유지되게 된다. 이렇게 도 3의 단위 시프트 레지스터 SR_n 에서는, 출력 신호 G_n 을 출력하지 않는 기간(이하 「비선택 기간」)은, 클록 신호 CLK에 기인하는 노드 N1의 상승을 클록 신호/CLK로 제거함으로써 리셋트 상태를 유지하고 있다. 그것에 의해, 비선택 기간의 오동작을 방지하고 있는 것이다.

<97> 이상의 동작을 정리하면, 단위 시프트 레지스터 SR_n 은, 비선택 기간은 리셋트 상태를 유지하여 트랜지스터 Q1을 오프로 유지하고, 출력 단자 OUT를 고임피던스의 L레벨(VSS)로 유지한다. 그리고 입력 단자 IN에 신호(전단의 출력 신호 G_{n-1} 혹은 스타트 펄스 SP)가 입력되면, 단위 시프트 레지스터 SR은 세트 상태로 전환된다. 세트 상태에서는 트랜지스터 Q1이 온이기 때문에, 제1클록 단자 CK1(클록 신호 CLK)이 H레벨이 되는 동안, 출력 단자 OUT

가 H레벨이 되어 출력 신호 G_n 이 출력된다. 그리고 그 후에 리셋트 단자 RST에 신호(다음단의 출력 신호 G_{n+1})가 입력되면, 원래의 리셋트 상태로 돌아간다.

- <98> 이와 같이 동작하는 복수의 단위 시프트 레지스터 SR을 도 2와 같이 종속 접속하고, 게이트 선 구동회로(30)를 구성하면, 제1단계의 단위 시프트 레지스터 SR_1 의 입력 단자 IN에 입력된 입력 신호(스타트 펄스 SP)는, 도 5에 나타내는 타이밍 도와 같이, 클록 신호 CLK, /CLK에 동기한 타이밍에 시간적으로 시프트되면서, 단위 시프트 레지스터 $SR_2, SR_3 \dots$ 으로 순서대로 전달된다. 그것에 의하여, 게이트 선 구동회로(30)는, 소정의 주사 주기로 게이트 선 $GL_1, GL_2, GL_3 \dots$ 을 순차적으로 구동할 수 있다.
- <99> 또한 도 2에서는, 복수의 단위 시프트 레지스터 SR에 의해 구성되는 게이트 선 구동회로(30)가 2상의 클록 신호에 의거하여 동작하는 예를 도시했지만, 3상의 클록 신호를 사용하여 동작하도록 하는 것도 가능하다. 도 6은 그 경우에 있어서의 게이트 선 구동회로(30)의 구성을 도시한 도면이다.
- <100> 이 경우도, 게이트 선 구동회로(30)는, 종속 접속한 복수의 단위 시프트 레지스터 SR에 의해 구성된다. 다시 말해, 각 단위 시프트 레지스터 SR의 입력 단자 IN에는, 그 전단의 단위 시프트 레지스터 SR의 출력 단자 OUT가 접속한다. 단, 제1단계의 단위 시프트 레지스터 SR_1 의 입력 단자 IN에는, 스타트 펄스 SP가 입력 신호로서 입력된다.
- <101> 이 경우에 있어서의 클록 발생기(31)는, 각각 위상이 다른 3상 클록인 클록 신호 CLK1, CLK2, CLK3을 출력하는 것이다(그것들은 CLK1, CLK2, CLK3, CLK1, \dots 의 순으로 활성화되는 것으로 한다). 각각의 단위 시프트 레지스터 SR의 제1클록 단자 CK1, CK2에는, 클록 신호 CLK1, CLK2, CLK3 중 어느 2개가 입력된다. 단 그 2개의 클록 신호의 조합은, 비선택 기간에 제1클록 단자 CK1의 클록 신호에 기인하여 노드 N1의 전위가 상승하지 않도록, 제1클록 단자 CK1의 클록 신호의 상승과 제2클록 단자 CK2의 클록 신호의 하강이 동시에 이루어지는 조합이 된다(예를 들면 제1클록 단자 CK1에 클록 신호 CLK1이 입력될 경우, 제2클록 단자 CK2에는, 클록 신호 CLK1 직전에 H레벨이 되고 있는 클록 신호 CLK3이 입력된다). 또 도 6에 나타나 있는 바와 같이 각 단위 시프트 레지스터 SR의 리셋트 단자 RST에는, 그 다음 단 혹은 2단 후(도 6의 예에서는 2단 후)의 단위 시프트 레지스터 SR의 출력 단자 OUT가 접속된다.
- <102> 또한, 도 2 및 도 6의 구성에서는, 각 단위 시프트 레지스터 SR의 리셋트 단자 RST에는 자기보다도 후단의 단위 시프트 레지스터 SR의 출력 신호가 입력되므로, 각 단위 시프트 레지스터 SR이 리셋트 상태가 되기 위해서는, 그보다도 후단에 단위 시프트 레지스터 SR를 가지고 있을 필요가 있다. 따라서 도 2의 구성에서는, 최종단 다음에 더미의 단위 시프트 레지스터를 적어도 1단 배치하고, 최종단의 단위 시프트 레지스터 SR은 더미단의 출력 신호에 의해 리셋트 상태가 되도록 한다. 또 도 6의 구성에서는, 최종단의 다음에 더미의 단위 시프트 레지스터를 적어도 2단 설치하고, 최종단의 하나 앞단의 단위 시프트 레지스터 SR은 최종단 다음의 더미단의 출력 신호에 의해 리셋트 상태가 되고, 최종단의 단위 시프트 레지스터 SR은 자기의 2개 뒤의 더미단의 출력 신호에 의해 리셋트 상태가 되도록 한다. 또한 각 단위 시프트 레지스터 SR은, 리셋트 상태(즉 상기의 초기 상태)가 되고 나서가 아니면 통상 동작을 행할 수 없으므로, 통상 동작에 앞서, 더미의 입력 신호를 단위 시프트 레지스터 SR의 제1단계부터 최종단 및 더미 단계까지 전달시키는 더미 동작을 행하게 할 필요가 있다. 또는, 각 단위 시프트 레지스터 SR의 노드 N1과 제1전원단자 S1(고전위측 전원) 사이에 리셋트용의 트랜지스터를 별도 설치하여, 통상 동작 전에 강제적으로 노드 N1을 방전하는 리셋트 동작을 행해도 된다. 단, 그 경우는 리셋트용의 신호 라인이 별도 필요하게 된다. 이 리셋트용의 신호로서는 제1단계의 단위 시프트 레지스터 SR_1 에 입력되는 스타트 펄스 SP를 사용해도 된다.
- <103> 여기에서, 도 3의 단위 시프트 레지스터 SR에 있어서의 오동작의 문제를 상세하게 설명한다. 도 3의 단위 시프트 레지스터 SR에서는, 트랜지스터 Q1의 게이트(노드 N1)에, 클록 신호 CLK에 의한 노드 N1의 전위상승을 억제하기 위한 용량소자 C2가 접속하고 있고, 그 작용에 의해 비선택 기간에 노드 N1의 레벨이 상승하는 것을 방지하는 것으로, 리셋트 상태를 유지하고 있다. 그러나 그 용량소자 C2는, 출력 신호 G_n 의 출력시(도 4의 시각 $t_2 \sim t_3$)에 있어서의 노드 N1의 승압효과도 억제하도록 작용하게 된다.
- <104> 예를 들면 노드 N1에 용량소자 C2가 접속하지 않으면, 노드 N1의 전위는 도 4의 점선으로 나타내는 바와 같이, 보다 높은 전위까지 승압될 것이다. 그 경우에는 트랜지스터 Q1의 구동능력이 커지므로, 출력 신호 G_n 은 도 4의 점선과 같이 신속하게 상승하게 되어, 동작이 고속화를 더욱 도모할 수 있다. 그러나 도 3의 단위 시프트 레지스터 SR에서 용량소자 C2를 생략하면, 비선택 기간에 클록 신호 CLK에 기인하여 노드 N1의 레벨이 상승하여, 리

셋트 상태를 유지할 수 없게 되고 오동작이 발생하게 된다.

- <105> 이와 같이, 도 3의 단위 시프트 레지스터 SR에서는, 출력 신호 G_n 의 출력시에 있어서의 노드 N1의 승압 효과가 작아지므로, 트랜지스터 Q1의 구동능력(즉, 단위 시프트 레지스터의 구동능력)을 크게 하여 출력 신호 G_n 의 상승 속도를 빠르게 하는 데에도 한계가 있어, 그것이 동작의 고속화를 방해하게 된다. 예를 들면 표시장치의 동작의 고속화로 인해 출력 신호 G_n 의 펄스폭을 짧게 할 경우에, 게이트 선의 전위를 이온값(VDD)까지 상승시킬 수 없게 되어, 표시 품질이 저하한다는 문제가 생긴다.
- <106> 이하, 출력 신호를 출력하지 않는 기간(즉 비선택 기간)의 오동작을 방지함과 동시에, 출력 신호를 출력하는 기간에 있어서의 구동능력의 저하를 방지하는 것이 가능한, 본 발명에 따른 시프트 레지스터 회로에 관하여 설명한다.
- <107> 도 7은, 실시예 1에 따른 단위 시프트 레지스터 SR의 구성을 나타내는 회로도이다. 동 도면과 같이, 이 단위 시프트 레지스터 SR의 출력단은, 출력 단자 OUT와 제1클록 단자 CK1 사이에 접속하는 트랜지스터 Q1 및 출력 단자 OUT와 제1전원단자 S1 사이에 접속하는 트랜지스터 Q2에 의해 구성되어 있다. 다시 말해, 트랜지스터 Q1은, 제1클록 단자 CK1에 입력되는 클록 신호를 출력 단자 OUT에 공급하는 출력 풀업 트랜지스터(제 1트랜지스터)이며, 트랜지스터 Q2는 제 1전원 단자 S1의 전위를 출력 단자 OUT에 공급하는 것으로 출력 단자 OUT를 방전하는 출력 풀다운 트랜지스터(제 9트랜지스터)이다. 도 7과 같이, 트랜지스터 Q1의 게이트(제어전극)이 접속하는 노드를 노드 N1로 정의한다. 한편 트랜지스터 Q2의 게이트는, 제 2클록 단자 CK2에 접속하고 있다.
- <108> 도 3의 회로와 같이, 트랜지스터 Q1의 게이트·소스간 즉 노드 N1과 출력 단자 OUT 사이에는 용량소자 C1이 설치된다. 참조 부호 「C3」의 요소는, 단위 시프트 레지스터 SR의 출력 단자 OUT(게이트 선)의 부하용량을 나타내고 있다. 단, 도 7의 단위 시프트 레지스터 SR은, 도 3에 나타낸 용량소자 C2를 가지고 있지 않다.
- <109> 도 7의 단위 시프트 레지스터 SR도, 노드 N1과 입력 단자 IN 사이에 접속하여 다이오드 접속된 트랜지스터 Q3(제11트랜지스터) 및 노드 N1과 제1전원단자 S1 사이에 접속하고, 게이트가 리셋트 단자 RST에 접속한 트랜지스터 Q4(제10트랜지스터)에 의해 구성되는 구동회로를 구비하고 있다. 다시 말해, 트랜지스터 Q3은 입력 단자 IN에 입력되는 신호에 의거하여 트랜지스터 Q1의 게이트(노드 N1)를 충전하는 것이며, 트랜지스터 Q4는 리셋트 단자 RST에 입력되는 신호에 의거하여 이 노드 N1을 방전하는 것이다.
- <110> 또 본 실시예에 따른 단위 시프트 레지스터 SR은, 노드 N1과 출력 단자 OUT 사이에 접속하는 트랜지스터 Q5(제2 트랜지스터)를 더 구비하고 있으며, 이 트랜지스터 Q5의 게이트는 제1클록 단자 CK1에 접속하고 있다. 즉 트랜지스터 Q5는, 제1클록 단자 CK1에 입력되는 신호에 의거하여 노드 N1과 출력 단자 OUT 사이를 전도시키는 스위칭 회로로서 기능한다.
- <111> 도 8은 실시예 1에 따른 단위 시프트 레지스터 SR의 동작을 나타내는 타이밍 도이다. 이하, 도 8을 참조하여, 도 7에 나타낸 본 실시예에 따른 단위 시프트 레지스터 SR의 동작을 설명한다. 도 7의 단위 시프트 레지스터 SR도, 먼저 나타낸 도 2 및 도 6의 어느 구성의 게이트 선 구동회로(30)에도 적용가능하지만, 여기에서는 도 2와 같이 종속 접속하여 게이트 선 구동회로(30)를 구성하고 있는 경우의 동작을 나타낸다.
- <112> 여기에서도 제n단계의 단위 시프트 레지스터 SR_n 의 동작을 대표적으로 설명한다. 또 간단히 하기 위해, 해당단위 시프트 레지스터 SR_n 의 제1클록 단자 CK1에는 클록 신호 CLK가 입력되고, 제2클록 단자 CK2에는 클록 신호/CLK가 입력되는 것으로서 설명을 행한다. 또 이 단위 시프트 레지스터 SR_n 의 출력 신호를 G_n , 그 전단(제n-1단계)의 단위 시프트 레지스터 SR_{n-1} 및 다음단(제n+1단계)의 단위 시프트 레지스터 SR_{n+1} 의 출력 신호를 각각 G_{n-1} 및 G_{n+1} 로 한다.
- <113> 또한, 도 3의 종래예에서는 클록 신호 CLK, /CLK의 레벨의 천이가 동시에 행해질 필요가 있었지만, 도 7의 단위 시프트 레지스터 SR에서는 그럴 필요는 없다(그 때문에 동작 제어가 용이하다는 것도, 도 7의 단위 시프트 레지스터 SR의 이점중 하나이다). 그래서 이하에서는, 클록 신호 CLK, /CLK의 레벨 천이의 타이밍에 간격이 있는 것으로서 설명한다. 또 클록 신호 CLK, /CLK의 H레벨의 전압은 서로 같으며, 그 값을 VDD로 한다. 또한, 각 트랜지스터 Q_m 의 임계값 전압을 각각 $V_{th}(Q_m)$ 로 나타내기로 한다.
- <114> (A)게이트 선 선택시의 동작
- <115> 우선, 도 7의 단위 시프트 레지스터 SR의 입력 단자 IN에 전단의 출력 신호 G_{n-1} 이 입력되고, 이 단위 시프트 레

지스터 SR이 출력 신호 G_n 을 출력할 때(즉 게이트 선 GL_n 을 활성화할 때)의 동작을 설명한다. 도 8은 이 동작을 나타내는 타이밍 도이다.

- <116> 초기 상태로서, 노드 N1은 L레벨(VSS)이라고 한다(이하 「리셋트 상태」라고 칭한다). 또 제1클록 단자 CK1(클록 신호 CLK)은 H레벨, 제2클록 단자 CK2(클록 신호/CLK), 리셋트 단자 RST(다음단의 출력 신호 G_{n+1}) 및 입력 단자 IN(전단의 출력 신호 G_{n-1})은 L레벨이라고 한다. 이 경우, 출력 단자 OUT에 접속하는 트랜지스터 Q1, Q2, Q5는 모두 오프이므로, 이 출력 단자 OUT는 플로팅 상태이지만, 이 초기 상태에서는 출력 단자 OUT(출력 신호 G_n)는 L레벨로 한다.
- <117> 시각 t_0 에서 클록 신호 CLK가 L레벨로 천이한 후, 클록 신호/CLK가 H레벨로 천이하는 시각 t_1 에서 전단의 출력 신호 G_{n-1} 이 H레벨이 되면, 트랜지스터 Q3이 온 하고, 노드 N1이 충전되어서 H레벨($V_{DD}-V_{th}(Q3)$)이 된다. 그것에 의해 트랜지스터 Q1은 온 한다. 이 때 클록 신호 CLK는 L레벨(VSS)이며, 또한 트랜지스터 Q2도 온으로 되어 있기 때문에 출력 신호 G_n 은 L레벨을 유지한다.
- <118> 그 후에 클록 신호/CLK가 L레벨이 되는 시각 t_2 에서, 전단의 출력 신호 G_{n-1} 이 L레벨로 되돌아온다. 그러면 트랜지스터 Q3은 오프가 되므로, 노드 N1은 플로팅 상태의 H레벨이 된다. 이 때 트랜지스터 Q2도 오프하지만, 트랜지스터 Q1은 온을 유지하고 있으며, 제1클록 단자 CK1(클록 신호 CLK)은 L레벨이므로 출력 신호 G_n 은 L레벨을 유지한다.
- <119> 이어서 클록 신호 CLK가 H레벨이 되는 시각 t_3 에서는, 트랜지스터 Q1이 온 하고 있기 때문에 해당 이 신호 CLK가 출력 단자 OUT에 공급되어, 출력 신호 G_n 의 레벨이 상승한다. 이 때 승압용량 C1 및 트랜지스터 Q1의 게이트·채널간 용량을 통한 용량결합에 의해, 출력 신호 G_n 의 레벨 상승에 따라 노드 N1이 승압된다. 그 때문에 출력 신호 G_n 이 H레벨이 되어도 트랜지스터 Q1의 게이트·소스간 전압은 크게 유지되고, 이 트랜지스터 Q1의 구동능력이 확보된다. 또 이 때 트랜지스터 Q1은 비포화 동작하므로 출력 단자 OUT(출력 신호 G_n)의 레벨은 클록 신호 CLK의 H레벨과 같은 VDD가 되며, 부하용량 C3이 충전되어 게이트 선 GL_n 의 선택 상태가 된다.
- <120> 도 7의 단위 시프트 레지스터 SR에 있어서는, 클록 신호 CLK는 트랜지스터 Q5의 게이트에도 공급되고 있다. 여기에서, 시각 t_3 즉 출력 신호 G_n 의 상승시의 트랜지스터 Q5의 동작을 설명한다. 도 9는 그 동작을 나타내는 도면이고, 동 도면의 상단의 도면은, 도 8의 시각 t_3 에 있어서의 클록 신호 CLK 및 출력 신호 G_n 의 파형을 확대한 도면이다. 도 9의 중단의 도면은, 그 때의 트랜지스터 Q5의 게이트·소스간 전압 $V_{GS}(Q5)$ 즉 상단의 클록 신호 CLK와 출력 신호 G_n 과의 전압차를 나타내고 있다(출력 신호 G_n 의 상승시에서는, 전위관계로부터 트랜지스터 Q5의 소스는 출력 단자 OUT측, 드레인은 노드 N1측이다). 또 도 9의 하단의 도면은, 그 때의 트랜지스터 Q5를 흐르는 전류 $I(Q5)$ 를 나타내고 있다.
- <121> 시각 t_3 (도 9에 있어서의 시각 t_{30})에서 클록 신호 CLK가 상승하기 시작하면 출력 신호 G_n 도 그에 따라 상승한다. 도 9의 상단에 나타나 있는 바와 같이 클록 신호 CLK와 출력 신호 G_n 사이에는 상승 속도에 약간의 차이가 있기 때문에, 시각 t_{30} 에서, 출력 신호 G_n 이 클록 신호 CLK와 동 레벨이 되는 시각 t_{33} 까지, 양 신호 간에 전위차가 생긴다. 즉 시각 $t_{30} \sim t_{33}$ 사이는, 트랜지스터 Q5의 게이트·소스간에 도 9의 중단과 같은 전압 $V_{GS}(Q5)$ 가 가해진다. 여기에서, 트랜지스터 Q5의 게이트·소스간 전압 $V_{GS}(Q5)$ 가, 시각 $t_{31} \sim t_{32}$ 간 만큼 이 트랜지스터 Q5의 임계값 전압 $V_{th}(Q5)$ 를 넘었다고 가정한다. 그러면 트랜지스터 Q5가 온(전도상태)이 되므로, 도 9의 하단과 같은 전류 $I(Q5)$ 가 노드 N1에서 출력 단자 OUT로 흐른다. 이 전류 $I(Q5)$ 는 부하용량 C3을 충전하는 전류의 일부가 된다.
- <122> 상기한 바와 같이 이 단위 시프트 레지스터 SR에서는, 출력 신호 G_n 의 상승시에 노드 N1이 승압됨으로써, 트랜지스터 Q1의 구동능력이 확보된다는 효과를 얻고 있지만, 전류 $I(Q5)$ 가 커지면 노드 N1의 전위가 떨어지므로 그 효과가 저감하고, 도 3의 종래 회로와 같은 문제가 생긴다. 그러나 트랜지스터 Q1은 사이즈가 크기 때문에, 출력 신호 G_n 은 클록 신호 CLK에 따라 신속하게 상승하므로, 기본적으로 전압 $V_{GS}(Q5)$ 는 그만큼 크지 않고, 그것이 임계값 전압 $V_{th}(Q5)$ 를 넘는다고 해도 그것은 단기간이다. 따라서 전류 $I(Q5)$ 는 약간 흐를 뿐이며, 트랜지스터

Q1의 구동능력에 영향을 줄 정도의 노드 N1의 레벨 저하는 일어나지 않기 때문에 문제는 되지 않는다. 물론 트랜지스터 Q5의 게이트·소스간 전압 $V_{GS}(Q5)$ 가, 임계값 전압 $V_{th}(Q5)$ 를 초과하지 않으면, 트랜지스터 Q5는 온하지 않기 때문에 전류 $I(Q5)$ 는 흐르지 않아 트랜지스터 Q1의 구동능력에 전혀 영향을 주지 않는다.

<123> 이와 같이 도 7의 단위 시프트 레지스터 SR에 의하면, 출력 신호 G_n 의 레벨 상승시에 노드 N1이 충분히 승압되므로, 트랜지스터 Q1의 구동능력을 크게 확보할 수 있고 시각 t_3 에서 출력 신호 G_n 은 고속으로 상승한다.

<124> 또 출력 신호 G_n 의 레벨이 충분히 상승하면 (도 9의 시각 t_{32} 이후), 트랜지스터 Q5는 오프가 되어 전류가 흐르지 않기 때문에(즉, $I(Q5)=0$), 트랜지스터 Q1의 게이트·소스간 전압은 유지되고, 트랜지스터 Q1의 구동능력은 확보된다. 따라서, 다음에 클럭 신호 CLK가 L레벨이 되는 시각 t_4 (도 8)에는, 출력 단자 OUT(게이트 선 GL_n)는 트랜지스터 Q1을 거쳐 신속하게 방전되어, 출력 신호 G_n 이 L레벨로 되돌아온다.

<125> 그리고 클럭 신호/CLK가 H레벨이 되는 시각 t_5 에서는, 다음단의 시프트 레지스터의 출력 신호 G_{n+1} 이 H레벨이 되므로 트랜지스터 Q4가 온이 되고, 노드 N1이 L레벨의 리셋트 상태로 돌아간다. 따라서 트랜지스터 Q1은 오프되지만, 트랜지스터 Q2가 온하므로 출력 신호 G_n 의 L레벨은 유지된다.

<126> (B)게이트 선의 비선택 기간의 동작

<127> 다음에 단위 시프트 레지스터 SR_n 에 있어서의 비선택 기간(즉 게이트 선 GL_n 을 비활성 상태에서 유지하는 기간)의 동작을 설명한다. 도 10은 이 동작을 나타내는 타이밍 도면으로, 단위 시프트 레지스터 SR_n 이 출력 신호 G_n 을 출력하고나서, 비선택 기간으로 이행할 때의 각 신호 파형을 나타내고 있다. 다시 말해, 도 10에 나타내는 시각 t_6 은, 도 8의 시각 t_6 에 대응하고 있다. 또 도 8에서 설명한 바와 같이, 시각 t_5 에서 클럭 신호/CLK 및 다음단의 출력 신호 G_{n+1} 이 H레벨이 되고, 노드 N1 및 출력 단자 OUT(출력 신호 G_n)는 L레벨이 되고 있다.

<128> 그 상태로부터, 클럭 신호/CLK가 L레벨이 되는 시각 t_6 에서 다음단의 출력 신호 G_{n+1} 이 L레벨이 되면, 트랜지스터 Q4가 오프가 되어 노드 N1은 플로팅 상태의 L레벨이 된다. 또한 트랜지스터 Q4의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해, 노드 N1의 레벨은 특정한 전압($\Delta V1$)만큼 저하한다. 또 이 때 트랜지스터 Q2도 오프가 되므로, 출력 단자 OUT도 플로팅의 L레벨이 되고 있다.

<129> 그리고 시각 t_7 에서 클럭 신호 CLK가 H레벨이 되면, 이번은 트랜지스터 Q1의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해, 노드 N1의 레벨이 특정 전압($\Delta V2$)만큼 상승한다. 이 때 노드 N1의 전위가 트랜지스터 Q1의 임계값 전압 $V_{th}(Q1)$ 을 초과했다고 가정하면, 그 동안 트랜지스터 Q1이 온 하여 제1클럭 단자 CK1에서 출력 단자 OUT로 전류가 흐른다. 그렇게 되면 부하용량 C3에 전하가 축적되어, 출력 단자 OUT(출력 신호 G_n)의 레벨이 상승하기 시작한다. 단, 이 때 트랜지스터 Q5가 온(전도상태)이 되고 있으며, 노드 N1의 전위가 상승해도 그 전하는 바로 부하용량 C3로 방전된다. 따라서, 노드 N1의 레벨 상승에 의해 트랜지스터 Q1이 온 했다고 해도 그것은 순간적이며, 또 부하용량 C3은 비교적 크기 때문에, 출력 단자 OUT의 레벨 상승은 미량($\Delta V3$)이다. 또한 트랜지스터 Q5에 의해 방전된 후의 노드 N1은, 출력 단자 OUT와 같은 레벨(VSS에서 $\Delta V3$ 만큼 높은 레벨)이 된다.

<130> 그리고 시각 t_8 에서 클럭 신호 CLK가 L레벨이 되면, 트랜지스터 Q5는 오프가 된다. 노드 N1은 플로팅 상태이므로, 트랜지스터 Q1의 게이트·드레인간의 게이트 오버랩 용량을 통한 결합에 의해, 이 노드 N1의 레벨은, 클럭 신호 CLK의 하강에 따라 상기의 $\Delta V2$ 와 거의 같은 전압($\Delta V4$)만큼 저하한다. 노드 N1의 레벨이 저하한 결과, 트랜지스터 Q3, Q4, Q5의 게이트·소스간 전압이 임계값 전압을 초과하면 (전위관계로부터 트랜지스터 Q3, Q4, Q5는 모두 노드 N1측이 소스가 된다), 그것들이 온 하여 노드 N1의 레벨은 VSS를 향해 상승한다. 이 노드 N1의 레벨 상승은 트랜지스터 Q3, Q4, Q5가 모두 오프가 되면 끝나므로, 노드 N1의 전위는, 저전위측 전원전위 VSS에 대하여, 트랜지스터 Q3, Q4, Q5의 임계값 전압 중 최소값($\Delta V5$)만큼 낮은 전위가 된다. 또한, 이 때의 트랜지스터 Q5의 온에 의해, 출력 단자 OUT의 전하가 노드 N1로 흘러들어 오므로, 출력 단자 OUT의 레벨은 특정량($\Delta V6$)만큼 저하한다.

<131> 시각 t_9 에서 클럭 신호/CLK가 H레벨이 되면, 트랜지스터 Q2가 온이 되고, 부하용량 C3에 축적되어 있었던 전하가 방전되어, 출력 단자 OUT(출력 신호 G_n)의 레벨은 VSS로 저하한다. 그리고 시각 t_{10} 에서 클럭 신호/CLK가 L레벨이 되면 트랜지스터 Q2가 오프하고, 출력 단자 OUT는 플로팅 상태의 L레벨이 된다.

- <132> 이어지는 시각 $t_{11} \sim t_{12}$ 에서는, 상기의 시각 $t_7 \sim t_8$ 과 동일한 동작이 되지만, 시각 t_{11} 직전의 노드 N1의 레벨(- ΔV_5)은 시각 t_7 직전보다도 낮기 때문에($\Delta V_5 > \Delta V_1$), 그 만큼 노드 N1의 레벨은 낮아진다. 따라서, 시각 $t_{11} \sim t_{12}$ 에 있어서의 출력 단자 OUT의 레벨 상승량(ΔV_7)도, 시각 $t_7 \sim t_8$ 일 때보다 낮은 값이 된다($\Delta V_7 < \Delta V_3$).
- <133> 그리고 시각 t_{12} 이후는, 다음의 게이트 선의 선택기간까지(즉 전단의 출력 신호 G_{n-1} 이 입력될 때까지), 상기의 시각 $t_7 \sim t_{12}$ 의 동작이 반복된다.
- <134> 이와 같이 도 7의 단위 시프트 레지스터 SR에 있어서는, 출력 신호 G_n 을 출력하지 않는 비선택 기간에 있어서의 출력 신호 G_n 의 상승은 거의 없어(최대 도 10의 ΔV_3), 오동작이 방지되고 있다.
- <135> 이상의 (A), (B)의 설명에서 알 수 있는 바와 같이, 본 실시예에 따른 단위 시프트 레지스터 SR에 의하면, 출력 신호 G_n 의 출력시(게이트 선 GL_n 의 선택시)에는, 트랜지스터 Q5에는 전류가 흐르지 않기 때문에 노드 N1은 충분히 승압되어, 트랜지스터 Q1의 구동능력을 크게 유지할 수 있다. 그것에 의해, 출력 신호 G_n 의 상승 및 하강 속도를 빠르게 할 수 있고, 동작의 고속화에 기여할 수 있다. 또한, 출력 신호 G_n 을 출력하지 않는 비선택 기간에는, 클럭 신호 CLK의 상승시에 노드 N1의 레벨이 상승하려고 해도 트랜지스터 Q5가 온 하기 때문에, 노드 N1은 방전되어 L레벨을 유지한다. 그것에 의하여, 비선택 기간에 트랜지스터 Q1이 온 하여, 출력 신호 G_n 이 불필요하게 H레벨이 되는 것을 방지할 수 있다. 즉, 본 실시예의 단위 시프트 레지스터 SR에 의하면, 비선택 기간에 있어서의 오동작을 방지하는 것과, 게이트 선의 선택시에 있어서의 구동능력의 저하 방지라는 양쪽의 효과를 얻을 수 있다. 그 결과, 이 단위 시프트 레지스터 SR를 사용하여 구성된 게이트 선 구동회로(30)를 구비하는 화상표시장치의 동작 신뢰성이 향상한다.
- <136> 앞에 설명한 바와 같이, 본 실시예에 따른 단위 시프트 레지스터 SR은, 3상의 클럭 신호에 의해 구동되는 도 6의 구성의 게이트 선 구동회로(30)에 대해서도 적용가능하다. 단, 도 6에서는, 도 3의 종래 회로에 적합하도록 각 단위 시프트 레지스터 SR의 리셋트 단자 RST에는 그 2단후의 출력 단자 OUT에 접속하는 예를 도시했지만, 하나 후단(다음단)의 출력 단자 OUT에 접속해도 된다. 그것에 의해 배선구조가 용이하게 된다(도 11참조).
- <137> 또한 본 실시예에 따른 단위 시프트 레지스터 SR에서는, 도 3에 나타난 종래 회로와 달리, 제1클럭 단자 CK1의 클럭 신호의 상승과 제2클럭 단자 CK2의 클럭 신호의 하강이 일치할 필요는 없다. 따라서, 각 단위 시프트 레지스터 SR에 입력되는 클럭 신호는, 도 11에 나타나 있는 바와 같은 조합이어도 된다(3상의 클럭 신호는, CLK1, CLK2, CLK3, CLK1, ...의 순으로 H레벨이 된다). 다시 말해, 제2클럭 단자 CK2에, 클럭 신호 CLK의 클럭 신호의 다음에 H레벨이 되는 것을 입력해도 된다(예를 들면 제1클럭 단자 CK1에 클럭 신호 CLK1이 입력될 경우, 제2클럭 단자 CK2에는, 그 다음에 H레벨이 되는 클럭 신호 CLK2를 입력한다). 그 경우, 비선택 기간에 트랜지스터 Q5를 통해 노드 N1에서 방출된 전하에 의해 약간 상승한 출력 단자 OUT의 레벨(도 10의 ΔV_3 및 ΔV_7)이 신속하게 VSS로 내려간다. 그것에 의해, 본 실시예에 따른 단위 시프트 레지스터 SR의 동작의 신뢰성이 보다 높아진다.
- <138> <실시예 2>
- <139> 실시예 1의 단위 시프트 레지스터 SR_n(도 7)에서는, 노드 N1의 충전은 전단의 출력 신호 G_{n-1} 에 의해 행해지고 있었다. 바꿔 말하면, 단위 시프트 레지스터 SR_n의 출력 신호 G_n 은, 게이트 선 GL_n 뿐만아니라, 다음단의 단위 시프트 레지스터 SR_{n+1}의 노드 N1을 충전하는데 이용되고 있었다.
- <140> 단위 시프트 레지스터 SR의 노드 N1에 부수되는 용량성분으로서는, 용량소자 C1의 용량 및 트랜지스터 Q1의 게이트 용량이 포함된다. 실시예 1에서는, 그 용량성분이 각 단위 시프트 레지스터 SR의 출력 단자 OUT의 부하용량 C3의 일부가 되어, 출력 신호의 상승 속도를 느리게 하는 요인이 된다. 그것은, 단위 시프트 레지스터 SR의 동작의 고속화에 방해가 되어 문제가 된다.
- <141> 실시예 2에서는, 그 문제를 해결하는 것을 가능하게 하는 단위 시프트 레지스터 SR를 제안한다. 도 12는, 이 단위 시프트 레지스터 SR의 회로도이다. 도 12와 같이, 본 실시예에 따른 단위 시프트 레지스터 SR에서는, 구동회로를 구성하는 트랜지스터 Q3의 게이트는 입력 단자 IN에 접속되고, 드레인 소정의 고전위측 전원전위 VDD가 공급되는 제2전원단자 S2에 접속된다. 즉 본 실시예에 있어서는, 노드 N1은, 전단의 출력 신호 G_{n-1} 로 충전되는 것이 아니고, 고전위측 전원전위 VDD를 공급하는 전원에 의해 충전된다. 그것을 제외하고는, 실시예 1의 단위

시프트 레지스터 SR(도 7)과 동일한 구성이다.

- <142> 각 단위 시프트 레지스터 SR의 출력 단자 OUT는, 게이트 선 GL과 트랜지스터 Q3의 게이트에 접속하게 된다. 트랜지스터 Q3의 게이트 용량은, 노드 N1에 부수하는 용량성분(용량소자 C1의 용량 및 트랜지스터 Q1의 게이트 용량)에 비교하여 1/10이하이므로, 각 단위 시프트 레지스터 SR의 출력 단자 OUT에 따른 부하용량은, 실시예 1의 경우보다도 작아진다. 따라서, 출력 신호의 상승 및 하강하는 속도의 저하를 억제할 수 있고, 상기의 문제를 해결할 수 있다.
- <143> 또한, 도 12의 단위 시프트 레지스터 SR은, 노드 N1의 충전이 고전위측 전원전위 VDD를 공급하는 전원에 의해 행해지는 점에서 도 7의 회로와는 다르지만, 그 동작은 동일하다. 따라서, 본 실시예에 있어서도 실시예 1과 동일한 효과를 얻을 수 있다.
- <144> 또한 도 12의 단위 시프트 레지스터 SR에서는, 비선택 기간에서도 트랜지스터 Q3의 드레인 전위가 VDD이기 때문에, 트랜지스터 Q3의 리크 전류에 의해 플로팅 상태의 L레벨에 있는 노드 N1에 전하가 공급되는 것이 염려되지만, 트랜지스터 Q5가 클록 신호 CLK에 동기하여 정기적으로 온 하고, 그 전하를 방전하므로 문제는 되지 않는다.
- <145> 또한, 실시예 1의 단위 시프트 레지스터 SR(도 7)은, 고전위측 전원전위 VDD를 공급하기 위한 배선이 불필요하므로, 회로의 점유 면적이 삭감되어, 게이트 선 구동회로의 고집적화에 기여할 수 있는 점에서 유리하다.
- <146> <실시예 3>
- <147> 게이트 선 구동회로의 시프트 레지스터를 비정질 실리콘 TFT(a-SiTFT)로 구성된 표시장치는, 대면적화가 용이하고 또한 생산성이 높으며, 예를 들면 노트북형 PC의 화면이나, 대화면의 디스플레이 장치 등에 널리 채용되고 있다.
- <148> 그 반면 a-Si TFT는, 게이트 전극이 계속적으로 양 바이어스 되면, 임계값 전압이 양방향으로 시프트하여, 그 구동능력이 작아진다는 문제를 가지고 있음을 알았다. 예를 들면 실시예 1(도 7)의 회로에서는, 트랜지스터 Q2의 게이트에 반복적으로 클록 신호/CLK가 입력되므로, 이 트랜지스터 Q2의 임계값 전압이 시프트하여 그 구동능력이 점차로 저하하고, 출력 단자 OUT를 방전할 수 없게 되는 것이 염려된다. 그렇게 되면, 비선택 상태에 있어서 노드 N1에서 트랜지스터 Q5를 거쳐 방출될 전하가 출력 단자 OUT에 축적되어 가, 최종적으로는 비활성이어야 할 게이트 선 GL이 활성화된다는 오동작이 발생한다. 실시예 3에서는, 그 문제를 해결하는 것이 가능한 단위 시프트 레지스터 SR을 제안한다.
- <149> 도 13은, 실시예 3에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다. 동 도면과 같이, 트랜지스터 Q2의 소스는, 제1클록 단자 CK1에 접속되어 있다. 다시 말해, 트랜지스터 Q2의 하나의 주전극(드레인)은 출력 단자 OUT에 접속하고 있으며, 다른 주전극(소스)에는, 제어 전극(게이트)에 입력되는 클록 신호/CLK와는 위상이 다른 클록 신호 CLK가 공급된다.
- <150> 이 구성에 의하면, 트랜지스터 Q2의 게이트에 입력되는 클록 신호/CLK가 L레벨이 되어 이 트랜지스터 Q2가 오프 될 때, 소스에 입력되는 클록 신호 CLK가 H레벨이 되므로, 트랜지스터 Q2의 게이트가 소스에 대하여 음으로 바이어스 되는 것과 등가인 상태가 된다. 그것에 의하여, 양 방향으로 시프트한 임계값 전압이 음 방향으로 되돌아가 회복하므로, 트랜지스터 Q2의 구동능력의 저하가 경감되고, 회로의 동작 수명이 연장된다는 효과를 얻을 수 있다.
- <151> 또한, 여기에서는 단위 시프트 레지스터 SR로 구성되는 게이트 선 구동회로(30)가 2상의 클록 신호로 구동되어 있는 것을 전제로 설명했지만, 본 실시예는, 3상의 클록 신호로 구동되는 게이트 선 구동회로(30)의 단위 시프트 레지스터 SR에 대해서도 적용가능하다. 그 경우, 트랜지스터 Q2의 소스에는, 트랜지스터 Q2의 게이트에 입력되는 것 이외의 2개의 클록 신호의 어느 것이 입력되면 된다. 또 본 실시예는, 실시예 2의 회로(도 12)에 대해서도 적용가능하다.
- <152> <실시예 4>
- <153> 상기의 각 실시예 단위 시프트 레지스터 SR에서는, 셋트 상태로 이행할 때의 노드 N1의 전위는, 트랜지스터 Q3에 의한 충전(프리차지)에 의해, 이론적으로는 VDD-Vth(Q3)까지 상승한다. 그러나, 노드 N1이 충전되는 속도는 비교적 고속이 아니기 때문에, 클록 신호의 주파수가 높아져, 입력 신호(전단의 출력신호)의 펄스폭이 좁아지면, 노드 N1을 최대의 프리차지 레벨(VDD-Vth(Q3))까지 도달시키는 것이 곤란하게 된다. 그 원인으로서, 노드 N1의 프리차지 시에는 트랜지스터 Q3이 소스 폴로어 모드에서 동작하는 것을 들 수 있다.

즉, 노드 N1의 레벨이 상승하면 트랜지스터 Q3의 게이트·소스간 전압이 작아지므로, 노드 N1의 전압이 진행함에 따라 트랜지스터 Q3의 구동능력이 작아지고, 그 레벨 상승의 속도가 크게 저하하기 때문이다.

- <154> 실시예 4에서는, 그 문제를 해결할 수 있는 단위 시프트 레지스터 SR을 제안한다. 도 14는, 실시예 4에 따른 단위 시프트 레지스터 SR의 구성을 나타내는 회로도이다. 이 단위 시프트 레지스터 SR에 있어서, 트랜지스터 Q1을 구동하는 구동회로는, 트랜지스터 Q3, Q4에 더해 트랜지스터 Q6, Q7 및 용량소자 C4에 의해 구성된다.
- <155> 실시예 2의 회로(도 12)와 같이, 트랜지스터 Q3은 노드 N1과 제2전원단자 S2 사이에 접속하고, 트랜지스터 Q4는 노드 N1과 제1전원단자 S1 사이에 접속한다. 트랜지스터 Q4의 게이트가 리셋트 단자 RST에 접속하는 것도 도 12와 같다. 그러나 도 12와는 달리, 트랜지스터 Q3의 게이트에는, 전단의 출력 신호 G_{n-1} 은 직접 입력되지 않는다.
- <156> 본 실시예에 따른 단위 시프트 레지스터 SR은, 제1입력 단자 IN1 및 제2입력 단자 IN2라는, 2개의 입력 단자를 가지고 있다. 트랜지스터 Q3의 게이트 노드를 노드 N2로 정의하면, 노드 N2와 제2전원단자 S2 사이에, 게이트가 제1입력 단자 IN1에 접속한 트랜지스터 Q6이 접속한다. 또 노드 N2와 제2입력 단자 IN2 사이에는 용량소자 C4가 접속한다. 또한, 노드 N2와 제1전원단자 S1 사이에는, 게이트가 리셋트 단자 RST에 접속한 트랜지스터 Q7이 접속한다.
- <157> 또한, 노드 N2와 출력 단자 OUT 사이에 접속하고, 게이트가 제1클록 단자 CK1에 접속한 트랜지스터 Q8은, 노드 N2가 플로팅 상태가 되는 것을 방지하기 위한 트랜지스터이다.
- <158> 도 14의 단위 시프트 레지스터 SR을 사용하여 게이트 선 구동회로(30)를 구성할 경우, 복수의 단위 시프트 레지스터 SR은 도 15와 같이 종속 접속된다. 클록 발생기(31)가 발생하는 3상의 클록 신호는, CLK1, CLK2, CLK3, CLK1, ...의 순으로 활성화하도록 제어되고 있다.
- <159> 도 15에 나타나 있는 바와 같이, 제1단계(제1스테이지)의 단위 시프트 레지스터 SR1의 제1 및 제2입력 단자 IN1, IN2에는, 각각 제1 및 제2스타트 펄스 SP1, SP2가 입력 신호로서 입력된다. 이 제1 및 제2스타트 펄스 SP1, SP2는 모두 화상 신호의 각 프레임 기간의 선두에 대응하는 타이밍에서 H레벨이 되는 신호이지만, 양자는 위상이 어긋나 있다. 다시 말해, 제1스타트 펄스 SP1은 제2스타트 펄스 SP2보다도 빠른 타이밍에서 H레벨이 되고, 제2스타트 펄스 SP2는 제1스타트 펄스 SP1이 L레벨로 되돌아온 후에 H레벨로 천이하도록 제어된다.
- <160> 제2단계의 단위 시프트 레지스터 SR2에 있어서는, 제1입력 단자 IN1에 상기의 제2스타트 펄스 SP2가 입력되고, 제2입력 단자 IN2는 제1단계의 단위 시프트 레지스터 SR1의 출력 단자 OUT에 접속한다. 제3단계 이후의 단위 시프트 레지스터 SR에 있어서는, 제1입력 단자 IN1은 그 전단의 단위 시프트 레지스터 SR의 출력 단자 OUT에 접속하고, 제2입력 단자 IN2는 그 2단앞(전전 단)의 단위 시프트 레지스터 SR의 출력 단자 OUT에 접속한다. 또한 각 단위 시프트 레지스터 SR의 리셋트 단자 RST는, 그 다음단의 출력 단자 OUT에 접속한다.
- <161> 도 16은, 본 실시예에 따른 단위 시프트 레지스터 SR의 동작을 나타내는 타이밍 도이다. 이하, 제n단계의 단위 시프트 레지스터 SR_n의 동작을, 그 제1클록 단자 CK1에 클록 신호 CLK1이 입력되고, 제2클록 단자 CK2에 클록 신호 CLK2가 입력되는 것으로서 설명을 행한다(예를 들면 도 15에 있어서의 단위 시프트 레지스터 SR1, SR4등이 이에 해당한다).
- <162> 또한 이 단위 시프트 레지스터 SR이 출력하는 게이트 선 구동신호를 G_n , 그 전단 및 2단앞의 단위 시프트 레지스터 SR의 출력 신호를 각각 G_{n-1} 및 G_{n-2} , 다음단의 단위 시프트 레지스터 SR이 출력하는 게이트 선 구동신호를 G_{n+1} 로 정의한다. 또 설명을 간단히 하기 위해, 클록 신호 CLK1, CLK2, CLK3, 제1스타트 펄스 SP1 및 제2스타트 펄스 SP2의 H레벨은 모두 같은 것으로 가정하고, 그 레벨은 고전위측 전원전위 VDD와 같은 것으로 한다.
- <163> 우선 초기 상태로서, 노드 N1 및 노드 N2가 L레벨(VSS)이라고 가정한다(이하, 「리셋트 상태」라고 칭한다). 또한 제1클록 단자 CK1(클록 신호 CLK1)이 H레벨이며, 그 이외의 클록 신호 CLK2, CLK3, 제1입력 단자 IN1(2단앞의 출력 신호 G_{n-2}), 입력 단자 IN2(전단의 출력 신호 G_{n-1}), 리셋트 단자 RST(다음단의 출력 신호 G_{n+1})는 모두 L레벨이라고 한다.
- <164> 시각 t_0 에서 클록 신호 CLK₁이 L레벨이 된 후, 시각 t_1 에서 클록 신호 CLK₂가 H레벨이 되었을 때, 2단 앞의 출력 신호 G_{n-2} (제1단계의 단위 시프트 레지스터 SR1의 경우에는 제1스타트 펄스 SP1)가 H레벨이 되었다고 하자. 그러면 이 단위 시프트 레지스터 SR_n의 트랜지스터 Q6이 온이 되므로 노드 N2가 충전되어 H레벨이 된다. 또한 그것

에 따라 트랜지스터 Q3이 온 하고, 노드 N1의 레벨이 상승한다.

- <165> 여기에서, 노드 N2의 레벨을 상승시키기 위해서는, 용량소자 C4 및 트랜지스터 Q3의 게이트·채널간 용량(게이트 용량)을 충전할 필요가 있지만, 그것들의 용량값의 합은 작기 때문에(예를 들면 노드 N1에 접속하는 용량소자 C1 및 트랜지스터 Q1의 게이트 용량의 합의 약 1/5~1/10정도), 노드 N2는 고속으로 충전가능하다. 그 때문에 트랜지스터 Q6이 고속충전에 서투른 소스 폴로어 모드로 동작함에도 불구하고, 노드 N2의 레벨은 고속으로 이론값($V_{DD}-V_{th}(Q6)$)까지 상승한다.
- <166> 한쪽, 노드 N1의 레벨을 상승시키기 위해서는, 용량소자 C1 및 트랜지스터 Q1의 게이트 용량을 충전할 필요가 있지만, 그들의 용량값은 비교적 크기 때문에, 노드 N1의 고속충전은 곤란하다. 또한 트랜지스터 Q3은 소스 폴로어 모드에서 동작하므로, 단시간에 노드 N1의 레벨을 이론값($V_{DD}-V_{th}(Q6)-V_{th}(Q3)$)까지 상승시키는 것은 곤란하다. 따라서, 2단앞의 출력 신호 G_{n-2} 의 펄스폭이 충분히 넓지 않으면, 이 때의 노드 N1의 레벨은, 이론값보다도 작은 일정한 레벨까지밖에 상승하지 않는다.
- <167> 클록 신호 CLK2가 L레벨로 되돌아오는 시각 t_2 에서, 2단앞의 출력 신호 G_{n-2} 가 L레벨로 되돌아오므로, 트랜지스터 Q6은 오프가 되고 노드 N2는 플로팅 상태의 H레벨이 된다.
- <168> 그리고 클록 신호 CLK3이 H레벨이 되는 시각 t_3 에서, 전단의 출력 신호 G_{n-1} (제1단계의 단위 시프트 레지스터 SR1의 경우에는 제2스타트 펄스 SP2)가 H레벨이 되므로, 이 단위 시프트 레지스터 SR의 용량소자 C4를 통한 결합에 의해, 프리차지된 노드 N2가 더욱 승압된다. 승압 후의 노드 N2의 레벨은, 승압전에 대하여 전단의 출력 신호 G_{n-1} 의 진폭(V_{DD})만큼 상승하므로, $2 \times V_{DD}-V_{th}(Q6)$ 가 된다.
- <169> 이 상태에서는 트랜지스터 Q3의 게이트(노드 N2)·소스(노드 N1)간의 전압이 충분히 높아지므로, 트랜지스터 Q3은 소스 폴로어 모드가 아닌 비포화 영역에서의 동작(비포화 동작)을 가지고 노드 N1을 충전한다. 따라서 노드 N1은 고속으로 충전되어서 H레벨이 되고, 또한, 임계값 전압 V_{th} 의 손실도 없이 노드 N1레벨은 V_{DD} 에 도달한다. 이 노드 N1 및 노드 N2가 H레벨인 상태(이하, 「세트 상태」로 칭한다)에서는, 트랜지스터 Q1은 온이 된다.
- <170> 클록 신호 CLK3이 L레벨로 되돌아오는 시각 t_4 에서, 전단의 출력 신호 G_{n-1} 은 L레벨로 되돌아오고, 트랜지스터 Q3의 게이트(노드 N2)의 레벨은 그에 따라 하강하여 승압되기 전의 $V_{DD}-V_{th}(Q6)$ 로 되돌아온다. 이 때 트랜지스터 Q3의 소스(노드 N1)의 레벨은 V_{DD} 이므로, 이 트랜지스터 Q3은 오프가 되고, 노드 N1은 플로팅의 H레벨이 된다(따라서 세트 상태는 유지된다).
- <171> 상기의 각실시예의 단위 시프트 레지스터 SR에서는, 노드 N1의 프리차지 시에는, 트랜지스터 Q3의 임계값 전압의 손실을 수반하므로, 클록 신호의 펄스폭이 충분히 긴 경우라도, 노드 N1은 최대 $V_{DD}-V_{th}(Q3)$ 까지 밖에 상승하지 않는다. 그것에 대해 본 실시예에서는, 짧은 시간이어도 노드 N1을 그보다도 $V_{th}(Q3)$ 이상 높은 레벨까지 충전할 수 있다.
- <172> 그리고 시각 t_5 에서 제1클록 단자 CK1의 클록 신호 CLK1이 H레벨이 되면, 이 때 트랜지스터 Q1은 온, 트랜지스터 Q2는 오프이므로, 출력 단자 OUT의 출력 신호 G_n 의 레벨이 상승한다. 그러면 용량소자 C1 및 트랜지스터 Q1의 게이트 용량을 통한 용량결합에 의해, 노드 N1의 레벨이 특정 전압만큼 승압된다. 그것에 의하여, 트랜지스터 Q1의 게이트·소스간 전압이 크게 유지되므로, 출력 단자 OUT의 레벨 즉 출력 신호 G_n 은 클록 신호 CLK1에 따라 고속으로 상승한다. 또 트랜지스터 Q1은 비포화 동작을 행하므로 출력 신호 G_n 의 H레벨은, 클록 신호 CLK1의 H레벨과 같은 V_{DD} 가 된다.
- <173> 본 실시예에 있어서도 출력 신호 G_n 의 상승 시에는, 실시예 1과 마찬가지로 클록 신호 CLK1의 상승 속도와 출력 신호 G_n 의 상승 속도의 차이에 의해, 트랜지스터 Q5의 게이트·소스간 전압($V_{GS}(Q5)$)이 그 임계값 전압($V_{th}(Q5)$)을 초과하여, 노드 N1에서 출력 단자 OUT를 향해서 전류($I(Q5)$)가 흐르는 경우가 있다(도 9참조). 그러나, 기본적으로 그 전류는 약간이며, 트랜지스터 Q1의 구동능력에 영향을 줄 정도의 노드 N1의 레벨 저하는 생기지 않으므로 문제는 되지 않는다. 특히, 본 실시예에서는 노드 N1의 레벨이 높고, 출력 신호 G_n 의 상승 속도는 실시예 1보다도 고속이 되므로, 트랜지스터 Q5의 게이트·소스간 전압은 작아진다.
- <174> 그리고, 시각 t_6 에서 클록 신호 CLK1이 L레벨로 되돌아오면, 출력 신호 G_n 도 L레벨이 되어 게이트 선의 비선택 상태로 되돌아간다. 이 때 노드 N1의 레벨은 승압전의 V_{DD} 로 하강한다.

- <175> 계속해서, 클록 신호 CLK2가 H레벨이 되는 시각 t_7 에서, 다음단의 출력 신호 G_{n+1} 이 H레벨이 된다. 따라서 트랜지스터 Q4, Q7이 온 하고, 노드 N1, N2가 L레벨의 리셋트 상태로 되돌아간다. 그것에 의해 트랜지스터 Q1은 오프가 되지만, 이 때 트랜지스터 Q2가 온 하므로 출력 신호 G_n 의 L레벨은 유지된다. 그리고 클록 신호 CLK 2가 L레벨로 되돌아오는 시각 t_8 에서, 다음단의 출력 신호 G_{n+1} 은 L레벨로 되돌아오고, 이후, 이 단위 시프트 레지스터 SR_n 의 비선택 기간이 된다.
- <176> 또한, 비선택 기간의 동작은 기본적으로 실시예 1의 경우와 거의 동일하며, 제1클록 단자 CK1에 클록 신호 CLK1이 입력될 때마다, 트랜지스터 Q5가 온(전도상태)이 된다. 따라서, 클록 신호 CLK1의 상승시에 노드 N1의 레벨이 상승하려고 해도, 노드 N1은 트랜지스터 Q5를 통해 방전되고, 그 L레벨은 유지된다. 또한, 이 비선택 기간에서는, 트랜지스터 Q8도 클록 신호 CLK1이 입력되는 동안에 온이 되어 노드 N2를 방전한다. 그것에 의하여 트랜지스터 Q6의 리크 전류에 기인하는 전하가 노드 N2에 축적되어 이 노드 N2가 H레벨이 되는 것을 방지하고 있다. 이들 트랜지스터 Q5, Q8의 작용에 의해, 비선택 기간에 트랜지스터 Q1이 온 하고, 출력 신호 G_n 이 불필요하게 H레벨이 되는 것이 방지되고 있다.
- <177> 이상과 같이 본 실시예에 의하면, 상기의 각 실시예에 비교하여 보다 고속으로, 보다 높은 레벨로 노드 N1을 프리차지할 수 있기 때문에, 출력 신호의 상승 및 하강 속도가 더 향상하고, 동작의 고속화에 기여할 수 있다. 또한 트랜지스터 Q5가 실시예 1과 마찬가지로 작용하므로, 비선택 기간에 있어서의 오동작을 방지하는 효과는 실시예 1과 마찬가지로 얻어진다. 또한 상기의 실시예 3은, 본 실시예에 대해서도 적용가능하다.
- <178> <실시예 5>
- <179> 도 9를 사용하여 설명한 바와 같이, 실시예 1의 단위 시프트 레지스터 SR에 있어서, 출력 신호(G_n)의 상승시에 트랜지스터 Q5의 게이트·소스간 전압 $V_{GS}(Q5)$ 가, 그 임계값 전압 $V_{th}(Q5)$ 를 넘으면, 트랜지스터 Q5를 통해 노드 N1에서 출력 단자 OUT로 전류($I(Q5)$)가 흐른다. 상기한 바와 같이, 통상, 그 전류는 약간 흐를 뿐으로, 트랜지스터 Q1의 구동능력에 영향을 줄 정도의 노드 N1의 레벨 저하는 생기지 않으므로 문제는 되지 않지만, 출력 부하용량이 크고 출력 신호의 상승이 지연되는 경우에는, 트랜지스터 Q5를 흐르는 전류($I(Q5)$)가 커져, 트랜지스터 Q1의 구동능력이 저하하게 되는 가능성도 있다. 실시예 5에서는 그 대책이 되는 단위 시프트 레지스터 SR을 제안한다.
- <180> 도 17은 실시예 5에 따른 단위 시프트 레지스터 SR의 회로도이다. 도 17에 나타내는 단위 시프트 레지스터 SR에 있어서는, 트랜지스터 Q5의 게이트와 제 1클록단자 CK1은 직접 접속하지 않고, 그 사이에는 레벨 조정 회로(100)가 개재되고 있다. 이 레벨 조정 회로(100)는, 제1클록 단자 CK1에 입력되는 클록 신호를 H레벨을 소정값만큼 낮게 하고(L레벨을 기준으로 한 H레벨의 절대값을 작게하고)나서, 트랜지스터 Q5의 게이트에 공급하는 것이다. 즉 레벨 조정 회로(100)는, 제1클록 단자 CK1에 입력되는 클록 신호의 진폭을, 상기 소정의 값만큼 작아지도록 기능한다.
- <181> 도 17의 예에 있어서 레벨 조정 회로(100)는, 트랜지스터 Q9, Q10에 의해 구성되어 있다. 트랜지스터 Q5의 게이트가 접속하는 노드를 노드 N3으로 정의하면, 트랜지스터 Q9(제3트랜지스터)는, 노드 N3과 제1클록 단자 CK1 사이에 접속하고, 그 게이트는 제1클록 단자 CK1에 접속되어 있다(다이오드 접속되어 있다). 또 트랜지스터 Q10(제4트랜지스터)은, 노드 N3과 제1전원단자 S1 사이에 접속하고, 그 게이트는 제2클록 단자 CK2에 접속하고 있다.
- <182> 이하, 실시예 5의 단위 시프트 레지스터 SR의 동작에 관하여 설명한다. 여기에서는, 이 단위 시프트 레지스터 SR이 2상의 클록 신호 CLK, /CLK에 의해 구동되고 있으며, 제1클록 단자 CK1에 클록 신호 CLK1이 입력되고, 제2클록 단자 CK2에 클록/CLK가 입력되어 있다고 가정한다.
- <183> 도 17의 단위 시프트 레지스터 SR의 동작은, 기본적으로 실시예 1의 회로(도 7)와 같지만, 트랜지스터 Q5의 게이트에는, 레벨 조정 회로(100)를 통해 클록 신호 CLK가 공급된다. 클록 신호 CLK가 H레벨이 될 때, 트랜지스터 Q5의 게이트에는 클록 신호 CLK의 H레벨을 트랜지스터 Q9의 임계값 전압분 만큼 작게 한 신호, 즉 클록 신호 CLK의 진폭을 이 임계값 전압분 만큼 작게 한 신호가 공급된다(이 때 클록 신호/CLK는 L레벨이며 트랜지스터 Q10는 오프하고 있다).
- <184> 그 결과, 출력 신호(G_n)의 상승시에 있어서의 트랜지스터 Q5의 게이트·소스간 전압($V_{GS}(Q5)$)은 작아져, 그 임계값 전압($V_{th}(Q5)$)을 넘기 어렵다. 따라서, 출력 부하용량이 커서, 출력 신호의 상승이 지연된 경우에도, 그

때 트랜지스터 Q5에 흐르는 전류(I(Q5))를 작게 또는 0으로 할 수 있으며, 트랜지스터 Q1의 구동능력의 저하를 억제할 수 있다.

- <185> 또한 트랜지스터 Q9는 제 1클록 단자 CK1을 애노드, 노드 N3을 캐소드로 하는(즉, 제1클록 단자 CK1에서 노드 N3으로의 방향을 전도방향(충전방향)으로 한다) 다이오드로서 기능하므로, 클록 신호 CLK가 L레벨로 되돌아왔을 때, 트랜지스터 Q9에서는 노드 N3을 방전할 수 없지만, 이 때 클록 신호/CLK가 H레벨이 되므로, 노드 N3은 트랜지스터 Q10을 통해 방전되어 L레벨이 된다. 그 결과, 트랜지스터 Q5는 실시예 1과 거의 마찬가지로 동작한다.
- <186> <실시예 6>
- <187> 실시예 6에 있어서는, 실시예 5에서 설명한 레벨 조정 회로(100)의 변형예를 도시한다.
- <188> 예를 들면 도 17의 레벨 조정 회로(100)를 사용해도, 단위 시프트 레지스터 SR의 출력 신호 G_n의 상승시에 트랜지스터 Q5에 흐르는 전류를 충분히 억제할 수 없는 경우에는, 도 18과 같이 노드 N3과 제1클록 단자 CK1 사이에 모두 다이오드 접속한 2개의 트랜지스터 Q9, Q11을 직렬로 접속시킨 레벨 조정 회로(100)를 사용해도 된다. 도 17의 레벨 조정 회로(100)와 비교하여, 트랜지스터 Q5의 게이트에 공급되는 신호의 H레벨이 트랜지스터 Q11의 임계값 전압분 만큼 작아지므로, 트랜지스터 Q5에 흐르는 전류를 억제하는 효과를 더욱 더 높일 수 있어 유효하다.
- <189> 또 도 17에 있어서는 트랜지스터 Q10의 소스는, 제1전원단자 S1에 접속시키고 있지만, 도 19와 같이 제1클록 단자 CK1에 접속되어도 된다. 그 경우, 클록 신호/CLK가 L레벨이 되어 이 트랜지스터 Q10이 오프로 될 때, 소스에 입력되는 클록 신호 CLK가 H레벨이 되므로, 트랜지스터 Q10의 게이트가 소스에 대하여 음으로 바이어스되는 것과 등가인 상태가 된다. 그것에 의하여, 정방향으로 시프트한 트랜지스터 Q10의 임계값 전압이 음 방향으로 되돌아가 회복되므로, 회로의 동작 수명을 연장시킬 수 있다는 효과를 얻을 수 있다.
- <190> 또 도 17의 단위 시프트 레지스터 SR에 있어서, 트랜지스터 Q5의 게이트폭이 크고, 그 게이트 용량이 노드 N3에 부수되는 기생 용량(도시하지 않음)에 대하여 상당히 클 경우에는, 출력 신호 G_n의 상승시에 트랜지스터 Q5의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해 노드 N3의 레벨이 상승하는 것을 생각할 수 있다. 이 노드 N3의 레벨 상승이 크면, 출력 신호 G_n이 H레벨 동안 트랜지스터 Q5가 온하여, 노드 N1의 레벨이 저하한다는 문제가 생긴다.
- <191> 그래서 도 20과 같이, 레벨 조정 회로(100)에, 노드 N3과 제1클록 단자 CK1 사이에, 노드 N3에서 제1클록 단자 CK1로의 방향이 순방향(방전 방향)이 되도록 다이오드 접속한 트랜지스터 Q12(일방향성의 스위칭소자)를 형성해도 된다. 이 트랜지스터 Q12는, 노드 N3의 레벨이 클록 신호 CLK의 H레벨(VDD)과 트랜지스터 Q12의 임계값 전압(V_{th}(Q12))의 합 이상으로 상승했을 경우에, 노드 N3에서 제1클록 단자 CK1로 전류를 흐르게 하고, 노드 N3의 레벨을 VDD+V_{th}(Q12)레벨로 클램프한다. 따라서, 트랜지스터 Q5의 게이트·소스간 전압의 전압은 최대 V_{th}(Q12)가 되고, 출력 신호 G_n의 출력시에 있어서의 트랜지스터 Q5의 전도를 거의 억제할 수 있으므로 노드 N1의 레벨 저하도 억제된다.
- <192> 또 도 20에 있어서는, 도 17에 나타난 레벨 조정 회로(100)에 대하여 트랜지스터 Q12를 설치한 예를 도시했지만, 예를 들면 도 21에 나타나 있는 바와 같이 도 18의 레벨 조정 회로(100)에 트랜지스터 Q12를 설치해도 되고, 도 22에 나타나 있는 바와 같이 도 19의 레벨 조정 회로(100)에 설치해도 된다.
- <193> <실시예 7>
- <194> 도 23은, 본 발명의 실시예 7에 따른 단위 시프트 레지스터 SR의 회로도이다. 본 실시예는, 실시예 2(도 12)와 같이, 트랜지스터 Q3을 통한 노드 N1의 충전원으로서, 고전위측 전원전위 VDD를 공급하는 전원이 이용되는 경우에 유효하다.
- <195> 예를 들면 도 12의 단위 시프트 레지스터 SR의 비선택 기간에 있어서, 클록 신호 CLK가 L레벨일 때 트랜지스터 Q5가 오프이며, 노드 N1은 플로팅 상태의 L레벨이므로, 트랜지스터 Q3의 리크 전류에 의한 전하가 노드 N1에 축적된다. 따라서 리크 전류가 클 경우에는 노드 N1의 전위가 상승하게 된다. 그리고 클록 신호 CLK가 H레벨이 될 때에는 트랜지스터 Q1의 오버랩 용량을 통한 결합에 의해 노드 N1의 레벨이 상승하지만, 그 때 노드 N1의 레벨이 높아지면, 비선택 기간임에도 불구하고 트랜지스터 Q1이 온이 될 수 있어, 오동작이 생기는 원인이 된다.
- <196> 도 23의 단위 시프트 레지스터 SR에서는, 그 문제의 대책을 행해지고 있다. 이하, 이 단위 시프트 레지스터 SR

에 관하여 설명한다.

- <197> 도 23의 단위 시프트 레지스터 SR은, 도 12의 회로에, 트랜지스터 Q13~Q15로 이루어지는 회로를 접속한 구성이 되고 있다. 도 23에 나타나 있는 바와 같이 트랜지스터 Q13은, 노드 N1과 제1전원단자 S1 사이에 접속한다. 여기에서, 트랜지스터 Q13의 게이트가 접속하는 노드를 노드 N4로 정의하면, 노드 N4와 제1전원단자 S1 사이에 트랜지스터 Q14, Q16이 서로 병렬로 접속하고 있다. 트랜지스터 Q14의 게이트는 노드 N1에 접속하고, 트랜지스터 Q16의 게이트는 제1클록 단자 CK1에 접속한다. 또 트랜지스터 Q15는 다이오드 접속되고, 노드 N4와 제2클록 단자 CK2 사이에 접속된다. 다시 말해, 트랜지스터 Q15의 게이트는, 그 드레인과 마찬가지로 제2클록 단자 CK2에 접속한다.
- <198> 트랜지스터 Q14의 온 저항은 트랜지스터 Q15의 온 저항보다도 충분 작게 설정되고 있다. 그 때문에 클록 신호/CLK가 H레벨이라고 가정하면, 노드 N1이 H레벨이 되어 트랜지스터 Q14가 온 하고, 노드 N4는 L레벨이 된다. 즉, 트랜지스터 Q14, Q15는, 노드 N1을 입력 노드, 노드 N4를 출력 노드로 하는 레시오형의 인버터를 구성하고 있으며, 트랜지스터 Q14(제6트랜지스터)는 이 인버터의 드라이버 소자, 트랜지스터 Q15(제7트랜지스터)는 부하 소자로서 각각 기능하고 있다. 단 이 인버터는 트랜지스터 Q15의 드레인에 공급되는 전원으로서 클록 신호/CLK가 이용되고 있기 때문에, 클록 신호/CLK가 H레벨 기간에 활성화된다.
- <199> 트랜지스터 Q16은, 클록 신호 CLK가 H레벨일 때 온이 되어서 노드 N4를 방전한다. 다시 말해, 이 트랜지스터 Q16은, 클록 신호/CLK가 L레벨에서 이 인버터가 비활성시에, 이 인버터의 출력 노드(노드 N4)를 방전하는 트랜지스터(제8트랜지스터)이다.
- <200> 또 트랜지스터 Q13은, 트랜지스터 Q14, Q15로 이루어지는 인버터의 출력에 의거하여 노드 N1을 방전하는 트랜지스터(제5트랜지스터)이다. 이 트랜지스터 Q13은, 트랜지스터 Q3의 리크 전류 정도의 전류를 흐르게 할 수 있으면 되고, 따라서 그 온 저항은 그만큼 낮지 않아도 된다. 그 때문에 트랜지스터 Q13은 사이즈가 작은 트랜지스터라도 된다.
- <201> 도 24는, 도 23의 단위 시프트 레지스터 SR의 동작을 나타내는 타이밍 도이다. 이하, 이 도면에 의거하여 이 단위 시프트 레지스터 SR의 동작을 설명하지만, 그 기본적인 동작은 도 8에서 설명한 것과 같기 때문에, 여기에서는 주로 트랜지스터 Q13~Q15로 이루어지는 회로에 따른 동작을 설명한다.
- <202> 여기에서도 초기 상태로서, 노드 N1이 L레벨의 리셋트 상태를 상정하고, 또 제1클록 단자 CK1(클록 신호 CLK)은 H레벨, 제2클록 단자 CK2(클록 신호/CLK), 리셋트 단자 RST(다음단의 출력 신호 G_{n+1}) 및 입력 단자 IN(전단의 출력 신호 G_{n-1})은 L레벨이라고 한다.
- <203> 시각 t_0 에서 클록 신호 CLK가 L레벨로 천이한 후, 클록 신호/CLK가 H레벨로 천이하는 시각 t_1 에서 전단의 출력 신호 G_{n-1} 이 H레벨이 되면, 트랜지스터 Q3이 온 하고, 노드 N1의 레벨이 상승한다. 또 트랜지스터 Q14, Q15로 이루어지는 인버터가 활성화한다. 이 때 트랜지스터 Q15가 온이 되므로 노드 N4의 레벨이 상승하여 트랜지스터 Q13이 전도하려고 하지만, 트랜지스터 Q3의 온 저항이 트랜지스터 Q3의 온 저항에 비해 충분히 낮게 설정되고 있어, 여기에서는 노드 N1의 전위가 상승하여 H레벨($VDD-V_{th}$)이 된다. 따라서, 트랜지스터 Q14가 온이 되고, 노드 N4는 트랜지스터 Q15, Q14의 온 저항비로 결정되는 L레벨이 된다. 그 결과, 이 단위 시프트 레지스터 SR은, 세트 상태가 되고 트랜지스터 Q1이 온이 된다.
- <204> 그리고 시각 t_2 에서 전단의 출력 신호 G_{n-1} 이 L레벨이 되면, 트랜지스터 Q3이 오프가 되고, 노드 N1은 플로팅 상태의 H레벨이 된다. 동시에 클록 신호/CLK도 L레벨이 되므로 트랜지스터 Q15는 오프가 되고 트랜지스터 Q14, Q15로 이루어지는 인버터가 비활성이 된다. 따라서 트랜지스터 Q15로부터의 전류공급이 없어지므로 노드 N4의 레벨은 VSS가 된다.
- <205> 또한 시각 t_3 에서 클록 신호 CLK가 H레벨이 되면, 트랜지스터 Q1이 온 하고 있기 때문에 출력 신호 G_n 이 H레벨이 되고, 그와 동시에 노드 N1이 승압된다. 이 때 트랜지스터 Q16이 온 하지만, 노드 N4는 이미 VSS로 되어 있기 때문에 그 레벨의 변화는 없다.
- <206> 시각 t_4 에서 클록 신호 CLK가 L이 되면, 그에 따라 출력 신호 G_n 도 L레벨로 되돌아온다. 또 트랜지스터 Q16도 오프가 된다.
- <207> 그리고 시각 t_5 에서, 클록 신호/CLK가 H레벨이 되는 동시에 다음단의 출력 신호 G_{n+1} 이 H레벨이 된다. 그렇게 되

면 트랜지스터 Q4가 온 하여 노드 N1의 레벨을 하강시키고, 따라서 트랜지스터 Q14가 오프가 된다. 또 트랜지스터 Q15가 온이 되고, 트랜지스터 Q14, Q15로 이루어지는 인버터가 활성화되므로, 노드 N4가 H레벨이 되어 트랜지스터 Q13이 온 한다. 그것에 의해 노드 N1이 L레벨의 리셋트 상태가 된다.

- <208> 시각 t_6 에서 클록 신호/CLK가 L레벨이 되면, 트랜지스터 Q15가 오프가 되고, 트랜지스터 Q14, Q15로 이루어지는 인버터가 비활성이 된다. 그러나, 노드 N4는 플로팅 상태의 H레벨이 되므로 트랜지스터 Q13의 온은 유지되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 노드 N1에 축적되는 것은 방지되고 있다.
- <209> 그리고 시각 t_7 에서 클록 신호 CLK가 H레벨이 되면, 트랜지스터 Q16이 온 하므로 노드 N4는 방전되어서 L레벨이 되고, 따라서 트랜지스터 Q13은 오프가 된다. 그러나 이 때 트랜지스터 Q5가 온이 되므로, 실시예 1과 마찬가지로, 이 트랜지스터 Q5를 통해 노드 N1의 전하는 방전된다.
- <210> 시각 t_8 에서 CLK가 L레벨이 되면 트랜지스터 Q5는 오프되므로 노드 N1이 플로팅 상태가 되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 축적되기 시작한다. 그러나 본 실시예에서는, 그 직후의 시각 t_9 에서 클록 신호/CLK가 H레벨이 되면 트랜지스터 Q14, Q15로 이루어지는 인버터가 활성화되고 노드 N4가 H레벨이 된다. 따라서 트랜지스터 Q13이 온 하므로, 이번은 트랜지스터 Q13을 통해 노드 N1의 전하가 방출된다.
- <211> 이후, 다음에 전단의 출력 신호 G_{n-1} 이 H레벨이 될 때까지의 비선택 기간에서는, 노드 N1은, 클록 신호 CLK가 H레벨이 되면 트랜지스터 Q5를 통해 방전(풀 다운)되고, 클록 신호/CLK가 H레벨이 되면 트랜지스터 Q13을 통해 방전된다. 즉 비선택 기간은 이 동작이 반복되므로, 노드 N1의 레벨의 상승은 방지된다.
- <212> 이상과 같이 본 실시예에 의하면, 단위 시프트 레지스터 SR의 비선택 기간에 노드 N1은 플로팅 상태가 되는 것 방지할 수 있으므로, 트랜지스터 Q3의 리크 전류에 의해 노드 N1의 전위가 상승하는 것을 방지할 수 있다. 다시 말해, 비선택 기간에 있어서의 오동작의 발생을 더욱 억제할 수 있어, 동작의 신뢰성이 향상된다.
- <213> 또 상기한 바와 같이, 노드 N1의 방전은 트랜지스터 Q5, Q13이라는 2개의 트랜지스터에 의해 교대로 행해진다. 다시 말해, 그것들의 게이트는, 비선택 기간에 계속적으로 바이어스되는 것은 아니고, 클록 신호 CLK, /CLK의 H레벨이 되는 타이밍에서 각각 바이어스되므로, 이 트랜지스터 Q5, Q13의 임계값 전압의 시프트의 문제도 완화된다는 이점도 있다.
- <214> 또한 도 23에 있어서는 트랜지스터 Q15를 다이오드 접속시키고, 그 게이트와 드레인의 양쪽에 클록 신호/CLK가 공급되는 예를 도시했지만, 트랜지스터 Q5의 게이트에만 클록 신호/CLK를 공급하고, 드레인에는 다른 전압원이 공급되도록 구성해도 된다. 그 경우, 예를 들면 도 25와 같이, 트랜지스터 Q15의 드레인을 제2전원단자 S2에 접속시키고, 고전위측 전원전위 VDD가 공급되도록 해도 된다.
- <215> 또 도 26에 나타나 있는 바와 같이 트랜지스터 Q16의 소스를 제2클록 단자 CK2에 접속하고, 클록 신호/CLK가 공급되도록 해도 된다. 그 경우, 트랜지스터 Q16의 게이트에 입력되는 클록 신호 CLK가 L레벨이 되어 이 트랜지스터 Q16이 오프로 될 때, 소스에 입력되는 클록 신호/CLK가 H레벨이 되므로, 트랜지스터 Q16의 게이트가 소스에 대하여 음으로 바이어스 되는 것과 등가인 상태가 된다. 그것에 의하여, 양의 방향으로 시프트한 임계값 전압이 음 방향으로 되돌아와서 회복되므로, 트랜지스터 Q16의 구동능력의 저하가 경감된다. 따라서 트랜지스터 Q16의 구동능력을 크게 유지할 수 있는 만큼, 트랜지스터 Q16의 사이즈를 작게할 수 있다.
- <216> 또한 도 27에 나타나 있는 바와 같이 트랜지스터 Q2의 게이트를 노드 N4에 접속시켜도 된다. 비선택 기간에 있어서의 노드 N4의 레벨은, 클록 신호/CLK의 상승시에 H레벨이 되고, 클록 신호 CLK의 상승시에 L레벨이 되므로, 그렇게 구성해도 상기와 같은 동작이 가능하다. 그것에 의해 회로의 배치 자유도가 늘어나고, 회로의 점유 면적을 작게 하는 것이 용이하게 된다.
- <217> 또한, 도 23의 단위 시프트 레지스터 SR에서는, 트랜지스터 Q5의 게이트에 클록 신호 CLK가 직접 입력되고 있지만, 물론 실시예 5, 6(도 17~도 22)에 나타난 레벨 조정 회로(100)를 사용해도 된다. 또 도 23에서는 트랜지스터 Q2의 소스는 제1전원단자 S1에 접속시켰지만, 물론 실시예 3(도 13)을 적용하여 제1클록 단자 CK1에 접속시켜도 된다.
- <218> <실시예 8>
- <219> 도 28은 본 발명의 실시예 8에 따른 단위 시프트 레지스터 SR의 회로도이다. 본 실시예에 있어서는, 도 23의 회로에 대하여, 트랜지스터 Q14, Q15로 이루어지는 인버터가 비활성시에 그 출력 노드(노드 N4)를 방전하는 트랜지스터 Q16(제8트랜지스터)을, 제2클록 단자 CK2와 노드 N4 사이에 접속시킨 구성으로 한다. 이 경우, 도 28과

같이 트랜지스터 Q16의 게이트는 노드 N4에 접속시킨다. 다시 말해, 트랜지스터 Q16은 다이오드 접속되고 있으며, 노드 N4에서 제2클록 단자 CK2로의 방향을 순방향으로 하는 일방향성의 스위칭소자로서 기능하고 있다.

- <220> 도 29는, 도 28의 단위 시프트 레지스터 SR의 동작을 나타내는 타이밍 도이다. 시각 t_6 까지의 동작은, 도 24를 사용하여 설명한 도 23의 단위 시프트 레지스터 SR의 동작과 같기 때문에 여기에서의 설명은 생략한다.
- <221> 시각 t_6 에서 클록 신호/CLK가 L레벨이 되면, 노드 N4의 전하가 트랜지스터 Q16을 통해 방전된다. 트랜지스터 Q16은 다이오드 접속되고 있기 때문에, 방전후의 노드 N4의 레벨은 트랜지스터 Q16의 임계값 전압($V_{th}(Q16)$)까지 내려간다. 그렇게 되면 트랜지스터 Q13은 오프하므로, 노드 N1은 플로팅 상태가 되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 노드 N1에 축적되기 시작한다. 그러나 그 직후의 시각 t_7 에서 클록 신호 CLK가 H레벨이 되면, 트랜지스터 Q5이 온이 되므로, 실시예 1과 마찬가지로, 이 트랜지스터 Q5를 통해 노드 N1의 전하는 방전된다.
- <222> 시각 t_8 에서 CLK가 L레벨이 되면 트랜지스터 Q5는 오프하므로 다시 노드 N1이 플로팅 상태가 되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 축적되기 시작한다. 그러나 그 직후의 시각 t_9 에서 클록 신호/CLK가 H가 되고, 노드 N4가 H레벨이 된다. 따라서 트랜지스터 Q13이 온 하므로, 이번은 트랜지스터 Q13을 통해 노드 N1의 전하가 방출된다.
- <223> 이후, 다음에 전단의 출력 신호 G_{n-1} 이 H레벨이 될 때까지의 비선택 기간에서는, 노드 N1은, 클록 신호 CLK가 H레벨이 되면 트랜지스터 Q5를 통해 방전(풀 다운)되고, 클록 신호/CLK가 H레벨이 되면 트랜지스터 Q13을 통해 방전된다. 즉 비선택 기간은 이 동작이 반복되므로, 노드 N1의 레벨의 상승은 방지된다.
- <224> 이상과 같이, 본 실시예에 있어서는, 노드 N4이 방전되는 타이밍이 클록 신호/CLK의 하강시(시각 t_6)이며, 또 방전후의 노드 N4의 레벨은 트랜지스터 Q16의 임계값 전압이 된다는 점에서, 실시예 7과는 다르지만, 그 이외의 동작은 거의 동일하고, 동일한 효과를 얻을 수 있다.
- <225> 또한, 도 28에 있어서도, 트랜지스터 Q15를 다이오드 접속시키고, 그 게이트와 드레인의 양쪽에 클록 신호/CLK가 공급되는 예를 도시했지만, 트랜지스터 Q5의 게이트에만 클록 신호/CLK를 공급하고, 드레인에는 다른 전압원이 공급되도록 구성해도 된다. 그 경우, 예를 들면 트랜지스터 Q15의 드레인을 제2전원단자 S2에 접속하고, 고전위측 전원전위 VDD가 공급되도록 해도 된다(도 25참조).
- <226> 또 도 30에 나타나 있는 바와 같이 트랜지스터 Q2의 게이트를 노드 N4에 접속시켜도 된다. 비선택 기간에 있어서의 노드 N4의 레벨은, 클록 신호/CLK의 레벨에 따르므로, 그와 같이 구성해도 상기와 같은 동작이 가능하다. 그에 따라 회로의 배치 자유도가 증가하고, 회로의 점유 면적을 작게 하는 것이 용이하게 된다.
- <227> 또한, 도 28의 단위 시프트 레지스터 SR에서는, 트랜지스터 Q5의 게이트에 클록 신호 CLK가 직접 입력되고 있지만, 물론 실시예 5, 6(도 17~도 22)에 나타낸 레벨 조정 회로(100)를 사용해도 된다. 또 도 28에서는 트랜지스터 Q2의 소스는 제1전원단자 S1에 접속시켰지만, 물론 실시예 3(도 13)을 적용하여 제1클록 단자 CK1에 접속시켜도 된다.
- <228> <실시예 9>
- <229> 도 31은 본 발명의 실시예 9에 따른 단위 시프트 레지스터 SR의 회로도이다. 이 단위 시프트 레지스터 SR은, 도 23에 있어서의 트랜지스터 Q15, Q16을, 용량소자 C4로 치환한 것이다. 도 31과 같이, 이 용량소자 C4는, 노드 N4와 제2클록 단자 CK2 사이에 접속하고 있다. 또한, 트랜지스터 Q14는 도 23과 마찬가지로 노드 N4와 제1전원 단자 S1 사이에 접속하고, 게이트가 노드 N1에 접속하고 있다.
- <230> 이 트랜지스터 Q14와 용량소자 C4로 구성되는 회로도, 클록 신호/CLK가 H레벨이 될 때 활성화하는 인버터로서 기능한다. 다시 말해, 그 입력 노드(노드 N1)가 L레벨이면, 트랜지스터 Q14가 오프이므로, 클록 신호/CLK가 H레벨이 될 때 출력 노드(노드 N4)는 용량소자 C4를 통한 결합에 의해 승압되어서 H레벨이 된다. 반대로, 입력 노드(노드 N1)가 H레벨이면, 트랜지스터 Q14는 오프이므로, 클록 신호/CLK가 H레벨이 되어도 출력 노드(노드 N4)는 승압되지 않고 L레벨이 된다.
- <231> 도 32는, 도 31의 단위 시프트 레지스터 SR의 동작을 나타내는 타이밍 도이다. 이하, 이 도면에 의거하여 이 단위 시프트 레지스터 SR의 동작을 설명하지만, 그 기본적인 동작은 도 29에서 설명한 것과 같기 때문에, 여기에서는 노드 N4의 레벨의 활동을 중심으로 설명한다.

- <232> 여기에서도 초기 상태로서, 노드 N1이 L레벨의 리셋트 상태를 상징하고, 또 제1클록 단자 CK1(클록 신호 CLK)은 H레벨, 제2클록 단자 CK2(클록 신호/CLK), 리셋트 단자 RST(다음단의 출력 신호 G_{n+1}) 및 입력 단자 IN(전단의 출력 신호 G_{n-1})은 L레벨이라고 한다.
- <233> 시각 t_0 에서 클록 신호 CLK가 L레벨로 천이한 후, 시각 t_1 에서 클록 신호/CLK가 상승한다. 그러면 용량소자 C4를 통한 용량결합에 의해 노드 N4의 레벨이 상승하지만, 이 때 트랜지스터 Q3이 온 하여 노드 N1이 H레벨이 되므로 트랜지스터 Q14가 온 하고, 노드 N4는 바로 VSS의 레벨까지 방전된다. 즉, 노드 N4는 순간적으로 H레벨이 되지만, 이 때 노드 N2는 트랜지스터 Q3에 의해 충전되므로, 노드 N1은 문제 없이 H레벨이 된다.
- <234> 시각 t_2 에서 클록 신호/CLK가 하강하고, 그것에 의해 노드 N4의 레벨은 강하하지만, 노드 N1이 H레벨이며 트랜지스터 Q14가 온 하고 있기 때문에, 바로 VSS의 레벨로 되돌아온다.
- <235> 또한 시각 t_3 에서 클록 신호 CLK가 H레벨이 되면, 출력 신호 G_n 이 H레벨이 되고, 계속해서 시각 t_4 에서 클록 신호 CLK가 L이 되면 출력 신호 G_n 은 L레벨로 되돌아온다. 그 동안, 노드 N4의 레벨의 변화는 없다.
- <236> 그리고 시각 t_5 에서의 클록 신호/CLK의 상승에 따라, 노드 N4의 레벨은 상승한다. 이 때 다음단의 출력 신호 G_{n+1} 에 의해 트랜지스터 Q4가 온 하고, 노드 N1이 L레벨이 되며, 따라서 트랜지스터 Q14가 오프가 되므로, 상승 후의 노드 N4는 특정한 레벨로 유지된다.
- <237> 시각 t_6 에서 클록 신호/CLK의 하강과 동시에 노드 N4의 레벨이 강하한다. 이 때 N1의 레벨은 VSS이며, 트랜지스터 Q14의 게이트(노드 N1)·소스(여기에서는 전위관계로부터 노드 N4)사이가 V_{th} 이상이면, 트랜지스터 Q14는 온 한다. 그 결과, 노드 N4의 레벨은, VSS보다도 트랜지스터 Q14의 임계값 전압만큼 낮은 $-V_{th}(Q14)$ 가 된다.
- <238> 이 때 트랜지스터 Q13은 오프이기 때문에, 노드 N1은 플로팅 상태가 되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 노드 N1에 축적되기 시작한다. 그러나 그 직후의 시각 t_7 에서 클록 신호 CLK가 H레벨이 되면, 트랜지스터 Q5가 온이 되므로, 실시예 1과 마찬가지로, 이 트랜지스터 Q5를 통해 노드 N1의 전하는 방전된다.
- <239> 그리고 시각 t_8 에서 CLK가 L레벨이 되면 트랜지스터 Q5는 오프하므로 다시 노드 N1이 플로팅 상태가 되고, 트랜지스터 Q3의 리크 전류에 의한 전하가 축적되기 시작한다. 그러나 그 직후의 시각 t_9 에서 클록 신호/CLK가 H레벨이 되면, 용량소자 C4를 통한 결합에 의해, 노드 N4가 소정의 전압(도 32에 나타낸다 ΔV)만큼 상승하여 H레벨이 된다. 이 때 노드 N1은 L레벨이며 트랜지스터 Q13은 오프하고 있기때문에, 클록 신호/CLK가 H레벨 동안, 노드 N4의 H레벨은 유지된다. 상승하는 전압값(ΔV)은, 용량소자 C4와 노드 N4의 기생 용량으로 의해 결정되는 값이 되므로, 용량소자 C4는 노드 N4가 충분히 H레벨이 되는 값으로 미리 설정된다.
- <240> 이후, 다음에 전단의 출력 신호 G_{n-1} 이 H레벨이 될 때까지의 비선택 기간에서는, 클록 신호 CLK가 H레벨일 때의 트랜지스터 Q5를 통한 노드 N1의 방전(풀 다운)과, 클록 신호/CLK가 H레벨일 때의 트랜지스터 Q13을 통한 방전이 반복되어, 실시예 7과 마찬가지로, 노드 N1의 레벨의 상승이 방지된다.
- <241> 또 도 33에 나타나 있는 바와 같이 트랜지스터 Q2의 게이트를 노드 N4에 접속시켜도 된다. 비선택 기간에 있어서의 노드 N4의 레벨은, 클록 신호/CLK의 레벨에 따르므로, 그렇게 구성해도 상기로 같은 동작이 가능하다. 그것에 의해 회로의 배치 자유도가 늘어나, 회로의 점유 면적을 작게 하는 것이 용이하다. 단, 노드 N4의 기생 용량값이 커지므로, 상기의 시각 t_9 에서 상승하는 전압값(ΔV)을 충분히 크게 유지하여, 용량소자 C4의 용량값을 상당량 크게 할 필요가 있다.
- <242> 또한, 도 31의 단위 시프트 레지스터 SR에서는, 트랜지스터 Q5의 게이트에 클록 신호 CLK가 직접 입력되고 있지만, 물론 실시예 5, 6(도 17~도 22)에 나타낸 레벨 조정 회로(100)를 사용해도 된다. 또 도 31에서는 트랜지스터 Q2의 소스는 제1전원단자 S1에 접속시켰지만, 물론 실시예 3(도 13)을 적용하여 제1클록 단자 CK1에 접속시켜도 좋다.
- <243> <실시예 10>
- <244> 도 34는 본 발명의 실시예 10에 따른 단위 시프트 레지스터 SR의 회로도이다. 본 실시예에 있어서는, 실시예 7(도 23)의 단위 시프트 레지스터 SR에 대하여, 트랜지스터 Q14의 게이트를 입력 단자 IN에 접속시킨 구성으로 한다. 즉 각 단위 시프트 레지스터 SR의 트랜지스터 Q14의 게이트에는, 그 전단의 출력 신호(제1단계의 경우에

는 스타트 펄스 SP)가 입력된다.

- <245> 도 23의 회로의 트랜지스터 Q14는, 노드 N1이 H레벨의 기간(도 24의 시각 $t_1 \sim t_5$)에 온 하지만, 도 34의 단위 시프트 레지스터 SR의 트랜지스터 Q14는, 입력 단자 IN(전단의 출력 신호 또는 스타트 펄스 SP)이 H레벨이 되는 기간(도 24의 시각 $t_1 \sim t_2$) 온 하도록 동작한다. 그 때문에 실시예 10의 단위 시프트 레지스터 SR쪽이, 트랜지스터 Q14가 오프로 되돌아오는 타이밍이 빨라지지만, 트랜지스터 Q14가 오프로 되돌아온 직후에는 트랜지스터 Q16가 온 하여 노드 N4를 방전하므로, 단위 시프트 레지스터 SR의 동작은 실시예 7의 경우와 거의 같아진다. 따라서, 본 실시예에 있어서도 실시예 7과 동일한 효과를 얻을 수 있다.
- <246> 또 도 23의 트랜지스터 Q14는 노드 N1이 충전되기 시작하고나서 온 했지만, 도 34의 트랜지스터 Q14는, 전단의 출력 신호의 상승시에 신속하게 온이 된다. 그 때문에 본 실시예에서는, 노드 N1의 충전 개시 시에 확실하게 트랜지스터 Q13을 오프시킬 수 있으므로, 노드 N1을 용이하게 충전할 수 있다는 효과를 얻을 수 있다.
- <247> 또한 본 실시예에서는, 노드 N1에 트랜지스터 Q14의 게이트가 접속하지 않는 구성이 되므로, 도 23의 회로에 비교하면, 노드 N1에 부수되는 기생 용량이 트랜지스터 Q14의 게이트 용량분만큼 작아진다. 따라서, 출력 신호의 출력시(선택 기간)에 있어서의 노드 N1의 승압이 보다 효율적으로 행해지고, 트랜지스터 Q1의 구동능력 즉 단위 시프트 레지스터 SR의 구동능력의 향상에도 기여할 수 있다.
- <248> 또한 본 실시예는, 트랜지스터 Q14를 포함하는 인버터를 구비하는 단위 시프트 레지스터 SR(실시예 7~9)에 대해 넓게 적용가능하다. 또 본 실시예의 단위 시프트 레지스터 SR에 대해서도, 실시예 5, 6(도 17~도 22)에 나타난 레벨 조정 회로(100)를 적용해도 된다. 또 실시예 3을 적용하여, 트랜지스터 Q2의 소스를 제1클록 단자 CK1에 접속시켜도 좋다.
- <249> <실시예 11>
- <250> 도 35는 본 발명의 실시예 11에 따른 단위 시프트 레지스터 SR의 회로도이다. 본 실시예에 있어서는, 실시예 7(도 23)의 단위 시프트 레지스터 SR에 대하여, 트랜지스터 Q13의 소스를, 제1클록 단자 CK1에 접속시킨 구성으로 되어 있다.
- <251> 실시예 7에 있어서, 제 n 단계의 단위 시프트 레지스터 SR $_n$ 의 노드 N4(트랜지스터 Q13의 게이트)는, 비선택 기간에 거의 클록 신호/CLK에 동기한 타이밍에서 반복적으로 H레벨이 된다(정확하게는, 클록 신호/CLK의 상승시에 H레벨이 되고, 클록 신호 CLK의 상승시에 L레벨이 된다). 도 23의 회로에서는 트랜지스터 Q13의 소스는 전위 VSS로 고정되어 있으므로, 게이트가 반복적으로 양 바이어스되고, 그 임계값 전압의 시프트가 일어나기 쉽다.
- <252> 그것에 대해 본 실시예에서는, 트랜지스터 Q13의 게이트가 L레벨이 되었을 때, 그 소스에 입력되는 클록 신호 CLK가 H레벨이 되므로, 트랜지스터 Q13의 게이트가 소스에 대하여 음으로 바이어스 되는 것과 등가인 상태가 된다. 그것에 의하여, 정방향으로 시프트한 임계값 전압이 음 방향으로 되돌아와서 회복하므로, 트랜지스터 Q13의 구동능력의 저하가 경감되고, 회로의 동작 수명이 연장된다는 효과를 얻을 수 있다.
- <253> 또한 본 실시예는, 트랜지스터 Q13을 구비하는 단위 시프트 레지스터 SR(실시예 7~10)에 대하여 널리 적용가능하다. 또 본 실시예의 단위 시프트 레지스터 SR에 대해서도, 실시예 5, 6(도 17~도 22)에 나타난 레벨 조정 회로(100)를 적용해도 된다. 실시예 3을 적용하여, 트랜지스터 Q2의 소스를 제1클록 단자 CK1에 접속시켜도 된다.
- <254> <실시예 12>
- <255> 실시예 5(도 17)에 있어서는, 각각의 단위 시프트 레지스터 SR이 개별적으로 레벨 조정 회로(100)를 가지는 형태를 나타냈지만, 복수의 단위 시프트 레지스터 SR로 레벨 조정 회로(100)를 공유시킬 수도 있다.
- <256> 도 36은, 실시예 12에 따른 시프트 레지스터의 구성을 나타내는 도면이고, 종속 접속한 복수의 단위 시프트 레지스터 SR로 이루어지는 다단(복수단)의 시프트 레지스터를 나타내고 있다. 동 도면에 있어서는, 제 n 단계~제 $n+3$ 단계의 4단의 회로를 도시하고 있다(n 은 홀수로 가정한다).
- <257> 본 실시예에 따른 다단의 시프트 레지스터는, 홀수단계의 단위 시프트 레지스터 SR에 공유된 레벨 조정 회로(공통 레벨 조정 회로)(100A)와, 짝수단계의 단위 시프트 레지스터 SR에 공유된 레벨 조정 회로(공통 레벨 조정 회로)(100B)를 구비하고 있다. 따라서, 홀수단의 트랜지스터 Q5의 게이트 노드(도 17의 노드 N3)가 공통이 되고, 마찬가지로 홀수단의 트랜지스터 Q5의 게이트 노드도 공통이 된다. 이하, 홀수단에 공통인 노드 N3을 「노드 N3A」, 짝수단에 공통인 노드 N3을 「노드 N3B」로 칭한다.

- <258> 도 36에 있어서, 공통 레벨 조정 회로(100A, 100B)는, 각각 도 17에 나타난 레벨 조정 회로(100)와 같은 회로 구성을 가지고 있다. 즉 도 36의 트랜지스터 Q9A, Q9B는, 도 17의 트랜지스터 Q9에 해당하고, 도 36의 트랜지스터 Q10A, Q10B는, 도 17의 트랜지스터 Q10에 해당하고, 도 36의 클록 단자 CK1A, CK1B는 도 17의 제1클록 단자 CK1에 해당한다. 물론 이것은 일례에 지나지 않고, 공통 레벨 조정 회로(100A, 100B) 각각의 회로 구성은, 도 17~도 22에 나타냈지만 어느 것이어도 된다.
- <259> 공통 레벨 조정 회로(100A)는, 클록 신호 CLK의 진폭을 작게 한 신호를 생성하고, 그것을 노드 N3A에 공급한다(더 정확하게는, 노드 N3A는, 클록 신호 CLK의 상승시에 H레벨로 변화되고, 클록 신호/CLK의 상승시에 L레벨로 변화된다). 한편, 공통 레벨 조정 회로(100B)는, 클록 신호/CLK의 진폭을 작게 한 신호를 생성하고, 그것을 노드 N3B에 공급한다(더 정확하게는, 노드 N3B는, 클록 신호/CLK의 상승시에 H레벨로 변화되고 클록 신호 CLK의 상승시에 L레벨로 변화된다).
- <260> 따라서, 각 단위 시프트 레지스터 SR은, 도 17의 단위 시프트 레지스터 SR과 같은 동작을 행하는 것이 가능하며, 실시예 5와 동일한 효과를 얻을 수 있다. 또한 복수의 단위 시프트 레지스터 SR이, 공통 레벨 조정 회로(100A, 100B)를 공유하므로, 회로의 형성 면적의 축소에 기여할 수 있다.
- <261> 또 실시예 6에서 설명한 바와 같이, 도 17의 단위 시프트 레지스터 SR에 있어서는, 트랜지스터 Q5의 게이트 용량이 그 게이트 노드(노드 N3)에 부수되는 기생 용량에 대하여 상당히 클 경우, 자신의 출력 신호의 상승시에 트랜지스터 Q5의 게이트·드레인간의 오버랩 용량을 통한 결합에 의해 노드 N3의 레벨이 상승하는 것을 생각할 수 있다. 이 노드 N3의 레벨 상승이 크면, 출력 신호가 H레벨 동안에 트랜지스터 Q5가 온 하여 노드 N1의 레벨이 저하한다는 문제가 생긴다(도 20의 트랜지스터 Q12는 그 대책으로 설치된다).
- <262> 본 실시예에서는, 홀수단의 단위 시프트 레지스터 SR에서, 트랜지스터 Q5의 게이트 노드(노드 N3A)가 공유되고, 마찬가지로 짝수단의 단위 시프트 레지스터 SR에서도 트랜지스터 Q5의 게이트 노드(노드 N3B)가 공유되고 있다. 즉 노드 N3A, N3B의 기생 용량에는, 각각 복수의 단위 시프트 레지스터 SR의 트랜지스터 Q5의 게이트 용량이 기여하게 된다. 따라서, 개개의 단위 시프트 레지스터 SR에 있어서의 트랜지스터 Q5의 게이트 노드에 부수되는 기생 용량은, 도 17의 회로에 대하여 매우 큰 것이 되어, 상기의 문제는 일어나지 않는다. 따라서, 공통 레벨 조정 회로(100A, 100B)에 대하여, 도 20의 레벨 조정 회로(100)와 같이 트랜지스터 Q12를 설치할 필요가 없다는 이점을 얻을 수 있다.
- <263> 또한 도 36에 있어서는, 각 단위 시프트 레지스터 SR의 구성을 도 17의 회로로 한 예를 도시했지만, 레벨 조정 회로(100)를 구비하는 단위 시프트 레지스터 SR에 대해서 널리 적용가능하다.
- <264> <실시예 13>
- <265> 본 실시예에 있어서도, 복수의 단위 시프트 레지스터 SR에서 레벨 조정 회로(100)를 공유한 다단의 시프트 레지스터의 일례를 도시한다. 도 37은, 실시예 13에 따른 시프트 레지스터의 구성을 나타내는 도면으로, 종속 접속한 복수의 단위 시프트 레지스터 SR로 이루어지는 다단의 시프트 레지스터를 도시하고 있다. 동 도면에 있어서도, 제n단째~제n+3단째의 4단의 회로 구성을 나타내고 있다(n은 홀수로 가정한다).
- <266> 본 실시예에 있어서는, 레벨 조정 회로(100)를 구성하는 트랜지스터 Q9, Q10중 트랜지스터 Q10만이 공통화되고, 트랜지스터 Q9는 단위 시프트 레지스터 SR의 개개에 구비된 구성으로 되어 있다. 즉 공통 레벨 조정 회로(100A, 100B)는, 각각 트랜지스터 Q10A, Q10만으로 이루어져 있다.
- <267> 본 실시예에 있어서도, 실시예 12와 거의 동일한 효과를 얻을 수 있다. 단 트랜지스터 Q9가 개개의 단위 시프트 레지스터 SR에 설정되는 만큼, 실시예 12보다도 회로 면적의 축소 효과는 작아진다. 그러나, 트랜지스터 Q9가 개개의 단위 시프트 레지스터 SR에 설치됨으로써, 다음과 같은 별도의 효과를 얻을 수 있다.
- <268> 즉 트랜지스터 Q9가 개개의 단위 시프트 레지스터 SR에 설치되면, 그 각 단위 시프트 레지스터 SR에 있어서, 트랜지스터 Q9의 소스와 트랜지스터 Q5의 게이트 사이의 거리가 각 단에서 같아지고, 그 사이의 기생 저항도 거의 같아진다. 그 결과, 각 단위 시프트 레지스터 SR사이에서, 트랜지스터 Q5의 게이트가 H레벨로 상승하는 타이밍의 편차가 억제된다.
- <269> 도 9를 사용하여 설명한 바와 같이, 출력 신호의 상승시에 트랜지스터 Q5에 흐르는 전류(I(Q5))는, 트랜지스터 Q5의 게이트의 레벨(도 9의 예에서는 클록 신호 CLK)의 상승과, 출력 신호의 상승 타이밍의 관계가 영향을 준다. 본 실시예에서는, 단위 시프트 레지스터 SR에서 트랜지스터 Q5의 게이트가 H레벨이 되는 타이밍이 거의 일정하게 되므로, 트랜지스터 Q5의 전류의 편차가 억제된다. 따라서, 출력 신호의 상승시에 있어서의, 노드 N1

로부터 출력 단자 OUT로의 전하의 리크를 방지하기 쉬워진다.

<실시예 14>

도 38은 본 발명의 실시예 14에 따른 다단의 시프트 레지스터의 구성을 도시한 도면이다. 본 실시예의 시프트 레지스터는, 실시예 12, 13과 같이 복수의 단위 시프트 레지스터 SR이 공통 레벨 조정 회로(100A, 100B)를 공유하는 것이다. 도 38은, 복수의 단위 시프트 레지스터 SR과 공통 레벨 조정 회로(100A, 100B)의 배치를 나타내고 있다.

실시예 13에서도 설명한 바와 같이, 출력 신호의 상승시에 트랜지스터 Q5에 흐르는 전류는, 트랜지스터 Q5의 게이트의 레벨의 상승과, 출력 신호의 상승과의 타이밍의 관계가 영향을 준다. 그 때문에 모든 단위 시프트 레지스터 SR에 있어서, 그 타이밍의 관계가 일정하게 되는 것이 바람직하다.

예를 들면 표시장치의 게이트 선 구동회로(30)를 이루는 다단의 시프트 레지스터는, 몇백 개의 단위 시프트 레지스터 SR이 종속 접속하여 구성된다(예를 들면 VGA사이즈의 표시장치에서는 640단). 그 경우, 클록 신호 CLK, /CLK를 각 단위 시프트 레지스터 SR에 공유하기 위한 배선(클록 배선)의 길이는 수 cm가 되어, 이 클록 배선의 기생 임피던스의 영향을 무시할 수 없게 된다. 즉, 외부회로로서의 클록 발생기(31)에서 생성된 클록 신호 CLK, /CLK를 클록 배선에 입력하기 위한 외부접속 단자에 가장 가까운 단위 시프트 레지스터 SR과 가장 먼 단위 시프트 레지스터 SR 사이에서, 클록 신호 CLK, /CLK가 입력되는 타이밍에 무시할 수 없는 시간차가 생기고 있다.

즉 도 38과 같이, 클록 배선(101A, 101B)에 대하여, 클록 발생기(31)(도시하지 않음)에 접속하기 위한 외부접속 단자(102A, 102B)에서 가까운 쪽에서부터, 단위 시프트 레지스터 SR₁, SR₂, . . . ,SR_n의 순서로 접속되어 있을 경우, 외부접속 단자(102A, 102B)에서 가장 가깝게 접속한 단위 시프트 레지스터 SR₁에 대하여, 가장 멀리 접속한 단위 시프트 레지스터 SR_n에는 늦게 클록 신호 CLK, //CLK가 입력되게 된다.

그래서 본 실시예에 있어서는, 외부접속 단자(102A, 102B)에 가장 가까운 단위 시프트 레지스터 SR₁에 근접시켜서 공통 레벨 조정 회로(100A, 100B)를 배치시킨다. 즉 노드 N3A, N3B로서의 배선에는, 공통 레벨 조정 회로(100A, 100B)에서 가까운 쪽부터, 단위 시프트 레지스터 SR₁, SR₂, . . . ,SR_n의 순서로 접속되게 된다. 즉, 단위 시프트 레지스터 SR의 각각으로부터 보면, 외부접속 단자(102A, 102B)까지의 거리와, 공통 레벨 조정 회로(100A, 100B)까지의 거리는, 서로 거의 같아진다.

공통 레벨 조정 회로(100A, 100B)가 출력하는 신호(클록 신호 CLK, /CLK의 진폭을 작게 한 신호)는, 노드 N3A, N3B로서의 배선을 통해 각 단위 시프트 레지스터 SR에 전달되고, 이 배선에도 이론상, 클록 배선(101A, 101B)과 같은 지연이 생긴다. 따라서 본 실시예에 의하면, 모든 단위 시프트 레지스터 SR에 걸쳐, 외부접속 단자(102A, 102B)로부터의 클록 신호 CLK, //CLK신호와, 공통 레벨 조정 회로(100A, 100B)로부터의 신호 사이의 위상관계를 거의 일정하게 할 수 있다.

또한 도 38은, 외부접속 단자(102A, 102B)에서 가까운 쪽부터, 단위 시프트 레지스터 SR₁, SR₂, . . . ,SR_n의 순서로 배치된 예이기 때문에, 공통 레벨 조정 회로(100A, 100B)를 단위 시프트 레지스터 SR₁에 근접시켜서 배치했지만, 반드시 그것이 제1단계일 필요는 없고, 몇 번째 단어도 된다. 외부접속 단자(102A, 102B)의 배치에 따라서는, 제1단계의 단위 시프트 레지스터 SR₁이외의 것이 그것에 가장 가까워지는 경우도 있다. 공통 레벨 조정 회로(100A, 100B)는, 외부접속 단자(102A, 102B)의 부근 혹은 외부접속 단자(102A, 102B)에 가장 가까운 단위 시프트 레지스터 SR근처에 배치되어 있으면 된다.

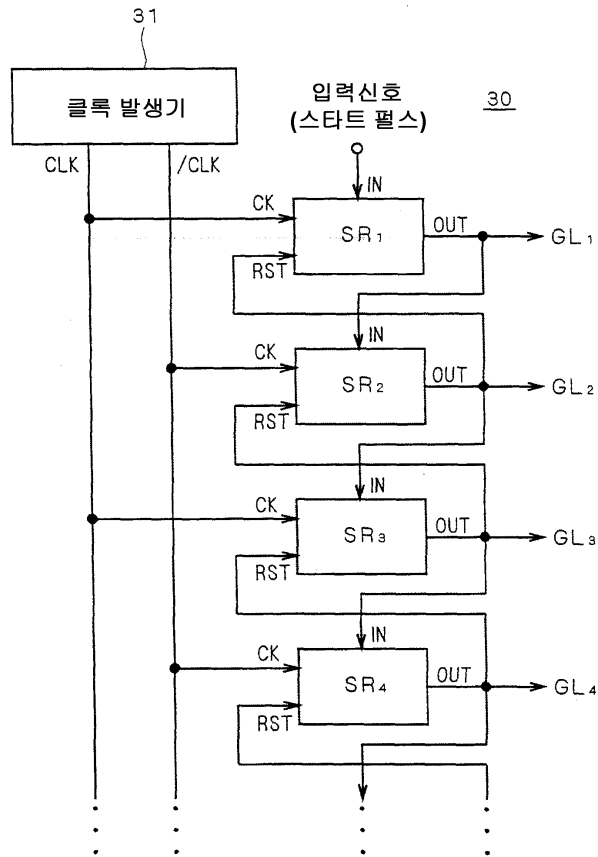
발명의 효과

본 발명에 따른 시프트 레지스터 회로에 의하면, 출력 신호(제1트랜지스터를 통해 출력 단자에 전달된 제1클록 신호)의 출력 시에는, 스위칭 회로에는 전류가 흐르지 않기 때문에 제1트랜지스터의 제어 전극은 충분히 승압되고, 제1트랜지스터의 구동능력을 크게 유지할 수 있다. 그것에 의하여, 출력 신호의 상승 및 하강하는 속도를 빠르게 할 수 있고, 동작의 고속화에 기여할 수 있다. 또한, 출력 신호를 출력하지 않는 기간(비선택 기간)에는, 스위칭 회로가 온 하므로, 제1트랜지스터의 제어 전극은 방전되어 L레벨을 유지한다. 그것에 의하여, 비선택 기간에 제1트랜지스터가 온 하여, 출력 신호가 불필요하게 H레벨이 되는 것을 방지할 수 있다. 즉, 비선택 기간에 있어서의 오동작을 방지하고, 출력 신호의 출력시에 있어서의 구동능력의 저하를 방지할 수 있는 양쪽의 효과를 얻을 수 있다.

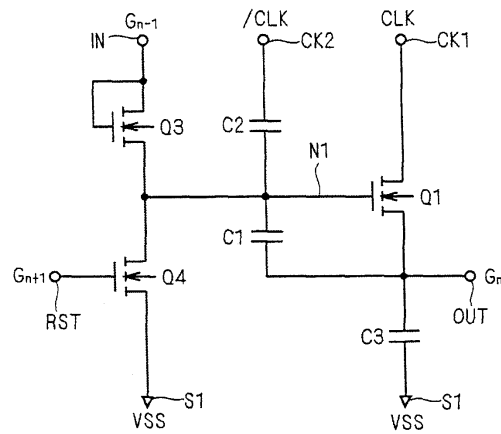
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 표시장치의 구성을 나타내는 개략 블록도이다.
- <2> 도 2는 단위 시프트 레지스터를 사용한 게이트 선 구동회로의 구성예를 나타내는 블록도이다.
- <3> 도 3은 종래의 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <4> 도 4는 종래의 단위 시프트 레지스터의 동작을 나타내는 타이밍 도이다.
- <5> 도 5는 게이트 선 구동회로의 동작을 나타내는 타이밍 도이다.
- <6> 도 6은 단위 시프트 레지스터를 사용한 게이트 선 구동회로의 구성예를 나타내는 블록도이다.
- <7> 도 7은 실시예 1에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <8> 도 8은 실시예 1에 따른 단위 시프트 레지스터의 동작을 나타내는 타이밍 도이다.
- <9> 도 9는 실시예 1에 따른 단위 시프트 레지스터의 동작을 설명하기 위한 도면이다.
- <10> 도 10은 실시예 1에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <11> 도 11은 실시예 1에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <12> 도 12는 실시예 2에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <13> 도 13은 실시예 3에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <14> 도 14는 실시예 4에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <15> 도 15는 실시예 4에 따른 게이트 선 구동회로의 구성예를 나타내는 블록도이다.
- <16> 도 16은 실시예 4에 따른 단위 시프트 레지스터의 동작을 설명하기 위한 도면이다.
- <17> 도 17은 실시예 5에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <18> 도 18은 실시예 6에 있어서의 레벨 조정 회로의 변형예를 나타내는 회로도이다.
- <19> 도 19는 실시예 6에 있어서의 레벨 조정 회로의 변형예를 나타내는 회로도이다.
- <20> 도 20은 실시예 6에 있어서의 레벨 조정 회로의 변형예를 나타내는 회로도이다.
- <21> 도 21은 실시예 6에 있어서의 레벨 조정 회로의 변형예를 나타내는 회로도이다.
- <22> 도 22는 실시예 6에 있어서의 레벨 조정 회로의 변형예를 나타내는 회로도이다.
- <23> 도 23은 실시예 7에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <24> 도 24는 실시예 7에 따른 단위 시프트 레지스터의 동작을 나타내는 타이밍 도이다.
- <25> 도 25는 실시예 7에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <26> 도 26은 실시예 7에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <27> 도 27은 실시예 7에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <28> 도 28은 실시예 8에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <29> 도 29는 실시예 8에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <30> 도 30은 실시예 8에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <31> 도 31은 실시예 9에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <32> 도 32는 실시예 9에 따른 단위 시프트 레지스터의 동작을 나타내는 타이밍 도이다.
- <33> 도 33은 실시예 9에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.
- <34> 도 34는 실시예 10에 따른 단위 시프트 레지스터의 구성을 나타내는 회로도이다.

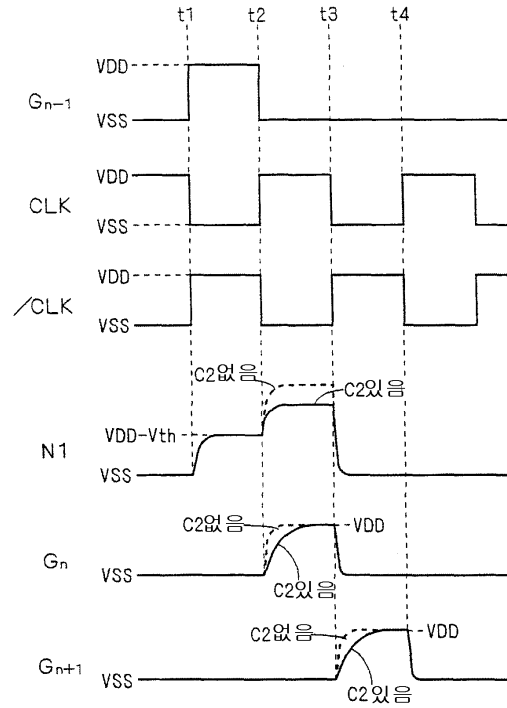
도면2



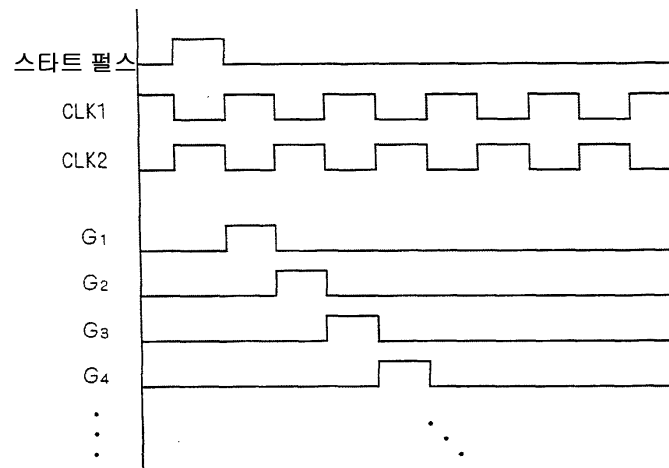
도면3



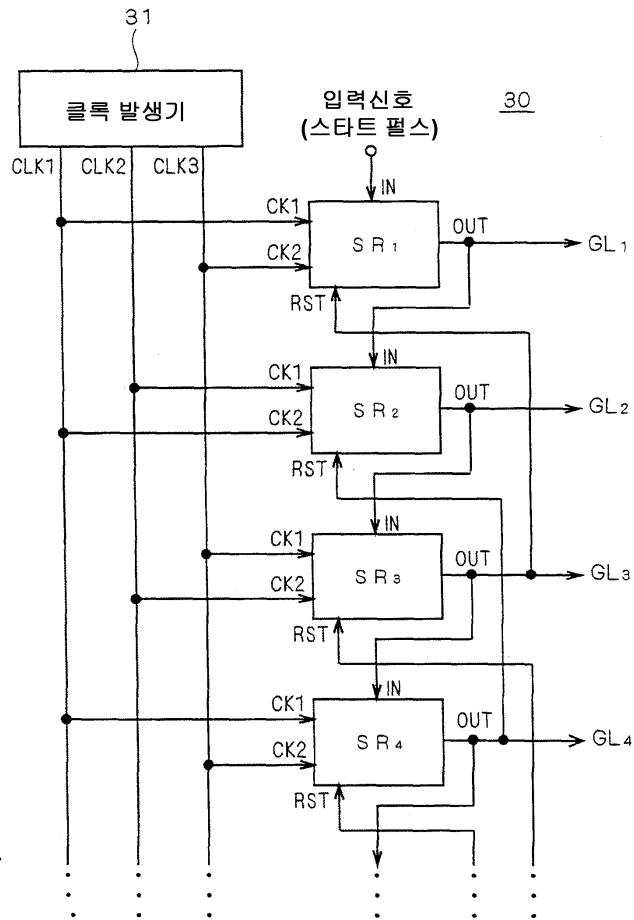
도면4



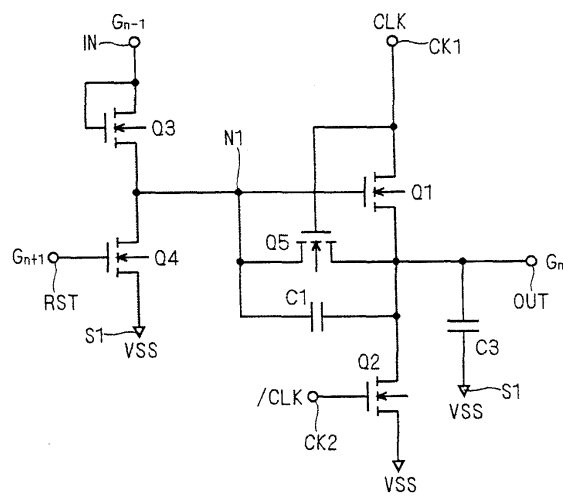
도면5



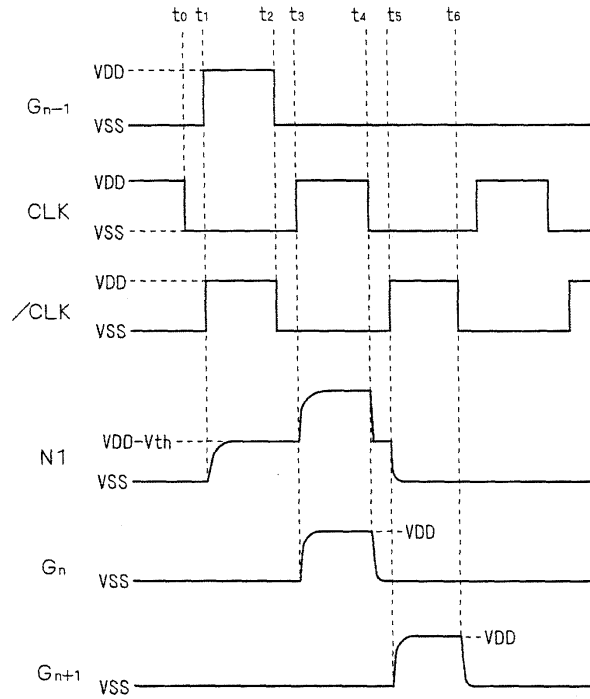
도면6



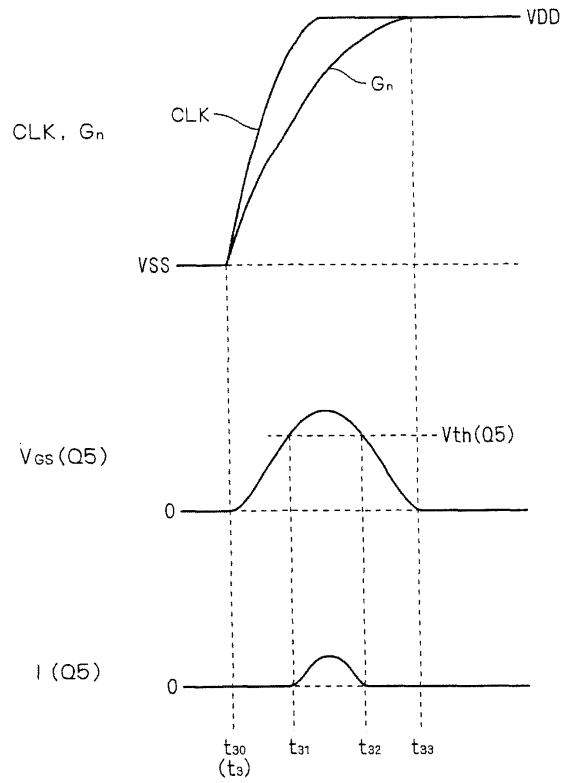
도면7



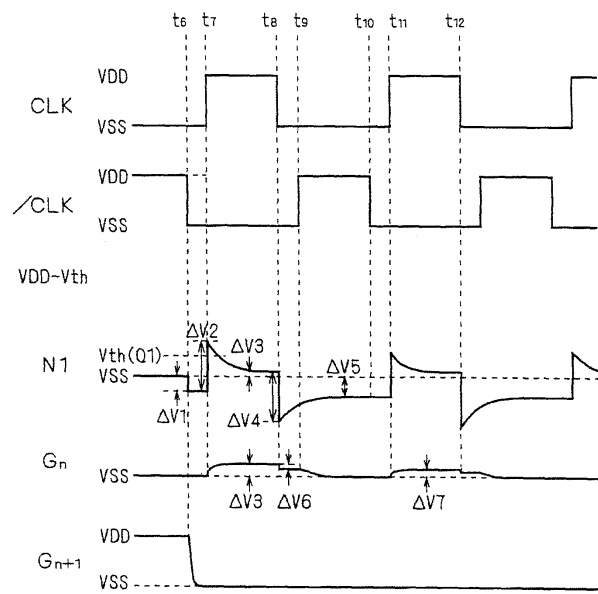
도면8



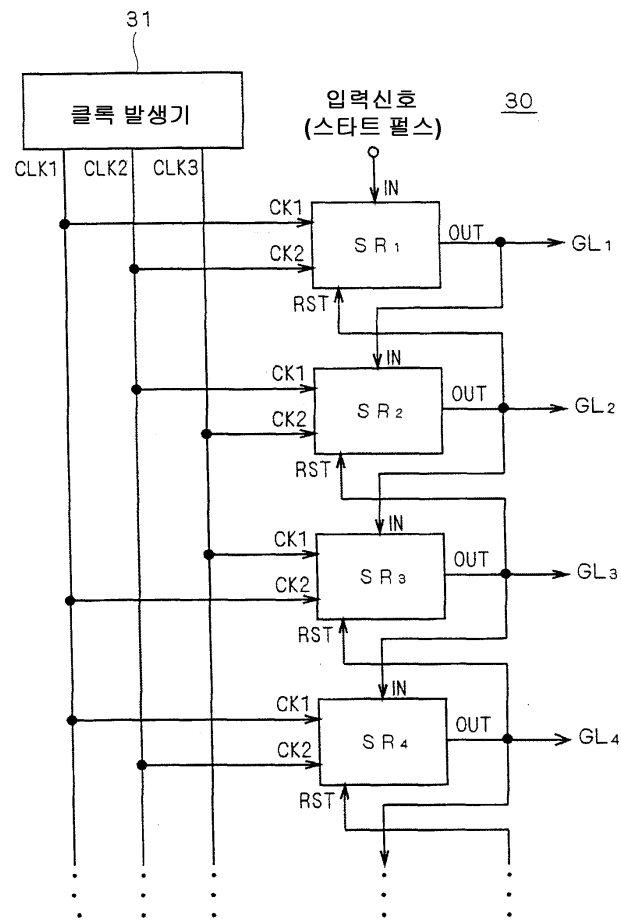
도면9



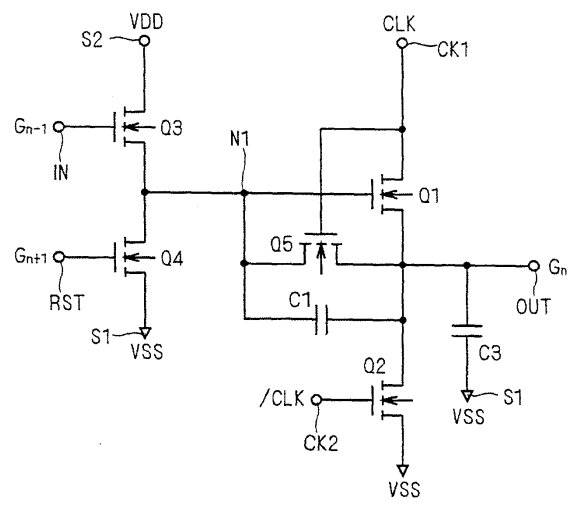
도면10



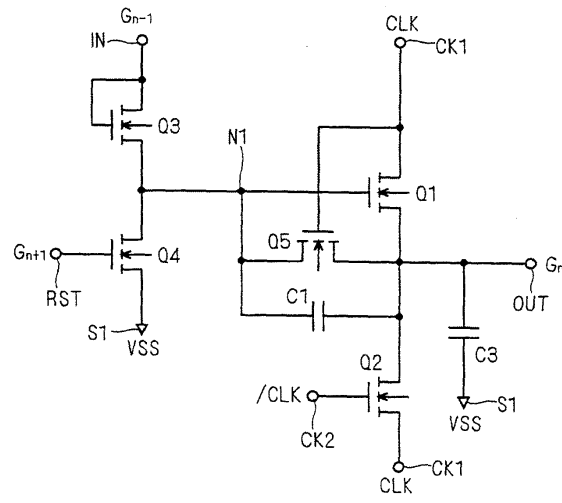
도면11



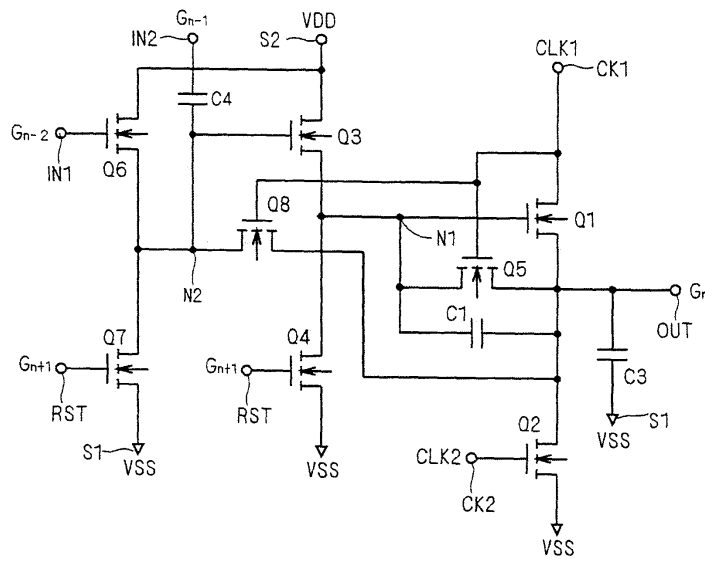
도면12



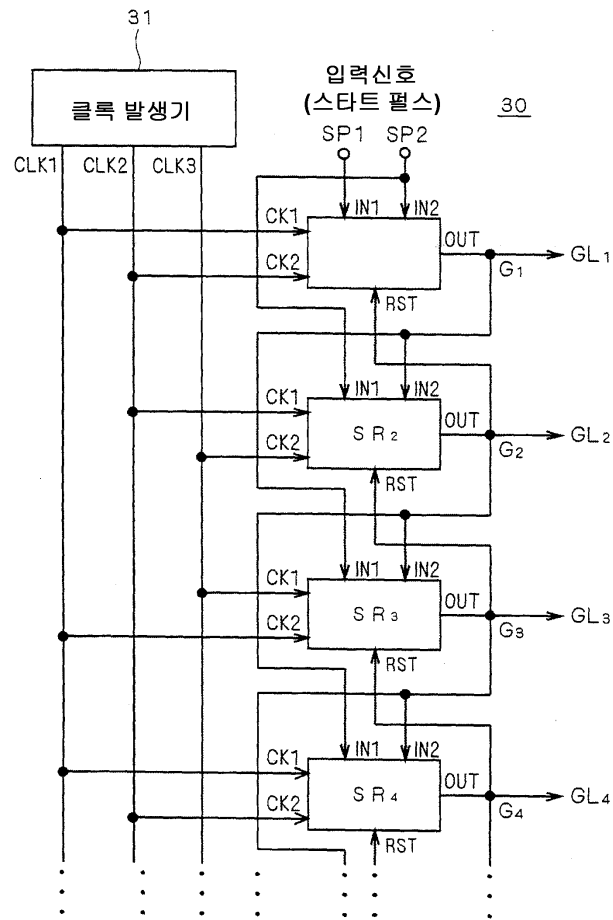
도면13



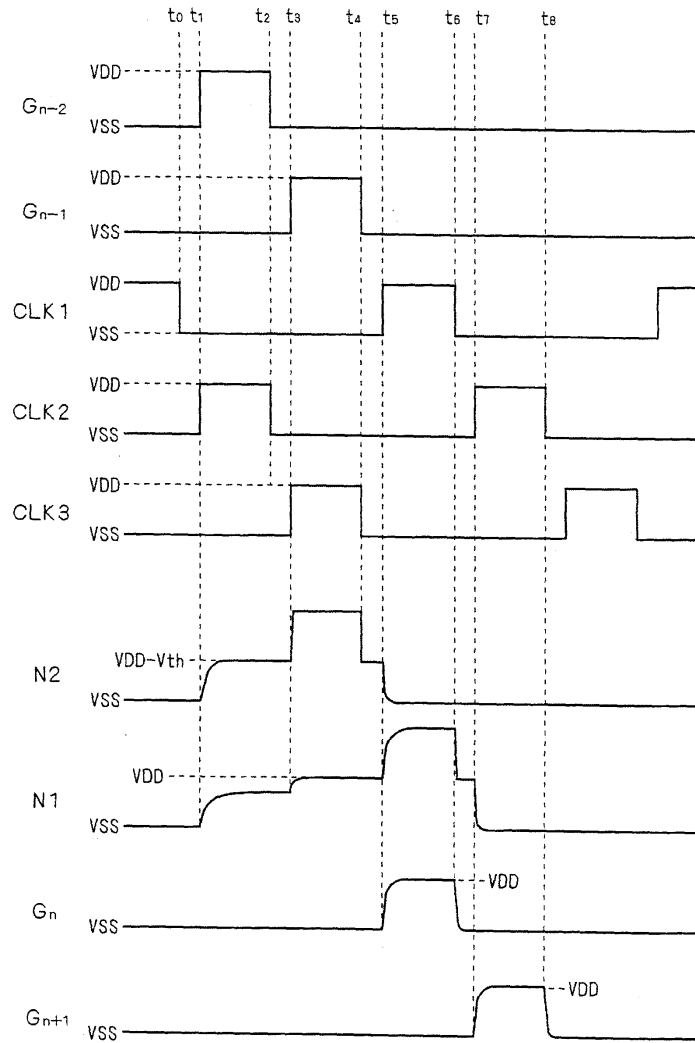
도면14



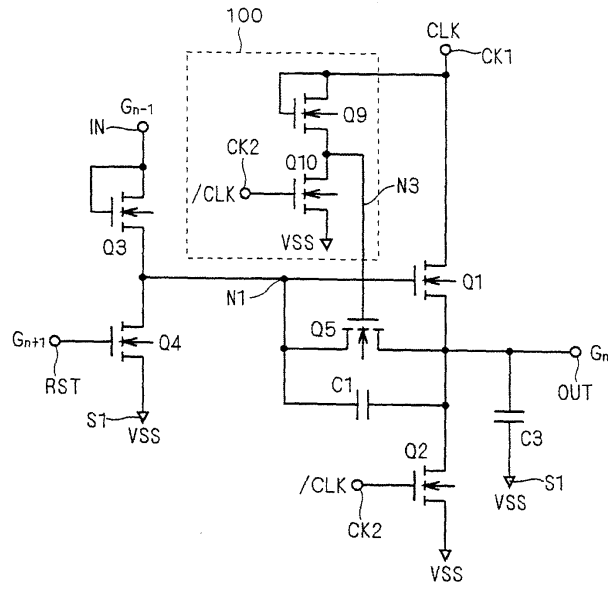
도면15



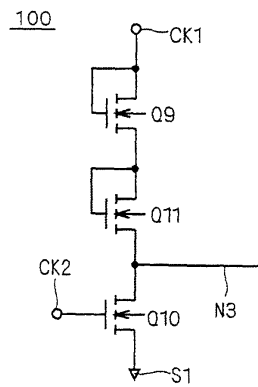
도면16



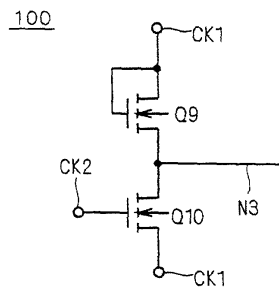
도면17



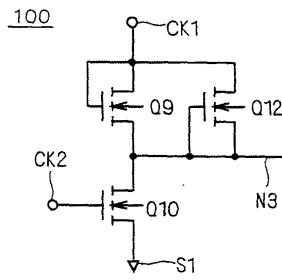
도면18



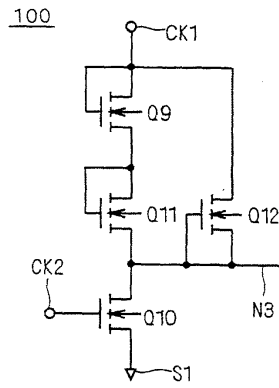
도면19



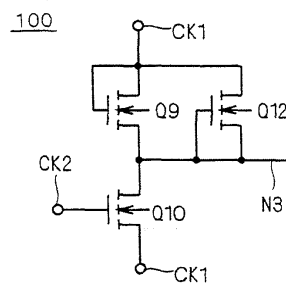
도면20



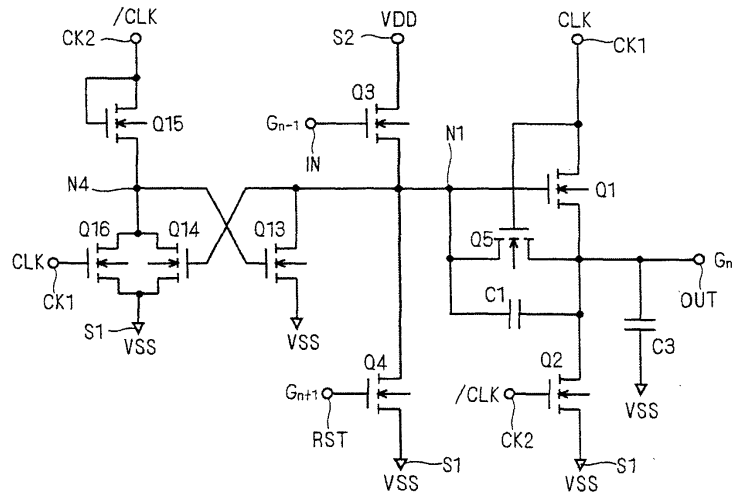
도면21



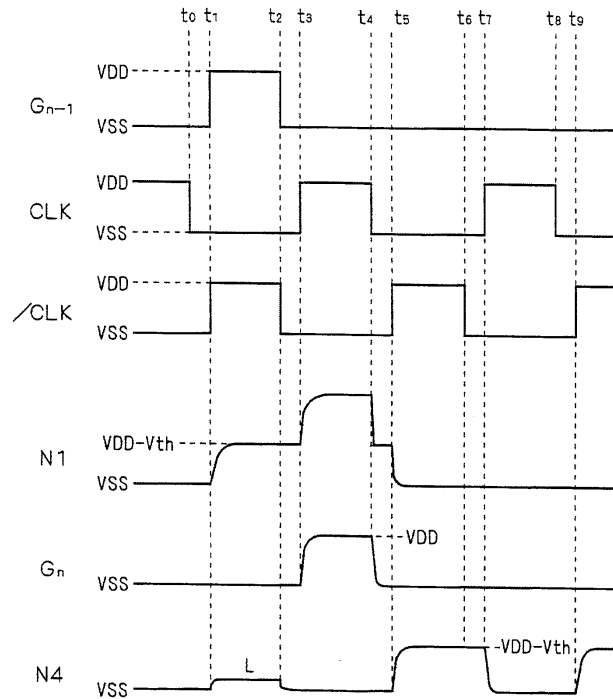
도면22



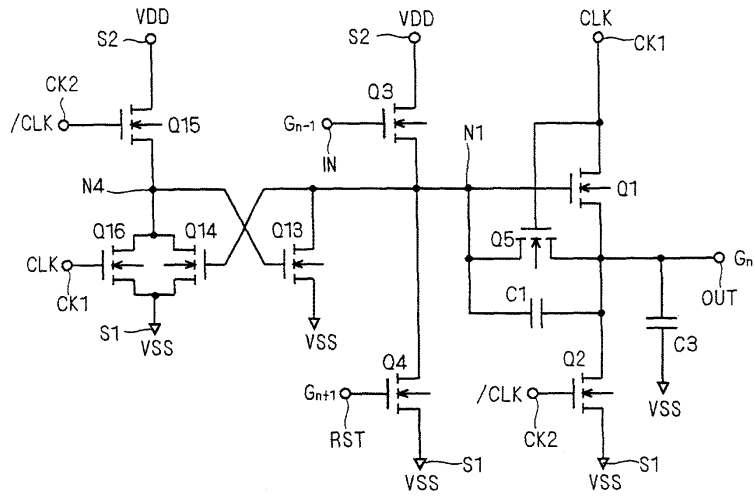
도면23



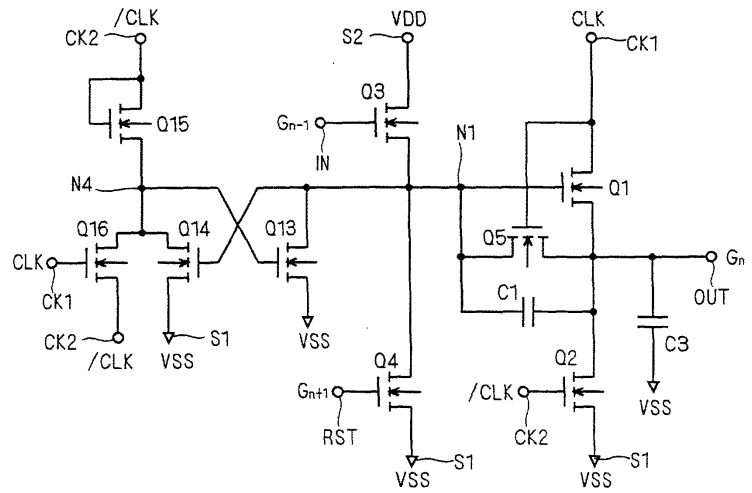
도면24



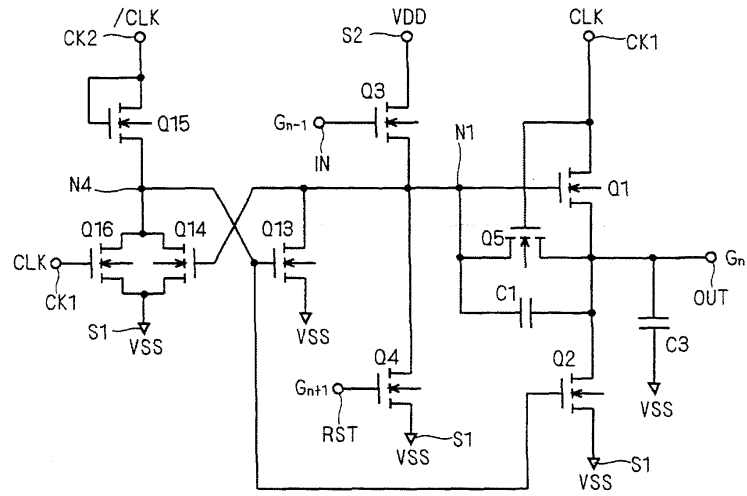
도면25



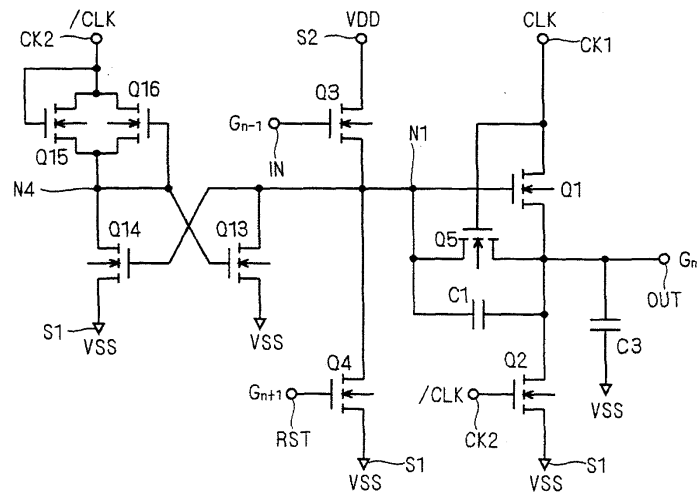
도면26



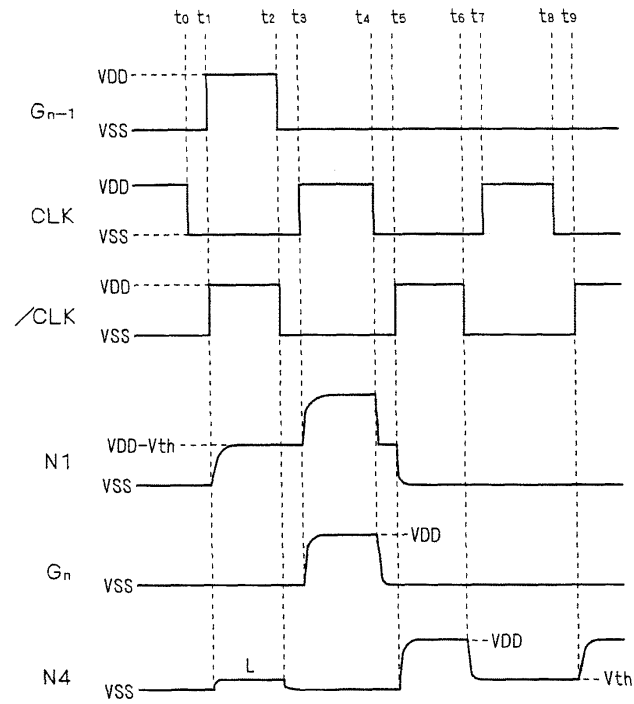
도면27



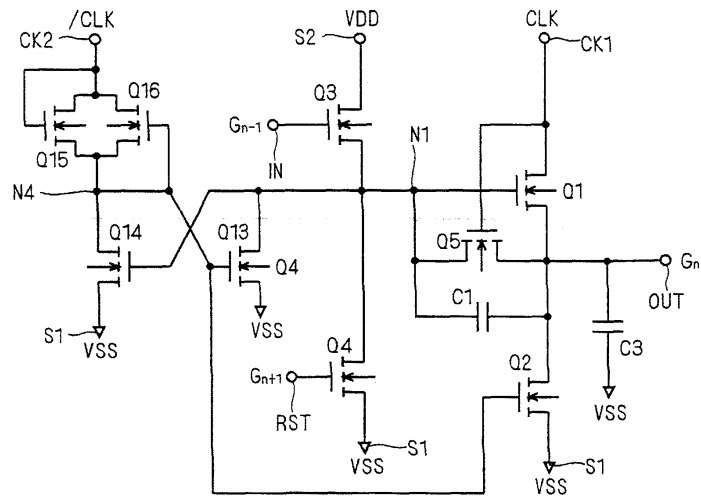
도면28



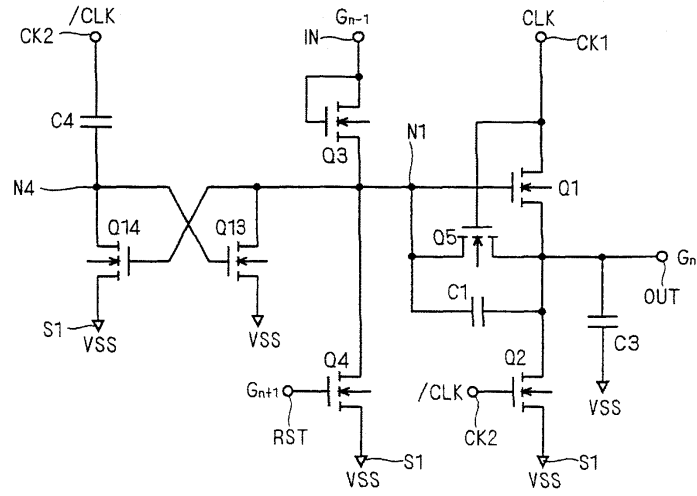
도면29



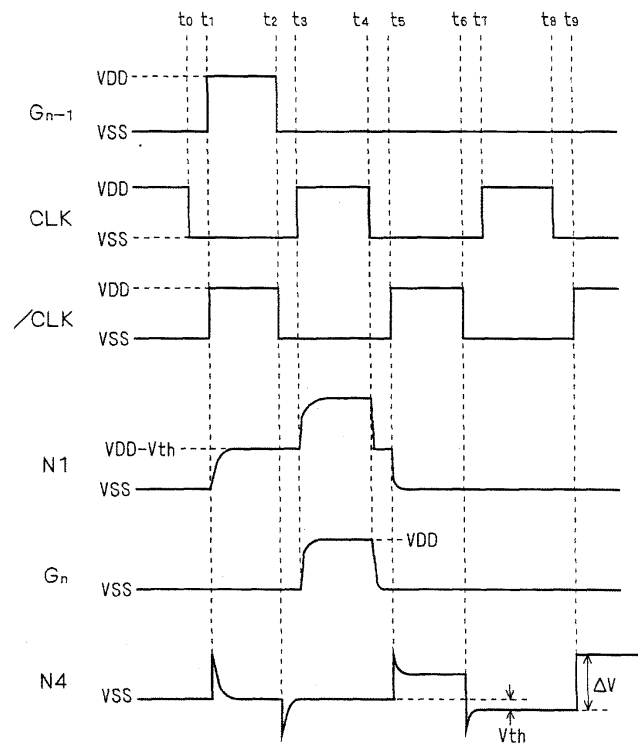
도면30



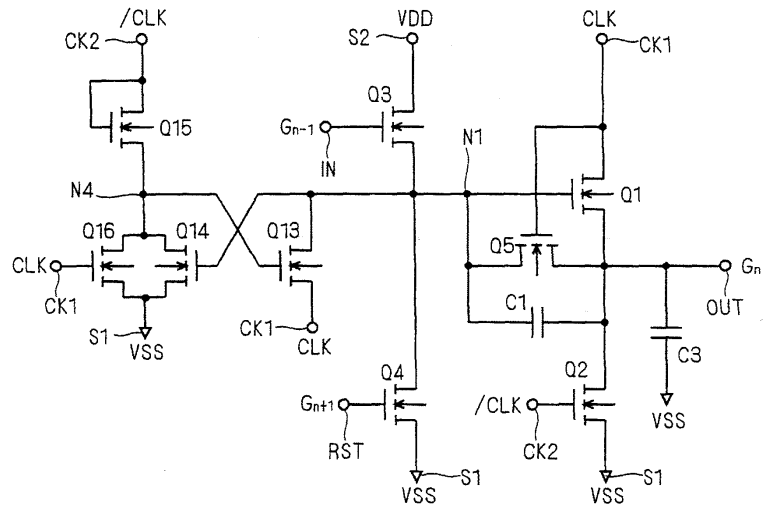
도면31



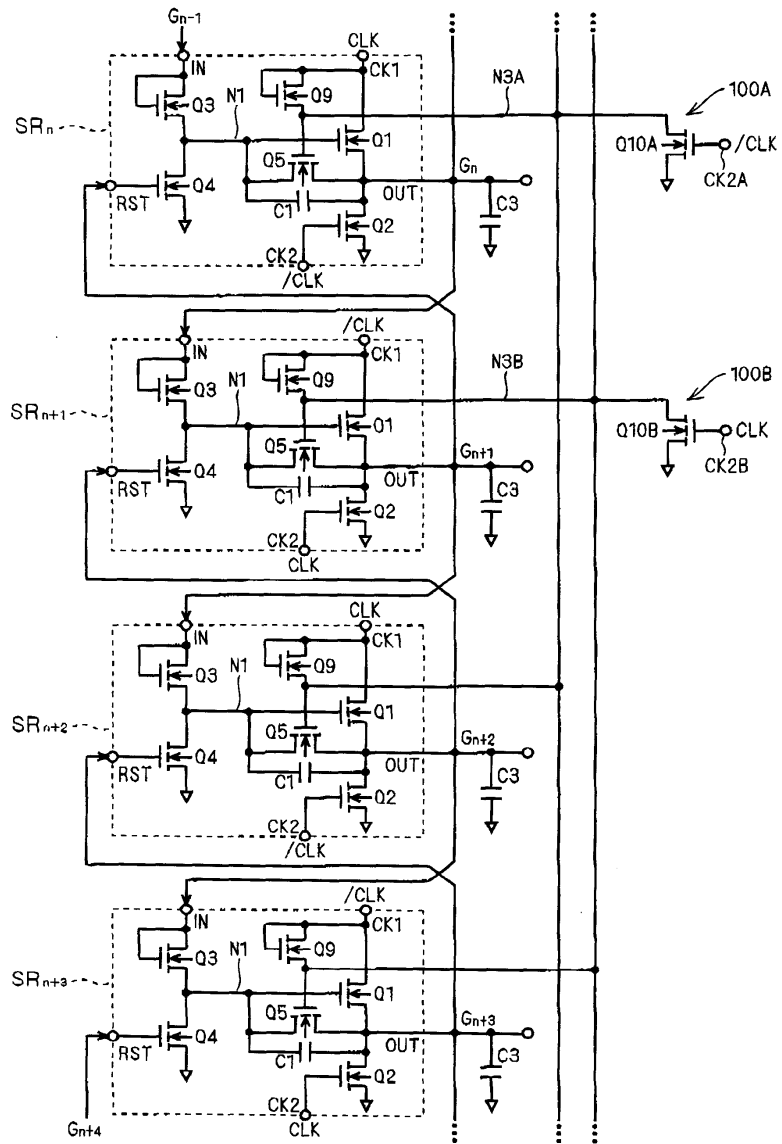
도면32



도면35



도면37



도면38

