

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95128011

※ 申請日期： 95.7.31

※IPC 分類：G11C 16/02

一、發明名稱：(中文/英文)

程式化具自我調整極大程式迴圈之非揮發性記憶體之方法及系統

METHOD AND SYSTEM FOR PROGRAMMING NON-VOLATILE
MEMORY WITH SELF-ADJUSTING MAXIMUM PROGRAM LOOP

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 萬仲

WAN, JUN

2. 傑弗立 W 路特斯

LUTZE, JEFFREY W.

國 籍：(中文/英文)

1. 中國大陸 P.R.C.

2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年08月01日；11/194,439

2. 美國；2005年08月01日；11/194,827

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於程式化非揮發性記憶體。

【先前技術】

半導體記憶體已愈加風行地用於多種電子裝置中。舉例而言，非揮發性半導體記憶體被用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。在最為風行的非揮發性半導體記憶體當中有電子可抹除可程式化唯讀記憶體(EEPROM)及快閃記憶體。其中快閃記憶體亦為一類型之EEPROM，其與傳統的以箔為特徵之EEPROM相比，整個記憶體陣列之內容或記憶體之一部分之內容可在一個步驟中抹除。

傳統EEPROM及快閃記憶體均利用浮動閘極，該浮動閘極定位於半導體基板中之一通道區域上方且與該通道區域絕緣。該浮動閘極係位於源極區域與汲極區域之間。一控制閘極提供於浮動閘極之上方且與該浮動閘極絕緣。因此形成之晶粒電晶體之臨限電壓便由保留於浮動閘極中之電荷的量所控制。亦即，在開啟電晶體以允許在其源極與汲極之間進行傳導之前，必須施加至控制閘極的最小電壓量係由浮動閘極上的電荷位準所控制。

當程式化EEPROM或快閃記憶體裝置(諸如「反及」(NAND)快閃記憶體裝置)時，通常將程式電壓施加至控制閘極上且使位元線接地，從而使得來自一單元或記憶體元件(例如，儲存元件)之通道的電子注入至浮動閘極中。當

電子累積於浮動閘極中時，浮動閘極開始變得帶負電荷且使記憶體元件之臨限電壓升高從而使得記憶體元件處於程式化狀態中。可在題為 "Source Side Self Boosting Technique For Non-Volatile Memory" 之美國專利 6,859,397 及 2003 年 7 月 29 日申請之題為 "Detecting Over Programmed Memory" 的美國專利申請案公開案 2005/0024939 中找到關於此程式化得更多資訊；該等案兩者之全部內容以引用的方式併入本文中。

某些 EEPROM 及快閃記憶體裝置具有用於儲存電荷之兩種範圍的浮動閘極，且因此，記憶體元件可在兩個狀態（例如，抹除狀態與程式化狀態）之間進行程式化/抹除。此快閃記憶體裝置有時稱作二元快閃記憶體裝置，因為每一記憶體元件均可儲存資料的一個位元。

多態（亦稱作多位準）快閃記憶體裝置係藉由識別多個截然不同的容許/有效程式化臨限電壓範圍而建構。每一截然不同的臨限電壓範圍對應於編碼於記憶體裝置中的該組資料位元的預定值。舉例而言，當元件可置放於對應於四個截然不同的臨限電壓範圍的四個離散電荷帶中之一者中時，每一記憶體元件便可儲存資料的兩個位元。

一般地，在程式操作期間施加至控制閘極之程式電壓係作為一系列脈衝而施加。在一可能方法中，脈衝之量值隨著每一連續脈衝而增加一預定步進大小，例如 0.2 至 0.4 V。圖 1 展示可施加至快閃記憶體元件之控制閘極（或，在某些狀況下，為引導閘）的程式電壓訊號 V_{pgm} 。 V_{pgm} 包括量

值隨時間過去而增加的一系列脈衝。在程式脈衝之間的時期中，執行驗證操作。亦即，在連續程式化脈衝之間讀取並行地加以程式化的一群組元件中之每一元件的程式化位準以判定其係等於抑或大於元件被程式化至的驗證位準。對於多態快閃記憶體元件陣列而言，可對元件之每一狀態執行驗證步驟從而允許對元件是否已達到其與資料相關聯之驗證位準作出判定。舉例而言，能夠在四個狀態中儲存資料之多態記憶體元件可能需要對三個比較點執行驗證操作。

若一元件並未在給定數目之脈衝之後達到所要程式位準(此按照慣例係固定的)，則宣告為錯誤條件。程式電壓 V_{pgm} 之量值(包括初始值、電壓步進大小(若適用)及待在宣告錯誤條件之前施加的脈衝之極大數目)的選擇包括多種因素之間的折衷。詳言之，若初始值或步進大小過大，則某些記憶體元件可能會被過度程式化，從而導致不準確的臨限電壓，而若初始值或步進大小過小則會導致更長的程式化時間。通常，非揮發性記憶體之使用者希望記憶體較快地進行程式化。此外，將不同記憶體元件程式化至所要狀態所需的脈衝之數目可不同。較慢的記憶體元件將需要較多脈衝，而較快記憶體元件將需要較少脈衝。為了具有足夠的容限或緩衝以使得晶粒分選良率係可接受的，通常容許相對較大數目的 V_{pgm} 脈衝。舉例而言，在 90 nm 裝置中，儘管多態記憶體元件裝置中之大多數上層頁面可在十八個脈衝中進行程式化，但脈衝之極大容許數目可設定為

(例如)二十四個以提供六個脈衝的容限。然而，若記憶體元件之一個正常頁面具有若干較慢元件或具有一個不良行，則整個頁面將保持程式化直至出現極大數目的脈衝。

結果，沿與較慢元件或不良行之相同字線的某些元件可能受到干擾。此外，此情況對於已經歷許多程式化循環的循環過的裝置而言比尚未顯著使用的新鮮裝置(fresh device)更為嚴重，因為循環過的裝置由於電荷收集而比新鮮裝置更快。詳言之，因為非揮發性記憶體裝置經歷許多程式化循環，所以電荷便被收集於浮動閘極與通道區域之間的絕緣體或介電質中。此電荷收集使臨限電壓偏移至更高位準，此允許記憶體元件更快地進程式化同時亦使得更加難以抹除元件中之電荷。若程式訊號之量值設定為過高的，則即使其並不導致新鮮裝置之過度程式化，但由於彼裝置變得更為繁重地使用，因此彼裝置亦可能經受過度程式化。因此，新裝置會將其程式電壓設定為足夠低以在裝置老化時避免過度程式化。程式電壓之量值的此降低將降低新鮮裝置程式化資料的速度。

因此，過量的程式脈衝可施加至循環過的裝置中之正常元件。由於循環過的裝置具有比新鮮裝置更多的不良行的事實而導致問題惡化。雖然可能在宣告錯誤條件之前減少所使用之 V_{pgm} 脈衝的數目，但如上所述此降低良率。舉例而言，若程式脈衝之極大數目自二十四減少至二十二，則晶粒分選良率便降低約5%，此通常認為係不可接受的。

【發明內容】

本發明藉由提供一種如下系統而解決上文所述及其他問題：該系統用於調整施加至非揮發性記憶體中之元件之程式電壓脈衝的數目而不會增加錯誤元件(亦即，在脈衝的極大容許數目內未達到所要之電壓位準的元件)之發生率。為了達成此結果，調整容許電壓脈衝之數目以使得相對於新鮮記憶體裝置而言其針對循環過的記憶體裝置而發生改變。

在一個實施例中，一種非揮發性儲存系統包括：至少一第一非揮發性儲存元件，及至少一第二非揮發性儲存元件；及一或多個管理電路，其與該至少一第一非揮發性儲存元件且與該至少一第二非揮發性儲存元件通信。該或該等管理電路接收一程式化資料之請求，且，回應於該請求而利用一系列電壓脈衝將該至少一第一非揮發性儲存元件程式化至達到一第一驗證位準、偵測該至少一第一非揮發性儲存元件何時達到該第一驗證位準，及，回應於該偵測而施行額外電壓脈衝之一極大容許數目以用於將至少一第二非揮發性儲存元件程式化至達到一第二驗證位準。

在另一實施例中，一種非揮發性儲存系統包括：非揮發性儲存元件；及一或多個管理電路，其與該等非揮發性儲存元件通信。該或該等管理電路接收一程式化資料之請求，且，回應於該請求而對該等非揮發性儲存元件中之一組元件執行一或多個初始程式循環，直至該等非揮發性儲存元件中之一第一子集已達到一第一驗證位準，且在該等非揮發性儲存元件之該第一子集達到該第一驗證位準之

後，對該組非揮發性儲存元件執行一或多個額外程式循環，該或該等額外程式循環不超過額外程式循環之一預定極大數目。

在另一實施例中，一種非揮發性儲存系統包括：非揮發性儲存元件；及一或多個管理電路，其與該等非揮發性儲存元件通信。該或該等管理電路接收一程式化資料之請求，且，回應於該請求而對該等非揮發性儲存元件中之一組元件執行一或多個初始程式循環、判定該等非揮發性儲存元件中之一第一子集已達到一第一驗證位準、判定當該等非揮發性儲存元件中之該第一子集已達到該第一驗證位準時，所執行的初始程式循環之一數目、基於初始程式循環之該數目而判定額外程式循環之一極大數目，且在該等非揮發性儲存元件中之該第一子集達到該第一驗證位準之後，對該組非揮發性儲存元件執行一或多個額外程式循環，該或該等額外程式循環不超過額外程式循環之一極大數目。

【實施方式】

適合於實施本發明之非揮發性記憶體系統之一實例利用 NAND 快閃記憶體結構，此包括在兩個選擇閘之間配置多個串聯電晶體。該等串聯電晶體及該等選擇閘稱作 NAND 串。圖 2 為展示一個 NAND 串之俯視圖。圖 3 為其等效電路圖。圖 2 及圖 3 中所描繪之 NAND 串包括四個串聯且夾於第一選擇閘 120 與第二選擇閘 122 之間的電晶體 100、102、104 及 106。選擇閘 120 將 NAND 串連接至位元線接點 126。

選擇閘122將NAND串連接至源極線接點128。選擇閘120係藉由施加適當電壓至控制閘極120CG而控制。選擇閘122係藉由施加適當電壓至控制閘極122CG而控制。該等電晶體100、102、104及106中之每一者均具有一控制閘極與一浮動閘極。電晶體100具有控制閘極100CG及浮動閘極100FG。電晶體102包括控制閘極102CG及浮動閘極102FG。電晶體104包括控制閘極104CG及浮動閘極104FG。電晶體106包括控制閘極106CG及浮動閘極106FG。控制閘極100CG、102CG、104CG及106CG係分別連接至字線WL3、WL2、WL1及WL0。在一可能設計中，電晶體100、102、104及106各為記憶體單元或元件。在其他設計中，記憶體元件可包括多個電晶體或可不同於圖2及圖3中所描繪之彼等記憶體元件。選擇閘120係連接至選擇線SGD，而選擇閘122則係連接至選擇線SGS。

圖4提供上文所述之NAND串之橫截面圖。NAND串之電晶體係形成於p井區域140中。每一電晶體均包括一堆疊閘結構，該結構包括一控制閘極(100CG、102CG、104CG及106CG)及一浮動閘極(100FG、102FG、104FG及106FG)。浮動閘極係形成於在氧化膜或其他介電膜上之p井的表面上。控制閘極位於浮動閘極上方，其中一多晶矽間介電層使控制閘極與浮動閘極分離。記憶體元件(100、102、104及106)之控制閘極形成字線。N+摻雜層130、132、134、136及138共用於鄰近元件之間，藉此將該等元件彼此串聯連接以形成NAND串。此等N+摻雜層形成該等元件中之每

一者的源極及汲極。舉例而言，N+摻雜層 130 充當電晶體 122 之汲極及電晶體 106 之源極；N+摻雜層 132 充當電晶體 106 之汲極及電晶體 104 之源極；N+摻雜層 134 充當電晶體 104 之汲極及電晶體 102 之源極；N+摻雜層 136 充當電晶體 102 之汲極及電晶體 100 之源極；及 N+摻雜層 138 充當電晶體 100 之汲極及電晶體 120 之源極。N+摻雜層 126 連接至 NAND 串之位元線，而 N+摻雜層 128 則連接至多個 NAND 串之共同源極線。

請注意，儘管圖 2 至圖 4 展示 NAND 串中之四個記憶體元件，但使用四個記憶體係僅作為實例而提供的。與本文所述之技術一起使用的 NAND 串可具有少於四個的記憶體元件或多於四個的記憶體元件。舉例而言，某些 NAND 串將包括八個、十六個、三十二個、六十四個或更多的記憶體元件。本文之論述並不限於 NAND 串中之任一特定數目的記憶體元件。

每一記憶體元件均可儲存以類比或數位形式表示的資料。當儲存數位資料之一個位元時，記憶體元件之可能臨限電壓之範圍劃分為被指派為邏輯資料 "1" 與 "0" 的兩個範圍。在 NAND 型快閃記憶體之一個實例中，在抹除記憶體元件之後臨限電壓便為負的，此可定義為邏輯 "1" 狀態。在程式操作之後臨限電壓為正，此可定義為邏輯 "0" 狀態。當臨限電壓為負的且藉由施加 0 V 至控制閘極而試圖進行讀取時，記憶體元件將開啟以指示正儲存邏輯 "1"。當臨限電壓為正的且藉由施加 0 V 至控制閘極而試圖進行

讀取操作時，記憶體元件將不開啟，此指示儲存了邏輯"0"。

記憶體元件亦可儲存多個狀態，藉此儲存數位資料的多個位元。在儲存多個資料狀態的情況下，臨限電壓窗劃分為狀態之數目。舉例而言，若利用四個狀態，則便將有四個臨限電壓範圍被指派至資料值"11"、"10"、"01"及"00"。在NAND型記憶體之一實例中，抹除操作之後的臨限電壓為負且定義為"11"。正臨限電壓用於狀態"10"、"01"及"00"。在某些實施例中，利用格雷(Gray)碼指派法而將資料值(例如，邏輯狀態)指派至臨限範圍以使得若浮動閘極之臨限電壓錯誤地偏移至其鄰近實體狀態則僅一個位元將受到影響。程式化至記憶體元件中之資料與元件之臨限電壓範圍之間的特定關係係視記憶體元件所採用的資料編碼方案而定。舉例而言，美國專利第6,222,762號及2003年6月13日申請且在2004年12月16日公佈為美國專利申請案公開案2004/0255090的題為"Tracking Cells For A Memory System"之美國專利申請案第10/461,244號描述了用於多態快閃記憶體元件之多種資料編碼方案，該等案之全文以引用的方式併入本文中。

在以下美國專利中提供NAND型快閃記憶體及其操作的相關實例，該等案中之每一者的全文均以引用的方式併入本文中：美國專利第5,386,422號、第5,570,315號、第5,774,397號、第6,046,935號、第6,456,528號及第6,522,580號。除NAND快閃記憶體之外的其他類型的非揮

發性記憶體亦可與本發明一起使用。

用於快閃EEPROM系統中之另一類型的記憶體元件為電荷收集元件，其利用不導電介電材料替代導電浮動閘極從而以非揮發性形式儲存電荷。在Chan等人之題為"A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device"的文章(IEEE Electron Device Letters, 第EDL-8卷, 第3期, 1987年3月, 第93至95頁面)中描述了此元件。由氧化矽、氮化矽及氧化矽形成之三層介電質("ONO")係在記憶體元件通道上方夾於導電控制閘極與半導體基板之表面之間。該元件係藉由將電子自元件通道注入至氮化物中(其中該等電子經收集並儲存於有限區域中)而程式化。此儲存電荷隨後以可偵測方式改變元件之通道之一部分的臨限電壓。該元件係藉由將熱電洞注入至氮化物中而抹除。亦參看Nozaki等人之"A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application" (IEEE Journal of Solid-State Circuits, 第26卷, 第4期, 1991年4月, 第497-501頁面), 其描述了分裂閘極組態中之類似元件, 其中摻雜多晶矽閘極在記憶體元件通道之一部分上方延伸以形成獨立選擇電晶體。上述之兩篇文章的全文均以引用的方式併入本文中。由William D. Brown及Joe E. Brewer所編輯的"Nonvolatile Semiconductor Memory Technology" (IEEE Press, 1998)之章節1.2中所提及的程式化技術在彼章節中亦被描述為可適用於介電電荷收集裝置, 該文以引用的方式併入本文中。此段落中所描述之記憶體元件亦可與本發

明一起使用。因此，本文所述之技術亦適用於不同記憶體元件之介電區域之間的耦合。

Eitan等人之"NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell" (IEEE Electron Device Letters, 第21卷, 第11期, 2000年11月, 第543至545頁面)已描述了將兩個位元儲存於每一元件中之另一方法, 該文描述了延伸穿過源極擴散與汲極擴散之間之通道的ONO介電層。用於一個資料位元之電荷相鄰於汲極位於介電層中, 而用於另一資料位元之電荷則相鄰於源極位於介電層中。藉由單獨讀取介電質內之空間分離之電荷儲存區域的二元狀態而獲取多態資料儲存。此段落中所描述之記憶體元件亦可與本發明一起使用。

圖5為可用於實施本發明之快閃記憶體系統之一個設計的方塊圖。在此系統中, 藉由行控制電路204、列控制電路206、共同源極控制電路210及p井控制電路208來控制記憶體元件陣列202。行控制電路204係連接至記憶體元件陣列202之位元線以用於: 讀取儲存於記憶體元件中之資料、在程式操作期間判定記憶體元件之狀態及控制位元線(BL)之電位位準以促進或禁止程式化。列控制電路206係連接至字線以選擇字線中之一者、施加讀取電壓、施加程式電壓及施加抹除電壓。舉例而言, 用於EPROM及快閃記憶體電路中之程式電壓位準高於正常用於記憶體電路中之電壓。其通常高於供應至電路之電壓。此等更高電壓可由列控制電路206 (或其他處)中之電荷泵而產生, 該電荷

泵在一實例中實質上將電荷轉儲至電容性字線中以使其充電至更高電壓。電荷泵在電壓 V_{in} 下接收輸入並藉由在一系列電壓倍增器階中漸進地提高輸入電壓而在更高的電壓 V_{out} 下提供輸出。將電壓輸出供應至負載，例如EPROM記憶體電路之字線。在某些實施例中，存在自負載至電荷泵之反饋訊號。習知先前技術之泵回應於指示負載已達到預定電壓的訊號而關閉。或者，一旦負載達到預定電壓便利用一分流器來防止過量充電。然而，此消耗較多功率且在低功率應用中係不良的。在美國專利6,734,718中可找到關於電荷泵之更多資訊，該案之全文以引用的方式併入本文中。

共同源極控制電路210控制連接至記憶體元件之共同源極線(在圖6中標記為"共同源極")。p井控制電路208控制p井電壓。

儲存於記憶體元件中之資料係藉由行控制電路204而讀出且經由資料輸入/輸出緩衝器212而輸出至外部I/O (輸入/輸出)線。待儲存於記憶體元件中之程式資料係經由外部I/O線而輸入至資料輸入/輸出緩衝器212且被傳送至行控制電路204。外部I/O線係連接至控制器218。

將用於控制快閃記憶體裝置之命令資料輸入至控制器218。命令資料通知快閃記憶體所請求的是何種操作。將輸入命令傳送至控制著行控制電路204、列控制電路206、共同源極控制電路210、p井控制電路208及資料輸入/輸出緩衝器212的狀態機216。狀態機216亦可輸出諸如"待用"/

"繁忙"(READY/BUSY)或"通過"/"失敗"(PASS/FAIL)之快閃記憶體的状态資料。在某些設計中，狀態機216負責管理程式化程序，包括下文所描述之流程圖中所描繪的程序。

控制器218連接至或可連接至諸如個人電腦、數位相機、個人數位助理等的主機系統。控制器218與主機通訊以便自主機接收命令及資料並將資料及狀態資訊提供至主機。控制器218將來自主機之命令轉換為可由與狀態機216通信的命令電路214解譯及執行的命令訊號。控制器218通常含有用於寫入至記憶體陣列或自記憶體陣列讀取之使用者資料的緩衝器記憶體。在某些設計中，程式化程序可藉由控制器管理。

一例示性記憶體系統包含：一包括控制器218之積體電路；及每一均含有記憶體陣列及相關聯的控制、輸入/輸出及狀態機電路的一或多個積體電路晶片。趨勢是將系統之記憶體陣列與控制電路一起整合於一或多個積體電路晶片上。記憶體系統可作為主機系統之部分嵌入，或可包括於一可移除地插入於主機系統中的記憶體卡(或其他封裝)中。此可移式卡可包括整個記憶體系統(例如，包括控制器)或僅包括記憶體陣列及相關聯的周邊電路(其中控制器嵌入於主機中)。因此，控制器(或控制能力)可嵌入於主機中或可包括於一可移除記憶體系統之內。

在某些實施例中，可組合圖5之某些組件。在多種設計中，可將圖5之元件中之除記憶體元件陣列202以外之一或多者視為管理電路。舉例而言，一或多個管理電路可包括

命令電路、狀態機、列控制電路、行控制電路、井控制電路、源極控制電路或資料I/O電路中之任一者或組合。

圖6提供記憶體元件陣列202之一例示性結構。作為一實例，描述分割為1,024個區塊之NAND快閃EEPROM。在抹除操作中，同時抹除儲存於每一區塊中之資料。在一設計中，區塊是可同時抹除之元件的最小單位。在此實例中，在每一區塊中，存在劃分為偶數行與奇數行的8,512個行。亦將位元線劃分為偶數位元線(BLe)及奇數位元線(BLo)。圖6展示了串聯連接以形成NAND串的四個記憶體元件。儘管其展示了在每一NAND串中包括四個元件，但可利用多於或少於四個的記憶體元件。NAND串之一端子經由選擇電晶體SGD而連接至相對應之位元線，而另一端子則經由第二選擇電晶體SGS連接至共同源極線。

在讀取及程式化操作之一組態中，同時選擇4,256個記憶體元件。選定之記憶體元件具有相同的字線與相同種類的位元線(例如偶數位元線或奇數位元線)。因此，可同時讀取或程式化形成一邏輯頁面之資料的532個位元組，且記憶體之一個區塊可儲存至少八個邏輯頁面(四個字線，每一具有奇數頁面及偶數頁面)。對於多態記憶體元件而言，當每一記憶體元件儲存資料的兩個位元時(其中此等兩個位元中之每一者係儲存於不同頁面中)，一個區塊便儲存十六個邏輯頁面。其他大小之區塊及頁面亦可與本發明一起使用。另外，除圖5及圖6之彼等架構之外的架構亦可用於實施本發明。舉例而言，在一個設計中，位元線並

未劃分為奇數與偶數位元線從而使得可同時(或不同時)程式化及讀取所有位元線。

可藉由將p井升高至一抹除電壓(例如，20 V)且使一選定區塊的字線接地而抹除記憶體元件。源極及位元線係浮動的。可對整個記憶體陣列、獨立區塊或作為記憶體裝置之一部分的記憶體元件之另一單元執行抹除。在一可能方法中，將電子自浮動閘極傳送至p井區域以使得臨限電壓變為負。

在讀取及驗證操作中，將選擇閘(SGD及SGS)及未選定之字線(例如，當WL1為選定字線時，WL0、WL2及WL3便為未選定之字線)升高至讀取通過電壓(例如，4.5 V)以使電晶體充當通過閘。選定字線WL1連接至一電壓，針對每一讀取及驗證操作規定該電壓之位準以便判定相關記憶體元件之臨限電壓是高於抑或低於此位準。舉例而言，在對兩位準記憶體元件之讀取操作中，選定字線WL1可接地，使得可偵測臨限電壓是否高於0 V。在用於兩位準記憶體元件之驗證操作中，選定字線WL1連接至(例如)0.8 V，使得可驗證臨限電壓是否已達到至少0.8 V。源極及p井為0 V。將選定位元線(假設為偶數位元線(BLe))預充電至(例如)0.7 V的位準。若臨限電壓高於字線上之讀取或驗證位準，則與相關元件相關聯之位元線(BLe)的電位位準會由於不導電的記憶體元件而保持較高位準。另一方面，若電壓位準低於讀取或驗證位準，則相關位元線(BLe)之電位位準便降低至較低位準(例如，小於0.5 V)，此係因為導電

記憶體元件使位元線放電。記憶體元件之狀態可因此由連接至位元線之電壓比較器感測放大器而偵測。

上述抹除、讀取及驗證操作係根據此項技術中已知之技術來執行。因此，熟習此項技術者可改變所說明之許多細節。亦可利用此項技術中已知之其他抹除、讀取及驗證操作。

如上所述，每一區塊均可劃分為許多頁面。在一方法中，一頁面為一程式化單元。在某些實施例中，個別頁面可劃分為區段且該等區段可含有隨著基本程式化操作而一次寫入的最少數目的元件。資料之一或多個頁面通常儲存於一系列記憶體元件中。一頁面可儲存一或多個扇區。一扇區包括使用者資料及額外負擔資料，諸如已由扇區之使用者資料而計算出的錯誤校正碼(ECC)。控制器之一部分在將資料程式化至陣列中時計算ECC且在自陣列讀取資料時亦利用ECC而檢查資料。或者，可將ECC及/或其他額外負擔資料儲存於其所從屬之與使用者資料不同的頁面或甚至不同的區塊中。在其他設計中，記憶體裝置之其他部分(諸如狀態機)可計算ECC。

使用者資料的一扇區一般為512個位元組，此對應於磁碟驅動器中之扇區的大小。額外負擔資料通常為額外的16至20個位元組。大量頁面形成一包括(例如)8個頁面至32、64或更多頁面之區塊。

圖7說明在每一記憶體元件儲存資料之兩個位元時，記憶體元件陣列之臨限電壓分佈。E描繪針對經抹除之記憶

體元件的第一臨限電壓分佈。A、B及C描繪針對經程式化之記憶體元件的三個臨限電壓分佈。在一個設計中，E分佈中之臨限電壓為負而A、B及C中之臨限電壓則為正的。

圖7之每一截然不同的臨限電壓範圍均對應於該組資料位元的預定值。程式化至記憶體元件中之資料與元件之臨限電壓位準之間的特定關係係視為元件所採用的資料編碼方案而定。一個實例指派"11"至臨限電壓範圍E (狀態E)、指派"10"至臨限電壓範圍A (狀態A)、指派"00"至臨限電壓範圍B (狀態B)且指派"01"至臨限電壓範圍C (狀態C)。然而，在其他設計中，利用其他方案。

圖7亦展示用於自記憶體元件讀取資料的三個讀取參考電壓 V_{ra} 、 V_{rb} 及 V_{rc} 。藉由測試給定記憶體元件之臨限電壓高於抑或低於 V_{ra} 、 V_{rb} 及 V_{rc} ，系統便可判定記憶體元件之狀態。圖7亦展示三個驗證參考電壓 V_{va} 、 V_{vb} 及 V_{vc} 。當將記憶體元件程式化為狀態A、B或C時，系統將分別測試彼等記憶體元件具有大於抑或等於 V_{va} 、 V_{vb} 或 V_{vc} 之臨限電壓。

在一方法(已知為全序列程式化)中，可將記憶體元件自抹除狀態E直接程式化為程式化狀態A、B或C中之任一者(如彎曲箭頭所描繪)。舉例而言，可首先抹除待程式化之記憶體元件群體以使得群體中之所有記憶體元件均處於抹除狀態E中。當某些記憶體元件自狀態E程式化為狀態A時，其他記憶體元件係自狀態E程式化為狀態B及/或自狀態E程式化為狀態C。

圖8說明程式化多態記憶體元件之兩次通過技術，該多態記憶體元件針對兩個不同頁面：下層頁面及上層頁面儲存資料。描繪了四個狀態：狀態E (11)、狀態A (10)、狀態B (00)及狀態C (01)。對於狀態E而言，兩頁面均儲存"1"。對於狀態A而言，下層頁面儲存"0"而上層頁面則儲存"1"。對於狀態B而言，兩頁面均儲存"0"。對於狀態C而言，下層頁面儲存"1"而上層頁面則儲存"0"。請注意，儘管已指派特定位元型樣至該等狀態中之每一狀態，但亦可指派不同的位元型樣。在第一程式化通過中，元件之臨限電壓位準係根據待程式化至下層邏輯頁面中之位元而設定。若彼位元為邏輯"1"，則臨限電壓不會發生改變，因為其由於早先已經抹除而處於適當的狀態中。然而，若待程式化之位元為邏輯"0"，則如箭頭230所示，元件之臨限位準便增加至狀態A。此結束第一程式化通過。

在第二程式化通過中，元件之臨限電壓位準係根據程式化入上層邏輯頁面中之位元而設定。若上層邏輯頁面位元將儲存邏輯"1"，則由於視下層頁面位元之程式化而定，元件處於狀態E或狀態A中之一者中，因此不發生程式化，其中該兩狀態均載運為"1"的上層頁面位元。若上層頁面位元將為邏輯"0"，則使臨限電壓偏移。若第一次通過使得元件保持於抹除狀態E中，則在第二階段中，程式化該元件以使得如箭頭234所描繪，臨限電壓增加至處於狀態C內。若由於第一程式化通過，已將元件程式化至狀態A中，則在第二次通過中進一步程式化該記憶體元件以

使得如箭頭232所描繪，臨限電壓增加至處於狀態B內。第二次通過之結果在於將該元件程式化為一狀態，該狀態係經指定以為上層頁面儲存邏輯"0"而不改變下層頁面之資料。

在一方法中，可建立一系統以在寫入足夠資料填充整個頁面時執行全序列寫入。若對於全頁面而言未寫入足夠資料，則程式化程序可使用所接收之資料程式化下層頁面。當接收後續資料時，系統將隨後程式化上層頁面。在又一方法中，系統可在程式化下層頁面之模式中開始寫入且若隨後接收足夠資料來填充字線之記憶體元件中之所有或大多數元件，則轉換為全序列程式化模式。此方法之更多細節揭示於發明者為Sergy Anatolievich Gorobets及Yan Li之於2004年12月14日申請之題為"Pipelined Programming of Non-Volatile Memories Using Early Data"的美國專利申請案序號11/013,125中，該案之全文以引用的方式併入本文中。

圖9A至9C揭示用於程式化非揮發性記憶體之另一程序，其藉由以下方式降低浮動閘極至浮動閘極之間的耦合：對於任一特定記憶體元件，在針對先前頁面寫入相鄰記憶體元件之後相對於一特定頁面寫入至彼特定記憶體元件。在一例示性實施例中，非揮發性記憶體元件中之每一者利用四個資料狀態儲存資料的兩個位元。舉例而言，假設狀態E為抹除狀態而狀態A、B及C為程式化狀態。狀態E儲存資料11，狀態A儲存資料01，狀態B儲存資料10，而

狀態C則儲存資料00。此為非格雷編碼之一實例，因為兩個位元在相鄰狀態A與B之間均發生改變。亦可利用資料至實體資料狀態之其他編碼。每一記憶體元件儲存來自兩個資料頁面的位元。出於參考之目的，將此等資料頁面稱作上層頁面及下層頁面；然而，其可被給予其他標記。對於圖9A至9C之程序的狀態A而言，上層頁面儲存位元0而下層頁面則儲存位元1。對於狀態B而言，上層頁面儲存位元1而下層頁面則儲存位元0。對於狀態C而言，兩頁面均儲存位元資料0。圖9A至9C之程式化程序為雙步驟程序。在第一步驟中，程式化下層頁面。若下層頁面保持資料1，則記憶體元件狀態仍處於狀態E中。若資料待程式化為0，則升高記憶體元件之臨限電壓 V_{TH} 以使得將記憶體元件程式化為狀態B'。圖9A因此展示將記憶體元件自狀態E程式化為狀態B'。圖9A中所描繪之狀態B'表示臨時狀態B；因此，驗證點描述為 $V_{vb'}$ ，其低於圖9C中所描繪之 V_{vb} 。

在一個設計中，在記憶體元件自狀態E程式化為狀態B'之後，隨後將使相鄰字線上之其鄰近記憶體元件相對於其下層頁面而進行程式化。在程式化鄰近記憶體元件之後，浮動閘極至浮動閘極耦合效應將升高考慮中之記憶體元件之視臨限電壓，該記憶體元件於狀態B'中。此將具有使針對狀態B'之臨限電壓分佈加寬為彼描述為圖9B之臨限電壓分佈250的作用。臨限電壓分佈之此明顯加寬將在程式化上層頁面時得以校正。

圖9C描述程式化上層頁面之程序。若記憶體元件處於抹

除狀態E中且上層頁面保持為1，則記憶體元件將仍處於狀態E中。若記憶體元件處於狀態E中且其上層頁面資料有待於程式化為0，則將升高記憶體元件之臨限電壓以使得記憶體元件處於狀態A中。若記憶體元件處於具有中間臨限電壓分佈250之狀態B'中且上層頁面資料有待於保持為1，則記憶體元件將程式化為最終狀態B。若記憶體元件處於具有中間臨限電壓分佈250之狀態B'中且上層頁面資料有待於變為資料0，則將升高記憶體元件之臨限電壓以使得記憶體元件處於狀態C中。圖9A至9C所描繪之程序降低浮動閘極至浮動閘極耦合效應，因為僅鄰近記憶體元件之上層頁面程式化將對給定記憶體元件之視臨限電壓產生影響。替代狀態編碼之一實例為在上層頁面資料為1時，自分佈250移至狀態C，且在上層頁面資料為0時移至狀態B。儘管圖9A至9C提供關於四個資料狀態及兩個資料頁面的實例，但所教示之概念可適用於具有多於或少於四個之狀態及不同於兩個頁面之其他實施例。可在2005年4月5日申請之題為 "Compensating For Coupling During Read Operations Of Non-Volatile Memory" 的美國專利申請案第11/099,133號中找到關於多種程式化方案及浮動閘極至浮動閘極耦合的更多細節。

圖10提供一描述程式化非揮發性記憶體期間之效能之實例的表格。為新鮮(未使用的)裝置及已執行10,000個程式化循環之裝置提供資料。在一方法中，程式化循環包括程式化及抹除(或抹除及隨後程式化)之行為。在其他方法

中，程式化循環可包括無抹除之程式化。該表格展示使用多少電壓程式化脈衝(V_{pgm})來根據上文相對於圖8所描述之方法將資料程式化至下層頁面及上層頁面中。亦存在關於根據相對於圖7所述之方法而執行全序列程式化之資料。在兩種狀況下，初始脈衝之量值為16.0 V且步進大小為0.3 V。如圖10中所描繪，用於新鮮裝置與已用裝置之平均程式化時間分別為800 μsec 及650 μsec 。新鮮裝置比循環過的裝置大約多需要三個程式化脈衝。另外，新鮮裝置在軟程式化程序(下文描述)中需要更多的程式脈衝。

為了避免將過多數目的程式脈衝施加至循環過的裝置中之正常單元或元件而不增加降低晶粒分選良率之風險，提議在宣告記憶體元件係錯誤的之前，適應性地調整可施加至記憶體元件的程式化脈衝之極大容許數目。以此方式，程式化脈衝之極大容許數目可在裝置循環時隨時間過去而逐漸調整。

圖11為一流程圖，其描述用於程式化非揮發性儲存器，同時在宣告記憶體元件係錯誤的之前適應性地調整可施加至記憶體元件之程式化脈衝之極大容許數目的程序。該程序可回應於接收程式化資料之請求而起始(步驟400)。在步驟402中，系統選擇記憶體之適當部分進行程式化。此可包括選擇區塊及/或頁面及/或扇區進行寫入。視情況，可遞增循環計數(此為程式化循環之數目的計數)。循環計數可儲存於快閃記憶體陣列、狀態機、控制器或另一位置中。在一方法中，循環計數係儲存於與狀態機相關聯之暫

存器中。在步驟404上，視情況，預先程式化記憶體之選定部分，此提供記憶體之均勻磨耗。將選定扇區或頁面中之所有記憶體元件程式化至相同臨限電壓範圍。在步驟406上，隨後抹除待程式化之記憶體元件中之所有記憶體元件。舉例而言，步驟406可包括將所有記憶體元件移至狀態E（參看圖7至圖9）。在抹除程序期間，記憶體元件中之某些記憶體元件可能使其臨限電壓降低至低於分佈E（參看圖7至圖9）的數值。在步驟408上，系統執行軟程式化程序，例如藉由將類似於彼等在圖1中所示之程式電壓脈衝施加至記憶體元件以使得記憶體元件之臨限電壓將增高而處於臨限電壓分佈E內。

視情況，系統可存取指示初始程式脈衝之量值的旗標。舉例而言，參看圖10， V_{pgm} 之初始值可為16.0 V。 V_{pgm} 之初始值可由適當地程式化電荷泵而設定。在步驟410上，將所施加之電壓脈衝之總數目之計數或程式計數PC初始設定為零且針對每一次通過而進行結算。在步驟412上，進行核查以判定是否已超過一固定脈衝極限(FPL)。關於FPL亦參看圖1。舉例而言，可利用諸如二十四個脈衝之FPL。除下文所描述的適應性脈衝極限(APL)(其正常較低)之外，此對於所施加之脈衝數目上的限制亦視情況而加以保持。在步驟414中，將程式脈衝 V_{pgm} 施加至適當字線。在步驟416中，驗證該或該等字線上之記憶體元件以查看記憶體元件中之任一者是否已達到相關聯的目標臨限電壓位準。意即，可判定是否已驗證記憶體元件之子集(其包括

一或多個記憶體元件)。驗證位準可為(例如)非揮發性儲存元件待程式化至之最終電壓位準，或可為最終電壓位準之前的中間電壓位準。此外，驗證位準無需對於所有記憶體元件而言係相同的。參看圖12而瞭解進一步細節。

若尚未驗證任何記憶體元件，則在步驟418上增加 V_{pgm} 且隨施加下一程式脈衝而在步驟410上開始額外通過或程式迴圈，其限制條件為未超過固定脈衝極限。重複所述程序直至已驗證記憶體元件中之至少一者。請注意，可使 V_{pgm} 之量值遞增一固定或變化步進大小(例如，0.3 V)，或當利用等量值之脈衝時無需任何增量。一旦在步驟416上驗證該或該等第一記憶體元件滿足指定臨限電壓位準，便在步驟424上開始額外電壓脈衝之計數。可施加額外脈衝的指定數目 "A" 以允許其餘記憶體元件達到驗證位準，藉此適應性地設定施加至元件之脈衝的總數目。在一實施例中，"A" 可等於一頁面或其他組非揮發性儲存元件之自然臨限電壓分佈除以步進電壓脈衝之步進大小。在其他實施例中，額外脈衝之數目可由裝置特性或其他方式判定。

此外，不必計算該或該等第一記憶體元件達到驗證位準所需的脈衝之數目，因為一旦偵測到該或該等第一記憶體元件之驗證便可計算所施加之額外脈衝的數目。舉例而言，第一記憶體元件可在八個脈衝之後達到驗證位準，且所容許之額外脈衝數目 "A" 可為六個脈衝。為可施加之脈衝總數的適應性脈衝極限 (APL) 因此在此實例中限於十四個，其低於二十四個脈衝的 FPL。在此狀況下，計數器僅

需累計到六來施行APL。此方法提供最小化處理額外負擔之流線型設計。因此，APL可藉由在驗證第一記憶體元件之後藉由開始獨立計數器而施行，以判定何時已將額外脈衝之極大容許數目("A")施加至其餘記憶體元件而允許該等其餘記憶體元件亦達到所要驗證位準。在另一方法中，可記錄驗證第一記憶體元件時的脈衝計數(PC1)並將其與額外脈衝之極大容許數目("A")求和以藉由公式 $APL=PC1+A$ 而獲得適應性脈衝極限(APL)。可隨後使用跟蹤脈衝之總數目的單一計數器以判定何時達到APL。參看圖13與圖14及下文之相關論述以瞭解對此等數值之間的關係所作的額外解釋。

在步驟426上，進行核查以判定是否已超過適應性脈衝極限(APL)。若已超過該極限，則在本實例中，已於驗證所有元件之前施加了所有六個額外脈衝。在此狀況下，程式化程序失敗，且在步驟420上設定失敗狀態。另外，在步驟422上針對特定失敗記憶體元件而宣告錯誤。若在步驟426上尚未超過適應性極限，則在步驟428上關於是否記憶體元件中之所有記憶體元件已驗證達到其目標臨限電壓位準進行核查。若已驗證所有元件，則程式化程序成功完成，如步驟430中之"狀態=通過"所指示。若在步驟428上尚未驗證所有元件，則增加 V_{pgm} 並在步驟410上開始額外迴圈。因此，重複所述之程序直至超過APL、驗證所有記憶體元件，或超過FPL（無論哪個在先）。請注意，將已達到其目標臨限電壓之記憶體元件鎖定於程式化當前程式化

循環之其餘部分之外。當接收程式化額外資料(諸如額外資料區塊、頁面或扇區)之後續請求時，圖11之整個程序便可重複。

圖11之程序可以若干方式修改。舉例而言，可為其中正程式化資料之記憶體之不同部分(例如，區塊或區段)保持獨立固定且適應性的脈衝計數極限。通常，可為經受不同降級速率的記憶體之不同部分保持獨立數值。

此外，可能藉由判定何時已驗證許多記憶體元件(例如，所有記憶體元件之一界定部分)，例如，10%，而修改步驟416。在此狀況下，可獲得諸如脈衝計數值之平均值或中間值的統計量度作為數值PC1，將PC1與額外脈衝之極限"A"求和而獲得APL。此數值表示記憶體裝置中之最快程式化元件中之複數個元件而不是表示一單個最快元件。因為需要適當的控制電路來記錄並處理多個脈衝計數值，所以增加了某些額外複雜性。可隨後在相同程式化循環及/或一或多個後續程式化循環中相對於其餘元件而施行APL。亦可能為每個驗證元件而判定脈衝計數，且得到代表性PC，在此狀況下，所得APL可於一或多個後續程式化循環中強制實施。另外，在許多程式化循環上所獲得PC1之移動平均值或中間值可用於得到APL，該APL可於一或多個後續程式化循環中施行。所用之量度可進一步包括加權(例如)，以使得PC1之更為近期的數值符合較高權數。

此外，關於APL在每次計算時的極大改變可施加規則。

舉例而言，可施加一規則以使得每次計算時APL並不改變一個以上的脈衝計數。平滑APL上之變化可避免影響效能之急劇改變。另外，可強加一規則以使得僅在一個方向上(諸如向下)調整APL從而避免異常結果。

此外，雖然圖11指示針對每一程式化循環而計算APL，但可能僅在指定程式化循環中計算新APL並轉入該數值以於後續循環中施行直至對其進行再次計算。詳言之，預期驗證第一元件所需的程式化脈衝之數目PC1及對應的APL將在數百或數千個程式化循環之後隨時間過去而具有逐漸向下的趨勢。因此，在n個程式化循環之後可足以計算APL，其中(例如)n=50或n=100。或，可在一指定數目的程式化循環之後(諸如在500個、1000個、1250個、1500個程式化循環等之後)計算APL。此外，增量可為固定的或可變的。舉例而言，可使用實驗資料或理論資料來獲得程式化記憶體元件平均所需的程式化脈衝之數目相對於程式化循環之數目的減少的分佈。可相應地選擇計算APL之次數，使得在預期所需之程式化脈衝之數目將發生更為迅速的改變時便更為頻繁地計算APL。

關於"A"，用於適應不同記憶體元件之不同程式化效能特性之脈衝的極大額外數目，此數值應設定為足夠大以使得在施加"A"個額外脈衝之後仍為未驗證的元件之數目並不過量，然而該數值亦應足夠小以使得記憶體中所使用之脈衝的整體程式化時間及總數並不過量。在一方法中，可使用約六個脈衝的數值。此外，"A"可為固定或可變數

值。舉例而言，"A"可作為諸如程式化一或多個記憶體元件所需之脈衝的數目PC1之參數的函數而變化。在此狀況下，當PC1較大時，利用較大數值的"A"，而當PC1較小時，利用較小數值。可建構一表格，其中不同範圍的PC1與不同數值的"A"相關聯。舉例而言，對於PC1=1-10而言，"A"=5；對於PC1=11-15而言，"A"=6；對於PC1=16-20而言，"A"=7；而對於PC1=21-24而言，"A"=8。或，"A"可計算為PC1之一部分(諸如分數或百分比)，例如，50%，並將其舍入為最近之整數。可利用至下一最高整數之上舍入。舉例而言，對於PC1=15而言，"A"=8。

在另一方法中，"A"可基於記憶體元件之使用而設定，諸如藉由記憶體所經歷的程式化循環之數目(N)而判定。舉例而言，對於N=1-1,000而言，"A"=8；對於N=1,001-5,000而言，"A"=7；而對於N=5,001-10,000而言，"A"=6。"A"亦可基於PC1及程式化循環之數目而設定。在任何情況下，"A"均隨著PC1及/或程式化循環之數目隨時間的過去減少而減少。請注意，與如上所述之可保持的獨立APL數值一致，亦可為記憶體之不同部分(諸如儲存來自上層頁面及下層頁面之資料的記憶體元件)保持獨立數值的"A"。數值FPL、APL及"A"亦可基於所使用之程式化之類型(例如，頁面模式程式化對全序列程式化)而設定。

圖12描述臨限電壓(V_{TH})對時間及位元線電壓(V_{BL})對時間之圖表。如上文結合圖11所提及的(步驟416)，程式化程序包括驗證記憶體元件是否達到相關聯的目標臨限電壓位

準，其中驗證位準可為(例如)待程式化非揮發性儲存元件所達之最終電壓位準，或最終電壓位準之前的中間電壓位準。

圖 12 之程序表示粗糙/精細程式化程序。將程式電壓 V_{pgm} 施加至待程式化之記憶體元件的控制閘極。在程式脈衝之間，執行驗證操作。在一個實施例中，界定第一中間驗證位準 V_{ver1} 及第二最終驗證位準 V_{ver2} 。如上文所提及的，驗證位準可針對不同記憶體元件或不同群組的記憶體元件而不同。此外，對於相同記憶體元件或相同群組的記憶體元件，可能具有兩個以上驗證位準。若程式化之記憶體元件之臨限電壓 V_{TH} 小於 V_{ver1} ，則對於彼元件仍以粗糙模式繼續程式化，其中位元線電壓仍然為低(例如，0 V)。當 V_{TH} (例如)在時刻 $t3$ 上達到 V_{ver1} 但小於 V_{ver2} 時，接著施加中間位元線電壓(例如，1 V)。作為中間位元線電壓之結果，通道電壓將增加(例如，1 V)且彼記憶體元件之程式化將減慢，從而過渡至精細程式化模式，因為將減小由於每一後續程式脈衝而引起的 V_{TH} 偏移。位元線對許多脈衝將保持於中間位元線電壓上，直至 V_{TH} 達到最終目標驗證位準 V_{ver2} (例如，在時刻 $t5$ 上)，之後將諸如藉由將位元線電壓升高至 $V_{禁止}$ (例如，可為 V_{dd}) 而升高位元線以禁止進一步程式化。

使用此方法，可相對於利用一單個驗證位準的狀況而達成更窄的程式化臨限電壓分佈，因為一旦臨限電壓接近於目標值(例如，當臨限電壓高於 V_{ver1} 且低於 V_{ver2} 時)臨限電

壓之每一脈衝的偏移便減小。然而，中間位元線偏壓使記憶體單元之程式化減慢，使得可增加整體程式化時間。可能需要多個額外脈衝(例如，通常為兩至三個脈衝)來完成程式化程序。

圖 13 描繪施加至新鮮記憶體裝置之程式化脈衝，而圖 14 則描述施加至循環過的記憶體裝置之程式化脈衝。如上文所提及的，隨著非揮發性記憶體裝置經歷許多程式化循環，電荷便被收集於浮動閘極與通道區域之間的絕緣部分中。電荷之此收集將臨限電壓偏移至較高位準，此允許記憶體元件更快地進行程式化，從而使得元件需要較少的電壓脈衝來達到所要電壓位準。將圖 13 與圖 14 相比較可見：施加至記憶體直至驗證第一元件為止之 V_{pgm} 脈衝之數目 (PC1) 對於循環過的記憶體而言係減少的。此外，在所示之實例中，額外程式化脈衝之極大容許數目 "A" 對於新鮮及循環過的記憶體裝置而言係相同的。適應性脈衝極限 (APL) 對於循環過的裝置亦相應地減小。

出於說明性及描述性之目的上文給出了本發明之詳細描述。其並非意欲為詳盡性的或並非意欲將本發明限於所揭示之確切形式。鑒於上述教示，許多修改及變化係可能的。選擇所述實施例以便最好地解釋本發明之原理及其實際應用，從而使得熟習此項技術之其他人能夠最好地將本發明用於多種實施例中並在預期適合於特定用途的多種修改下最好地利用本發明。期望本發明之範疇係由附加之申請專利範圍而界定。

【圖式簡單說明】

圖1描繪可施加至快閃記憶體裝置之一或多個控制閘極之程式電壓的一實例。

圖2為NAND串之俯視圖。

圖3為圖2之NAND串之等效電路圖。

圖4為圖2之NAND串之橫截面圖。

圖5為一非揮發性記憶體系統之方塊圖。

圖6為一非揮發性記憶體陣列之方塊圖。

圖7描繪在多態裝置中自抹除狀態直接程式化至程式化狀態的情況下的一例示組臨限電壓分佈。

圖8描繪在多態裝置中自抹除狀態兩次通過程式化至程式化狀態的情況下的一例示組臨限電壓分佈。

圖9A至圖9C展示多種臨限電壓分佈並描述用於程式化非揮發性記憶體的程序。

圖10為描述程式化效能之圖表。

圖11為一流程圖，其描述用於程式化非揮發性儲存器，同時在宣告記憶體元件係錯誤的之前適應性地調整可施加至記憶體元件之程式化脈衝之極大容許數目的程序。

圖12描繪臨限電壓(V_{TH})對時間及位元線電壓(V_{BL})對時間的圖表。

圖13描繪施加至新鮮記憶體裝置之程式化脈衝。

圖14描繪施加至循環過的記憶體裝置之程式化脈衝。

【主要元件符號說明】

100、102、104、106

電晶體

100CG、102CG、104CG、	控制閘極
106CG、120CG、122CG	
100FG、102FG、104FG、	浮動閘極
106FG	
120	第一選擇閘
122	第二選擇閘
126	位元線接點
128	源極線接點
130、132、134、136、138	N+摻雜層
140	p井區域
202	記憶體元件陣列
204	行控制電路
206	列控制電路
208	p井控制電路
210	共同源極控制電路
212	資料輸入/輸出緩衝器
214	命令電路
216	狀態機
218	控制器
250	臨限電壓分佈
Ble	偶數位元線
Blo	奇數位元線
SGD、SGS	選擇線
WL0、WL1、WL2、WL3	字線

五、中文發明摘要：

本發明揭示一種程式化具自我調整極大程式迴圈之非揮發性記憶體之方法及系統。調整用以程式化一非揮發性記憶體裝置之記憶體元件的電壓程式化脈衝之極大容許數目以慮及記憶體元件中隨時間過去而發生的改變。施加程式化脈衝直至一或多個記憶體元件之臨限電壓達到某一驗證位準，之後，可將額外脈衝之一界定之極大數目施加至其他記憶體元件以允許該等記憶體元件亦達到相關聯的目標臨限電壓位準。本技術施行可在記憶體循環時隨時間過去而改變的程式化脈衝之極大容許數目。

六、英文發明摘要：

十一、圖式：

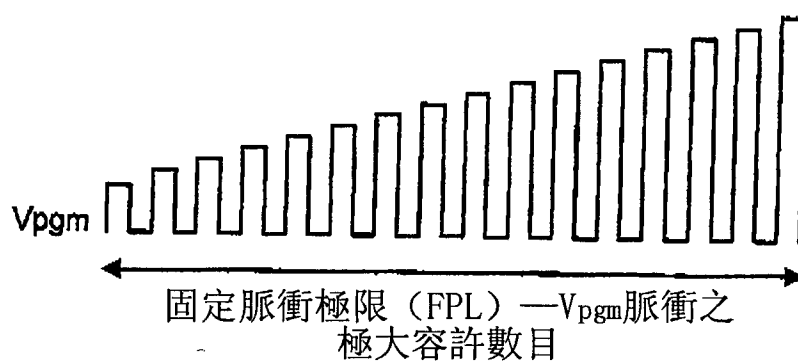


圖1

	典型程式脈衝計數			初始 V_{pgm}	典型 $T_{program}$	典型軟 程式脈衝
	下層頁面	上層頁面	全序列			
新鮮	13	18	22	16.0V	800 usec	16
10,000個循環	10	15	19	16.0V	650 usec	10

圖10

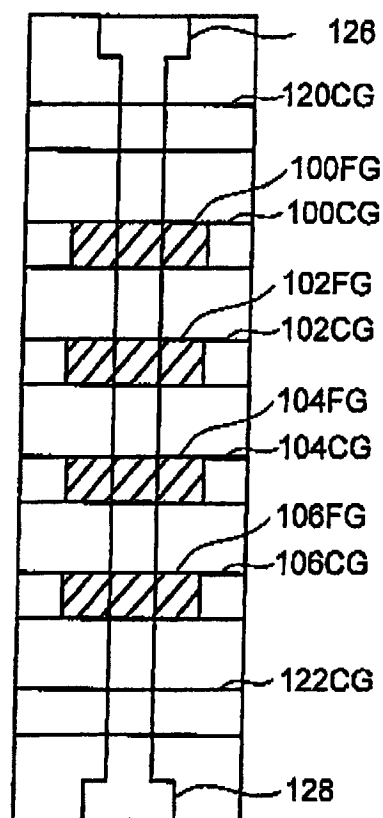


圖2

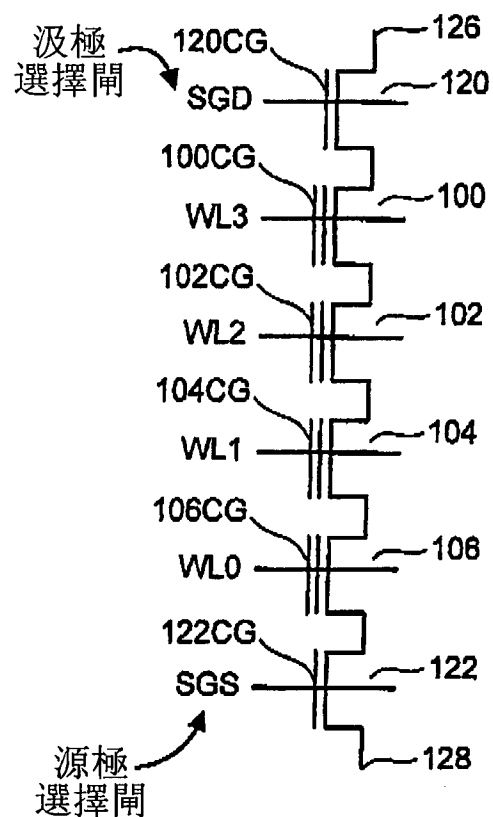


圖3

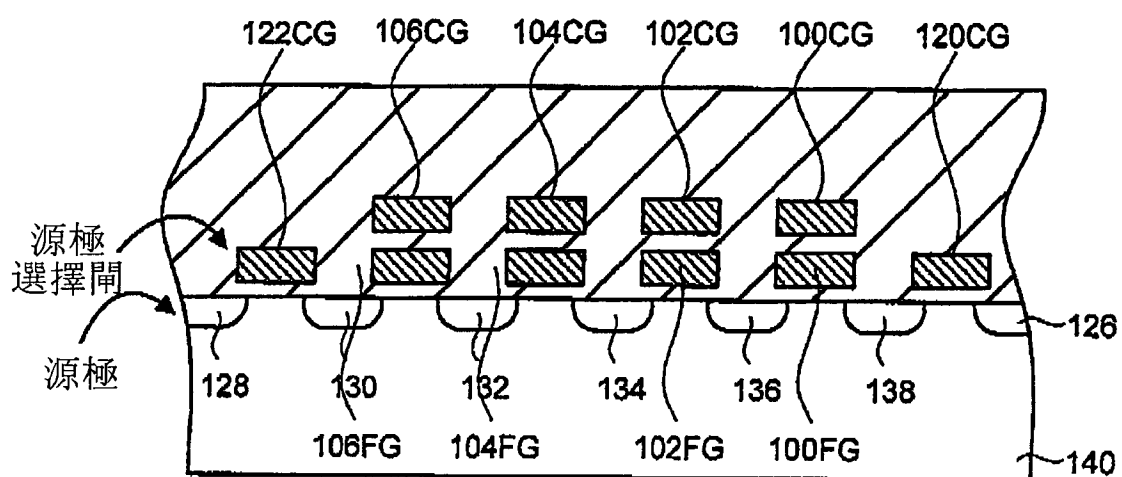


圖4

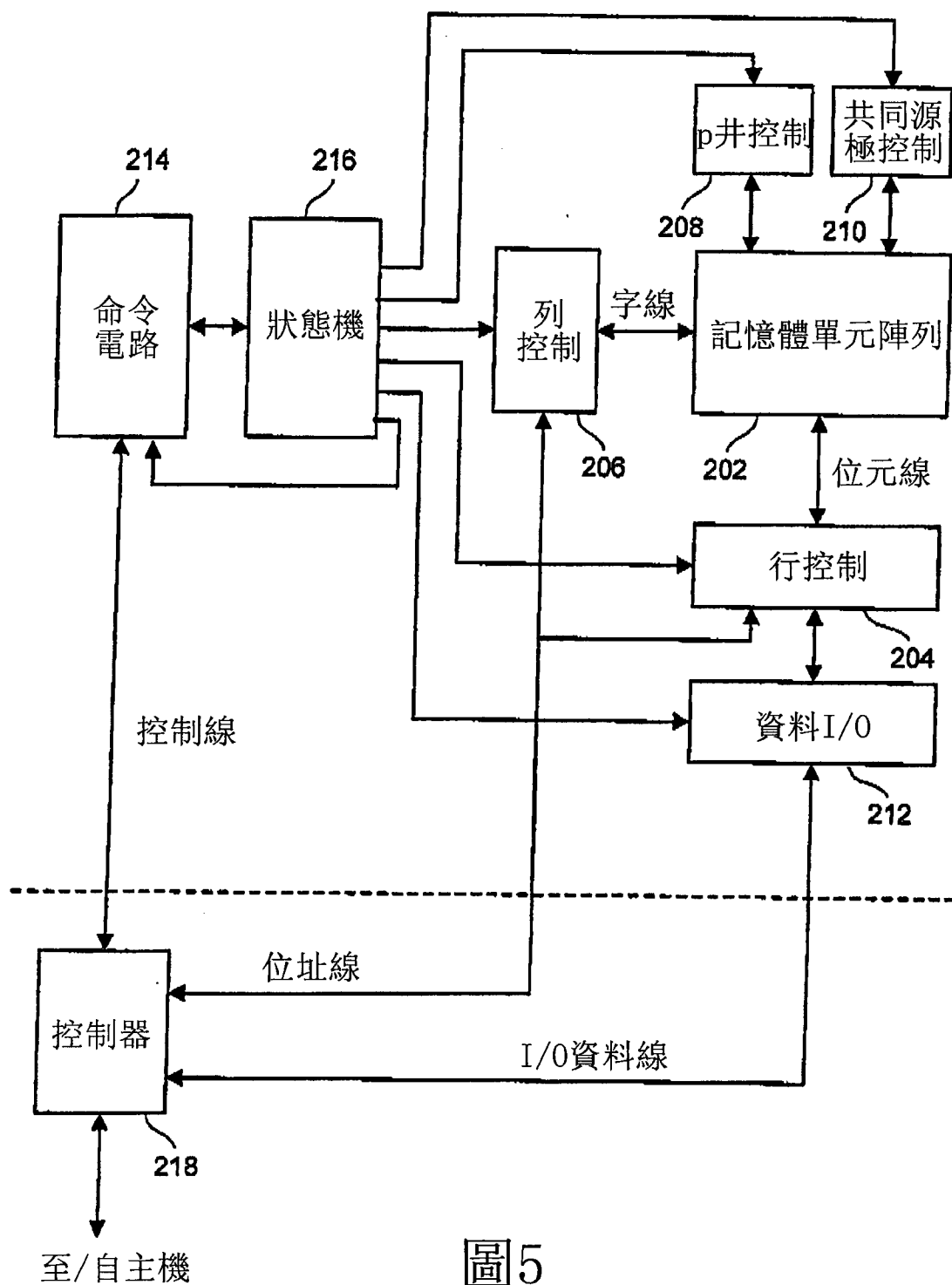


圖5

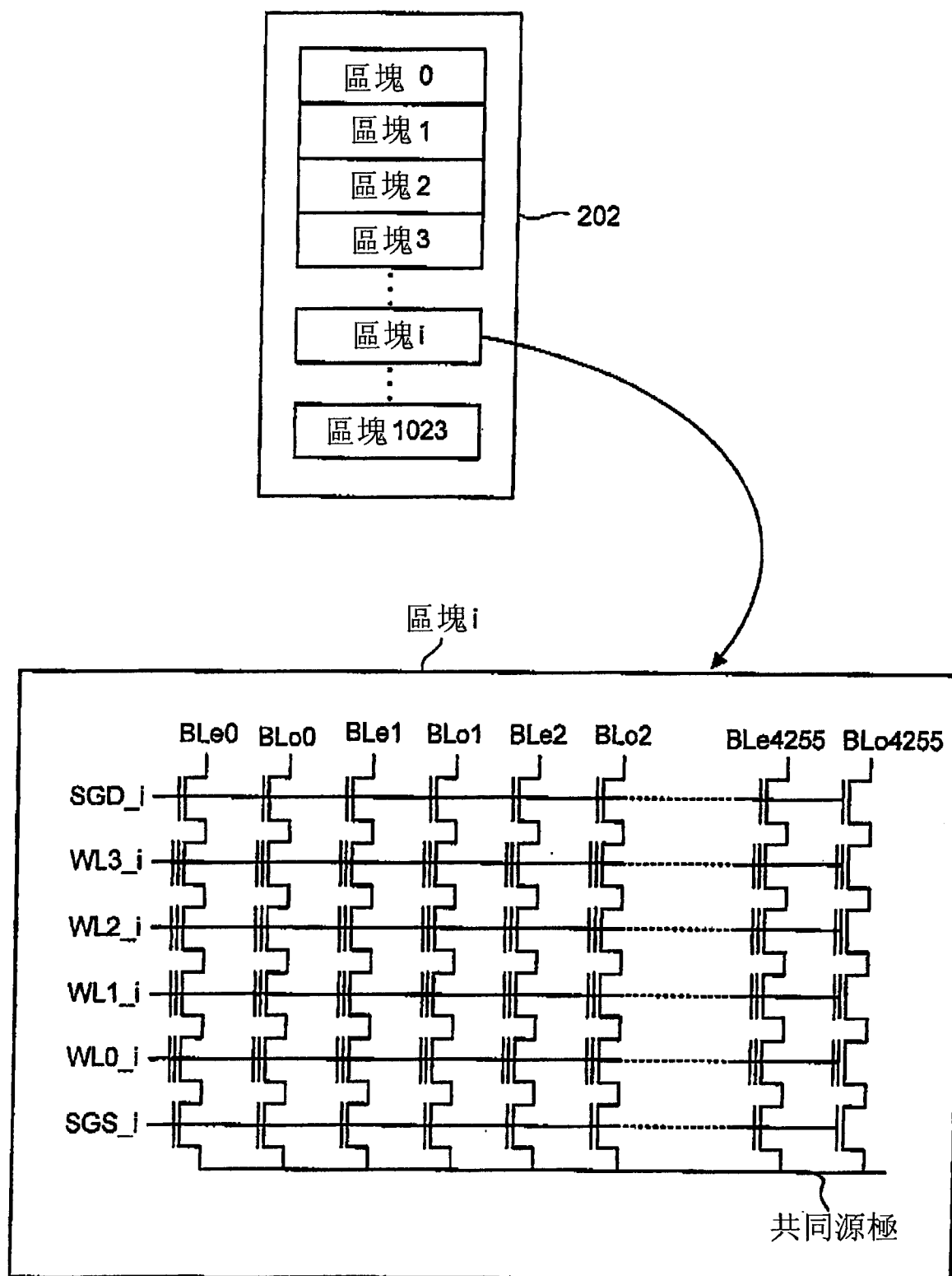


圖6

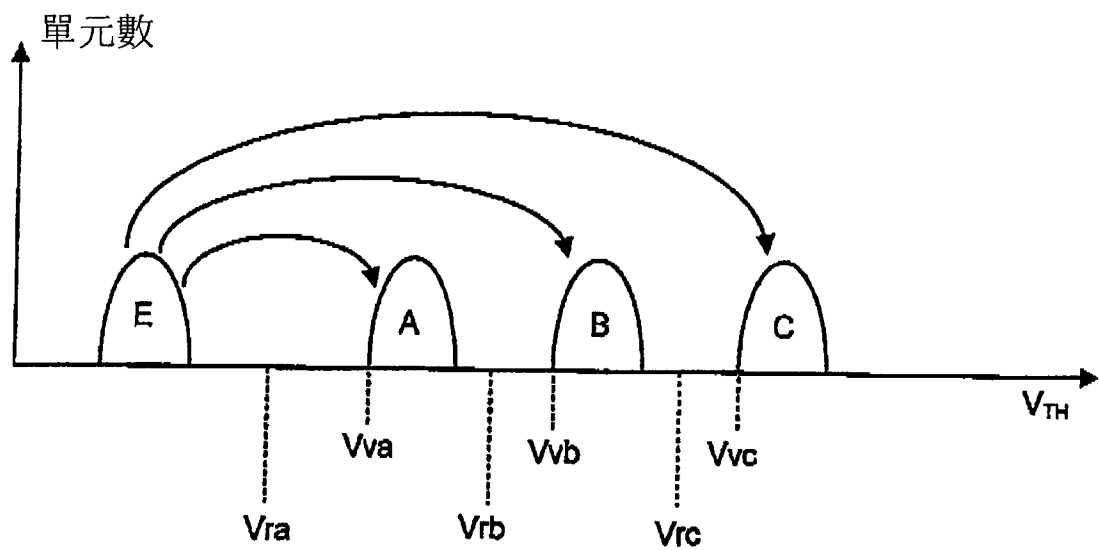


圖7

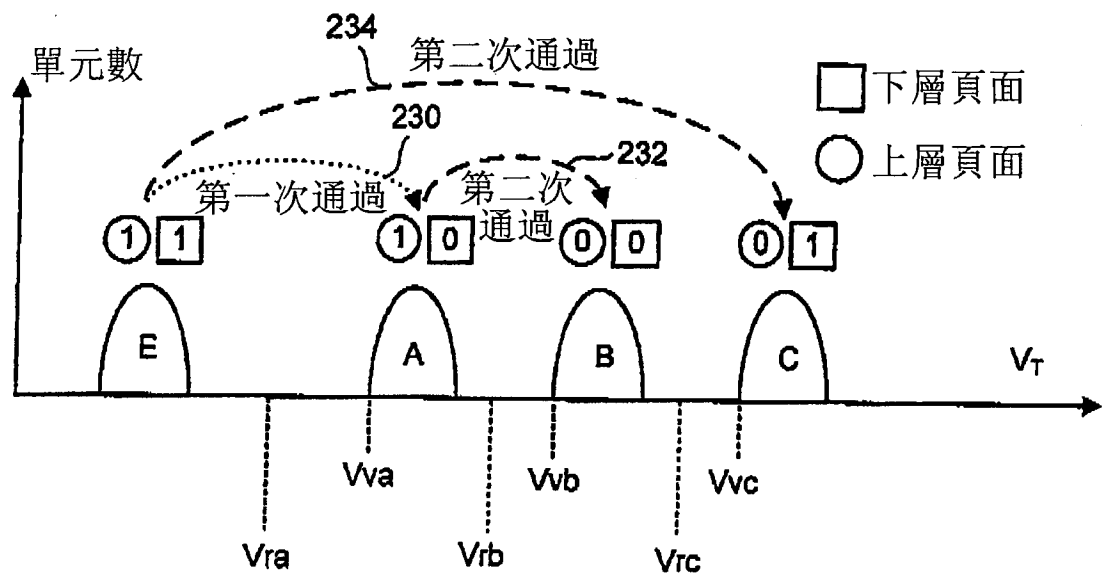


圖8

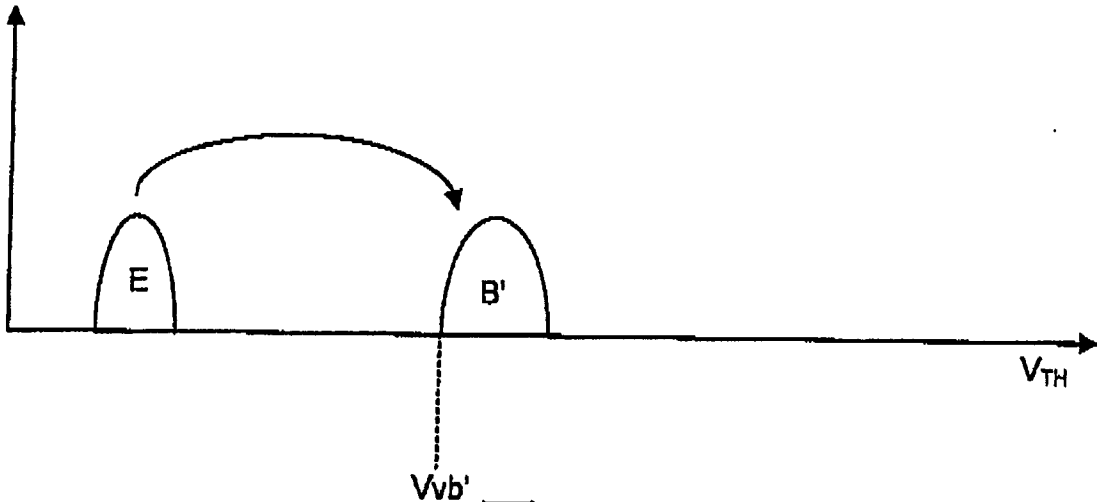


圖9A

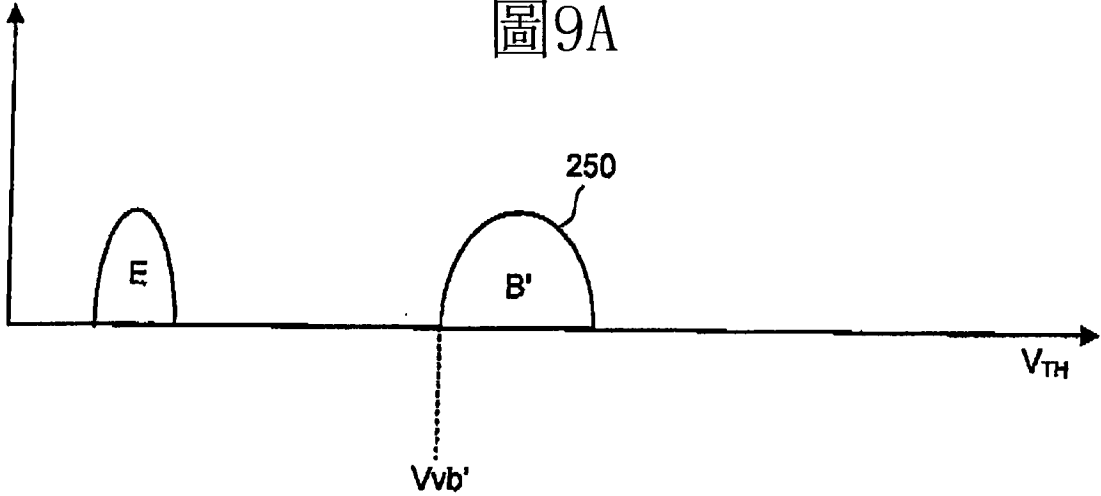
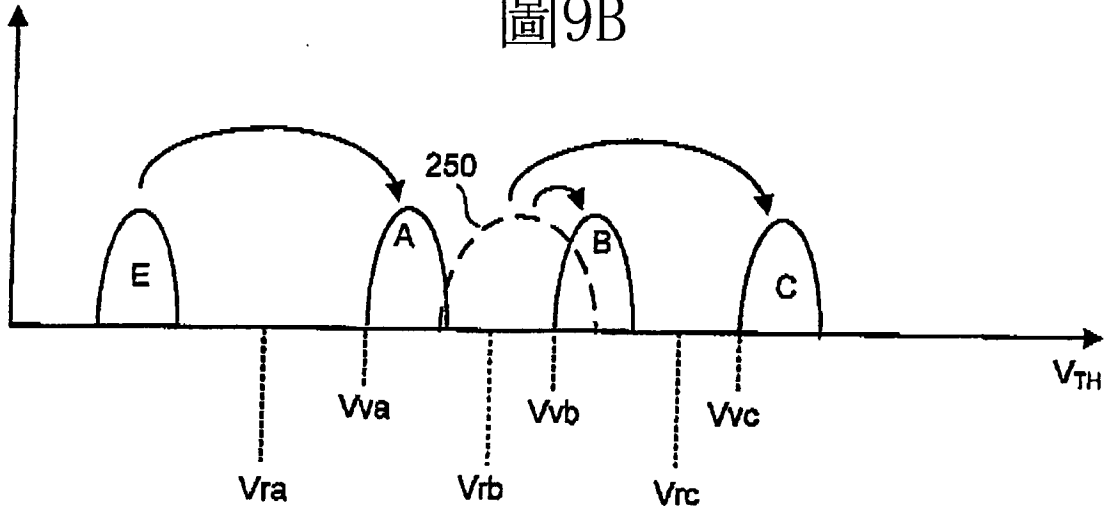


圖9B



上層	1	0	1	0
下層	1	1	0	0

圖9C

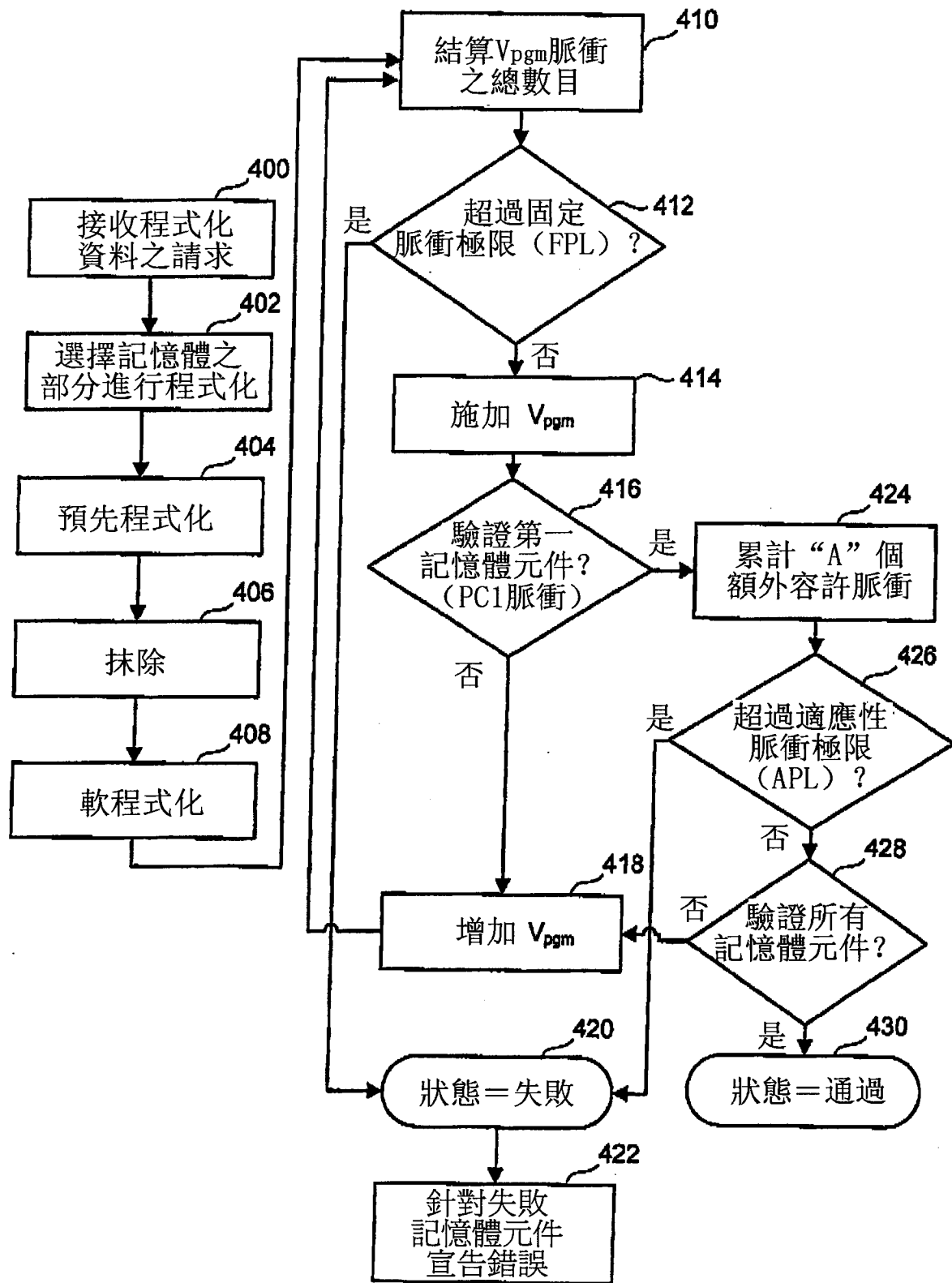


圖11

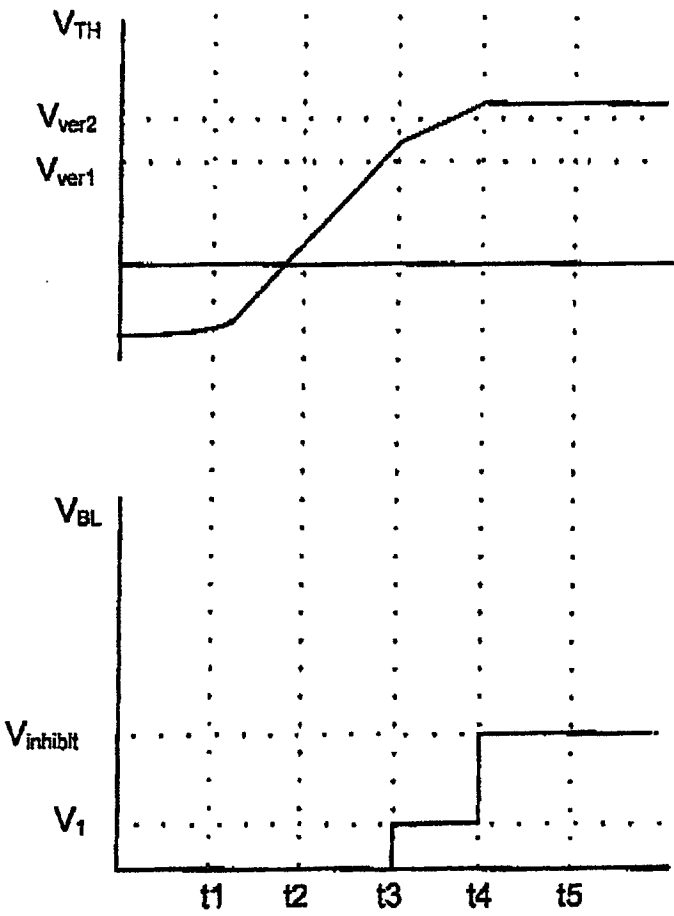


圖12

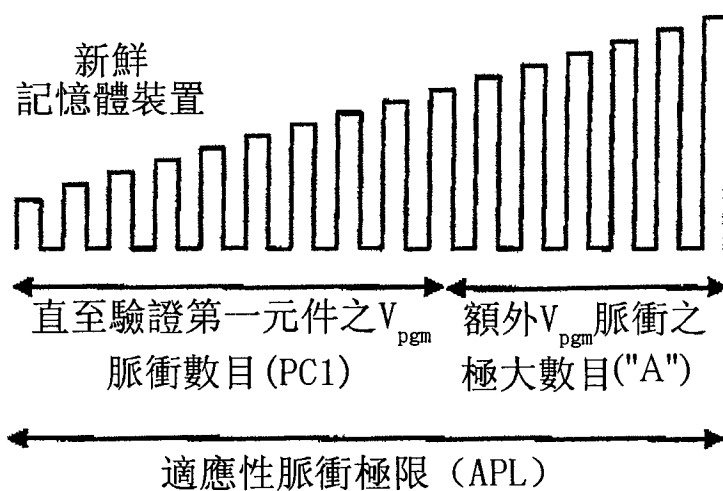


圖13

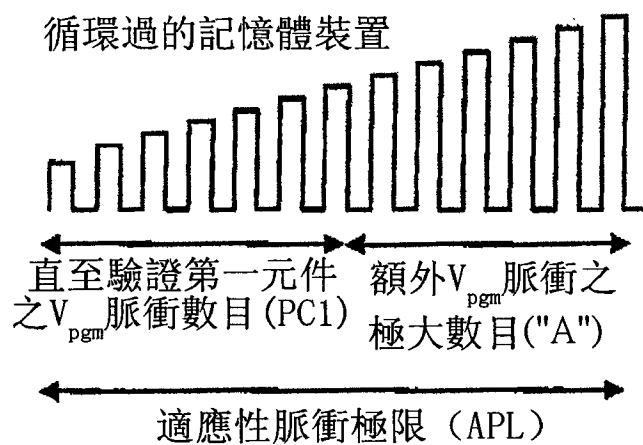


圖14

七、指定代表圖：

(一)本案指定代表圖為：第(11)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於程式化非揮發性儲存器之方法，其包含：

利用一系列電壓脈衝程式化至少一第一非揮發性儲存元件以達到一第一驗證位準；

偵測該至少一第一非揮發性儲存元件何時達到該第一驗證位準；及

回應於該偵測而施行額外電壓脈衝之一極大容許數目以用於將至少一第二非揮發性儲存元件程式化至達到一第二驗證位準。

2. 如請求項1之方法，其中：

適應性脈衝極限之一脈衝總數係基於以下之一總和而施行的：(a)該至少一第一非揮發性儲存元件達到該第一驗證位準所需的該等電壓脈衝之一數目，與(b)額外電壓脈衝之該極大容許數目。

3. 如請求項1之方法，其中：

額外電壓脈衝之該極大容許數目係可根據該至少一第一非揮發性儲存元件達到該第一驗證位準所需的該等電壓脈衝之一數目而變化。

4. 如請求項1之方法，其中：

額外電壓脈衝之該極大容許數目係固定的。

5. 如請求項1之方法，其中：

額外電壓脈衝之該極大容許數目係可變的。

6. 如請求項1之方法，其進一步包含：

跟蹤該至少一第一非揮發性儲存元件隨時間過去的一

使用；

其中額外電壓脈衝之該極大容許數目係可根據該使用而變化。

7. 如請求項6之方法，其中：

該使用之該跟蹤包含保持程式化循環之一計數。

8. 如請求項1之方法，其中該至少一第一非揮發性儲存元件包含複數個利用該系列電壓脈衝而程式化至達到該第一驗證位準的非揮發性儲存元件，該方法進一步包含：

判定該複數個非揮發性儲存元件中之每一者達到該第一驗證位準所需的該等電壓脈衝之一數目；及

基於該複數個非揮發性儲存元件中之每一者達到該第一驗證位準所需的該等電壓脈衝之該數目而施行額外電壓脈衝之該極大容許數目以用於將該至少一第二非揮發性儲存元件程式化至達到該第二驗證位準。

9. 如請求項8之方法，其中：

用於在程式化該至少一第二非揮發性儲存元件至達到該第二驗證位準中使用之額外電壓脈衝之該極大容許數目係基於一得自該複數個非揮發性儲存元件中之每一者達到該第一驗證位準所需的該等電壓脈衝之該數目的統計量度而施行。

10. 如請求項1之方法，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係在一共同程式化循環中程式化。

11. 如請求項1之方法，其中：

該至少一第二非揮發性儲存元件係在一程式化該至少一第一非揮發性儲存元件之程式化循環之後的一程式化循環中程式化。

12. 如請求項1之方法，其中：

額外電壓脈衝之該極大容許數目係基於至少該第一非揮發性儲存元件之一臨限電壓分佈除以該等電壓脈衝之一步進大小。

13. 如請求項1之方法，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係提供在一共同區塊與一共同區段之至少一者中。

14. 如請求項1之方法，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係利用來自一共同頁面之資料而程式化。

15. 如請求項1之方法，其中：

該第一驗證位準與該第二驗證位準中之至少一者為在一最終電壓位準之前的一中間電壓位準。

16. 如請求項1之方法，其中：

該第一驗證位準與該第二驗證位準中之至少一者為一最終電壓位準。

17. 一種非揮發性儲存系統，其包含：

至少一第一非揮發性儲存元件，及至少一第二非揮發性儲存元件；及

一或多個管理電路，其與該至少一第一非揮發性儲存

元件且與該至少一第二非揮發性儲存元件通信，該或該等管理電路接收一程式化資料之請求，且，回應於該請求而利用一系列電壓脈衝將該至少一第一非揮發性儲存元件程式化至達到一第一驗證位準、偵測該至少一第一非揮發性儲存元件何時達到該第一驗證位準，及，回應於該偵測而施行額外電壓脈衝之一極大容許數目以用於將至少一第二非揮發性儲存元件程式化至達到一第二驗證位準。

18. 如請求項17之非揮發性儲存系統，其中：

該或該等管理電路係基於如下之一總和而施行適應性脈衝極限之一脈衝總數：(a)該至少一第一非揮發性儲存元件達到該第一驗證位準所需的該等電壓脈衝之一數目，與(b)額外電壓脈衝之該極大容許數目。

19. 如請求項17之非揮發性儲存系統，其中：

額外電壓脈衝之該數目係可根據該至少一第一非揮發性儲存元件達到該第一驗證位準所需的該等電壓脈衝之一數目而變化。

20. 如請求項17之非揮發性儲存系統，其中：

額外電壓脈衝之該極大數目係固定的。

21. 如請求項17之非揮發性儲存系統，其中：

額外電壓脈衝之該極大數目係可變的。

22. 如請求項17之非揮發性儲存系統，其中：

該或該等管理電路回應於該請求而利用該系列電壓脈衝將複數個非揮發性儲存元件程式化至達到該第一驗證

位準、判定該複數個非揮發性儲存元件中之每一者達到該第一驗證位準所需的該等電壓脈衝之一數目，及基於該複數個非揮發性儲存元件中之每一者達到該第一驗證位準所需的該等電壓脈衝之該數目而施行額外電壓脈衝之該極大容許數目以用於將該至少一第二非揮發性儲存元件程式化至達到該第二驗證位準。

23. 如請求項17之非揮發性儲存系統，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係在一共同程式化循環中程式化。

24. 如請求項17之非揮發性儲存系統，其中：

該至少一第二非揮發性儲存元件係在一程式化該至少一第一非揮發性儲存元件之程式化循環之後的一程式化循環中程式化。

25. 如請求項17之非揮發性儲存系統，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係提供於一共同區塊與一共同區段中之至少一者中。

26. 如請求項17之非揮發性儲存系統，其中：

該至少一第一非揮發性儲存元件與該至少一第二非揮發性儲存元件係利用來自一共同頁面之資料而程式化。

27. 如請求項17之非揮發性儲存系統，其中：

該第一驗證位準與該第二驗證位準中之至少一者為在一最終電壓位準之前的一中間電壓位準。

28. 如請求項17之非揮發性儲存系統，其中：

該第一驗證位準與該第二驗證位準中之至少一者為一
最終電壓位準。