

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3729582号

(P3729582)

(45) 発行日 平成17年12月21日(2005.12.21)

(24) 登録日 平成17年10月14日(2005.10.14)

(51) Int. Cl.<sup>7</sup>

F I

G 1 1 C 11/407  
G 0 6 F 1/10  
H 0 3 K 5/135  
H 0 3 L 7/00

G 1 1 C 11/34 3 5 4 C  
H 0 3 K 5/135  
H 0 3 L 7/00 D  
G 1 1 C 11/34 3 6 2 S  
G 0 6 F 1/04 3 3 0 A

請求項の数 14 (全 48 頁)

(21) 出願番号	特願平8-339988	(73) 特許権者	000005223
(22) 出願日	平成8年12月19日(1996.12.19)		富士通株式会社
(65) 公開番号	特開平10-112182		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成10年4月28日(1998.4.28)	(74) 代理人	100077517
審査請求日	平成12年5月12日(2000.5.12)		弁理士 石田 敬
(31) 優先権主張番号	特願平8-213882	(74) 代理人	100100871
(32) 優先日	平成8年8月13日(1996.8.13)		弁理士 土屋 繁
(33) 優先権主張国	日本国(JP)	(74) 代理人	100088269
			弁理士 戸田 利雄
		(74) 代理人	100082898
			弁理士 西山 雅也
		(72) 発明者	川崎 健一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置システム及びデジタル遅延回路

(57) 【特許請求の範囲】

【請求項1】

外部クロックを受けるクロック入力回路と、  
一方の入力が前記クロック入力回路に結合され、該一方の入力及び他方の入力における信号を比較する位相比較回路と、

前記クロック入力回路に接続される入力を有し、該入力を前記位相比較回路の出力に応じた遅延時間だけ遅延させて、前記外部クロックに対して所定の位相を有するデータ出力タイミング信号を出力する実遅延回路と、

前記クロック入力回路に結合される入力を有し、該入力を前記位相比較回路の出力に応じた遅延時間だけ遅延させ、その出力を前記位相比較回路の他方の入力に供給するダミー遅延回路と、

前記データ出力タイミング信号に応じてデータを出力するデータ出力回路と、

前記ダミー遅延回路と前記位相比較回路の他方の入力の間直列に設けられた、前記データ出力回路における伝播遅延時間と等価な第1の伝播遅延時間を生成するダミー出力回路及び、前記クロック入力回路における伝播遅延時間と等価な第2の伝播遅延時間を生成するダミークロック入力回路と、

を備えることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

当該半導体装置は、シンクロナス半導体メモリである半導体装置。

10

20

## 【請求項 3】

請求項 1 に記載の半導体装置であって、  
前記実遅延回路及びダミー遅延回路は、それぞれ直列に接続された複数の遅延ユニットを備える半導体装置。

## 【請求項 4】

請求項 1 に記載の半導体装置であって、  
入力端が前記クロック入力回路に接続され、出力端が前記ダミー遅延回路及び前記位相比較回路の一方の入力に接続され、前記クロック入力回路からの基準クロック出力の周波数を分周する  $1/N$  分周器 ( $N$ : 整数) をさらに備えた半導体装置。

## 【請求項 5】

請求項 1 に記載の半導体装置であって、  
前記実遅延回路及び前記ダミー遅延回路の両方における前記遅延時間は、前記位相比較回路の前記出力に応じて共通に制御される半導体装置。

10

## 【請求項 6】

請求項 1 に記載の半導体装置であって、  
前記ダミー出力回路に接続され、該ダミー出力回路により駆動されるダミー負荷回路をさらに備える半導体装置。

## 【請求項 7】

請求項 6 に記載の半導体装置であって、  
前記ダミー負荷回路における負荷値は、切り換え信号に応じて変化する半導体装置。

20

## 【請求項 8】

請求項 1 に記載の半導体装置であって、  
前記データ出力回路及び前記ダミー出力回路の電源供給は、当該半導体装置の内部電源供給から独立している半導体装置。

## 【請求項 9】

請求項 1 に記載の半導体装置であって、  
前記データ出力回路及び前記ダミー出力回路は、モード信号に応じて駆動特性が変化する半導体装置。

## 【請求項 10】

請求項 1 に記載の半導体装置であって、  
前記ダミー遅延回路と前記位相比較回路の前記他の入力との間にダミー信号線を更に備え、該ダミー信号線は前記実遅延回路と前記データ出力回路との間の信号線における遅延時間と等価な線遅延時間を有する半導体装置。

30

## 【請求項 11】

請求項 1 に記載の半導体装置であって、  
前記実遅延回路は、前記データ出力タイミング信号として、第 1 及び第 2 の実データ出力タイミング信号をそれぞれ出力する第 1 及び第 2 の実遅延回路を含み、  
前記ダミー遅延回路は、前記ダミーデータ出力回路に、第 1 及び第 2 のダミークロックを出力する第 1 及び第 2 のダミー遅延回路を含み、  
前記データが高の時には、前記データ出力回路は前記第 1 の実データ出力タイミング信号に応じて前記データを出力し、前記ダミー出力回路は前記第 1 のダミークロックに応じて動作し、

40

前記データが低の時には、前記データ出力回路は前記第 2 の実データ出力タイミング信号に応じて前記データを出力し、前記ダミー出力回路は前記第 2 のダミークロックに応じて動作する半導体装置。

## 【請求項 12】

請求項 11 に記載の半導体装置であって、  
前記位相比較回路からの第 1 の出力信号に応じて、前記第 1 の実遅延回路及び前記第 1 のダミー遅延回路における前記遅延時間を制御する第 1 の遅延制御回路と、  
前記位相比較回路からの第 2 の出力信号に応じて、前記第 2 の実遅延回路及び前記第 2

50

のダミー遅延回路における前記遅延時間を制御する第2の遅延制御回路とを備える半導体装置。

【請求項13】

請求項12に記載の半導体装置であって、

前記位相比較回路は、前記データに応じて前記第1と第2の出力信号の一方を出力する半導体装置。

【請求項14】

請求項1に記載の半導体装置であって、

前記ダミー出力回路のサイズは、前記データ出力回路のサイズより小さい半導体装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、外部から入力される信号に対して所定の正確な位相で出力を行う半導体装置、そのような半導体装置を使用した半導体装置システム、及びそこで使用するデジタル遅延回路に関し、特に周囲温度や電源電圧の変動にかかわらず外部クロックに対して常に所定の位相で信号が出力されるシンクロナス半導体メモリに関する。

【0002】

【従来の技術】

通常、半導体集積回路(LSI)では、外部から信号が入力され、入力信号に応じた処理動作が行われて出力信号が出力される。従って、外部入力信号に対して、どのようなタイ

20

【0003】

近年、コンピュータ・システムにおけるCPUのクロックの高速化、或いは、他の様々な電子回路の処理速度の高速化に伴って、インターフェース部分も高速化する必要に迫られている。例えば、クロックが100MHz以上のCPUも出現しているが、主記憶として広く使用されるDRAMのアクセス速度やデータ転送速度は1桁小さい動作速度である。

30

【0004】

SDRAMは、外部から入力される高速のクロックに同期してデータの入出力を行うもので、内部には複数ビットのデータを並行して入出力できる複数のユニットを有し、外部とのインターフェースはこの複数ビットのデータをシリアルデータに変換して行うことにより外部とのインターフェースを高速化する方式と、内部での動作をパイプライン化し、各パイプの動作を並行して行うことにより高速化する方式がある。以下、パイプライン方式のDRAMを例として説明を行う。

【0005】

40

図1は、パイプライン方式のシンクロナスDRAM(以下、単にSDRAMと称する。)の一例である、16M・2バンク・8ビット幅のSDRAMのブロック構成図である。SDRAMは、汎用DRAMのDRAMコア108a、108bの他に、クロックバッファ101、コマンドデコーダ102、アドレスバッファ/レジスタ&バンクアドレスセレクト(以下、単にアドレスバッファ)103、I/Oデータバッファ/レジスタ104、制御信号ラッチ105a、105b、モードレジスタ106、コラムアドレスカウンタ107a、107bを有している。/CS、/RAS、/CAS、/WE端子は、従来の動作と異なり、その組み合わせで各種コマンドを入力することによって動作モードが決定されるようになっている。各種コマンドは、コマンドデコーダで解読されて、動作モードに応じて各回路を制御することになる。また、/CS、/RAS、/CAS、/WE信号は

50

、制御信号ラッチ105aと105bにも入力されて次のコマンドが入力されるまで、その状態がラッチされる。

【0006】

一方、アドレス信号はアドレスバッファ103で増幅されて各バンクのロードアドレスとして使用される他、コラムアドレスカウンタ107a、107bの初期値として使用される。DRAMコア108a、108bから読み出された信号は、I/Oデータバッファ/レジスタ104で増幅されて外部から入力される外部クロックCLKの立ち上がり同期して出力される。入力についても同様の動作が行われ、I/Oデータバッファ/レジスタ104に入力されたデータが書き込まれる。

【0007】

図2は、一般的なSDRAMの読み取り(リード)動作のタイミングを示す図である。外部クロックCLKは、このSDRAMが使用されるシステムから供給される信号であり、このCLKの立ち上がり同期して、各種コマンド、アドレス信号、入力データを読み、又は出力データを出力するように動作する。

【0008】

いま、このSDRAMからデータを読み出す場合、コマンド信号(/CS、/RAS、/CAS、/WE信号)の組み合わせからアクティブ(ACT)コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このコマンド、ローアドレスが入力されると、SDRAMは活性状態になり、ローアドレスに応じたワード線を選択して、ワード線上のセル情報をビット線に出力し、センスアンプで増幅する。

【0009】

一方、このようなローアドレスに関係した部分の動作時間( $t_{RC D}$ )後に、リードコマンド(Read)とコラムアドレスを入力する。コラムアドレスに従って、選択されたセンスアンプデータをデータバス線に出力し、データバスアンプで増幅し、出力バッファでさらに増幅して出力端子(DQ)にデータが出力される。これら一連の動作は汎用DRAMとまったく同じ動作であるが、SDRAMの場合、コラムアドレスに関係する回路がパイプライン動作するようになっており、リードデータは毎サイクル連続して出力されることになる。これにより、データ転送周期は外部クロックの周期になる。

【0010】

SDRAMでのアクセス時間には3種類あり、いずれもCLKの立ち上がり時点を基準にして定義される。図2において、 $t_{RAC}$ はローアドレスアクセス時間、 $t_{CAC}$ はコラムアドレスアクセス時間、 $t_{AC}$ はクロックアクセス時間を示している。このSDRAMを高速メモリシステムで使用する場合、コマンドを入力してから最初にデータが得られるまでの時間である $t_{RAC}$ や $t_{CAC}$ も重要であるが、データの転送速度を高める上では、クロックアクセス時間 $t_{AC}$ も重要である。

【0011】

図3は、SDRAMにおけるパイプライン動作を説明するためのブロック図で、一例としてパイプが3段設けられている場合を示している。

SDRAMでのコラムアドレスに関係する処理回路は処理の流れに沿って複数段に分割されており、分割された各段の回路をパイプと呼んでいる。クロックバッファ101では、CLKから各パイプに供給する内部クロック信号が生成され、各パイプは供給された内部クロック信号に従って制御される。各パイプの間にはパイプ間の信号の伝達タイミングを制御するスイッチが設けられており、これらのスイッチも、クロックバッファ101で生成された内部クロック信号により制御される。

【0012】

この例において、パイプ-1では、コラムアドレスバッファ116でアドレス信号を増幅してコラムデコーダ118にアドレス信号を送り、コラムデコーダ118で選択されたアドレス番地に相当するセンスアンプ回路117の情報をデータバスに出力し、データバスの情報をデータバスアンプ119で増幅するまで行われる。パイプ-2はデータバス制御回路120のみで、パイプ-3はI/Oバッファ104のみで構成されるとした。いずれ

10

20

30

40

50

のパイプ内の回路もクロックサイクル時間内で動作完了するならば、パイプとパイプとの間にあるスイッチをCLKに同期して開閉することで、リレー式にデータを送り出すことができる。これにより、各パイプでの処理は並行に行われることになり、出力端子にはCLKに同期して連続的にデータが出力されることになる。

**【0013】****【発明が解決しようとする課題】**

図4は、図1から図3で説明した従来のSDRAMを高速メモリシステムで使用した場合の問題点を説明する図である。

図4において、 $t_{AC}$ はシステムクロックCLKからのクロックアクセス時間を、 $t_{OH}$ は前のサイクル又は次のサイクルへの出力データ保持時間を示している。SDRAMの特性のパラッキ、温度依存性、電源電圧依存性を考えると、 $t_{AC}$ と $t_{OH}$ とは一致せず、ある幅を持ってしまう。この幅に相当する時間はデータが不確定な時間で、どのようなデータが出力されるか分からない時間を意味し、メモリシステムでは使用できない時間、いわゆるデッドバンドになっている。その他、図示していないが、このデッドバンドにはボード上の配線遅延時間、パラッキも含まれる。

**【0014】**

一方、SDRAMの出力をシステム側で取り込む(受け取る)には、セットアップ時間( $t_{SI}$ )、ホールド時間( $t_{HI}$ )が必要で、この時間はメモリ出力のデータが確定している時間以内である必要がある。その時間は、図から( $t_{CLK} + t_{OH} - t_{AC}$ )となる。

例えば、100MHzで動作するシステムを考えると、サイクル時間( $t_{CLK}$ )は10ns、メモリアクセス時間( $t_{AC}$ )は6ns、ホールド時間は3nsとすると、差引き7nsがシステム側で使用できる時間になる。通常の入力回路を使用したシステムでの受取側ロジックのセットアップ時間、ホールド時間の合計( $t_{SI} + t_{HI}$ )は3nsであり、残り4nsがボード上での信号遅延、DQ端子間のパラッキ等のシステム余裕時間になる。ボード上での信号伝搬時間などを考えると、この値はシステムにとって非常に厳しい値といえる。更に高速のシステムになれば益々厳しいタイミング調整が必要になるのはいうまでもない。そのため、図4に示したデータの不確定時間をできるだけ小さくすることが重要になってきた。

**【0015】**

データの不確定時間を短くするには、特性のパラッキ、温度変化、電源電圧の変化があっても、常にデータが外部クロックCLKに対して所定の位相で出力される、すなわちクロックアクセス時間 $t_{AC}$ が常に一定であればよい。もし、データの出力が外部クロックCLKの立ち上がりに同期して行われることが望ましければ、クロックアクセス時間 $t_{AC}$ が常にゼロであればよい。

**【0016】**

以上、シンクロナスDRAMを例として外部から入力される信号に同期して出力信号が出力される必要性について説明したが、これはシンクロナスDRAMに限らず、多くの半導体装置に共通していえることである。半導体装置の内部については、各半導体装置で所望の動作が行えるように各種の対策をとることが可能であるが、各半導体装置の内部での処理結果を出力する場合には、他の半導体装置との関係を規定する必要があり、出力のタイミングを一定にすることが重要である。

**【0017】**

本発明は、上記問題点に鑑みてなされたものであり、特性のパラッキ、温度変化、電源電圧の変化にかかわらず、データが外部クロックCLKに対して所定の位相で出力される半導体装置の実現を目的とする。特に、クロックアクセス時間 $t_{AC}$ が常に一定に制御されるシンクロナス半導体メモリの実現を目的とする。

**【0018】****【課題を解決するための手段】**

図5は、本発明の半導体装置の基本構成を示す図である。

図5に示すように、本発明の半導体装置では、外部入力信号が入力され、基準信号を出力する入力回路13と、出力タイミング信号を受け、この出力タイミング信号に応じたタイミングで出力信号の出力を行う出力回路14と、出力回路14からの出力信号の出力タイミングを外部入力信号に対して所定の位相になるように制御する出力タイミング制御回路20とを備える半導体装置であって、出力タイミング制御回路20は、遅延量が選択可能で、基準信号を選択された遅延量だけ遅延させ、出力タイミング信号として出力回路14に印加するディレイ回路21と、基準信号の位相と出力タイミング信号の位相を比較する位相比較回路22と、位相比較回路22の比較結果に基づいて、ディレイ回路21の遅延量を選択するディレイ制御回路23とを備えることを特徴とする。

**【0019】**

本発明の半導体装置では、出力タイミング制御回路20におけるタイミング調整のための遅延量が固定でなく、実際の回路の信号を入力回路13から出力される外部クロック信号（基準信号に対応）と比較して所定の位相関係になるように遅延量を調整するため、半導体装置の特性のバラツキ、温度変化、電源電圧の変化等があっても、出力信号の外部クロック信号に対する位相関係を所定の値に正確に維持することが可能である。

**【0020】**

外部クロック信号と比較するのは、実際の回路での遅延量と等しい量だけ遅延した信号であることが必要である。外部クロック信号は、半導体装置の入力回路13に入力されて増幅等の処理が行われる。そのため、比較できる外部クロック信号は、入力回路から出力される外部クロック信号であり、これは実際の外部クロック信号とは入力回路13での遅延分だけ位相差がある。そこで、入力回路13と同じ遅延量を生じるダミー入力回路24を設け、出力タイミング信号をこのダミー入力回路24を通過させた信号と、入力回路13から出力される外部クロック信号とを比較することにより、入力回路13での遅延量を相殺することが望ましい。

**【0021】**

図5の構成では、ディレイ回路21の出力をダミー入力回路24に入力させている。そのため位相比較回路22で外部クロック信号と比較される比較対象信号には、出力回路14での遅延は入っていない。もちろんこの分の補正を考慮して制御する位相関係を決定するが、出力回路14での遅延は他の部分での遅延量より大きく、半導体装置の特性のバラツキ、温度変化、電源電圧の変化等がある場合に、出力回路14での遅延量の変化が相対的に大きく、無視できないという問題がある。

**【0022】**

図6はこの問題を説明する図である。ここでは、外部クロック信号CLKの立ち上がりエッジに同期して出力するように制御するものとして説明する。ディレイ回路21から出力回路14に供給され、出力回路14からの信号の出力タイミングを規定する出力タイミング信号は、出力回路14での遅延を見込んで、CLKの立ち上がりエッジの所定量前で立ち上がる。出力回路14での遅延量が予定した値であれば、これによりCLKの立ち上がりエッジに同期して出力が変化することになる。しかし、上記のような要因により、出力回路14での遅延量が変わると、その分出力回路からの出力タイミングがCLKの立ち上がりエッジからずれることになる。このようなばらつきがある場合には、その分のマージンを見込む必要があり、その分高速化が難しくなる。

**【0023】**

このような問題を解決するには、出力回路14の出力信号をダミー入力回路24に入力させて外部クロック信号との位相を比較すればよい。位相比較を行うためには、出力回路14の出力信号が変化することが必要である。通常の動作時には、出力回路14からは出力データが出力されるが、この出力データはランダムな信号であり、「高」レベル又は「低」レベルが連続することがあり得る。そこで、通常動作時に出力回路14の出力信号の外部クロック信号に対する位相を比較するには、位相比較回路22は出力信号が変化したか判定し、変化した場合にのみ位相の比較を行い、ディレイ制御回路23は出力信号が変化しない場合にはそれまでの遅延量が維持されるように制御し、出力信号が変化しない場合

10

20

30

40

50

に位相比較回路 2 2 の比較結果に基づいて位相が一致するようにフィードバック制御する。

また別の構成としては、通常動作を開始する前に初期化動作を行うようにし、初期化動作では所定のサイクルで変化するダミーデータが出力されるようにして、このダミーデータと外部クロック信号との位相比較を行って、位相が一致するようにフィードバック制御する。そして一致した後は、調整された遅延量が維持されるようにする。ダミーデータは所定のサイクルでかならず変化するの、位相比較回路 2 2 はどちらへの変化であるかを判定すれば、位相の比較が行える。

#### 【 0 0 2 4 】

更に、図 7 に示すように、出力回路 1 4 と同等の特性を有するダミー出力回路を設け、ダミー出力回路の出力信号と外部クロック信号との位相比較を行うようにしてもよい。図 7 の半導体装置は、図 5 の構成とに対して、ダミー出力回路 3 5 を設け、ディレイ回路 3 1 からの出力タイミング信号をこのダミー出力回路 3 5 にも入力させ、ダミー出力回路 3 5 が出力タイミング信号に応じて出力したダミー出力信号をダミー入力回路 3 4 を介して位相比較回路 3 2 に入力して、入力回路からの外部クロック信号と比較する点が異なる。

10

#### 【 0 0 2 5 】

図 7 の構成であれば、ダミー出力回路からは出力回路からの出力信号と独立した位相判定に適した信号が常時出力できる。従って、上記のようなダミーデータを常時出力してフィードバック制御を行うことができる。また、ダミーデータはクロック信号のサイクルよりゆっくり変化する信号とすれば、回路の消費電力が低減できる。

20

#### 【 0 0 2 6 】

更に、出力回路用の第 1 の出力タイミング制御回路と別にダミー出力回路用の第 2 の出力タイミング制御回路を設け、初期化時に出力信号とダミー出力信号をそれぞれ外部クロック信号に同期させる。このことは出力信号とダミー出力信号も同期したことを意味するので、その後はダミー出力信号を第 1 の出力タイミング制御回路にフィードバックして制御を行うようにする。このような構成により、ダミー出力回路を使用しても実際の出力回路に接続された負荷の影響を含めた調整が可能になる。

#### 【 0 0 2 7 】

##### 【 発明の実施の形態 】

以下の説明では、本発明をシンクロナス D R A M に適用した実施例について述べるが、前述のように本発明はシンクロナス D R A M に限らず、外部から入力される信号に同期して出力信号が出力される半導体集積回路であればどのようなものにも適用可能である。

30

#### 【 0 0 2 8 】

本発明の実施例のシンクロナス D R A M ( S D R A M ) は、図 1 に示したような全体構成を有している。図 8 は、実施例の S D R A M のリード動作のタイミングを示す図である。図 3 と図 8 を比較して明らかなように、実施例の S D R A M は従来の S D R A M とほぼ同様な構成を有するが、クロックバッファ 1 0 1 の構成が異なる。実施例の S D R A M においては、クロックバッファ 1 0 1 は内部クロック生成回路 1 2 1 と出力タイミング制御回路 1 2 2 を有する。内部クロック生成回路 1 2 1 は従来の S D R A M と同様のものであり、外部クロック C L K から内部クロック信号を生成し、パイプ - 1 及びパイプ - 2 に供給する。出力タイミング制御回路 1 2 2 は、図 7 に示した基本構成を有し、出力回路 1 4 からのデータの出力タイミングが外部クロック C L K に対して常に所定の位相になるように制御する。

40

#### 【 0 0 2 9 】

図 9 は、第 1 実施例の出力タイミング制御回路 1 2 2 の構成を示す図であり、外部クロック C L K が入力される端子 1 1 と、出力回路 1 4 と、データ出力端子 1 2 も一緒に示してある。

図 9 に示すように、第 1 実施例の出力タイミング制御回路は、外部クロック入力端子 1 1 に入力された外部クロック C L K を受ける入力回路 1 3 と、入力回路 1 3 から入力される C L K を遅延させて出力回路 1 4 からのデータの出力タイミングを規定する出力クロックを

50

生成するDLL(ディレイ・ロック・ループ:DelayLock Loop)回路40と、入力回路13と同一の回路構成を有するダミー入力回路34と、出力回路14と等価な回路構成を有するダミー出力回路37と、DLL回路40とダミー出力回路37の間に設けられ、DLL回路40から出力回路14までの信号配線と等価なダミー信号配線36と、データ出力端子12に接続される負荷を想定しそれと等価な負荷を有するダミー出力負荷38とを有する。

#### 【0030】

入力回路13は静電気保護回路(ESD)131と、CLKを増幅するカレントミラー回路132と、ラッチ回路133と、CLK制御回路134と、1/N分周器135とを有する。この入力回路13は、1/N分周器135を除けば広く使用されている外部クロック入力回路であるので、1/N分周器135については後述するものとし、ここでは詳しい説明は省略する。ダミー入力回路34は、入力回路13と同様に、ダミーESD341と、ダミーカレントミラー回路342と、ダミーラッチ回路343と、ダミーCLK制御回路344とを有し、各回路は入力回路13のものと同じに作られており、信号遅延量は同じである。

10

#### 【0031】

DLL回路40は、CLK制御回路134から入力された信号を選択された量だけ遅延させるディレイ回路41aと、1/N分周器135から入力された信号を選択された量だけ遅延させるダミーディレイ回路41bと、1/N分周器135の信号とダミーCLK制御回路344の信号を比較する位相比較回路42と、位相比較回路42の比較結果に基づいてディレイ回路41aとダミーディレイ回路41bの遅延量を選択するディレイ制御回路43とを有する。

20

#### 【0032】

図10は、ディレイ回路41aとダミーディレイ回路41bの回路構成と動作波形を示す図であり、(1)が1ビット分のディレイ回路の構成を、(3)が1ビット分のディレイ回路を複数段接続した時の構成と動作説明を示し、(2)が1ビット分のディレイ回路の動作を示すタイムチャートである。

図10の(1)に示すように、1ビット分のディレイ回路は2個のNAND回路401と402、及びインバータ403からなる。この1ビット分のディレイ回路の動作を図10の(2)で説明すると、入力Eは活性化信号で、“H”レベルの時にディレイ回路が動作する。(2)ではEが“H”になって信号の受付が可能になった状態を示してある。信号INは1ビット分のディレイ回路への入力信号を、Nは複数段接続された隣接する右側からの信号を、OUTは1ビット分のディレイ回路の出力信号を、4a-1と4a-2は(1)の回路における対応する内部端子の波形を示している。従って、OUTは左側へのNになる。

30

#### 【0033】

Nが“L”の時には、OUTは常に“L”である。Nが“H”でEが“L”の時にはOUTは“H”である。Nが“H”でEが“H”の時に、入力信号INが“L”であればOUTは“H”になり、INが“H”であれば“L”になる。図10の(2)は、E=H、N=Hの状態、INがLからHに立ち上がると、その入力信号INがNANDゲート401、402及びインバータ403で反転されながら、出力OUTに伝達されている様子を示している。

40

#### 【0034】

図10の(3)は、(1)の1ビット分のディレイ回路を複数段カスケード接続した例で、実際のディレイ回路に相当する。図では3段しか示していないが、実際には多数段に接続されている。活性化信号Eの信号線は回路要素毎に、E-1、E-2、E-3のように複数本あり、これらの信号はディレイ制御回路43によってコントロールされる。

#### 【0035】

図では真ん中の1ビット分のディレイ回路が活性化されており、E-2が“H”となっ

50

ている。その場合、入力信号 IN が “ L ” から “ H ” に変化すると、左端の 1 ビット分のディレイ回路と右端の 1 ビット分のディレイ回路の E - 1 と E - 3 は “ L ” であるから、太線のように入力信号 IN は NAND 回路 4 0 1 - 1 と 4 0 1 - 3 で止められてしまう。一方、活性化されている真ん中の 1 ビット分のディレイ回路の E - 2 は “ H ” レベルであるから、入力信号 IN は NAND 回路 4 0 1 - 2 を通過する。右側の 1 ビット分のディレイ回路の出力 OUT は “ H ” であるから、入力信号 IN は NAND 回路 4 0 2 - 2 も通過して、OUT には信号 “ L ” として伝達されることになる。上記のように、右側の OUT、すなわち N が “ L ” の時には、OUT は常に “ L ” になるので、この “ L ” の信号は左側の 1 ビット分のディレイ回路の NAND 回路、インバータに順次伝達され、最終的な OUT 信号として取り出される。

10

## 【 0 0 3 6 】

このように、活性化された 1 ビット分のディレイ回路を介して、入力信号 IN は折り返されるように信号伝達され、最終的な OUT 信号になる。つまり、どの部分の活性化信号 E を “ H ” にするかにより、ディレイ量を制御することができる。1 ビット分のディレイ量は、NAND 回路とインバータの合計の信号伝搬時間で決定され、この時間が D L L 回路のディレイ単位時間になる。全体のディレイ時間は、1 ビット分のディレイ量に通過する段数を乗じた量になる。

## 【 0 0 3 7 】

図 1 1 はディレイ制御回路の回路構成を示す図であり、図 1 2 はその動作を示すタイムチャートである。図 1 1 に示すように、ディレイ制御回路も点線で囲った 1 ビット分のディレイ制御回路 4 3 0 - 2 を、ディレイ回路の段数分接続した構成であり、各段の出力がディレイ回路の各段の活性化信号 E になる。

20

1 ビット分のディレイ制御回路 4 3 0 - 2 は、NAND 4 3 2 - 2 と、インバータ 4 3 3 - 2 で構成されるフリップフロップの両端にそれぞれ直列に接続されたトランジスタ 4 3 5 - 2、4 3 7 - 2、4 3 8 - 2、4 3 9 - 2、そして NOR 回路 4 3 1 - 2 を有する。トランジスタ 4 3 8 - 2 のゲートは、前段の端子 5 a - 2 に、トランジスタ 4 3 9 - 2 のゲートは、後段の端子 5 a - 5 に接続されて、前段と後段の信号を受けるようになっている。一方、直列接続されている他方のトランジスタには、カウントアップする時のセット信号 SE と SO、カウントダウンする時のリセット信号 RE と RO が 1 回路おきに接続されている。図示のように、真ん中の 1 ビット分のディレイ制御回路 4 3 0 - 2 では、トランジスタ 4 3 5 - 2 が SO に、トランジスタ 4 3 7 - 2 が RO に接続され、ディレイ制御回路 4 3 0 - 2 の両側の回路ではそれぞれ SE と RE に接続される。NOR 回路 4 3 1 - 2 には、左側の 5 a - 1 とこの回路の 5 a - 4 の信号が入力される構成になっている。なお、R はディレイ制御回路をリセットする信号で、電源投入後に一時的に “ L ” レベルになり、その後は “ H ” に固定される。

30

## 【 0 0 3 8 】

図 1 2 は、図 1 1 のディレイ制御回路の動作を示す図である。

まず、R が一時的に “ L ” になり、端子 5 a - 1、5 a - 3、5 a - 5 が “ H ” に、5 a - 2、5 a - 4、5 a - 6 が “ L ” にリットされる。カウントアップする時には、カウントアップ信号 SE と SO が交互に “ H ” と “ L ” を繰り返す。SE が “ L ” から “ H ” になると、5 a - 1 は接地されて “ L ” に、5 a - 2 は “ H ” に変化する。5 a - 2 が “ H ” に変化したのを受けて、E - 1 は “ H ” から “ L ” に変化する。この状態はフリップフロップにラッチされるので、SE が “ L ” に戻ったとしても、出力 E - 1 は “ L ” のままである。そして、5 a - 1 が “ L ” に変化したことを受けて、出力 E - 2 が “ L ” から “ H ” に変化する。5 a - 2 が “ H ” に変化したのでトランジスタ 4 3 8 - 2 はオン状態になり、SO が “ L ” から “ H ” になると、5 a - 3 は接地されて “ L ” に、5 a - 4 は “ H ” に変化する。5 a - 4 が “ H ” に変化したのを受けて、E - 2 は “ H ” から “ L ” に変化する。この状態はフリップフロップにラッチされるので、SO が “ L ” に戻ったとしても、出力 E - 2 は “ L ” のままである。そして、5 a - 3 が “ L ” に変化したことを受けて、出力 E - 3 が “ L ” から “ H ” に変化する。図では、

40

50

SEとSOが1パルスずつ出ているだけであるが、ディレイ制御回路が何段にも接続されており、SEとSOが交互に“H”と“L”を繰り返せば、出力Eが“H”になる段の位置が順次右側にシフトする。従って、位相比較回路42の比較結果によりディレイ量を増加させる必要がある場合には、交互にSEとSOのパルスを入力すればよい。

#### 【0039】

カウントアップ信号SEとSO、及びカウントダウン信号REとROが出力されない状態、すなわち“L”である状態が維持されれば、出力Eは“H”になる段の位置は固定される。従って、位相比較回路42の比較結果によりディレイ量を維持する必要がある場合には、SE、SO、RE及びROのパルスを入力しないようにする。

10

#### 【0040】

カウントダウンする時には、REとROのパルスを交互に入力すると、カウントアップ時と逆に出力Eが“H”になる段の位置が順次左側にシフトする。以上説明したように、図11に示したディレイ制御回路では、パルスを入力することにより、出力Eが“H”になる段の位置を1つずつ移動させることが可能であり、これらの出力Eで図10の(c)に示したディレイ回路を制御すればディレイ量が1単位ずつ増減するように制御することができる。

#### 【0041】

ここで、ディレイ回路及びディレイ制御回路について更に詳しく説明する。第1実施例ではディレイ回路として図10の(3)に示すような回路を使用し、図11に示すようなディレイ制御回路で制御している。遅延量を単位量ずつ段階的に変化させることができる回路を実現するには、直列に接続された複数の信号経路を有し、この複数の信号経路の一部から選択的に信号が出力されるようにすることにより遅延量が選択可能なディレイラインを使用するのが一般的である。このようなディレイラインでは、遅延量を変化させるために隣接する信号経路から信号が出力されるように変化させる過渡的状态であっても、いずれの信号経路も選択されない状態は避ける必要がある。そのため、このようなディレイラインを制御するディレイ制御回路は、過渡的状态であっても、いずれかの信号経路を選択する信号を常時出力する必要がある。図11のディレイ制御回路は、各段は2つの相補的な信号を出力する。すなわち、NANDゲートの出力とインバータの出力は相補信号である。そして、ある段までは一方の状态の相補信号を出力し、その段以降の段は反転した相補信号を出力し、反転した相補信号を最初に出力する段がシフトするようになっている。言い換えれば、図11のディレイ制御回路は、シフトレジスタと同じ動作を行う。図11の回路では、NORゲートでこのようなシフトレジスタの相補信号のうち、隣接する2段の異なる相補信号の否定論理和を各段毎に算出して、その出力を図10の(3)の各段の選択信号線に接続している。MOSトランジスタでは、一般に“H”の論理値から“L”の論理値への立ち下がりの方が、“L”の論理値から“H”の論理値への立ち上がりより変化速度が早い。図11の回路では入力が共に“L”の論理値のNORゲートの出力がディレイラインの選択位置を指示しており、このNORゲートの入力的一方が“H”の論理値に変化するのは遅く、次にディレイラインの選択位置を指示するNORゲートの“H”の入力は、より早い速度で“L”に変化する。従って、前に選択位置を指示していたNORゲートの出力が選択位置の指示を停止する前に、次に選択位置を指示するNORゲートの出力が選択位置を指示するようになるので、いずれのNORゲートも選択位置を指示しない状態を避けることができる。

20

30

40

#### 【0042】

図13は、図11のディレイ制御回路において選択位置を指示するNORゲートの位置が順に変化した時の出力変化を示す図である。図示のように、前の選択信号が立ち下がる前に次の選択信号が立ち上がる。従って、ディレイラインのいずれの経路も選択されないといった問題は生じない。

例えば、図11の回路で、ノード5a-2と5a-3、5a-4と5a-5を入力とするANDゲートを設け、その出力をE-1、E-2とするとといった具合にするディレイ

50

制御回路も考えられるが、このような回路は、過渡的な状態では、すべてのANDゲートの出力が“L”になるといった問題が生じる。

【0043】

図14は、図11の回路でNORゲートの代わりにANDゲート(NANDゲートとインバータの組み合わせ)を用いた場合の例を示す図である。この回路では、ANDゲートの入力を一つ置きの段の異なる相補信号としている。このような構成により、隣接する2個のANDゲートの出力が同時に“H”、すなわち選択位置を指示する状態になる。選択位置を指示する2個のANDゲートは1つずつ変化するため、かならず一方のANDゲートは“H”のままであり、いずれのANDゲートも選択位置を指示しない状態が避けられる。なお、2個のANDゲートの出力が“H”である時、図10の(3)のディレイラインにおいては、2つの経路が同時に活性化されるため、信号が若干形状が変化するが、1段の遅延量が小さければ無視できる。

10

【0044】

位相比較回路42は、位相比較部と増幅回路部の2つの回路部分で構成される。図15は位相比較部の回路構成を示す図であり、図16は位相比較部の動作を示すタイムチャートであり、図17は増幅回路部の回路構成を示す図であり、図18は増幅回路部の動作を示すタイムチャートである。

図15において、outとextはこの位相比較回路42で比較する出力信号と外部クロックであり、extを基準としてoutの位相が判定され、aからeは増幅回路に接続される出力信号を示している。図15に示すように、位相比較部は、2個のNAND回路で構成されたフリップフロップ回路421と422、その状態をラッチするラッチ回路425と426、ラッチ回路の活性化信号を生成する回路424、及び外部クロックextの位相許容値を得る1ディレイ分のディレイ回路423からなる。

20

【0045】

図16において、(1)は比較対象信号outが比較基準信号extよりも位相が進んでおり、outがextより先に“L”から“H”になる場合を示している。outとextが共に“L”の時にはフリップフロップ回路421と422の端子6a-2、6a-3、6a-4、6a-5は共に“H”になっている。outが“L”から“H”に変化すると、端子6a-2と6a-4は共に“H”から“L”に変化する。その後、extが“L”から“H”に、1ディレイ分遅れて端子6a-1が“L”から“H”になるが、フリップフロップの両端の電位はすでに確定しているため、なにも変化を起さない。結局、6a-2は“L”、6a-3は“H”、6a-4は“L”、6a-5は“H”を維持する。一方、extが“L”から“H”に変化したのに応じて、回路424のaは“L”から“H”に変化し、6a-6には一時的に“H”レベルになるパルスが印加される。この6a-6はラッチ回路425と426のNAND回路に入力されているので、NAND回路が一時的に活性化されて、フリップフロップ回路421と422の両端の電位状態をラッチ回路425と426に取り込むことになる。最終的には、bが“H”、cが“L”、dが“H”、eが“L”となる。

30

【0046】

次に、(2)は比較対象信号outと比較基準信号extの位相がほぼ同じで、outがextとほぼ同時に“L”から“H”になる場合を示している。outの立ち上がり時点と6a-1の立ち上がり時点との時間差内にoutが“L”から“H”に変化した時である。この場合、まずextが“L”から“H”になることによってフリップフロップ421の端子6a-3が“L”から“H”に変化するが、フリップフロップ422では6a-1が“L”のままなので、逆に6a-4が“H”から“L”に変化する。その後6a-1が“H”から“L”に変化するが、フリップフロップ422の状態はすでに決まっているので何も変化が起かない。その後、6a-6が一時的に“H”になるので、ラッチ回路にはこの状態が記憶される。結局、bが“L”、cが“H”、dが“H”、eが“L”となる。

40

【0047】

50

更に、(3)は比較対象信号 *out* が比較基準信号 *ext* よりも位相が遅れており、*out* が *ext* より後に“L”から“H”になる場合を示している。この場合は、*ext* によって2個のフリップフロップ回路421と422に変化が生じて、6a-3と6a-5が“H”から“L”に変化する。そして、最終的には、*b*が“L”、*c*が“H”、*d*が“L”、*e*が“H”となる。

#### 【0048】

このように、*ext* の立ち上がり時間を基準として、*out* の立ち上がり時間がそれ以前に“H”になったか、ほぼ同時であったか、遅れて“H”になったかを検出することが可能になる。これらの検出結果を *b*、*c*、*d*、及び *e* の値としてラッチしておき、その値に基づいてディレイ制御回路をカウントアップするか、カウントダウンするかを決める。

10

#### 【0049】

図17は位相比較回路42の増幅回路部の回路構成を示す図である。

増幅回路部は、JKフリップフロップ427と、NANDとインバータで構成される増幅部428の2つの部分からなる。JKフリップフロップ427には、図15の位相比較部から信号 *a* が入力され、*a* が“L”であるか“H”であるかに応じて7a-9と7a-11の電位が交互に“L”と“H”を繰り返す仕組みになっている。増幅部428は、JKフリップフロップ427の出力信号と、*b* から *d* の信号を受けて増幅して出力する。

#### 【0050】

まず、JKフリップフロップ427の動作を図18のタイミングチャートを参照して説明する。時間T1で、*a* が“H”から“L”に変化すると、端子7a-17a-10が“L”から“H”に変化する。一方、7a-1の変化に応じて、7a-5と7a-6と7a-7に状態の変化が起こるが、*a* が“L”であるために、7a-8には変化が生じない。結局、出力7a-9は変化せず、7a-11のみが“L”から“H”になる。次に、時間T2になって、*a* が“L”から“H”に変化すると、時間T1での動きと逆に端子7a-8は“H”から“L”に、7a-10は7a-7が変化しないので変化せず、出力7a-9は“L”から“H”に変化し、7a-11は変化しない。このように、JKフリップフロップ回路427は、*a* の動きに応じて出力7a-9と7a-11が交互に“H”と“L”を繰り返す動きをする。

20

30

#### 【0051】

次に、増幅部428の動作を、図19から図21を参照して説明する。図19は、比較基準信号 *ext* の立ち上がりに対して、比較対象信号 *out* が先に“L”から“H”になる場合を示している。この場合の位相比較部からの入力信号は、*b* が“H”、*c* が“L”、*d* が“H”、*e* が“L”である。結局、7a-12が“H”に、7a-13が“L”に固定され、SOとSEがJKフリップフロップの状態に応じて変化するが、ROとREは7a-13が“L”のため変化しない。

#### 【0052】

図20は、比較対象信号 *out* が比較基準信号 *ext* とほぼ同時に“L”から“H”になる場合を示している。この場合の位相比較部からの入力信号は、*b* が“L”、*c* が“H”、*d* が“H”、*e* が“L”である。結局、7a-12と7a-13が“L”に固定され、SOとSEがJKフリップフロップの出力が増幅部に影響することはなく、SOとSEとROとREは“L”に固定されたままになる。

40

#### 【0053】

図21は、比較対象信号 *out* が比較基準信号 *ext* の立ち上がりに対して遅れて“L”から“H”になる場合を示している。この場合の位相比較部からの入力信号は、*b* が“L”、*c* が“H”、*d* が“L”、*e* が“H”である。結局、7a-12が“L”に、7a-13が“H”に固定され、ROとREがJKフリップフロップの状態に応じて変化するが、SOとSEは7a-13が“L”のため変化しない。

#### 【0054】

50

図 2 2 は、出力回路 1 4 の回路構成を示す図である。

図 2 2 において、Data 1 と Data 2 は、セルアレイ 1 1 5 から読み出され、センスアンプ 1 1 7 とデータバスアンプ 1 1 9 とデータバス制御回路 1 2 0 を介して出力された記憶データに対応する信号であり、Data 1 と Data 2 は、出力データが “ H ” の場合には共に “ L ” であり、出力データが “ L ” の場合には共に “ H ” である。なお、出力データが “ H ” でも “ L ” でもないハイインピーダンス状態をとることも可能であり、その場合にはデータバス制御回路 1 2 0 で、Data 1 が “ H ” に、Data 2 が “ L ” になるように変換される。oe はディレイ回路 4 0 の出力信号であり、oe に応じてこの出力回路からの出力タイミングが制御される。oe が “ H ” になると、Data 1 と Data 2 の情報をデータ出力端子 1 4 に出力するように動作する。いま、データ出力端子 1 4 に “ H ” を出力する場合を想定すると、oe が “ L ” から “ H ” に変化し、8 a - 1 が “ L ” に 8 a - 2 が “ H ” になって、トランスファークラックゲートがオンして Data 1 と Data 2 は 8 a - 3 と 8 a - 6 に伝達される。結局、8 a - 5 が “ L ” に、8 a - 8 が “ H ” になって、出力用の P チャンネルトランジスタはオンし、N チャンネルトランジスタはオフして、データ出力端子 1 4 には “ H ” 出力が現れることになる。oe が “ L ” になると、トランスファークラックゲートはオフして、それまでの出力状態が保持される。

#### 【 0 0 5 5 】

図 2 3 は、ダミー出力回路 3 7 の回路構成を示す図であり、更にダミー出力負荷として設けられた容量素子 3 8 も一緒に示してある。また、図 2 4 は、図 2 3 のダミー出力回路 3 7 の動作を示す図であり、内部クロック信号と 8 a - 9 のダミー出力信号の関係を示す。図 2 4 の ( 1 ) は 1 / N 分周器 1 3 5 が無い場合を、( 2 ) は分周比が 4 の場合を示す。

#### 【 0 0 5 6 】

図 2 2 の出力回路 1 4 と比較して明らかなように、ダミー出力回路 3 7 は出力回路 1 4 と類似の回路構成を有するが、ダミー出力回路では出力回路 1 4 と異なりデータを出力する必要がないので、トランスファークラックゲートに入力される信号は両方とも “ L ” に固定される。これにより、データを出力する時には、ダミー出力 8 a - 9 は常に “ H ” になる。更に、Int - CLK は内部クロックであり、このダミー出力回路からの出力タイミングを制御するトランスファークラックゲートの開閉の他に、フィードバック用インバータを NAND 回路としてその一方の端子に入力される。図 2 4 の ( 1 ) に示すように、Int - CLK が “ H ” になると、出力回路 1 4 と同じ動作により、8 a - 9 が “ H ” になる。一方、Int - CLK が “ L ” に戻ると、トランスファークラックゲートが閉じられると同時に、8 a - 3 と 8 a - 6 が共に “ H ” になり、ダミー出力 8 a - 9 が “ L ” に戻される。

#### 【 0 0 5 7 】

図 2 4 の ( 1 ) に示したのは 1 / N 分周器 1 3 5 が無い場合の波形であり、Int - CLK は外部クロック信号 CLK と同じ周期の信号である。図 2 4 の ( 1 ) に示したのは、ダミー出力負荷の負荷容量 3 8 が非常に小さい場合であり、実際にはこの S D R A M の出力回路が接続される配線の容量や駆動する必要のある素子に見合った負荷を設ける必要があり、8 a - 9 の立ち上がり立ち下がり時間は非常に遅くなり、このダミー出力回路の動作は 8 a - 9 の立ち上がり立ち下がり速度で制限されることになる。従って、外部クロック信号 CLK の周期が短くなると、このダミー出力回路は動作しなくなる可能性がある。

#### 【 0 0 5 8 】

そこで、本実施例では、図 9 に示すように、1 / N 分周器 1 3 5 を設けている。1 / N 分周器 1 3 5 では、ラッチ回路 1 3 3 の出力を分周して、外部クロック信号に対して図 2 4 の ( 2 ) に示す Int - CLK を発生させる。この Int - CLK は、外部クロック信号の 4 パルスに対して 1 サイクル分だけ “ H ” になる信号である。ダミー出力回路にこのような Int - CLK を使用することにより、上記のダミー出力回路の動作可能な周波数が立ち上がり立ち下がり速度により制限されるという問題を回避できる。

#### 【 0 0 5 9 】

1 / N 分周器 1 3 5 を設けた場合、ダミー出力 8 a - 9 は図 2 4 の ( 2 ) のようになるの

10

20

30

40

50

で、位相比較回路 4 2 でのダミー出力と外部クロック信号の位相比較は、外部クロック信号の 4 サイクルに対して 1 回行われることになるので、その分消費電力が低減される。以上が第 1 実施例の S D R A M の各部の説明である。第 1 実施例の S D R A M では、ディレイ回路 4 1 a と 4 1 b における遅延量の選択は、最初に初期位置を選択するようにリセットした後、位相の比較結果に基づいて所定の位相関係に成るように 1 段ずつ選択位置をシフトすることにより行われる。従って、電源投入時に遅延量をリセットしてから、最適な遅延量が選択されるまである程度の時間が必要である。そのため、第 1 実施例の S D R A M を使用する場合には、電源投入後所定の初期化期間を設け、その間に所定数以上の外部クロック信号を印加する必要がある。

**【 0 0 6 0 】**

第 1 実施例の S D R A M では、内部の処理系は連続して処理が行われる複数のパイプに分割され、それぞれ並行して動作する。上記の説明では出力についてのみ述べたが入力についても同様にパイプ処理される。これにより、データの入出力を高速の外部クロック信号に同期して行うことができるようになり、転送速度が大幅に増加する。

**【 0 0 6 1 】**

以上説明したように、第 1 実施例の S D R A M では、データの出力タイミングが外部クロック信号の所定の位相になるように制御されるので、使用中の温度変化や電源電圧の変化があっても、データは常に外部クロック信号の所定の位相に同期して行われることになる。しかも、入力回路や出力回路に等価なダミー回路を設けてそれらでの遅延量の変化も含めて所定の位相になるように制御されるので、位相関係を非常に正確に制御することが可能である。これにより、転送速度の一層の高速化が可能になる。

**【 0 0 6 2 】**

現在の半導体装置では、他の半導体素子との信号の互換性をとるため、出力信号の規格が決められている。S D R A M や S D R A M と組み合わせられて使用される半導体装置では、“Low Voltage Transistor Transistor Logic(LVTTL)”と“Series Stub Termination Logic(SSTL)”の 2 つの規格が一般的であり、S D R A M ではデータをこの 2 つの規格のいずれでも出力できる出力回路を設け、外部から選択信号を印加することにより出力回路をこの 2 つの規格のいずれかに設定できるようにしたものがある。もし、出力回路が異なる規格での出力が行えるように切り換え可能な場合には、切り換えにより出力回路の特性が変化することになる。出力回路での遅延量の変化が大きいため、出力回路と等価なダミー出力回路を設けてそれを通過した信号で位相比較することが重要であることはすでに述べたが、切り換えにより出力回路の特性が変化する場合、それに応じてダミー出力回路の特性も切り換えられることが必要である。第 2 から第 4 実施例は、切り換えにより出力回路の特性が変化可能な S D R A M の実施例である。

**【 0 0 6 3 】**

図 2 5 は、第 2 実施例の S D R A M のダミー出力回路の回路構成を示す図である。第 2 実施例の S D R A M においては、ダミー出力回路以外の部分は、第 1 実施例の S D R A M と同じ構成を有する。

図 2 3 と比較して明らかなように、第 2 実施例の S D R A M のダミー出力回路の第 1 実施例のものとは異なる点は、N チャンネルトランジスタと P チャンネルトランジスタで構成されるドライバ回路が、参照番号 3 7 1 で示される L V T T L 用と 3 7 2 で示される S S T L 用の 2 個設けられており、それぞれの N チャンネルトランジスタと P チャンネルトランジスタのゲートに接続される N A N D 回路と N O R 回路に、いずれのドライバ回路を選択するかを指示する選択信号 c t t Z が入力されていることである。C V T T L 用のドライバ回路 3 7 1 を構成する P チャンネルトランジスタ及び N チャンネルトランジスタのサイズは、S S T L 用のドライバ回路 3 7 2 を構成する P チャンネルトランジスタ及び N チャンネルトランジスタのサイズと異なっており、各このドライバ回路を構成するトランジスタのサイズは、出力モードに応じて適当に規定されている。選択信号 c t t Z は、S S T L 規格を指示する場合には“H”になり、L V T T L 規格を指示する場合には“L”になる信号で、外部から基準電源端子に印加される電圧が所定の値  $V_{ref}$  以上であることを判定して生

10

20

30

40

50

成される。図23の回路では、選択信号  $c_{ttz}$  が“L”の時には、LVTTL用ドライバ回路371のNチャンネルトランジスタとPチャンネルトランジスタのゲートに印加される信号は8a-4と8a-7によって変化してダミー信号を出力するが、SSTL用ドライバ回路371のNチャンネルトランジスタとPチャンネルトランジスタのゲートには、それぞれ“L”と“H”の信号が印加され、SSTL用ドライバ回路371のNチャンネルトランジスタとPチャンネルトランジスタは両方ともオフ状態になり、いわゆるハイインピーダンス状態になる。逆に、選択信号  $c_{ttz}$  が“L”の時には、LVTTL用ドライバ回路371がハイインピーダンス状態になり、SSTL用ドライバ回路371からダミー信号を出力する。

#### 【0064】

このようにして、第2実施例のSDRAMでは、ダミー出力回路の特性が切り換えられる。

図26は、第3実施例のSDRAMのダミー出力回路の回路構成を示す図である。第3実施例のSDRAMにおいては、ダミー出力回路以外の部分は、第1実施例のSDRAMと同じ構成を有する。

#### 【0065】

SSTL規格とLVTTL規格では、ドライバ回路の出力トランジスタに流す電流が異なり、SSTL規格の方が大きな電流を流す必要がある。出力トランジスタに流れる電流はトランジスタの寸法で変わるので、SSTL規格用のトランジスタの方を大きくする必要がある。一般にドライバ回路のトランジスタは大きな寸法であり、図25のようにSSTL用とLVTTL用の2つのドライバ回路を設けると大きな面積が必要である。そこで、第3実施例のSDRAMのダミー出力回路では、LVTTL用ドライバ回路373と、LVTTL用ドライバ回路373に合わせることでよりSSTL規格の電流を流せるドライバ回路374を設け、LVTTL規格が指示された時にはドライバ回路374をハイインピーダンス状態にし、SSTL規格が指示された場合にはLVTTL用ドライバ回路373とドライバ回路374の両方を動作状態にして、SSTL規格の電流が流せるようにする。

#### 【0066】

SSTL規格とLVTTL規格では、出力負荷についても規定がある。そこでダミー出力負荷についても切り換え可能にしたのが第4実施例のSDRAMである。

図27は、第4実施例のSDRAMのダミー出力回路の回路構成を示す図である。第4実施例のSDRAMにおいては、ダミー出力負荷以外の部分は、第3実施例のSDRAMと同じ構成を有する。

#### 【0067】

図27に示すように、第4実施例のSDRAMのダミー出力回路では、ダミー出力負荷として、SSTL用負荷377とLVTTL用負荷378の2個の負荷が設けられており、選択信号  $c_{ttz}$  により一方のみをダミー出力端子8a-24に選択的に接続できるようになっている。SSTL用負荷377としては30pFの容量素子が、LVTTL用負荷としては50pFの容量素子が使用される。更に、SSTL用負荷377が選択される場合には、一端が電源  $V_{ccQ}$  に接続された終端抵抗379がダミー出力端子8a-24に接続される。

第1から第4実施例では、ダミー出力回路は“L”か“H”に変化する立ち上がるデータのみを出力し、その立ち上がりエッジの外部クロック信号に対する位相を検出していた。しかし、出力回路での遅延量の変化は、出力信号が“L”から“H”に変化する立ち上がるデータの場合と、“H”から“L”に変化する立ち下がるデータの場合で異なる。そのため、第1から第4実施例の構成では立ち上がるデータと立ち下がるデータで外部クロック信号に対する位相に差が生じることになる。一般に出力回路のドライバ回路としては、図25から図27に示したような電源端子とグランドの間にNチャンネルトランジスタとPチャンネルトランジスタを直列に接続し、出力するデータに応じていずれかのトランジスタをオンにする構成が使用される。このようなドライバ回路では、特にNチャンネルト

10

20

30

40

50

ランジスタとPチャンネルトランジスタのプロセス条件の違いによりNチャンネルトランジスタとPチャンネルトランジスタの駆動能力がアンバランスになると差が生じやすくなる。第5実施例はこのような問題を解決した実施例である。

【0068】

図28は、第5実施例のSDRAMの出力タイミング制御回路の構成を示す図である。図9と図28を比較して明らかなように、第5実施例のSDRAMの第1実施例のSDRAMと異なる点は、立ち上がりデータと立ち下がりデータの位相を独立に調整できるように、ディレイ回路とダミーディレイ回路がそれぞれ2本のディレイ回路を有する点である。以下、第1実施例と異なる点について説明する。

【0069】

第1のディレイ回路41a-Hは立ち上がりデータの出力タイミングを調整するためのディレイ回路であり、第2のディレイ回路41a-Lは立ち下がりデータの出力タイミングを調整するためのディレイ回路であり、共にCLK制御回路134の出力からCLKが入力される。第1のディレイ回路41a-Hの出力は出力回路14に入力されて“H”のデータを出力する時のタイミング信号として使用される。また、第2のディレイ回路41a-Lの出力は出力回路14に入力されて“L”のデータを出力する時のタイミング信号として使用される。同様に、第1のダミーディレイ回路41b-Hは立ち上がりダミーデータの出力タイミングを調整するためのダミーディレイ回路であり、第2のディレイ回路41b-Lは立ち下がりダミーデータの出力タイミングを調整するためのダミーディレイ回路であり、共に1/N分周器135の出力からInt-CLKが入力される。第1のダミーディレイ回路41b-Hの出力はダミー信号配線36-Hを介してダミー出力回路37に入力されて“H”のダミーデータを出力する時のタイミング信号として使用される。また、第2のダミーディレイ回路41b-Lの出力はダミー信号配線36-Lを介してダミー出力回路37に入力されて“L”のダミーデータを出力する時のタイミング信号として使用される。なお、各ディレイ回路は同じように作られている。

【0070】

ディレイ制御回路は、2個の回路43-Hと43-Lで構成され、それぞれ図11に示した構成を有している。ディレイ制御回路43-Hの出力で、第1のディレイ回路41a-Hと第1のダミーディレイ回路41b-Hの遅延量を選択し、ディレイ制御回路43-Lの出力で、第2のディレイ回路41a-Lと第2のダミーディレイ回路41b-Lの遅延量を選択する。

【0071】

図29は、第5実施例における位相比較回路の構成を示す図である。図15及び図17と比較して明らかなように、第1実施例のものと異なるのは、位相比較回路の比較部の前段に信号dataによって信号ddqの“L”と“H”を常に“H”とするスイッチ回路412が設けられている点と、“H”出力用の増幅部414と“L”出力用の増幅部415の2個設けている点である。

【0072】

スイッチ回路412においては、例えば、dataが“H”として“H”を出力する場合、ddqも“L”から“H”に変化する。dataは“H”であるからトランスファークロウゲート416がオンしてddqが位相比較部413に信号outとして入力する。逆に、dataが“L”の時には、トランスファークロウゲート417がオンするので、ddqを反転した信号が位相比較部413に信号outとして入力することになる。このように、位相比較部413の入力outは常に“L”から“H”に変化する信号として入力されることになる。なお、位相比較部413としては、図15に示したのと同じ回路が使用される。

【0073】

2個の増幅部414と415は、それぞれ図17に示した回路構成と同じ構成であるが、入力bからeが入力されるNANDゲートを3入力ゲートとして信号dataによって制御できるようにした点が異なる。dataが“H”の場合、“H”出力用の増幅部4

10

20

30

40

50

14が活性化されて動作し、dataが“L”の場合、“L”出力用の増幅部415が活性化されて動作する。内部の動作は、図17の回路と同じである。

【0074】

図30は、第5実施例のダミー出力回路37の構成を示す図である。

ダミー出力回路37には、第1と第2のダミーディレイ回路41b-H、41b-Lから出力されたタイミング信号である2つの活性化信号doeHとdoeLとが入力される。doeHは“H”を出力する時に使用される活性化信号であり、doeLは“L”を出力する時に使用される活性化信号である。どちらの活性化信号を使用するかは、信号dataと/not dataで選択される。

【0075】

いま、dataが“H”で/not dataが“L”であるとすると、doeHが有効になり、図の上側のトランスファゲートが動作するように端子10-1と10-2の切り換え信号が出る。逆に、dataが“L”で/not dataが“H”の時には、doeLが有効になり、図の下側のトランスファゲートが動作するように端子10-10と10-11の切り換え信号が出る。一度データがダミー出力回路に出力されると、ラッチ回路にラッチされて保持されるので、活性化信号“L”になっても出力は次に活性化信号が入るまで維持される。

【0076】

なお、活性化信号doeHとdoeLの替わりに第1と第2のディレイ回路41a-H、41a-Lから出力されたタイミング信号が入力される点を除けば、出力回路14は

図26と同じ構成である。

図31は、第5実施例における各部の動作を示す波形図である。上側には“H”出力の場合を、下側には“L”出力の場合を示す。

【0077】

“H”出力の場合、外部クロック信号CLKが“L”から“H”になり、その信号が入力回路13で増幅される。1/Nは分周器135を通過した信号でダミーディレイ回路41b-Hと41b-Lに入力される。doeHはダミーディレイ回路41b-Hを通過した後の信号でダミー出力回路37へ入力される活性化信号になる。この活性化信号によってダミー出力回路37が動作してダミー出力10-9を出力する。この信号がダミー入力回路34に入力されて、位相比較回路42の入力信号outになる。結局、位相比較回路は

【0078】

“L”出力の場合、1/Nまでの説明は上記と同じであり、doeLは上と異なるダミーディレイ回路41b-Lを通過した信号であり、この信号が活性化信号としてダミー出力回路37に入力され、これに応じてダミー出力回路37は“L”を出力する。この信号はダミー入力回路34に入力されてddqになる。これは図29のスイッチ回路412で反転され、信号outとして位相比較回路42に入力される。結局、位相比較回路は

【0079】

以上説明したように、第5実施例では“H”出力と“L”出力で別々に遅延量が制御可能であるので、“H”出力時のクロックアクセス時間と“L”出力時のクロックアクセス時間とを一致させることが可能である。これにより、このSDRAMを使用するシステムでのタイミングマージンが拡大され、システムを高速動作させることが可能になる。

【0080】

第1から第5実施例では、出力データを出力するためのディレイ回路、出力回路と相似したダミーディレイ回路、ダミー出力回路を設け、更に出力端子に接続される負荷に相似したダミー負荷を設けて実際に出力される出力信号に類似したダミー出力信号を生成して、それと外部クロック信号の位相を比較していた。これにより出力信号の外部クロック信号

10

20

30

40

50

に対する位相関係は、従来例に比べて非常に正確に保持される。しかし、このような半導体装置が使用されるシステムで、実際に出力端子に接続される配線の引き回しは一定せず、常に一定の負荷（容量、出力インピーダンス）になることはまれである。そのため、実際の出力回路の負荷とダミー負荷が一致することは極めて稀で、実際の出力波形とダミー出力波形には微小な時間的な誤差が生じる。

#### 【 0 0 8 1 】

図 3 2 は、このような誤差の発生を説明する図である。

外部クロック信号 C L K の立ち上がり時刻 T 1 を基準にして入力回路の動作時間完了時間 T 2 後よりディレイ回路が動作して出力タイミング信号を遅延させ、出力回路からデータを出力する。ここではこれに要する時間を T 4 とする。ここで、クロックアクセス時間は T 6 で示される。相似したダミーディレイ回路を製作しても若干の誤差があり、同じ位置を選択したとしても遅延量に差が生じる。更に、ダミー出力回路やダミー負荷の製作誤差による遅延量の差もあるので、ダミー回路の遅延量は T 5 になる。図で T 7 で示したのが誤差である。

10

#### 【 0 0 8 2 】

このような誤差はわずかであり、従来はこのようなわずかな時間のずれは問題にはならなかったが、最近の高速システムではこのわずかの誤差が動作速度の限界に影響するようになってきており、問題になってきた。

第 6 実施例は、このようなわずかな誤差も低減するようにした S D R A M である。第 1 から第 5 実施例においては、ディレイ回路とダミーディレイ回路は共通のディレイ制御回路からの選択信号に従って同じ遅延量が選択された。これに対して、第 6 実施例では、ディレイ回路とダミーディレイ回路にそれぞれ別々に位相比較回路とディレイ制御回路を設ける。電源投入直後の初期化期間には相当数のダミーサイクルを行い、このダミーサイクルでは出力回路からもダミーデータが出力され、ダミーデータと外部クロック信号の位相が同期するようにディレイ回路が制御される。そしてこれとは独立に、ダミーディレイ回路はダミー出力回路から出力されるダミーデータと外部クロック信号の位相が同期するように制御される。この状態では、ディレイ回路の遅延量は実際に接続された負荷の影響を含めた出力回路からの出力データと外部クロック信号の位相が同期する値に制御されていることになる。同様に、ダミーディレイ回路もダミー出力データと外部クロック信号の位相が同期する値に制御されていることになる。この状態で正規のディレイ回路側の位相比較回路にダミー出力データを入力するようにすれば、その後変動があっても追従して出力データと外部クロック信号の位相が同期するように制御されることになる。このような構成は、図 9 に示した第 1 実施例の S D R A M にも適用可能であるが、以下に説明する第 6 実施例は、このような構成を図 2 6 の第 5 実施例の S D R A M に適用した例である。

20

30

#### 【 0 0 8 3 】

図 3 3 は、第 6 実施例の S D R A M のブロック構成図である。

図示のように、第 6 実施例においては、正規のデータが出力される出力回路 1 4 の出力タイミングを規定するタイミング信号を生成する D L L 回路 4 4 と、ダミー出力が出力されるダミー出力回路 3 7 の出力タイミングを規定するダミータイミング信号を生成するダミー D L L 回路 4 5 が設けられている。D L L 回路 4 4 には、“ H ” 用ディレイ回路 4 4 1 a と、“ L ” 用ディレイ回路 4 4 1 b と、位相比較回路 4 4 2 と、ディレイ制御回路 4 4 3 a が設けられている。また、ダミー D L L 回路 4 5 には、“ H ” 用ダミーディレイ回路 4 5 1 a と、“ L ” 用ダミーディレイ回路 4 5 1 b と、位相比較回路 4 5 2 と、ディレイ制御回路 4 5 3 a が設けられている。また、D L L 回路 4 4 とダミー D L L 回路 4 5 に対応してダミー入力回路 3 4 c と 3 4 d が設けられている。各ディレイ回路には入力回路 1 3 からの外部クロック信号に対応する信号が入力される。また、各位相比較回路には入力回路 1 3 からの信号と対応するダミー入力回路からの信号が入力される。出力回路 1 4 には、電源電圧 V c c Q が印加され、D L L 回路 4 4 からの出力タイミング信号が供給される。出力回路 1 4 の出力は出力端子 1 2 に接続されると共に、切り換え回路 3 9 に供給される。出力端子 1 2 にはボード配線 1 5 1 と別の L S I の入力回路レシーバ 1 5 2 が接続

40

50

されており、これらが実際の出力負荷になる。同様に、ダミー出力回路37にも、電源電圧 $V_{ccQ}$ が印加され、ダミーDLL回路45からのダミー出力タイミング信号が供給される。ダミー出力回路37の出力はダミー出力負荷38を介してダミー入力回路34dに供給されると共に、切り換え回路39に供給される。切り換え回路39は、ダミー入力回路34cに供給する信号を出力回路14の出力とダミー出力負荷38の出力の間で切り換える。以上説明した、ダミー回路とそれに対応する正規の回路は、まったく同じ回路構成で相似になるように構成されている。

#### 【0084】

この他に、電源投入直後のダミーサイクルで、出力回路14とダミー出力回路37から“L”と“H”の出力を強制的に出力するためのダミーデータを生成するダミーデータ生成回路53と、電源投入を検出する電源投入検出回路52と、コマンドデコーダ回路51が設けられている。

10

以下、第6実施例の回路の動作を説明する。

#### 【0085】

位相比較回路442と452は、外部クロック信号の立ち上がり時点を基準として、出力信号とダミー出力信号の変化エッジが早かった場合には、ディレイ回路の遅延量を増加させる方向に、逆に外部クロック信号の立ち上がり時点より遅い場合には、遅延量を減少させる方向に制御する。もちろんこの制御は、“H”と“L”の両方の変化エッジについて独立に行われる。

#### 【0086】

20

このようなSDRAMが使用されるメモリシステムでは、システム電源投入直後、メモリシステムはクロック動作を開始し、システム上に搭載された各種ロジック、PLL回路等の動作確認、調整を行うので、相当数のダミーサイクルが行われ、外部クロック信号が入ってくる。このダミーサイクル中に、上記の出力信号とダミー出力信号の変化エッジが外部クロック信号に対して所定の位相になるように各ディレイ回路の遅延量をシフトさせる動作を繰り返せば、DLL回路とダミーDLL回路の調整が行える。ところが、電源投入直後には、メモリには情報が書き込まれていないので、出力信号とダミー出力信号は一定であり、そのままでは調整動作が行えない。そのため、ダミーサイクルにおけるディレイ回路調整用のデータを内部で発生させることが必要になる。本実施例では、このためにダミーデータ発生回路53を新たに設け、更に従来のSDRAMに以前から設けられている電源投入検出回路52とコマンドデコーダ回路51の出力波形を使用して、強制的にダミーデータを発生し、ディレイ回路の調整を行う。

30

#### 【0087】

図34は、第6実施例におけるダミーデータ発生回路の回路構成を示す図である。ダミーデータ発生回路は、活性化信号発生部371と、フリップフロップ部372の2つの部分からなる。活性化信号発生部371には、外部クロック信号CLKを入力回路で増幅した信号extと、電源投入したことを知らせるRと、メモリの初期化が完了して実際に動作を開始する信号MRSとが入力される。これらの動作を第33図の動作波形を参照して説明する。

#### 【0088】

40

T1の時点で、 $V_{cc}$ 電圧が印加されて $V_{cc}$ 電圧は上昇する。しばらくすると、電源投入検出回路52が動作してRを出す。この信号をダミーデータ発生回路53が受け取ると、SWが“H”に、 $\overline{SW}$ が“L”になる。次に、T2の時点で、外部より基準信号となるextが入力される。この信号によってフリップフロップ部372は外部クロック信号の2倍周期でDと $\overline{D}$ を出力する。これらの信号は、出力回路、ダミー出力回路に入力されて、出力データとして使用される。

#### 【0089】

SDRAMの場合、実動作を開始する前には必ずメモリ内にあるモードレジスタに動作モードを設定する必要がある。モードレジスタに動作モードをセットするには、モードレジスタセット命令を入れて設定を行うことになっている。この命令が入ってくると、コマ

50

ンドデコーダ51は信号MRSを出力する。T3の時点で、MRSが出たとすると、この信号を受けて、SWは“L”に、/SWは“H”になり、10a-2は一定となる。これ以後はダミーデータが一定値になる。

#### 【0090】

図36は、第6実施例の出力回路14の回路構成を示す図であり、図37はその動作を示すタイムチャートである。ダミー出力回路37は、出力回路と同じ回路構成を有し、寸法のみが相似形で小さくしてある。従って、動作はまったく同じである。

ダミーデータ発生回路53で発生されたダミーデータは出力回路14に入力される。出力回路14は、ハイインピーダンス制御部141と、ダミーデータスイッチ部142と、出力増幅部143とからなる。ダミーデータはハイインピーダンス制御部141に入力されている。/Zは出力をハイインピーダンス状態にするための信号で、ハイインピーダンスにする時には/Zは“L”とするが、SWが“H”である電源投入直後のダミーサイクル期間では無効になり、12a-1は“L”に、12a-2は“H”となる。一方、ダミーデータスイッチ部142は/SWが“L”であるから、ダミーデータDが通過状態になる。逆に、実データバスの信号DBはSWが“H”であるから、5a-11と5a-12に掃き出されることはない。

#### 【0091】

この状態では、ダミーデータDが有効となっているので、Dが“H”の時には5a-11と5a-12は共に“H”となる。外部クロック信号extと同期した出力回路活性化信号oe(DLL回路44を通過した信号)が“H”となった時に、出力信号として“H”が出力される。逆に、Dが“L”の時には5a-11と5a-12は共に“L”となRI、oeが“H”の時には、出力信号として“L”が出力される。

#### 【0092】

以上のように、電源投入直後のダミーサイクルを使用することにより、外部クロック信号の立ち上がり時点と出力信号が“H”及び“L”となる時点がDLL回路44によって、ダミー出力信号が“H”及び“L”となる時点がダミーDLL回路45によって一致することになる。もちろん、出力信号の波形とダミー出力の波形とは微妙に異なるので、DLL回路44とダミーDLL回路45の各ディレイ回路の設定値は異なることになるが、この時点では外部クロック信号、出力信号、ダミー出力信号の3つの信号の同期がとれたことになる。

#### 【0093】

ダミーサイクル終了後(MRSが出た後)は、実際にメモリ動作に入るので、出力端子12にはメモリに記憶されていたデータが出力されることになる。これらのデータは、まったくランダムであり、どのようなデータが出力されるかは分からない。更に、SDRAMでは、データ入力端子とデータ出力端子12はI/Oコモン端子になっているので、入力データが入ってくる場合もある。つまり、DLL回路44の系列はディレイ回路441aと441bの調整に使用することはできない。そこで、切り換え回路39を切り換えて、DLL回路44の比較対象信号を出力信号からダミー出力信号へ切り換える。

#### 【0094】

図38は、切り換え回路39の回路構成を示す図である。NチャンネルトランジスタとPチャンネルトランジスタを並行に接続したトランスファゲートを2個設け、信号SWでいずれかを通過状態にするように制御している。

これによって、メモリ動作中に温度等の変動が生じて、DLL回路44のディレイ回路のディレイ量を調整する必要があるときには、比較対象信号としてダミー出力信号が使用されることになるが、電源投入直後のダミーサイクル中に外部クロック信号、出力信号、ダミー出力信号の3つの波形を一致させたので、外部クロックとダミー出力信号の波形のずれを検出して、その検出結果に基づいて調整すれば出力信号も一致することになる。

#### 【0095】

第6実施例では、一連の動作で、実際に使用するボードの配線、配線負荷の違いを含めて、外部クロック信号と出力信号との同期をとることが可能である。その結果、より高速動

10

20

30

40

50

作するシステムでも十分なマージンの確保が加工になり、より高速のシステムでも動作が安定する。

第1実施例から第6実施例では、ダミー出力回路を設けてダミーデータを出力し、その出力信号の位相と外部クロック信号の位相を比較したが、ダミー出力回路を設けず、出力回路の出力信号と外部クロック信号の位相を比較することもできる。第7実施例は、出力信号の位相比較を行うようにした例である。

【0096】

図39は、第7実施例の出力タイミング制御回路の構成を示す図である。図39に示すように、第7実施例の出力タイミング制御回路は、入力回路13と、出力回路14と、ディレイ回路501と、ディレイ制御回路502と、位相比較回路503と、入力回路13の出力するクロック信号CLK1から180度位相の異なる1/2シフトクロックを生成する1/2位相シフト回路504と、第1と第2のダミー入力回路505と506と、第1、第2及び第3のラッチ回路507、508、509とを有する。入力回路13と出力回路14はこれまで説明した実施例のものと同じである。第7実施例では、位相比較回路503は出力信号が変化したか判定し、出力信号が変化しない時にはホールド(HOLD)信号を出力し、変化した場合にのみ位相の比較を行い、比較結果に基づいてディレイ制御回路502に遅延量を増加させるか減少させるかを指示する制御信号(UP/DOWN)信号を出力する。1/2位相シフト回路504と、第1、第2及び第3のラッチ回路507、508、509は、位相比較回路503が出力信号が変化したかの判定及び位相の比較を行うための信号を生成する回路である。ラッチ回路については、通常のラッチ回路を使用しており、その構成は広く知られているので、ここでは説明を省略する。

【0097】

図40は、第1のディレイ回路501とディレイ制御回路503の構成例を示す図である。なお、第2のディレイ回路502もディレイ制御回路503の同じ出力で制御されるが、ここでは図示を省略してある。図示のように、ディレイ回路501は、複数のインバータを直列に接続したインバータ列521と、入力の一方がインバータ列521の2段毎の出力を受けられるように設けられた複数のANDゲート522-1、522-2、...、522-nで構成されるANDゲート列と、各ANDゲートの出力がゲートに印加され、ソースは接地され、ドレインが共通に接続されているN-チャンネルトランジスタ523-1、523-2、...、523-nで構成されるトランジスタ列と、各N-チャンネルトランジスタのドレインが共通に接続される信号線と電源の高電位側の間に接続された抵抗524と、入力がこの信号線に接続され内部クロックCLK2を出力するバッファ525とを備える。ディレイ制御回路502は、アップ/ダウンカウンタ526とデコーダ527で構成され、アップ/ダウンカウンタ526は、ホールド信号HOLDが“L”の時にはカウント動作を行わず、ホールド信号HOLDが“H”の時に、1/2CLK1の立ち上がり同期してカウント動作を行い、アップ/ダウン信号UP/DOWNが“H”の時にはカウントアップし、“L”の時にはカウントダウンする。デコーダ527は、アップ・ダウンカウンタ29の出力をデコードし、いずれか1つの出力を「H」にし、他の出力を「L」にする。アップ・ダウンカウンタ526がカウントアップした場合には「H」にする出力位置を右にシフトし、カウントダウンする場合には「H」にする出力位置を左にシフトする。デコーダ527の出力は、順に各ANDゲート522-1、522-2、...、522-nのもう一方の入力に接続されており、デコーダ527から「H」が入力されるANDゲートだけが活性化される。そして、インバータ列の出力のうち、活性化されたANDゲートに入力される信号が内部クロックCLK2として出力されることになり、どのANDゲートを活性化するかにより、インバータ列を通過する段数が変化するので、内部クロックの遅延量を選択することができる。従って、遅延量制御の調整単位はインバータ2個分の遅延量である。なお、ディレイ制御回路503についても、図10から14で説明したのと同様に、ディレイ回路501で常時いずれかの経路が選択されるようにするよう考慮する必要がある。

【0098】

10

20

30

40

50

図41は、1/2位相シフト回路504の構成を示す図である。図41に示すように、1/2位相シフト回路504は、カレントミラー回路511と、クロック入力バッファ回路512と、同一の構成を有する第1と第2の1/2ディレイ回路513と516と、バッファ回路514と517と、位相比較回路518と、ディレイ制御回路519と、1/2クロック信号1/2CLK1を出力するバッファ回路515とを有する。カレントミラー回路511とクロック入力バッファ回路512は、入力回路を構成する部分である。第1と第2の1/2ディレイ回路513と516は、遅延量が選択的に変化させられるデジタルディレイラインで、同じ遅延量になるように制御される。位相比較回路518は、バッファ回路512の出力するクロック信号と、バッファ回路517の出力するクロック信号の位相を比較し、その位相比較結果をディレイ制御回路519に出力する。ディレイ制御回路519は、位相比較回路518の比較結果に基づいて、バッファ回路512の出力するクロック信号とバッファ回路517の出力するクロック信号の位相が一致するように、第1と第2の1/2ディレイ回路513と516を制御する。位相比較回路518としては後述する図42の回路を、ディレイ回路513と516としては図40に示す回路を使用する。

10

#### 【0099】

バッファ回路512から出力されたクロック信号は、第1のディレイ回路513で遅延された後、バッファ回路374を介して第2のディレイ回路516に入力され、第1のディレイ回路513の遅延量と同じ量遅延され、バッファ回路517を介して位相比較回路518に入力される。位相比較回路518では、バッファ回路512と517から出力されたクロック信号の位相が比較され、ディレイ制御回路519はその比較結果に基づいて2つの位相が一致するように第1と第2のディレイ回路513と516の遅延量を変化させる。2つの位相が一致した時には、第1のディレイ回路513からバッファ514を介して第2のディレイ回路516に入力するまでの経路と、第2のディレイ回路516からバッファ517を介して位相比較回路518に入力するまでの経路は同一であるから、第2のディレイ回路516に入力する信号の位相は第1のディレイ回路513に入力する信号の位相とちょうど半周期ずれている。従って、バッファ回路514と517からそれぞれ出力されるクロックの位相も半周期ずれており、バッファ回路515からはクロック信号を半周期シフトした1/2シフトクロック1/2が出力されることになる。このように、図40に示すような1/2位相シフト回路を使用することにより、クロック信号を正確に1/2位相シフトした1/2シフトクロック1/2が得られる。

20

30

#### 【0100】

なお、第7実施例では、クロック信号を正確に1/2位相シフトした1/2シフトクロック1/2が他の部分で必要なために、図41のような回路を使用した。第7実施例では正確に1/2位相シフトした信号が必要ではないため、単にインバータを使用してもよい。

いずれにしても、ラッチ回路507はCLK1の立ち上がりに同期してダミー出力回路505の出力をラッチし、ラッチ回路508はCLK1の立ち下がりに同期してダミー出力回路506の出力をラッチし、ラッチ回路509はCLK1の立ち下がりに同期してラッチ回路508の出力をラッチする。従って、ラッチ回路509はラッチ回路508がラッチするCLK1の立ち下がりの後の1周期後のダミー出力回路506の出力をラッチすることになる。ラッチ回路507の出力がRG1、ラッチ回路508の出力がRG2、ラッチ回路509の出力がRG0として位相比較回路503に入力される。

40

#### 【0101】

図42は、位相判定回路503の構成を示す回路図であり、位相判定回路503の動作を図43から図45を参照して説明する。

位相ずれがない状態では、出力信号は入力回路13の出力するクロック信号CLK1の立ち上がりエッジで変化するものとする。図で矢印で示した位置が、各ラッチ回路が出力信号をラッチするタイミングで、左から順にRG0、RG1、RG2である。図43の状態1は出力信号が「H」のまま変化しない時であり、この時のRG0、RG1、RG

50

2はすべて「H」であり、ホールド信号HOLDが「L」になり、位相のずれは判定できないので、カウント動作をしないようにする。同様に、状態2は出力信号が「L」のまま変化しない時であり、この時のRG0、RG1、RG2はすべて「L」であり、同様にホールド信号HOLDが「L」になり、カウント動作をしないようにする。

#### 【0102】

図44に示す状態3と4は、出力信号が「H」から「L」に変化する場で、状態3のようにCLK1の立ち上がりエッジに対して出力信号の変化エッジが遅れている場合には、RG0、RG1、RG2はそれぞれ「H」、「H」、「L」になる。この場合は、ホールド信号HOLDは「H」になり、アップ/ダウン信号UP/DOWNが「L」になり、ディレイ回路501と502の遅延量を減少させる。状態4のようにCLK1の立ち上がりエッジに対して出力信号の変化エッジが進んでいる場合には、RG0、RG1、RG2はそれぞれ「H」、「L」、「L」になる。この場合は、HOLDは「H」になり、UP/DOWNが「H」になり、ディレイ回路501と502の遅延量を増加させる。

10

#### 【0103】

図45に示す状態5と6は、出力信号が「L」から「H」に変化する場で、状態5のようにCLK1の立ち上がりエッジに対して出力信号の変化エッジが遅れている場合には、RG0、RG1、RG2はそれぞれ「L」、「L」、「H」になる。この場合は、HOLDは「H」になり、UP/DOWNが「L」になり、ディレイ回路501と502の遅延量を減少させる。状態6のようにCLK1の立ち上がりエッジに対して出力信号の変化エッジが進んでいる場合には、RG0、RG1、RG2はそれぞれ「L」、「H」、「H」になる。この場合は、HOLDは「H」になり、UP/DOWNが「H」になり、ディレイ回路501と502の遅延量を増加させる。

20

#### 【0104】

上記の各状態とその時のRG0、RG1、RG2の値と、必要な操作が図46の真理値表に示されている。

以上説明したように、図39に示した第7実施例の出力タイミング制御回路では、出力信号とクロック信号の位相比較が行われ、出力信号の位相がクロック信号に同期するように制御される。出力信号はランダムな信号であり、「高」レベル又は「低」レベルが連続することがあり得るが、第7実施例の位相比較回路503は出力信号が変化したか判定し、変化した場合にのみ位相の比較を行い、ディレイ制御回路502は出力信号が変化しない場合にはそれまでの遅延量が維持されるように制御し、出力信号が変化しない場合に位相比較回路503の比較結果に基づいて位相が一致するようにフィードバック制御するので、出力信号であっても位相比較が可能である。

30

#### 【0105】

図47は、第8実施例の出力タイミング制御回路の構成を示すブロック図である。第8実施例の出力タイミング制御回路は、第7実施例の出力タイミング制御回路に、第5実施例で説明した、出力信号が「L」から「H」に変化する時と、「H」から「L」に変化する時で、それぞれ異なるタイミング制御を行う構成を適用した例である。第7実施例とは、2つのディレイ回路501-Hと501-Lと、それらを独立に制御する2つのディレイ制御回路502-Hと502-Lとが設けられている点異なる。ここではこれ以上の説明は省略する。

40

#### 【0106】

なお、出力信号の外部クロック信号に対する位相を比較する場合にも、位相調整モードを設けて、位相調整を行うようにすることもできる。これを行うには、図34に示した所定のサイクルで変化するダミーデータを出力するダミーデータ出力回路を設け、位相調整モードでは、出力回路はダミーデータを出力し、その出力信号と外部クロック信号との位相比較を行って、位相が一致するようにフィードバック制御する。そして一致した後は、通常モードに切り換えるが、そこでは調整された遅延量が維持されるようにする。これであれば、第1から第6実施例と同様にフィードバック制御して位相を調整できる。

#### 【0107】

50

図48は、第9実施例の出力タイミング制御回路の構成を示すブロック図である。第9実施例の出力タイミング制御回路は、図7に示したダミー出力回路を有する出力タイミング制御回路の基本構成に、別の位相比較回路を適用した例である。前述のように、ダミー出力回路を設けた場合には、ダミーデータ生成回路で生成された所定のサイクルで変化するダミーデータが出力され、この出力信号との位相比較が行われる。ダミーデータは所定のサイクルで変化するため、位相判定回路532は出力信号が変化するかどうかの判定を行い、変化しない時にはディレイ回路の遅延量を変化させないようにホールド信号を出力する必要がない。そこで、第9実施例の回路では、CLK1に同期してダミー入力回路505の出力信号をラッチするラッチ回路533と、 $1/2$ CLK1に同期してダミー入力回路506の出力信号をラッチするラッチ回路534とを設けて、ラッチ回路533の出力をRG1として、ラッチ回路534の出力をRG2として位相判定回路532に入力している。位相判定回路532は、このRG1とRG2に基づいて位相の判定を行っている。

10

#### 【0108】

図49は、第9実施例の出力タイミング制御回路で使用する位相比較回路532の回路構成を示す図である。図から明らかなように、この位相比較回路は、図42に示した位相比較回路のアップ/ダウン信号UP/DOWNを算出する側のみの回路で構成される。上記のように、第9実施例では出力信号が変化するかどうかの判定を行い、変化しない時にはホールド信号を出力する必要がないので、ホールド信号HOLDを生成する部分が除かれている。

20

#### 【0109】

図50は図49の位相判定回路532の判定動作を示す図である。図50の(1)に示すように、出力信号DQ(ここではダミー入力回路の出力)がクロック信号CLK1に対して遅れている時には、RG1とRG2が異なる値になる。また、DQがCLK1に対して進んでいる時には、RG1とRG2が同じ値になる。従って、位相判定回路532は、RG1とRG2が異なる値の時にはクロックの遅延量を減少させるようにアップ/ダウン信号UP/DOWNを“L”とし、RG1とRG2が同じ値の時にはクロックの遅延量を増加させるようにUP/DOWNを“H”とする。

上記の各状態とその時のRG1とRG2の値と、必要な操作が図51の真理値表に示されている。

30

#### 【0110】

図48に戻って、ディレイ回路501及びディレイ制御回路531としては、図40に示した第7実施例のものと同じ回路が使用されるが、図52に示すように、アップ・ダウンカウンタにはホールド信号HOLDは入力されず、ホールド機能は必要ない。

図53は、第10実施例の出力タイミング制御回路の構成を示すブロック図である。第10実施例の出力タイミング制御回路は、第1実施例で説明した、 $1/N$ 分周回路を用いてダミー出力回路からの出力信号の変化周期を $1/N$ にする構成を第9実施例の回路に適用したものである。図示のように、 $1/N$ 分周回路542と、クロック信号を $1/N$ 分周回路542分遅延させるCLK制御回路541と、 $1/N$ 分周されたクロックCLK1/Nを遅延させるディレイ回路501bと、ダミー入力回路505と506の出力部にCLK制御回路541と同じ遅延量のダミーCLK制御回路543と544が設けられており、ラッチ回路533はCLK1/Nに同期してダミーCLK制御回路543をラッチし、ラッチ回路534はCLK1/Nを反転した $1/2$ CLK1/Nに同期してダミーCLK制御回路544をラッチする点が第9実施例と異なる。他の部分の構成は第9実施例と同じである。

40

#### 【0111】

図54は、第10実施例の判定動作を示す図である。図示のように、伝達途中での劣化等により外部クロック信号CLKがデューティ50%の信号でない場合でも、 $1/N$ 分周した信号CLK1/Nの変化エッジはCLKの立ち上がり同期している。CLK1/Nに同期してダミー出力回路37からの出力が行われれば、ダミー出力信号は図示のように、

50

CLK 1 / N の立ち上がりエッジに同期して変化しする。従って、ラッチ回路 533 がラッチするタイミングは CLK 1 / N の立ち上がり付近であり、ラッチ回路 534 がラッチするタイミングは CLK 1 / N の立ち上がり付近である。すなわち、ラッチ回路 534 がラッチするタイミングはダミー出力信号の変化エッジの中間点付近になる。DQ が遅れている時には RG 1 と RG 2 は異なる値になり、DQ が進んでいる時には、RG 1 と RG 2 は同じ値になる。

#### 【0112】

図 55 は、第 11 実施例の出力タイミング制御回路の構成を示すブロック図である。第 11 実施例の出力タイミング制御回路は、第 10 実施例の出力タイミング制御回路に、第 5 実施例で説明した、出力信号が “L” から “H” に変化する時と、“H” から “L” に変化する時で、それぞれ異なるタイミング制御を行う構成を適用した例である。ここではこれ以上の説明は省略する。

10

#### 【0113】

以上、第 1 から第 11 実施例では、本発明の半導体装置の出力タイミング制御回路について説明したが、このような半導体装置内でこのような出力タイミング制御回路をどのように適用するかについての実施例を説明する。

図 56 は、第 12 実施例の半導体装置におけるクロック入力回路 13 と、出力タイミング制御回路 30 と、第 1 から第 m の出力回路 571 - 1、571 - 2、...、571 - m と、クロック信号分配回路 580 の配置構成を示す図である。

#### 【0114】

図示のように、この半導体装置からは、複数の信号 OS - 1、OS - 2、...、OS - n が出力されるので、出力信号毎に出力回路 571 - 1、571 - 2、...、571 - m が設けられている。クロック分配回路 580 は、クロック入力回路 13 から出力タイミング制御回路 30 を介して供給されるクロック信号を、複数のバッファ回路 (CB 1、CB 2 1、...、CB n m) 581 から 583 を介して半導体装置内に配置された各出力回路 571 - 1、571 - 2、...、571 - m に分配する。分配先までの配線長と経由するバッファ回路の個数がすべて同じになる等距離配線になっている。従って、図 56 においては、各出力回路 571 - 1、571 - 2、...、571 - m に入力されるクロック信号の位相はすべて一致している。クロック入力回路 13 と出力タイミング制御回路 30 は、出力回路 571 - 1、571 - 2、...、571 - m のうちの 1 つ、ここでは第 1 出力回路 571 - 1 の近傍に配置されている。そして、出力タイミング制御回路 30 は、第 1 出力回路 571 - 1 からの出力信号の位相が外部クロック CLK に同期するように制御する。上記のように、クロック分配回路 580 は等距離配線になっているので、各出力回路に入力されるクロック信号の位相はすべて一致しており、第 1 出力回路 571 - 1 の出力信号の位相が外部クロック CLK に同期すれば、すべての出力回路からの出力信号の位相は外部クロック CLK に同期することになる。

20

30

#### 【0115】

以上説明した第 1 から第 12 実施例の回路を適用した半導体装置では、従来例に比べて、出力信号の外部クロックに対する同期の精度が大幅に向上する。このような外部クロックに対して高い同期精度で出力が行われる半導体装置を使用して半導体装置システムを構成する実施例を説明する。

40

まず、従来の出力タイミングとその問題について説明する。図 57 は外部クロック信号に同期してデータを出力する従来の半導体装置の出力タイミングを説明する図である。従来例では、外部クロック信号 CLK の立ち上がりに応じてデータを出力するための動作が開始される (t0)。そして、実際に出力端子に出力が現れるのはある時間後である。この時間は、プロセスのばらつきや電源の変動や温度等により異なり、最短では t1 に最長では t2 に出力が現れる。すなわち、クロックアクセス時間は外部クロック信号の立ち上がりエッジから tOH と tAC の範囲にある。この tOH と tAC は半導体装置の仕様で規定されており、この t1 と t2 の間の期間は実際には使用できないデータが不確定である時間になる。

50

## 【0116】

このような出力を受ける側では、セットアップ時間  $t_{IS}$  とホールド時間  $t_{IH}$  が必要であり、外部クロック信号の立ち上がりエッジに対して、 $t_{IS}$  と  $t_{IH}$  が規定されている。セットアップ時間  $t_{IS}$  の開始時間を  $t_3$  で、ホールド時間  $t_{IH}$  の終了時間を  $t_5$  で示してある。従って、図において、 $t_2 - t_6$  の時間と  $t_3 - t_5$  の差がシステムのタイミングマージンとなる。このタイミングマージンは、システムの各種の要因による誤差を吸収するため、ある程度以上必要である。

## 【0117】

近年、外部クロック信号の周波数は高くなる一方であり、このタイミングマージンが十分に確保できないという問題が生じている。

図58は、本発明の半導体装置の出力タイミングを示す図である。従来例では、図57に示すように、外部クロック信号の立ち上がりエッジから出力動作を開始していた。これに対して、本発明の半導体装置では、外部クロック信号の立ち下がりエッジに同期して出力信号が出力されるようにする。もちろん、外部クロック信号の立ち上がりと立ち下がりのエッジは180度位相の異なる、デューティ比50%の信号であるとする。すでに説明したように、本発明の半導体装置では、出力信号の出力タイミングを外部クロック信号に対して所定の位相になるように正確に制御することが可能である。従って、出力信号は外部クロック信号の立ち下がりエッジに同期して出力端子にただちに現れる。従って、出力信号が確定する期間の中心は、外部クロック信号の立ち上がりエッジに一致することになり、入力の前後に同じタイミングマージンをとることが可能になる。ここで、外部クロック信号の周期がどんどん狭くなった場合を考えると、このようなタイミングで出力を行う利点が明確になる。

## 【0118】

図59は、出力信号の出力タイミングを外部クロック信号に対して所定の位相になるように正確に制御することが可能な半導体メモリ610から613を使用して構築した第13実施例のメモリシステムにおける素子の配置と信号配線の様子を示す図である。また、図60は、第13実施例のメモリシステムでのクロック信号CLKとデータの位相関係を示す図である。

## 【0119】

図において、参照番号601はこのメモリシステムのコントローラである。半導体メモリ610から613は図示のように配置され、各半導体メモリ610から613に記憶されたデータが、クロック信号線603に印加されるクロック信号CLKに同期してデータバス602に出力される。ここで、クロック信号CLKがクロック信号線603を伝搬する方向を、図示のように図の右側から左側に向かう方向とすると、各メモリにCLKが到達する時間は、右側のメモリ-3がもっとも早く、左側のメモリほど遅くなる。しかし、CLKに同期して出力されたデータがコントローラ601に到達する時間は左側のメモリほど短い。もし、クロック信号線603上のクロック信号CLKの伝搬速度とデータバス602上のデータ信号の伝搬速度が等しいとすれば、図40に示すように、各メモリから出力されたデータは、CLKがコントローラ601に到達するタイミングでコントローラ601に到達することになる。従って、コントローラ601はCLKに基づいてデータの取込みを行えばよい。

## 【0120】

図61は、第14実施例のメモリシステムにおける素子の配置と信号配線の様子を示す図である。

第14実施例のメモリシステムでは、CLKはまずコントローラ601に入力され、コントローラ601はこのCLKから書込みクロック信号Write-CLKと読み出しクロック信号Read-CLKを生成する。Read-CLKが伝搬されるクロック信号線は、信号線605で一旦右端のメモリ613の位置まで伝搬された後、信号線606でコントローラ601に戻される。各メモリへのRead-CLKの供給は信号線606から行われる。これにより、各メモリから出力されるデータのコントローラ601への取込みは

10

20

30

40

50

、第13実施例と同様に行われる。

【0121】

第14実施例では、信号線606を伝搬したRead-CLKは、コントローラ601にRead-Receiveとして入力される。そして、このRead-CLKとRead-Receiveが一致するようにRead-CLKの遅延量が調整される。

図62は、第14実施例におけるコントローラ601内でのクロック信号の系統を示す図である。

【0122】

図42に示すように、外部から入力されたCLKは出力バッファ621に入った後、Write-CLKとして出力される。Write-CLKは、カレントミラー回路622とドライバ623を通過して増幅され、ディレイ回路624で選択された量だけ遅延された後、出力バッファ625からRead-CLKとして出力される。戻ってきたRead-CLKはRead-Receiveとして受けられ、カレントミラー回路626とドライバ627を通過した後、位相比較回路628に入力される。位相比較回路628にはドライバ623の出力も入力されて位相が比較される。そしてディレイ制御回路629はその比較結果に基づいてディレイ回路の遅延量を選択する。このようにしてRead-CLKとRead-Receiveが一致するようにRead-CLKの遅延量が調整される。

【0123】

図63は、第15実施例のメモリシステムにおける素子の配置と信号配線の様子を示す図である。

第15実施例のメモリシステムでは、第13実施例と同様に、メモリからの出力データが伝搬する方向に伝搬するクロック信号CLKをコントローラ601がRead-Receiveとして受ける。コントローラ601はこのRead-Receiveから書込みクロック信号Write-CLKを生成する。メモリからの読み出しはCLKに同期して行われる。出力されるWrite-CLKは、Read-Receiveと位相が一致するように遅延量が調整される。

【0124】

図64は、第15実施例におけるコントローラ601内でのクロック信号の系統を示す図である。

図64に示すように、外部から入力されたCLK-Receiveは、カレントミラー回路631とドライバ632を通過して増幅され、ディレイ回路633で選択された量だけ遅延された後、出力バッファ634からWrite-CLKとして出力される。このWrite-CLKは、カレントミラー回路635とドライバ636を通過した後、位相比較回路637に入力される。位相比較回路637にはドライバ632の出力も入力されて位相が比較される。そしてディレイ制御回路638はその比較結果に基づいてディレイ回路633の遅延量を選択する。このようにしてWrite-CLKの位相がRead-Receiveと一致するように調整される。

【0125】

図65は、第16実施例のメモリシステムにおける素子の配置と信号配線の様子を示す図である。

第16実施例のメモリシステムでは、コントローラ601のクロック端子は読み出しクロックと書込みクロックで兼用される。第7実施例と同様に、メモリからの出力データが伝搬する方向に伝搬するクロック信号CLKをコントローラ601がR/W-CLKとして受ける。従って、メモリから出力されたデータのコントローラ601への取込みは第7実施例と同じである。クロック信号CLKは、コントローラ601に入力する直前でクロック信号線607に分岐され、逆方向に戻り、これが書込み用のクロック信号になる。従って、コントローラ601から出力されたメモリに書き込むデータと書込み用のクロック信号は並行に伝搬することになる。問題はメモリに書き込むデータと書込み用のクロック信号の位相を一致させることである。

【0126】

10

20

30

40

50

図 6 6 は、第 1 6 実施例におけるコントローラ 6 0 1 内でのクロック信号の系統を示す図である。

図 6 6 に示すように、外部から入力された R / W - C L K は、カレントミラー回路 6 4 1 とドライバ 6 4 2 を通過して増幅され、ディレイ回路 6 4 3 で選択された量だけ遅延された後、データ出力バッファ 6 4 4 に供給される。データ出力バッファ 6 4 4 では、書込みデータレジスタ 6 4 0 のデータをディレイ回路 6 4 3 から供給されるタイミング信号に同期して出力する。このタイミング信号はダミー出力バッファ 6 4 9 でデータ出力バッファ 6 4 4 と同じ遅延量だけ遅延された後、カレントミラー回路 6 4 5 に入力される。カレントミラー回路 6 4 5 の出力は、ドライバ 6 4 6 を通過した後、位相比較回路 6 4 7 に入力される。位相比較回路 6 4 7 にはドライバ 6 4 2 の出力も入力されて位相が比較される。そしてディレイ制御回路 6 4 8 はその比較結果に基づいてディレイ回路 6 4 3 の遅延量を選択する。このようにして書込みデータ Write - Data は、R / W - C L K すなわち書込み用のクロック信号と同期することになる。

【 0 1 2 7 】

【 発明の効果 】

以上説明したように、本発明によれば、実際の回路の信号を外部クロック信号と比較して所定の位相関係になるように遅延量を調整するため、半導体装置の特性のバラツキ、温度変化、電源電圧の変化等があっても、出力信号の外部クロック信号に対する位相関係を所定の値に正確に維持することが可能になる。

【 0 1 2 8 】

更に、入力ダミー回路や出力ダミー回路を設けて、外部クロック信号と比較する信号を実際の出力信号に近い信号としているため、正確に位相を調整することが可能である。更に、立ち上がる出力データと立ち下がる出力データについてそれぞれ位相を調整するため、位相誤差を更に小さくできる。

【 0 1 2 9 】

更に、ダミー回路を相似するように製作しても実際の出力に関係する回路とは差があり、また出力端子に実際に接続される負荷は予測できず、想定したダミー負荷と差が生じるのは避けられない。このような差は位相調整の誤差になるが、本発明によればこのような誤差を含めて調整するので、誤差を一層低減できる。また、このような半導体装置を使用することにより、高速動作可能な半導体システムが実現できる。

【 図面の簡単な説明 】

【 図 1 】 シンクロナス・D R A M ( S D R A M ) の全体構成を示すブロック図である。

【 図 2 】 S D R A M の基本的な動作を示すタイムチャートである。

【 図 3 】 パイプライン型の S D R A M の基本的な動作図である。

【 図 4 】 S D R A M のタイミング及び高速動作時の問題を説明する図である。

【 図 5 】 出力回路へ供給するタイミング信号を外部クロック信号に同期させる本発明の半導体装置の基本構成を示す図である。

【 図 6 】 図 5 の基本構成での問題点を説明する図である。

【 図 7 】 図 5 の基本構成を更に改良した本発明の半導体装置の構成を示す図である。

【 図 8 】 実施例の S D R A M の動作図である。

【 図 9 】 第 1 実施例の S D R A M の出力タイミング制御に関する部分の構成を示す図である。

【 図 1 0 】 第 1 実施例のディレイ回路の構成と動作を示す図である。

【 図 1 1 】 第 1 実施例のディレイ制御回路の構成を示す図である。

【 図 1 2 】 第 1 実施例のディレイ制御回路の動作を示すタイムチャートである。

【 図 1 3 】 第 1 実施例のディレイ制御回路の出力信号の変化を示す図である。

【 図 1 4 】 ディレイ制御回路の別の例を示す図である。

【 図 1 5 】 第 1 実施例の位相比較回路の位相比較部の構成を示す図である。

【 図 1 6 】 第 1 実施例の位相比較回路の位相比較部の動作を示すタイムチャートである。

【 図 1 7 】 第 1 実施例の位相比較回路の増幅回路部の構成を示す図である。

10

20

30

40

50

【図18】第1実施例の位相比較回路の増幅回路部のJKフリップフロップの動作を示すタイムチャートである。

【図19】第1実施例の位相比較回路の増幅回路部のカウントアップ動作を示すタイムチャートである。

【図20】第1実施例の位相比較回路の増幅回路部のカウント維持動作を示すタイムチャートである。

【図21】第1実施例の位相比較回路の増幅回路部のカウントダウン動作を示すタイムチャートである。

【図22】第1実施例の出力回路の構成を示す図である。

【図23】第1実施例のダミー出力回路の構成を示す図である。

10

【図24】第1実施例のダミー出力回路の動作を示すタイムチャートである。

【図25】第2実施例のダミー出力回路の構成を示す図である。

【図26】第3実施例のダミー出力回路の構成を示す図である。

【図27】第4実施例のダミー出力回路の構成を示す図である。

【図28】第5実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

【図29】第5実施例のSDRAMの位相比較回路の構成を示す図である。

【図30】第5実施例のダミー出力回路の構成を示す図である。

【図31】第5実施例における動作を示すタイムチャートである。

【図32】正規経路とダミー経路の特性の変化による誤差の発生を説明する図である。

20

【図33】第6実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

【図34】第6実施例のダミー出力回路の構成を示す図である。

【図35】第6実施例におけるダミー出力回路の動作を示すタイムチャートである。

【図36】第6実施例の出力回路の構成を示す図である。

【図37】第6実施例における出力回路の動作を示すタイムチャートである。

【図38】第6実施例の切り換え回路の構成を示す図である。

【図39】第7実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

【図40】第7実施例の受信側半導体装置のディレイ回路と、ディレイ制御回路の構成例を示す図である。

30

【図41】第7実施例の1/2位相シフト回路の構成を示す図である。

【図42】第7実施例の位相判定回路の構成を示す図である。

【図43】第7実施例での位相判定動作を説明する図である。

【図44】第7実施例での位相判定動作を説明する図である。

【図45】第7実施例での位相判定動作を説明する図である。

【図46】第7実施例での位相判定動作の真理値表である。

【図47】第8実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

【図48】第9実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

40

【図49】第9実施例の位相判定回路の構成を示す図である。

【図50】第9実施例での位相判定動作を説明する図である。

【図51】第9実施例での位相判定動作の真理値表である。

【図52】第9実施例のディレイ制御回路の構成を示す図である。

【図53】第10実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

【図54】第10実施例での位相判定動作を説明する図である。

【図55】第11実施例のSDRAMの出力タイミング制御に関する部分の構成を示す図である。

50

【図56】第12実施例のSDRAMにおけるクロック入力回路と出力タイミング制御回路と、クロック分配回路と、出力回路の配置を示す図である。

【図57】従来例の半導体装置における出力タイミングを示す図である。

【図58】本発明の半導体装置における出力タイミングを示す図である。

【図59】第13実施例の半導体装置システムにおける素子配置と信号配線を示す図である。

【図60】第13実施例における信号波形を示すタイムチャートである。

【図61】第14実施例の半導体装置システムにおける素子配置と信号配線を示す図である。

【図62】第14実施例のコントローラにおけるクロックタイミング調整の系統を示す図である。 10

【図63】第15実施例の半導体装置システムにおける素子配置と信号配線を示す図である。

【図64】第15実施例のコントローラにおけるクロックタイミング調整の系統を示す図である。

【図65】第16実施例の半導体装置システムにおける素子配置と信号配線を示す図である。

【図66】第16実施例のコントローラにおけるクロックタイミング調整の系統を示す図である。

【符号の説明】 20

1 1 ... 外部信号入力端子

1 2 ... 信号出力端子

1 3 ... 入力回路

1 4 ... 出力回路

2 0、3 0 ... 出力タイミング制御回路

2 1、3 1 ... デイレイ回路

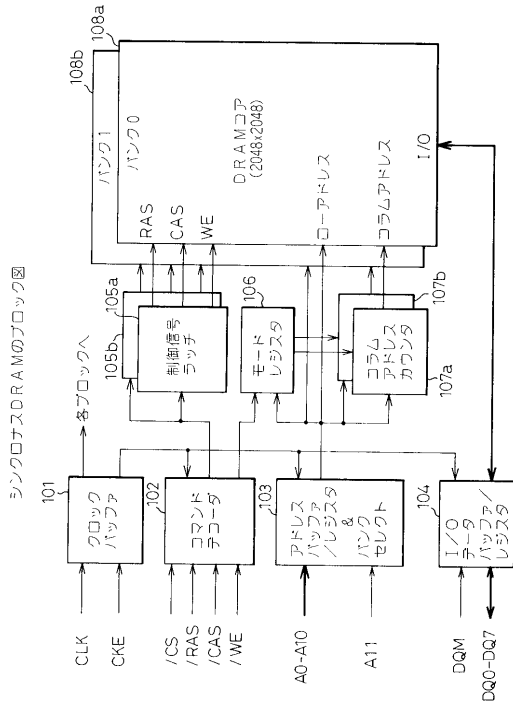
2 2、3 2 ... 位相比較回路

2 3、3 3 ... デイレイ制御回路

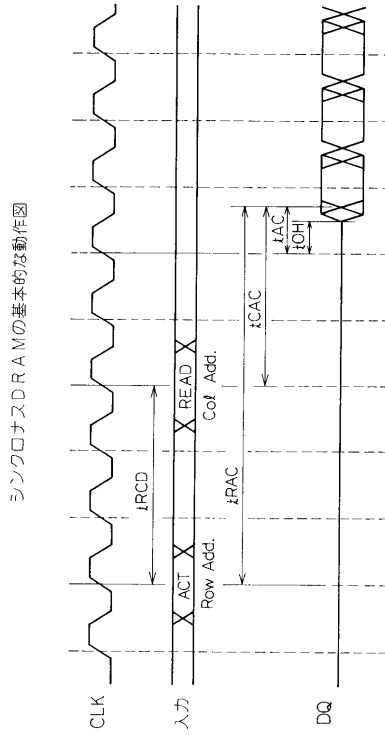
3 4 ... ダミー入力回路

3 5 ... ダミー出力回路 30

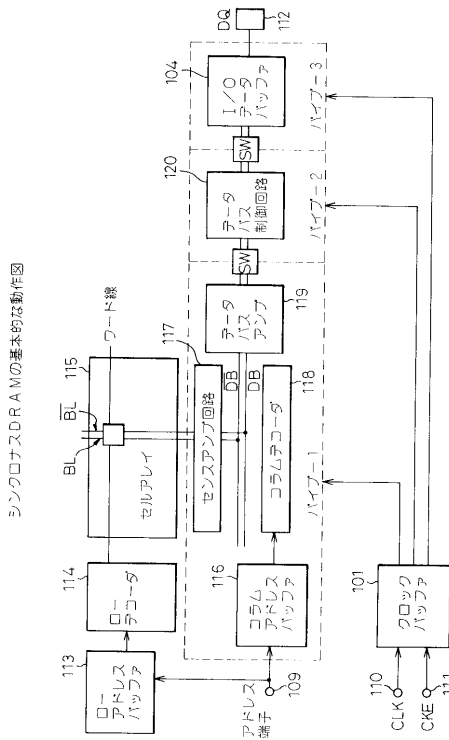
【 図 1 】



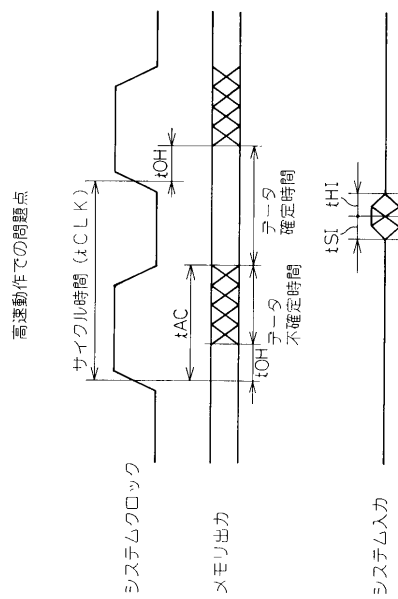
【 図 2 】



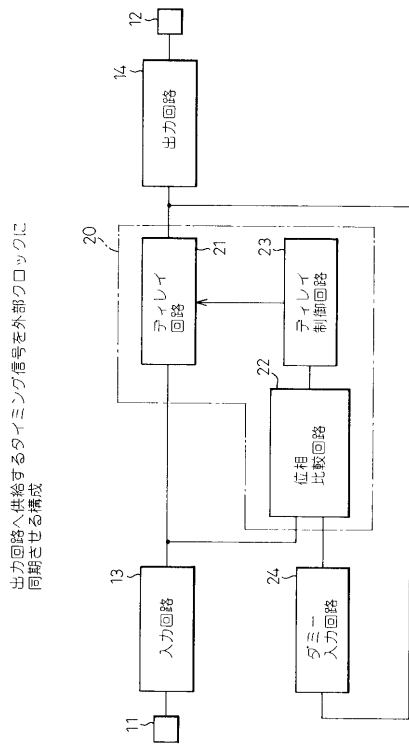
【 図 3 】



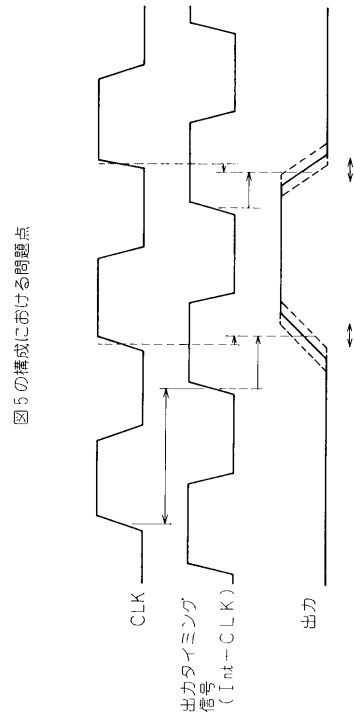
【 図 4 】



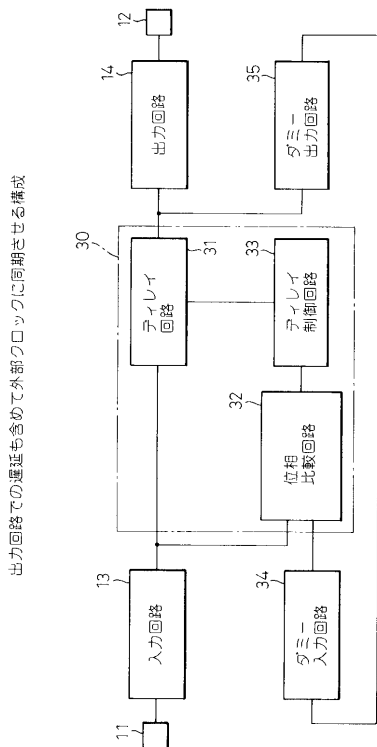
【 図 5 】



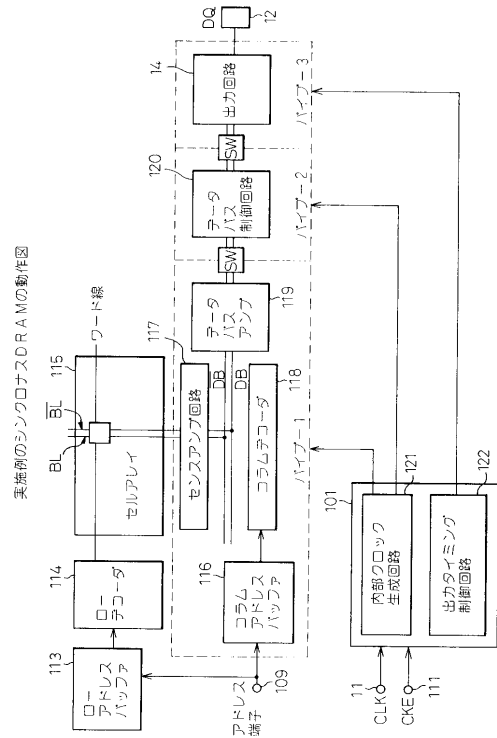
【 図 6 】



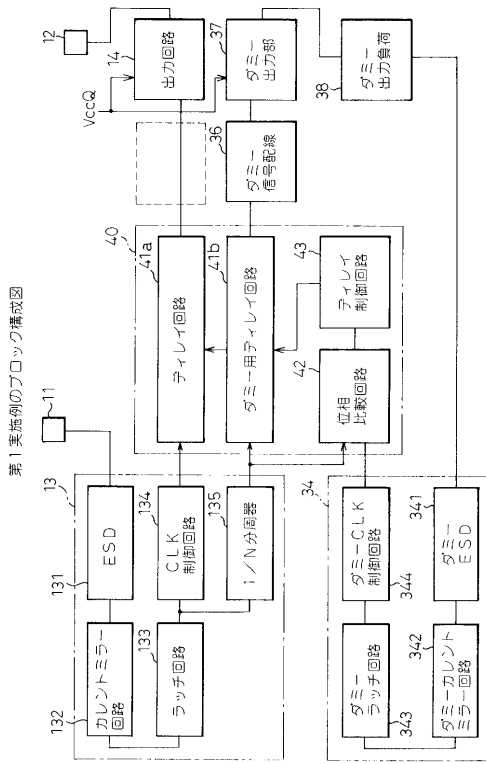
【 図 7 】



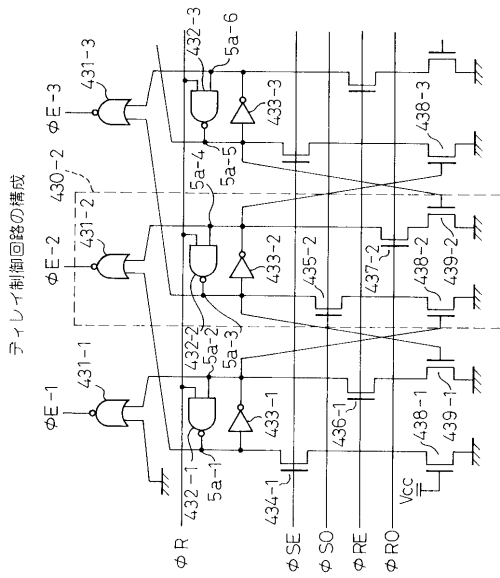
【 図 8 】



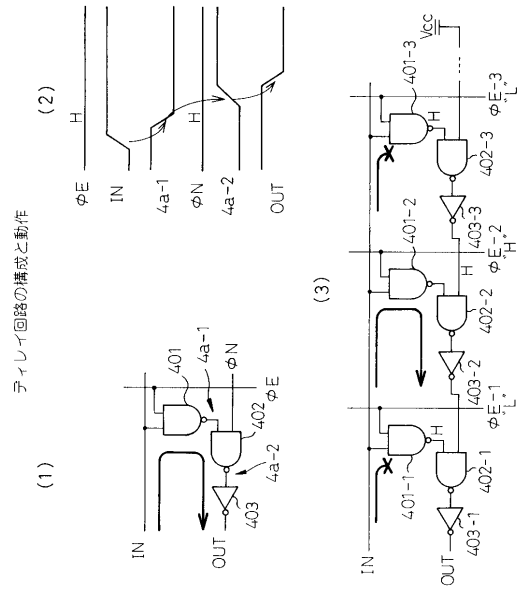
【 図 9 】



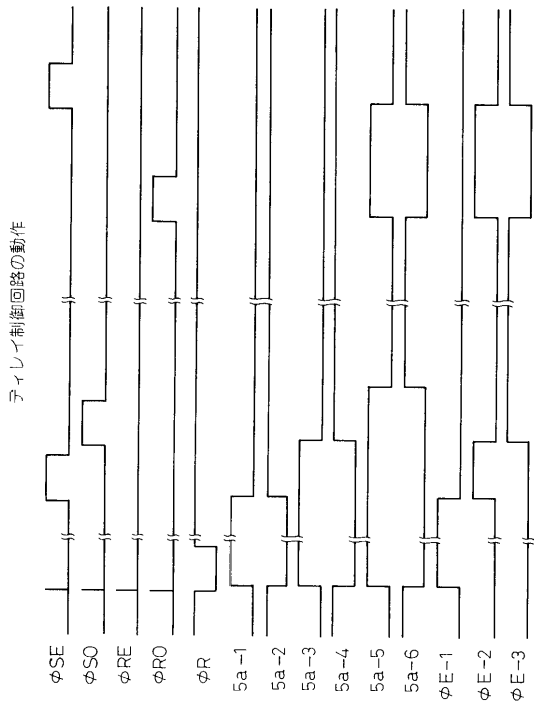
【 図 11 】



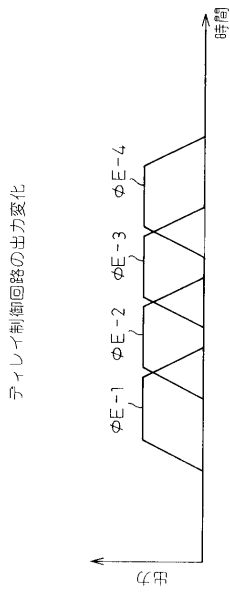
【 図 10 】



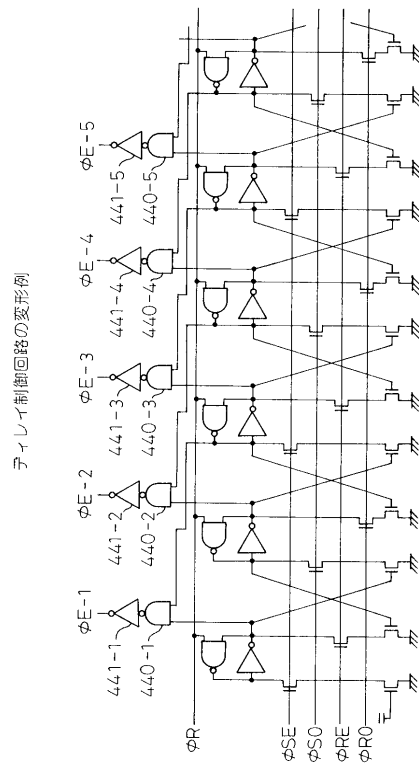
【 図 12 】



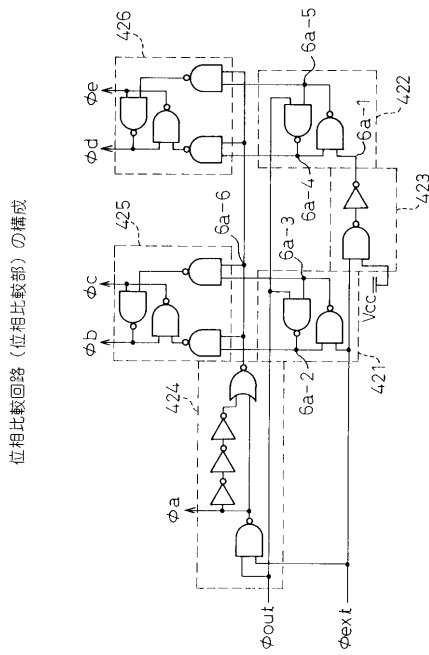
【 図 1 3 】



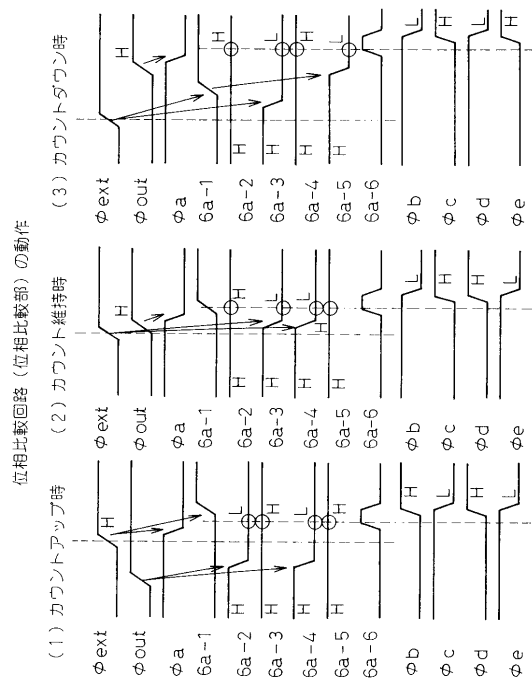
【 図 1 4 】



【 図 1 5 】

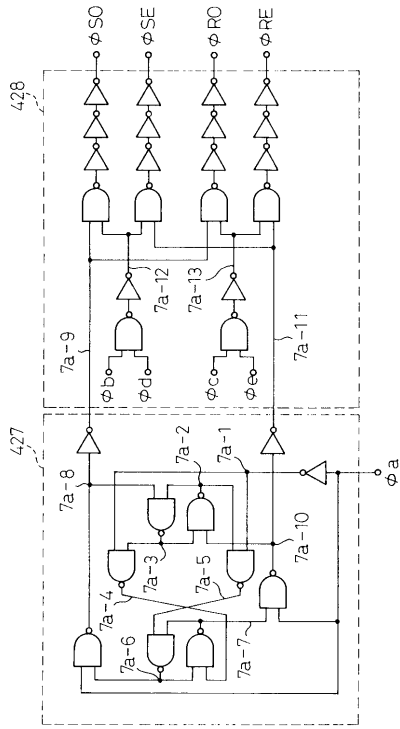


【 図 1 6 】



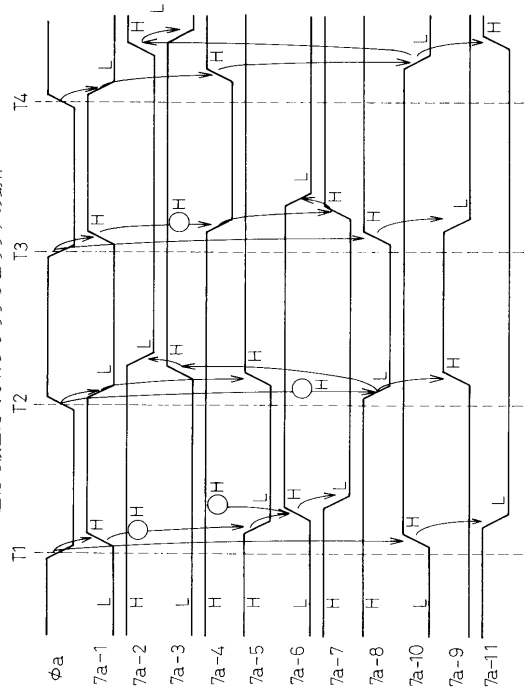
【 図 17 】

位相比較回路（増幅回路部）の構成



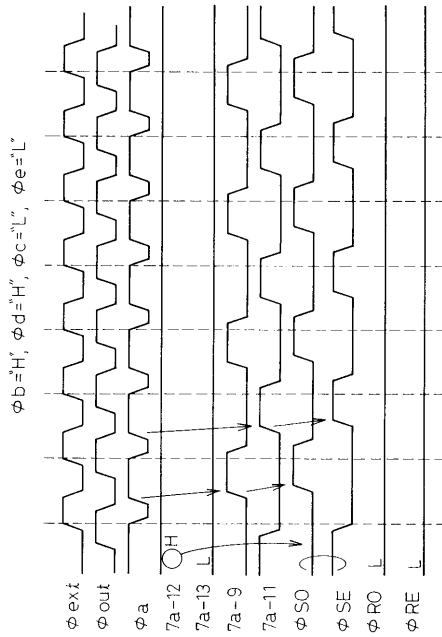
【 図 18 】

位相比較回路（JKフリップフロップ）の動作



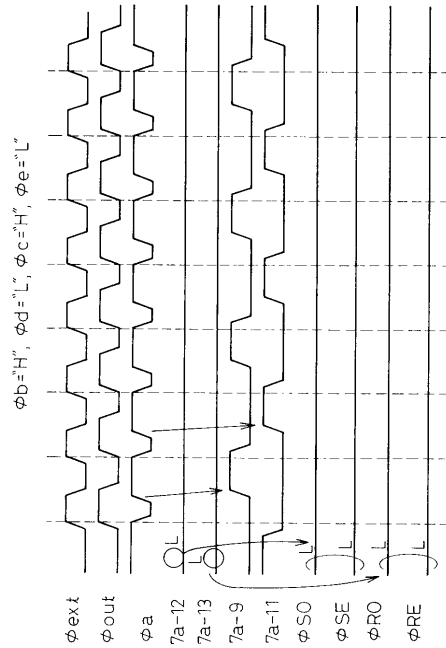
【 図 19 】

位相比較回路（増幅回路部）のカウントアップ動作



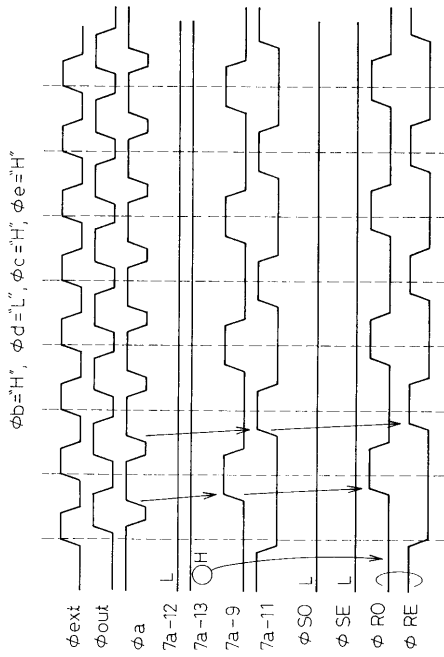
【 図 20 】

位相比較回路（増幅回路部）のカウント維持動作



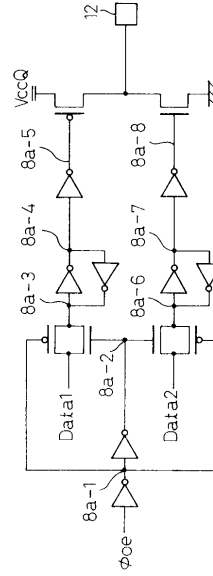
【 図 2 1 】

位相比較回路（増幅回路部）のカウンタダウン動作



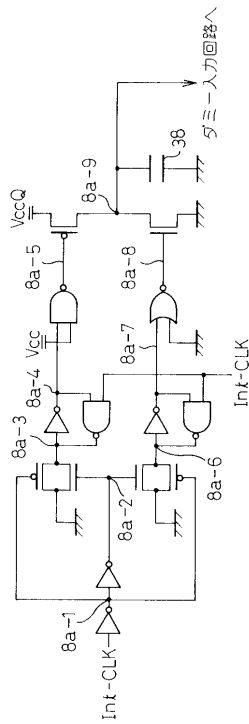
【 図 2 2 】

出力回路の構成



【 図 2 3 】

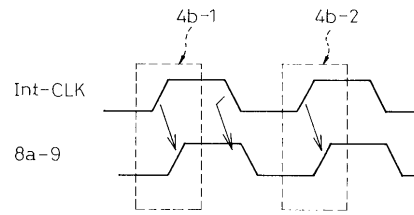
ダミー出力回路の構成



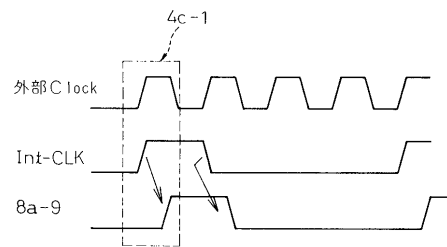
【 図 2 4 】

ダミー出力回路の動作

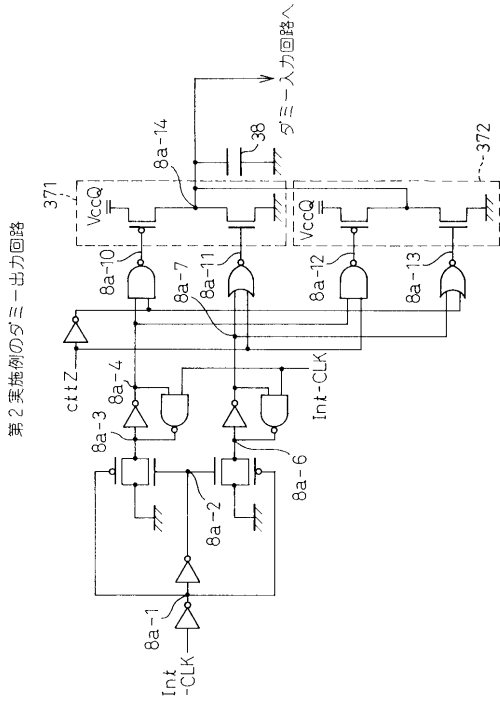
(1) 分周比が1の時



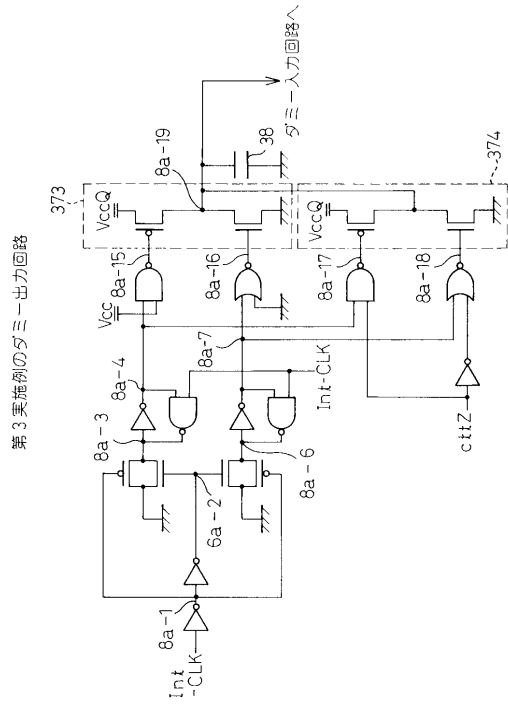
(2) 分周比が4の時



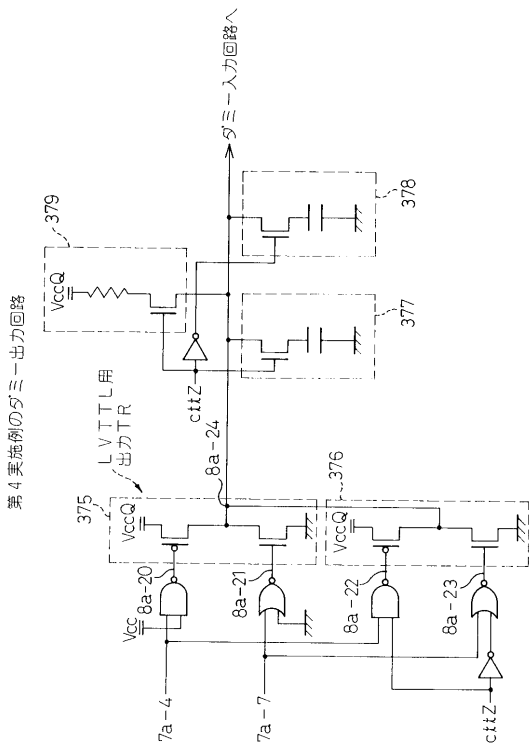
【 図 2 5 】



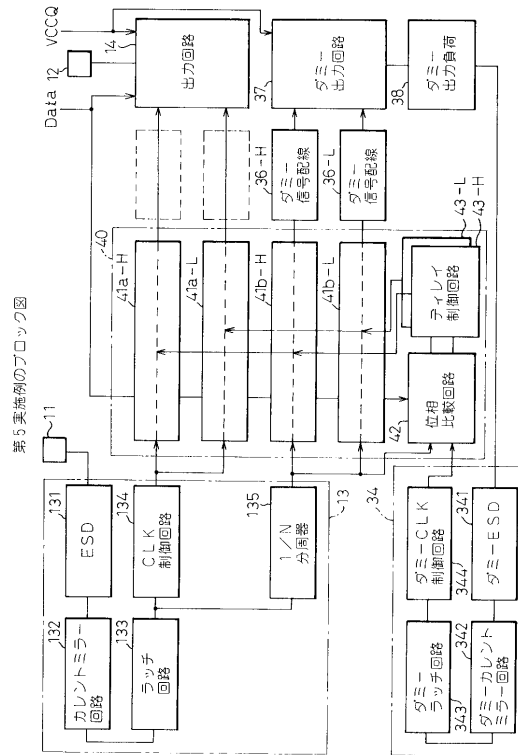
【 図 2 6 】



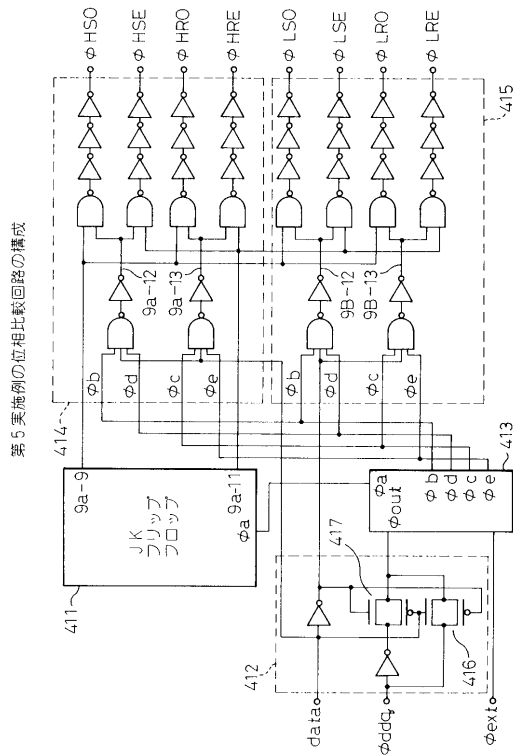
【 図 2 7 】



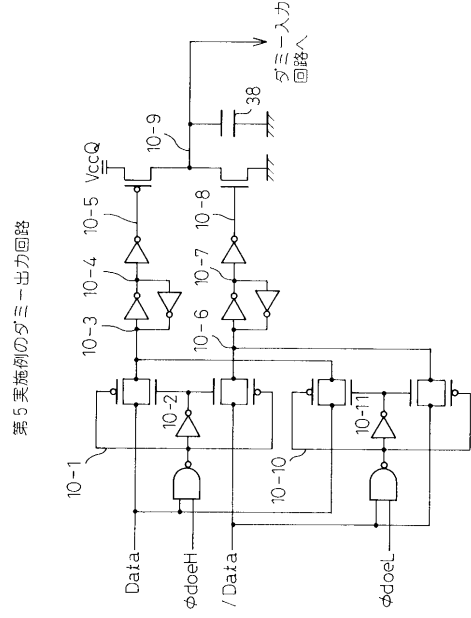
【 図 2 8 】



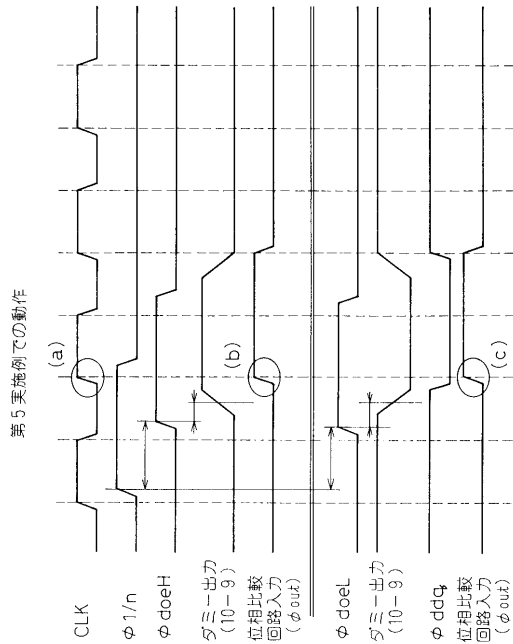
【 図 2 9 】



【 図 3 0 】

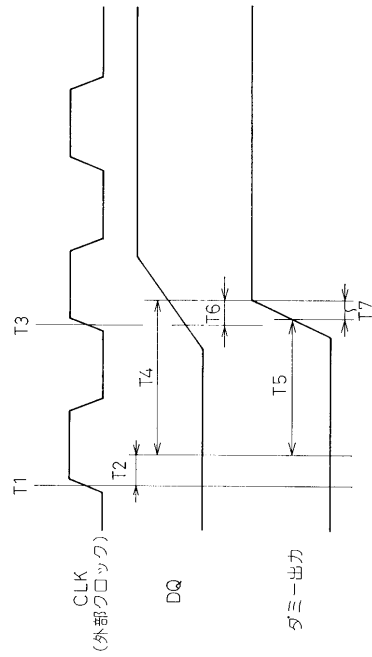


【 図 3 1 】

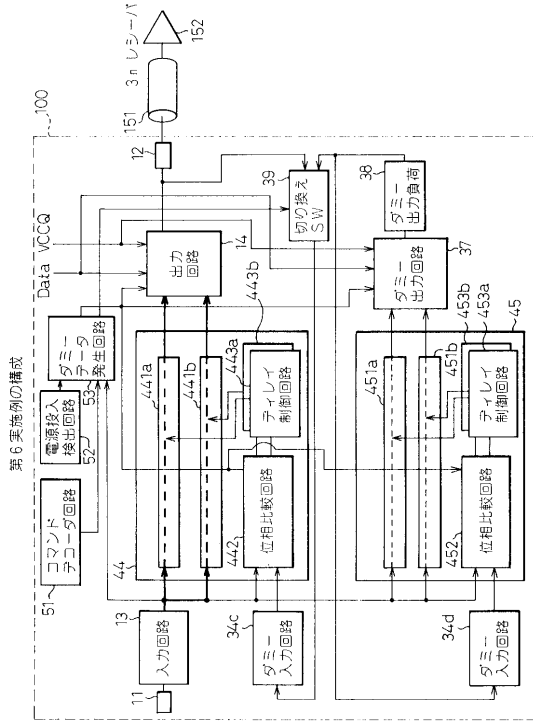


【 図 3 2 】

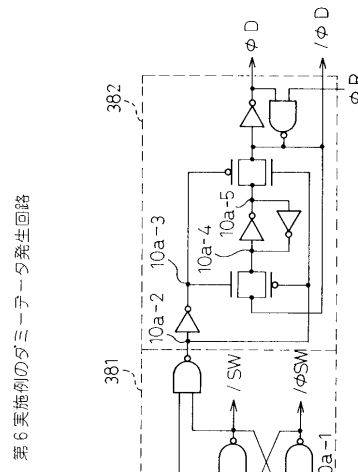
正線経路とダミー経路の特性変化による誤差の発生



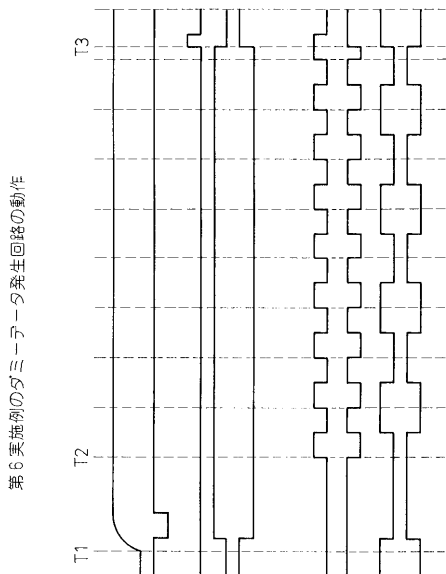
【 図 3 3 】



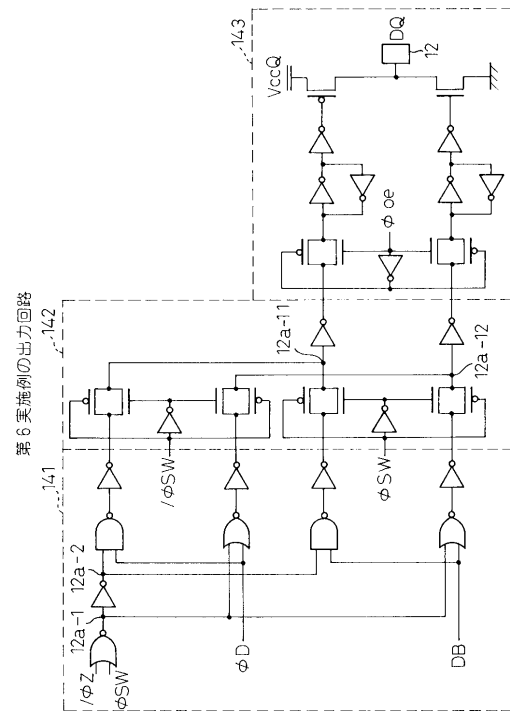
【 図 3 4 】



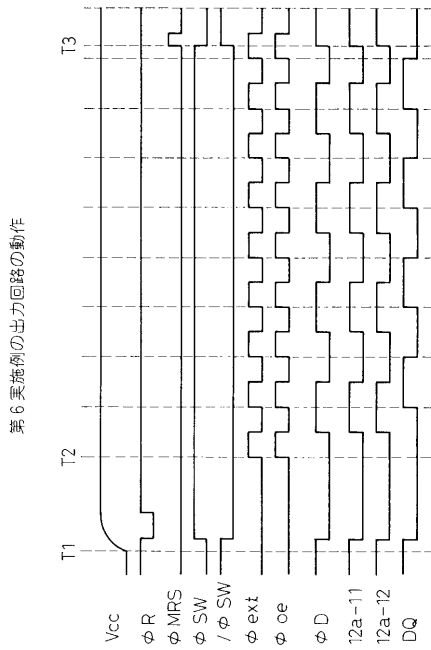
【 図 3 5 】



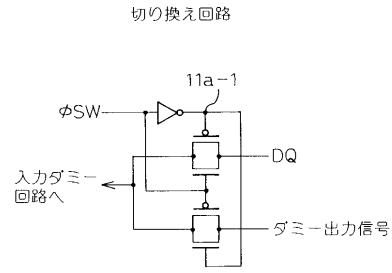
【 図 3 6 】



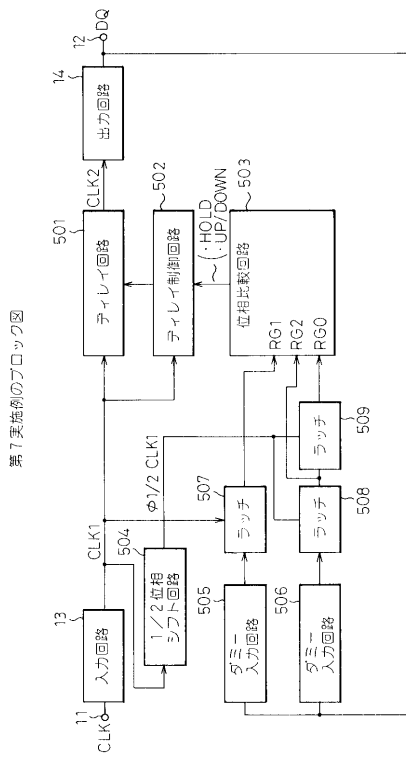
【 図 3 7 】



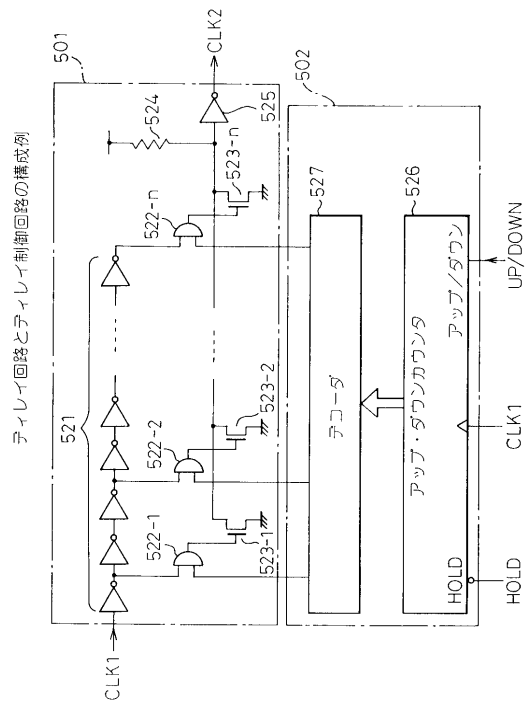
【 図 3 8 】



【 図 3 9 】

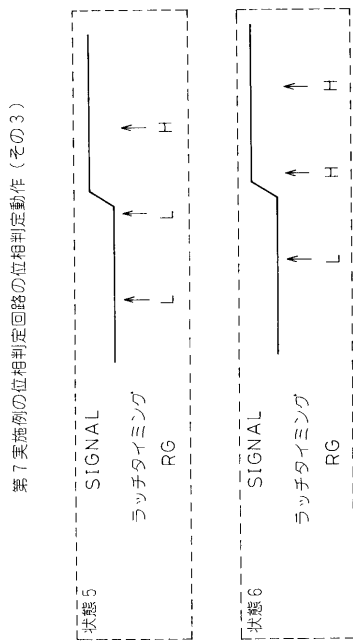


【 図 4 0 】





【 図 4 5 】

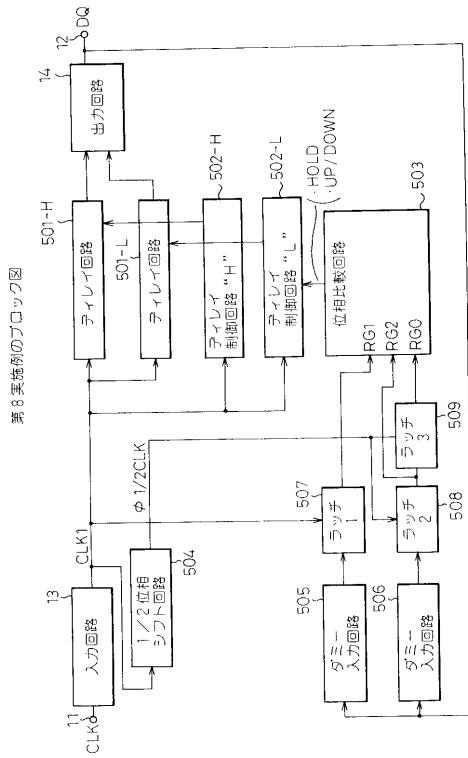


【 図 4 6 】

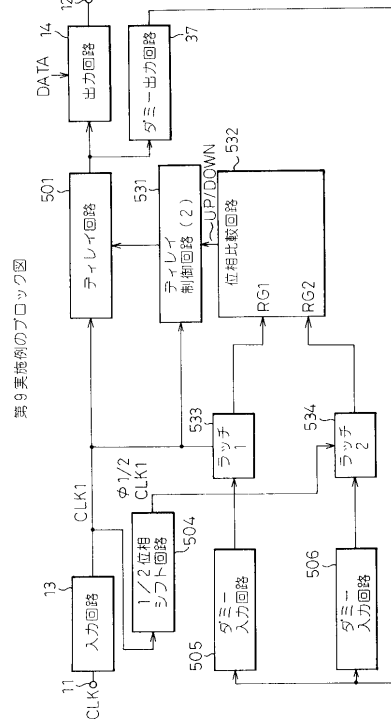
第7実施例の位相判定回路の真理値表

状態	RG0	RG1	RG2	UP/DOWN	HOLD	操作
1	H	H	H	H	L	変えない
2	L	L	L	L	L	
3	H	H	L	L	H	DELAYを小さくする
4	H	L	L	H	H	DELAYを大きくする
5	L	L	H	L	H	DELAYを小さくする
6	L	H	H	H	H	DELAYを大きくする

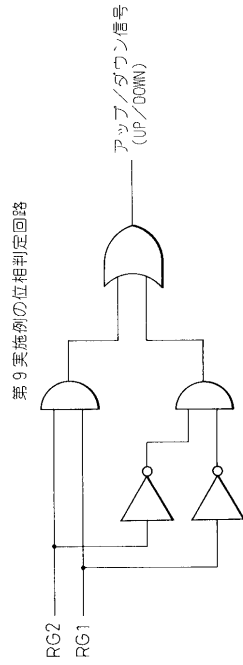
【 図 4 7 】



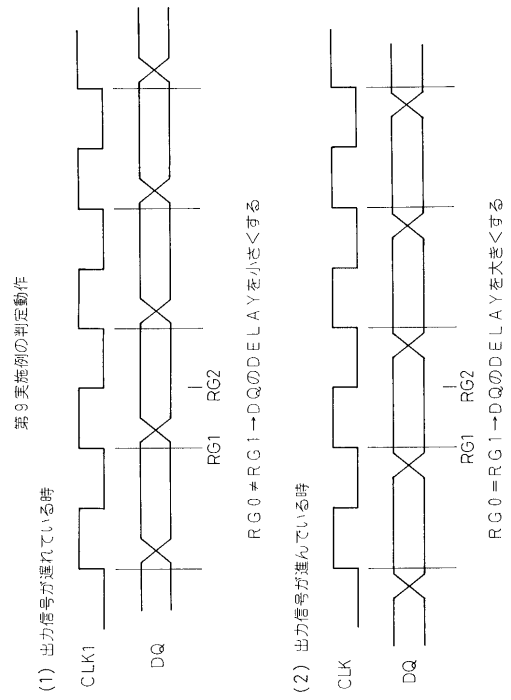
【 図 4 8 】



【図 49】



【図 50】

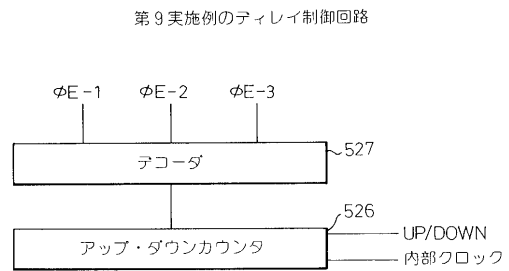


【図 51】

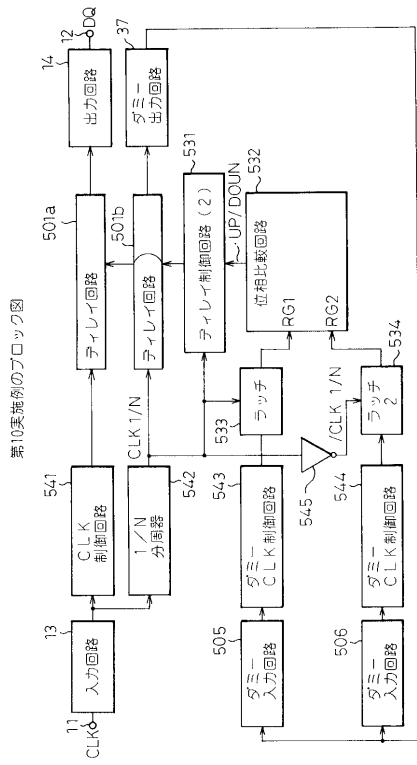
第9実施例の位相判定回路の真理値表

RG1	RG2	アップ/ダウン信号	操作
L	L	H	DELAYを大きくする
H	H	H	DELAYを大きくする
L	H	L	DELAYを小さくする
H	L	L	DELAYを小さくする

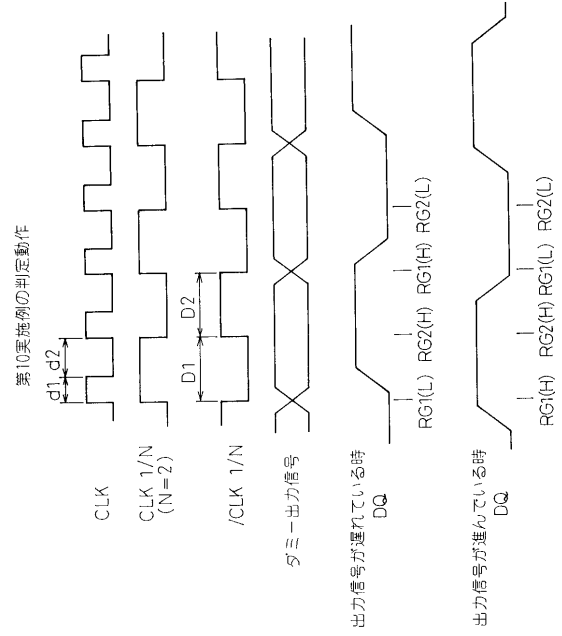
【図 52】



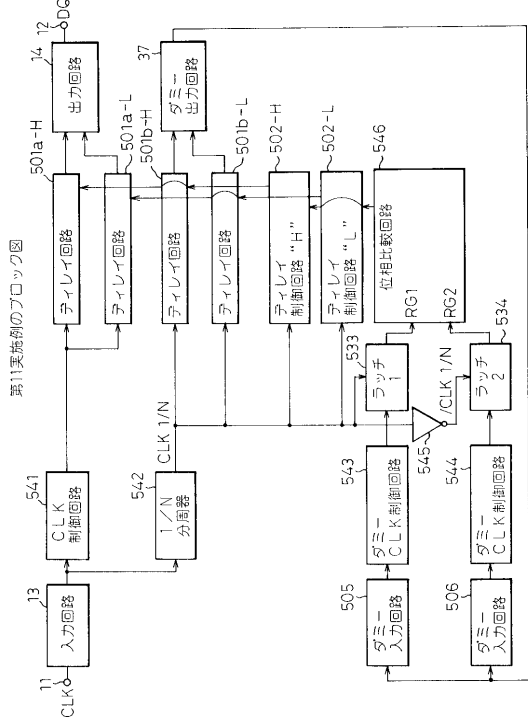
【 図 5 3 】



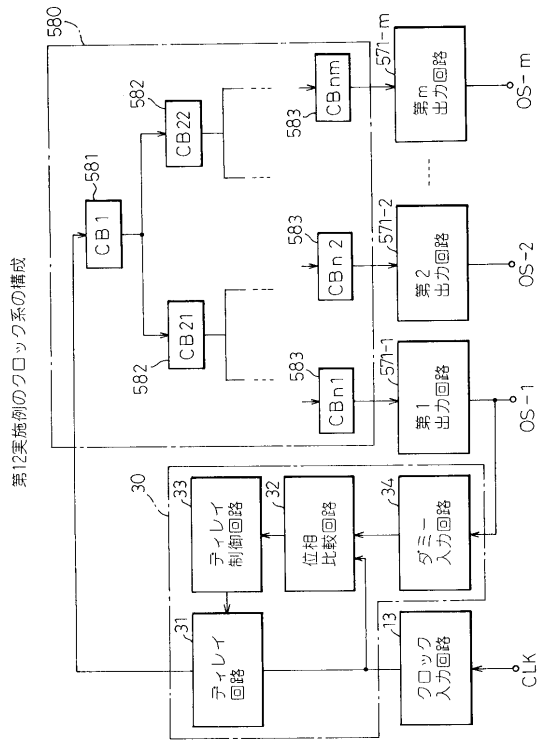
【 図 5 4 】



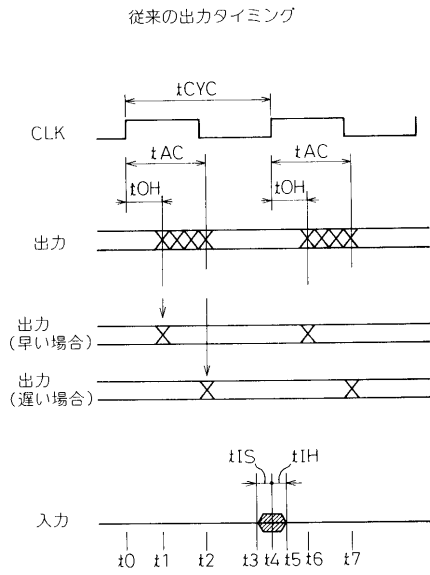
【 図 5 5 】



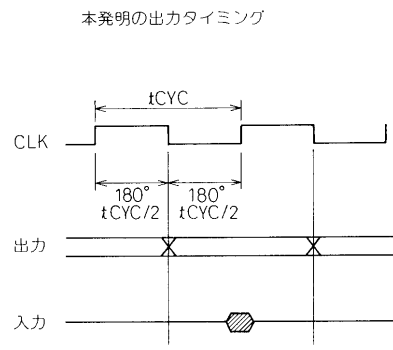
【 図 5 6 】



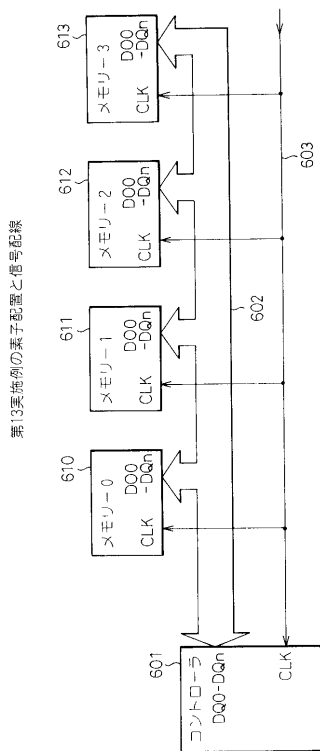
【 図 5 7 】



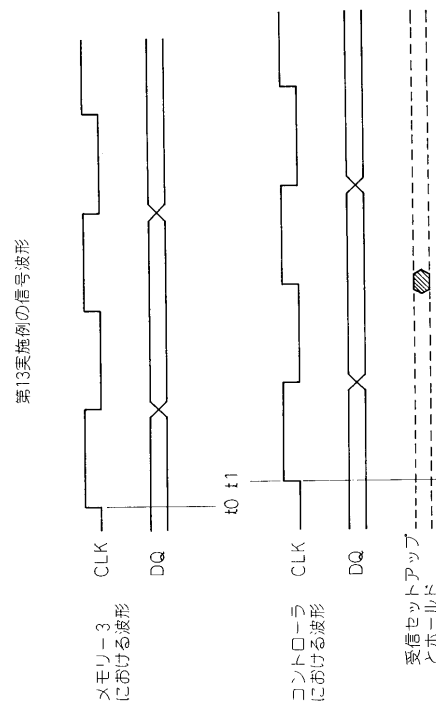
【 図 5 8 】



【 図 5 9 】

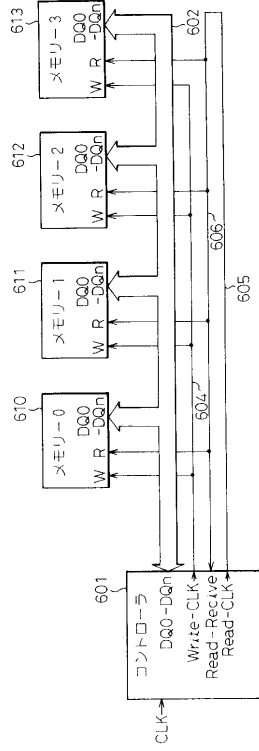


【 図 6 0 】



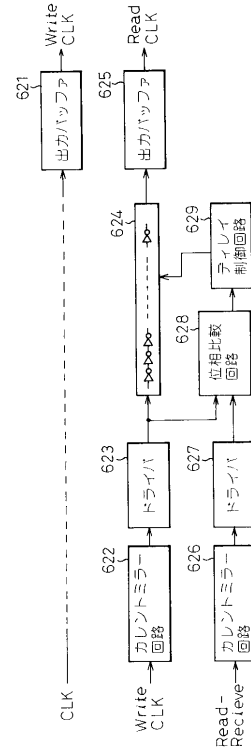
【 図 6 1 】

第14実施例の素子配置と信号配線



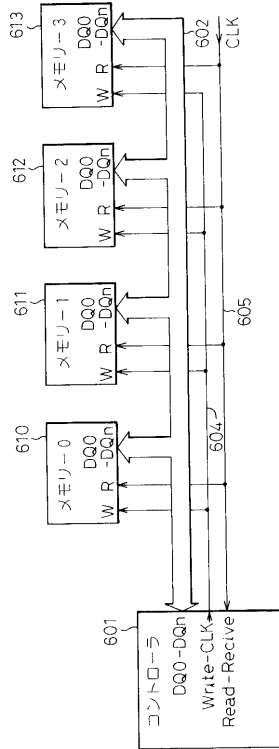
【 図 6 2 】

第14実施例におけるタイミング調整



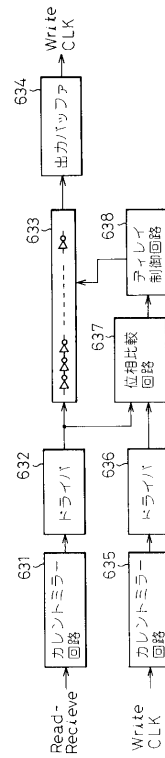
【 図 6 3 】

第15実施例における素子配置と信号配線

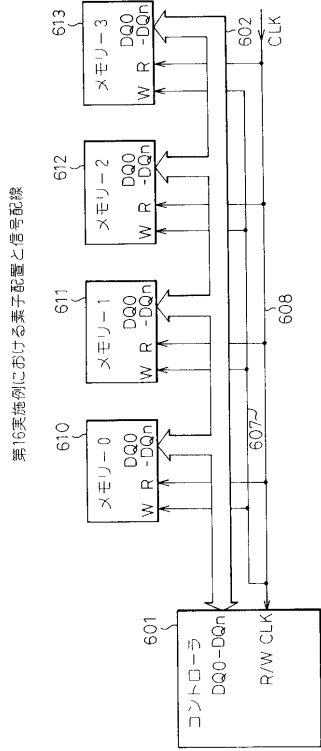


【 図 6 4 】

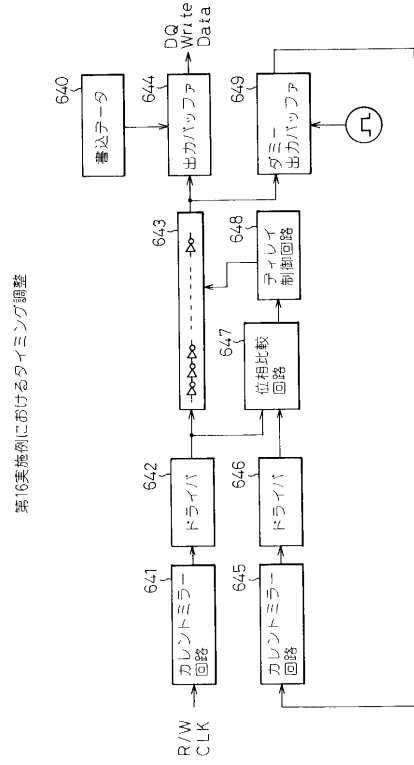
第15実施例におけるタイミング調整



【 図 6 5 】



【 図 6 6 】



## フロントページの続き

- (72)発明者 佐藤 靖治  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 北原 照将  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 中野 正夫  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 田口 眞男  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 竹前 義博  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 松崎 康郎  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 西村 幸一  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 岡島 義憲  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 堀田 和義

- (56)参考文献 特開平08-180676(JP,A)  
特開平05-003423(JP,A)  
特開平02-141123(JP,A)  
特開平05-191234(JP,A)  
特開平03-217919(JP,A)  
特開平02-296410(JP,A)  
特開平10-171774(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G11C 11/407  
G06F 1/10  
H03L 7/00