

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011年3月3日(03.03.2011)



(10) 国際公開番号
WO 2011/024956 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 国際出願番号: PCT/JP2010/064613
- (22) 国際出願日: 2010年8月27日(27.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-197601 2009年8月28日(28.08.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (National Institute of Advanced Industrial Science and Technology) [JP/JP]; 〒1008921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 長野 隆洋 (NAGANO, Takahiro) [JP/JP]; 〒3058568 茨城県つくば市東1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 岡本 光央 (OKAMOTO, Mitsuo) [JP/JP]; 〒3058569 茨城県つくば市小野川1-6-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 八尾 勉 (YAT-SUO, Tsutomu) [JP/JP]; 〒3058568 茨城県つくば市東1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 福田 憲司

(FUKUDA, Kenji) [JP/JP]; 〒3058569 茨城県つくば市小野川1-6-1 独立行政法人産業技術総合研究所内 Ibaraki (JP).

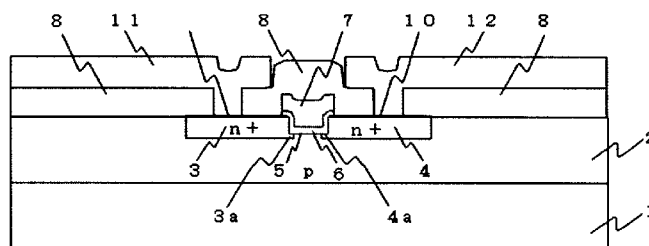
- (74) 代理人: 飯田 敏三, 外 (IIDA, Toshizo et al.); 〒1050004 東京都港区新橋3丁目1番10号 石井ビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: RECESSED GATE TYPE SILICON CARBIDE FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: リセスゲート型炭化珪素電界効果トランジスタおよびその製造方法

[図1]



(57) Abstract: Disclosed is a SiC MISFET wherein source and drain regions (3, 4) are formed in a SiC semiconductor region (2) of one conductivity type, and a recessed section (5), which is composed of two side surfaces in contact with the source and drain regions, and the bottom surface connecting both the side surfaces, and which has a predetermined depth, is formed in the SiC semiconductor region portion sandwiched between the source and drain regions. Parts (3a, 4a) of the source and drain regions are made thinner than other parts of the source and drain regions, said parts (3a, 4a) being adjacent to the vicinity of both the ends of the bottom surface of the recessed section.

(57) 要約: 一導電型のSiC半導体領域(2)内にソース、ドレイン領域(3、4)を形成し、ソース、ドレイン領域で挟まれたSiC半導体領域部分に形成され、ソース、ドレイン領域に接する二つの側面と両側面を接続する底面とからなる所定深さの凹部(リセス)(5)を形成し、凹部底面の両端近傍に隣接するソース、ドレイン領域の一部(3a、4a)を他の部分より薄くしたSiC MISFET。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

リセスゲート型炭化珪素電界効果トランジスタおよびその製造方法

技術分野

[0001] この発明は、オン抵抗が低く、ゲート長の短縮に好適な炭化珪素電界効果トランジスタおよびその製造方法、特にリセスゲート構造を用いた炭化珪素電界効果トランジスタおよびその製造方法に関する。

背景技術

[0002] 炭化珪素（S i C）はシリコン（S i）と比較してバンドギャップが広い、破壊電界強度が大きい、電子の飽和ドリフト速度が大きいなど優れた物性を有する。したがって、S i Cを出発材料として用いることにより、S iの限界を超えた高耐圧で低抵抗の電力用半導体素子が作製できる。またS i CにはS iと同様に熱酸化によって絶縁層を形成できるという特徴がある。これらのことから、S i C単結晶を素材料とした高耐圧で低オン抵抗の絶縁ゲート型電界効果トランジスタ（以下M I S F E T、典型的にはM O S F E Tとして知られている）が実現できると考えられ、数多くの研究開発が行われている。

[0003] また、S i Cは過渡応答特性が優れていることも知られており、1 0 0 k H z を超える高周波領域での利用も可能となる。S i では実現できないような高周波・高パワー密度を持つパワー I C の作製が可能となる。このような性能は、パワー I C のみならず、論理回路の I C 化にも好適である。

[0004] 図 1 7 に示すように、従来のS i C M I S F E Tは、S i C基板 2 1、S i C基板 2 1上に形成したp型エピタキシャル層からなるS i C半導体領域 2 2、S i C半導体領域 2 2内に形成したn+型のソース領域 2 3、ドレイン領域 2 4、p型S i C半導体領域 2 2表面のソース領域 2 3およびドレイン領域 2 4にまたがって形成したゲート絶縁膜 2 5、その上に設けたゲート電極 2 6、S i C半導体領域 2 2表面上に形成した絶縁膜 2 7、絶縁膜 2

7に設けた開口部(コンタクト領域28、29)を通して形成したソース領域23、ドレイン領域24それぞれに電氣的に接続するソース電極30、ドレイン電極31とからなり、例えば、ゲート長 L_g (本願ではチャンネル長と同じ。以下「ゲート長」と「チャンネル長」は同義に扱う。)が $3\mu m$ 、ゲート酸化膜の厚さが $40nm$ 、ソース、ドレイン領域厚さが $300nm$ の寸法をもつ。かかるデバイスにおいては、寄生抵抗となるソース、ドレイン領域のシート抵抗は $13k\Omega/\square$ 程度である。SiC MISFETでは、Si MISFETよりオン抵抗を2桁下げることができるとされており、デバイスの性能向上のためにはオン抵抗の低減が重要な要素となる。

[0005] また、MISFETを作製しようとする場合、SiCプロセスでは、特許文献1に開示されているように非自己整合的に行われる。不純物のイオン注入後に行う活性化アニールの温度がSiプロセスに比べて高く($1600^{\circ}C$ 程度)、ゲート酸化膜がその高温処理に耐えられないので、ゲート酸化膜、ゲート電極をイオン注入による不純物領域形成後に別途のマスク合せて形成することになるためである。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-244456号公報(第11～13頁、図1～図3)

発明の概要

発明が解決しようとする課題

[0007] SiC MISFETでは、Si MISFETよりオン抵抗を2桁下げることができるとされており、デバイスの性能向上のためにはオン抵抗の低減が重要な要素となる。オン抵抗低減の端的なアプローチはゲート長(=チャンネル長)を短くすることであるが、一般的には、短かいゲート長のMISFETを作製する場合、ゲート長のみならずゲート絶縁膜(酸化膜)ならびにソース、ドレイン領域の厚さも併せて縮小(スケールダウン)する必要がある。ゲ

ート長が $3\text{ }\mu\text{m}$ 、ゲート酸化膜の厚さが 40 nm 、ソース、ドレイン領域厚さが 300 nm の寸法をもつ図17に示すような従来のSiC MISFETのゲート長を $1\text{ }\mu\text{m}$ にしようとする、ゲート酸化膜を 13 nm 、ソース、ドレイン領域厚さを 100 nm に縮小することになる。この結果、ゲート長が短くなる点ではオン抵抗は低減される一方で、オン抵抗を構成する他方の主要成分であるソース、ドレイン領域でのシート抵抗は $13\text{ k}\Omega/\square$ から $20\text{ k}\Omega/\square$ に増加してしまい、ゲート(チャネル)長短縮によるオン抵抗の低減効果が相殺されてしまうという問題があった。また、逆に、ソース、ドレイン領域をある程度の厚さを維持してゲート(チャネル)長を短くしていくと、シート抵抗成分は低くできても、短チャネル効果が発生しデバイスの閾値電圧(V_{th})が不安定になるという問題に遭遇する恐れがあった。

[0008] また、MISFETを作製しようとする場合、SiCプロセスでは、Si MISFET製造プロセスで一般に用いられている自己整合技術を用いることができないため、特許文献1に開示されているように非自己整合的に行わざるを得ないという制約から、短ゲート(チャネル)長MISFETの実現が困難である。すなわち、SiCプロセスでは、不純物のイオン注入後に行う活性化アニールの温度がSiプロセスに比べて高く(1500°C 程度)、ゲート絶縁膜がその高温処理に耐えられないので、ゲート絶縁膜、ゲート電極形成をイオン注入による不純物領域形成後に非自己整合的に行うことになるからである。

[0009] 本発明は、上記問題に鑑み、オン抵抗の低いSiC MISFETを提供するものであって、短チャネル長化を図った場合でも短チャネル効果を抑制できるSiC MISFETを提供することを課題とするものである。

本発明はまた、非自己整合製造プロセスを使用した場合でも短ゲート(チャネル)長デバイスの実現を可能とするSiC MISFETの製造方法を提供することを課題とするものである。

課題を解決するための手段

[0010] 本発明によれば、以下の手段が提供される：

< 1 >一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4、13、14)と、前記離間して形成されたソース、ドレイン領域(3、4、13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3、13)に接する第1の側面と、前記ドレイン領域(4、14)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4、13、14)を接続する底面とからなる凹部(5、15)と、前記ソース、ドレイン領域(3、4、13、14)が接する前記一主面の一部を覆い、前記凹部(5、15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6、16)と、前記絶縁膜(6、16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4、13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4、13、14)を接続する前記底面に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成してなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタ。

[0011] < 2 >一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4)と、前記離間して形成されたソース、ドレイン領域(3、4)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3)に接する第1の側面と、前記ドレイン領域(4)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4)を接続する底面とからなる凹部(5)と、前記ソース、ドレイン領域(3、4)が接する前記一主面の一部を覆い、前記凹部(5)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6)と、前記絶縁膜(6)上に形成されたゲート

電極(7)と、前記ソース、ドレイン領域(3、4)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4)を接続する前記底面の主要部分に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記底面の両端近傍の部分は前記ソース、ドレイン領域の薄い領域(3a、4a)に接してなることを特徴とする<1>に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[0012] <3>一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間しかつ前記一主面から第1の所定の深さで形成された前記一導電型とは反対導電型のソース、ドレイン領域(13、14)と、前記離間して形成されたソース、ドレイン領域(13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(13)に接しかつ前記第1の所定の深さと実質的に同じ長さをもつ第1の側面と、前記ドレイン領域(14)に接しかつ前記前記第1の所定の深さと実質的に同じ長さをもつ第2の側面と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(13、14)を接続する底面とからなる凹部(15)と、前記ソース、ドレイン領域(13、14)が接する前記一主面の一部を覆い、前記凹部(15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(16)と、前記絶縁膜(16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(13、14)を接続する前記底面の全長にわたり隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記第2の所定の深さは前記第1の所定の深さとほぼ等しいかそれより浅いことを特徴とする<1>に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[0013] <4>一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離

間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4、13、14)と、前記離間して形成されたソース、ドレイン領域(3、4、13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3、13)に接する第1の側面と、前記ドレイン領域(4、14)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4、13、14)を接続する底面とからなる凹部(5、15)と、前記ソース、ドレイン領域(3、4、13、14)が接する前記一主面の一部を覆い、前記凹部(5、15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6、16)と、前記絶縁膜(6、16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4、13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4、13、14)を接続する前記底面に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記一主面の一部を覆う絶縁膜(6、16)上に形成されたゲート電極(7)直下のソース、ドレイン領域(3、4、13、14)に前記一導電型の領域(17、17)を形成してなる<1>に記載のことを特徴とするリセスゲート型炭化珪素電界効果トランジスタ。

- [0014] <5>一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4)と、前記離間して形成されたソース、ドレイン領域(3、4)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3)に接する第1の側面と、前記ドレイン領域(4)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4)を接続する底面とからなる凹部(5)と、前記ソース、ドレイン領域(3、4)が接する前記一主面の一部を覆い、前記凹部(5)の前記第1および第2の側面上および前

記底面上に形成された絶縁膜(6)と、前記絶縁膜(6)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4)を接続する前記底面の主要部分に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記底面の両端近傍の部分は前記ソース、ドレイン領域(3、4)の薄い領域(3a、4a)に接してなり、前記一主面の一部を覆う絶縁膜上に形成されたゲート電極(7)直下のソース、ドレイン領域(3、4)表面部分に前記一導電型の領域(17、17)を形成してなることを特徴とする<1>または<2>に記載のリセスゲート型炭化珪素電界効果トランジスタ。

- [0015] <6>一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間しかつ前記一主面から第1の所定の深さで形成された前記一導電型とは反対導電型のソース、ドレイン領域(13、14)と、前記離間して形成されたソース、ドレイン領域(13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(13)に接しかつ前記第1の所定の深さと実質的に同じ長さをもつ第1の側面と、前記ドレイン領域(14)に接しかつ前記前記第1の所定の深さと実質的に同じ長さをもつ第2の側面と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(13、14)を接続する底面とからなる凹部(15)と、前記ソース、ドレイン領域(13、14)が接する前記一主面の一部を覆い、前記凹部(15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(16)と、前記絶縁膜(16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(13、14)を接続する前記底面の全長にわたり隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記第2の所定の深さは前記第1の所定の深さとほぼ等しいかそれより浅く選定さ

れてなり、前記一主面の一部を覆う絶縁膜(16)上に形成されたゲート電極(7)直下のソース、ドレイン領域(13、14)表面部分に前記一導電型の領域(17、17)を形成してなることを特徴とする<1>または<3>に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[0016] <13>一主面を有する一導電型の炭化珪素半導体領域を含む基板を準備する工程と、前記一導電型炭化珪素半導体領域内に前記一主面に接しかつ互いに離間する前記一導電型とは反対導電型のソース、ドレイン領域を前記一主面から第1の所定の深さで選択的に形成する工程と、前記離間して形成されたソース、ドレイン領域の対向する部分の炭化珪素を選択的に除去して前記ソース領域に接する第1の側面と、前記ドレイン領域に接する第2の側面と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域を接続する底面とからなる凹部を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の一部を覆い、前記凹部の前記第1および第2の側面上および前記底面上に連続する第1の絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の他部を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去し前記ソース、ドレイン領域上に開口を形成する工程と、前記開口を通して前記ソース、ドレイン領域に電氣的に接続するソース、ドレイン電極を形成する工程とからなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタの製造方法。

[0017] <17>一主面を有する一導電型の炭化珪素半導体領域を含む基板を準備する工程と、前記一導電型炭化珪素半導体領域内に前記一主面に接する前記一導電型とは反対導電型の領域を前記一主面から第1の所定の深さで選択的に形成する工程と、前記反対導電型の領域の一部分の炭化珪素を前記第1の所定深さとほぼ等しい深さまで選択的に除去して前記反対導電型の領域に接する第1および第2の側面と前記第1および第2の側面の連続する底面とからなる凹部を形成し対向離間する前記一導電型とは反対導電型のソース、ドレ

イン領域を区画する工程と、前記ソース、ドレイン領域が接する前記一主面の一部を覆い、前記凹部の前記第 1 および第 2 の側面上および前記底面上に連続する第 1 の絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の他部を覆う第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を選択的に除去し前記ソース、ドレイン領域上に開口を形成する工程と、前記開口を通して前記ソース、ドレイン領域に電氣的に接続するソース、ドレイン電極を形成する工程とからなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタの製造方法。

発明の効果

[0018] 本発明のリセスゲート型炭化珪素電界効果トランジスタおよびその製造方法によれば、次のような効果を奏する。

すなわち、リセスゲート構造の採用によりゲート電極に隣接するソース、ドレイン領域の厚さを選択的に薄く、もしくは実質ゼロにできるので、短チャネル効果を抑制でき、短ゲート長(チャネル長)によるオン抵抗の低い SiC MISFET を得ることができる。ゲート電極隣接部から離れたソース、ドレイン領域は厚さは薄くしなくてすむので、ソース、ドレイン領域のシート抵抗上昇の恐れもなくなるため、この点でもデバイスのオン抵抗を低減できる。その結果、本発明による SiC MISFET は、パワー IC、集積高速ロジック回路 IC-の構成素子として好適なものとなる。

また、自己整合によらずとも短ゲート長(チャネル長)の SiC MISFET を作製することが可能となる。

本発明の上記及び他の特徴及び利点は、適宜添付の図面を参照して、下記の記載からより明らかになるであろう。

図面の簡単な説明

[0019] [図1] 本発明の実施の形態 1 が適用された SiC MISFET の一例を示す、図 2 の A-A' に沿う断面図。

[図2] 図 1 に示す SiC MISFET を示す平面図。

[図3]本発明の実施の形態2が適用されたS i C MISFETの一例を示す断面図。

[図4]本発明の実施の形態3が適用されたS i C MISFETの一例を示す断面図。

[図5]本発明の実施の形態4が適用されたS i C MISFETの一例を示す断面図。

[図6]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図7]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図8]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図9]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図10]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図11]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図12]図4に示すS i C MISFETの製造方法の一例を示す工程図。

[図13]図5に示すS i C MISFETの製造方法の一例を示す工程図。

[図14]図5に示すS i C MISFETの製造方法の一例を示す工程図。

[図15]図5に示すS i C MISFETの製造方法の一例を示す工程図。

[図16]図5に示すS i C MISFETの製造方法の一例を示す工程図。

[図17]従来のS i C MISFETを示す断面図。

発明を実施するための形態

[0020] 以下に、本発明を実施するための好ましい形態の例を図面に基づいて詳細に説明する。なお、実施の形態を説明する全図において、同一の機能を有する部材には同一の符号を付し、必要な場合以外の繰り返し説明は省略する。

[実施の形態1]

図1および図2は、実施の形態1にかかるS i C MISFETの一例を示すもので、図1が拡大断面図、図2が同じデバイスの平面図である(図1は図2の一点鎖線に沿った断面図)。S i C基板1上にp型のS i C半導体領域2を形成した基体を準備し、S i C半導体領域2内にその一主面に隣接し、離間・対向するn+型のソース、ドレイン領域3、4を設ける。ここで、S

i C基板1は、p型、n型あるいは半絶縁性のいずれかであって、結晶面は、(0001)Si面、または(000-1)C面とするか、あるいはその他の面方位であってもよい。また、p型SiC半導体領域2は、デバイスを構成する領域が形成される活性層であり、例えば不純物濃度が $5 \times 10^{15}/\text{cm}^3$ 程度でドーピングされた $10\mu\text{m}$ の厚さをもつエピタキシャル成長層からなる。ソース、ドレイン領域3、4の不純物濃度は約 $1 \times 10^{20}/\text{cm}^3$ で、厚さは 250nm である。ソース、ドレイン領域3、4の離間距離(対向間隔)は $1\mu\text{m}$ であり、この距離が、すなわちゲート長 L_g (チャネル長)を規定する。

[0021] 本発明の各実施の形態に共通するのが、SiC半導体領域に設けた凹部、凹部を覆うゲート絶縁膜およびその上に形成されるゲート電極からなるリセスゲート構造の存在である。実施の形態1では、凹部5がソース、ドレイン領域3、4の対向する端縁(半導体領域2の一主面上でのソース、ドレイン領域の終端)で挟まれた半導体領域2の一主面側に形成されており、ソース、ドレイン領域3、4に接する二つの側面と一主面から所定の深さに位置し二つの側面に連続し離間形成されたソース、ドレイン領域3、4を接続する底面から構成されている。この例では、凹部(リセス)は幅 $2\mu\text{m}$ 、深さ 150nm で形成することができる。

ゲート絶縁膜6は、シリコン酸化膜を用いることができ、その厚さは例えば、 13nm である。図1では、ゲート絶縁膜6として凹部(リセス)の底面と両側面上ならびにソース、ドレイン領域3、4の一部表面上にかけて一様な厚さのものを用いているが、これに限ることなく、例えば、ソース、ドレイン領域3、4の一部表面上のゲート絶縁膜を凹部内のそれより厚くしてもよい。これにより、ゲート電極とソース、ドレイン領域とのオーバーラップによる容量の増加を抑制できる。

ゲート電極7は、ポリシリコン材料を用いることができ、n型の不純物を $1 \times 10^{20}/\text{cm}^3$ 程度ドーピングしたものを利用する。

図1の構造では、凹部5の底面の両端部近傍直下のソース、ドレイン領域

3、4の一部が薄い領域3a、4aとして存在している。また、ソース、ドレイン領域3、4のソース、ドレイン電極11、12直下の部分は比較的厚く維持されている。この結果、かかるSiC MISFETでは、ゲート長(チャネル長)を短くしていても短チャネル効果を抑制でき、オン抵抗の低減を可能とするという特徴をもつ。

[0022] 絶縁膜8は、電極・配線形成用に基板1上に形成され、シリコンの酸化膜であってよい。基板1上の半導体領域2表面には、絶縁膜8の形成に先立ち、フィールド絶縁膜を形成しておくのが通常であるが、ここでは、図示を省略してある。

ソース電極11およびドレイン電極12が絶縁膜8に形成したコンタクト開口9、10を通してソース、ドレイン領域3、4に電氣的に接続される。コンタクト開口9、10は、図2に示すように四角形状でそのサイズは2 μ m角である。また、図2におけるコンタクト開口のピッチは4 μ mである。ゲート電極7は、ソース、ドレイン電極11、12とは別個の層で構成されているが、実際には、ゲート電極7は図2の平面図の上方に延伸し、そこで絶縁膜8に設けた別のコンタクト開口を通してソース、ドレイン電極と同じ材料のゲート引出し電極が形成される。

[0023] [実施の形態2]

図3は、実施の形態2にかかるSiC MISFETの一例を示す。このデバイスでは、SiC半導体領域2の一主面を基準にして、凹部(リセス)15の底面が位置する深さがソース、ドレイン領域の厚さとほぼ等しく選定されている。理想的には両者の深さ(厚さ)が同一であることが望ましいが、製造プロセス的には同一に合わせこむことが難しいので、凹部底面15の深さをソース、ドレイン領域13、14の厚さよりごくわずかに小さくするように制御する。逆の関係になると、チャネル長が目標値より長くなってしまいうからである。

この構造によれば、図1の3a、4aに相当するソース、ドレイン領域の一部の厚さをさらに薄く、ほぼゼロにできるので、短チャネル効果の抑制効果

がさらに高くなるという特徴をもつ。

[0024] [実施の形態 3]

図 4 は、実施の形態 3 にかかる SiC MISFET の一例を示す。このデバイスでは、図 1 に示したデバイス構造に加えて、SiC 半導体領域 2 の一主面上でゲート電極 7 と重なるソース、ドレイン領域 3、4 の表面部分に p 型のゲート容量緩和領域 17、17 をソース、ドレイン領域の端縁に沿って形成している。これらの領域 17、17 はそれぞれ、凹部(リセス)端から $1\mu\text{m}$ 程度横方向(半導体領域 2 の一主面と平行方向)に延在し、深さは約 100nm である。不純物濃度は、 $1 \times 10^{18}/\text{cm}^3$ である。この場合のゲート電極とソース、ドレイン領域との重なりによるゲート・ソース間およびゲート・ドレイン間の静電容量は、ゲートゲート絶縁膜の容量と pn 接合のビルトイン容量とが直列接続された合成容量で表わされるが、後者のほうが小さいので、合成容量は主として後者で決まり、ゲート電極重なり容量を低減でき、このような構造をもつ SiC MISFET は、高速ロジック回路や電力損失の少ないパワーエレクトロニクス回路の構成素子として有益に機能するという特徴をもつ。この SiC MISFET は最良の実施の形態である。

[0025] 以下に、n 型のソース、ドレイン領域の表面に p 型の容量緩和領域設けたことによる効果を数値実例をもとに補足説明する。

ゲート電極とソースまたはドレイン電極間の容量 C_{GS} (ゲート・ソース間)、 C_{GD} (ゲート・ドレイン間) は下式 (1) で表わされる (C_{GS} 、 C_{GD} いずれも同じなので、ここでは C_{GS} について言及する)。

[数1]

$$\frac{1}{C_{GS}} = \frac{1}{C_{ox}} + \frac{1}{C_{bi}} \quad (1)$$

ここで、 C_{ox} は、ゲート絶縁膜(酸化膜)を挟むゲート電極とゲート電極直下の p 型容量緩和領域との間で構成される MOS 容量を示し、 C_{bi} は、p 型容量緩和領域と隣接する n 型ソース領域(ソース電極含む)との間の pn 接合

で構成されるビルトイン容量を示す。式（１）中の C_{ox} 、 C_{bi} はそれぞれ以下のように表わされる。

[数2]

$$C_{ox} = \frac{\varepsilon_0 \cdot \varepsilon_{ox}}{t_{ox}} A \quad (2)$$

$$C_{bi} = \frac{\varepsilon_0 \cdot \varepsilon_{sic}}{X_{bi}} A \quad (3)$$

[数3]

ε_0 : 真空の誘電率 = $8.854 \times 10^{-14} \text{ F/cm}$

ε_{ox} : 酸化膜の比誘電率 = 11.8

ε_{sic} : SiCの比誘電率 = 9.7

t_{ox} : 酸化膜厚

A : 面積

X_{bi} : ビルトイン電圧での空乏層幅

$$= (2 \varepsilon_0 \cdot \varepsilon_{sic} \cdot V_{bi} / q)^{1/2} \times (1/N_A + 1/N_D)^{1/2}$$

V_{bi} : ビルトイン電圧 = 2.7 V

q : 電子の素電荷 = $1.602 \times 10^{-19} \text{ C}$

N_A : p層のアクセプター濃度

N_D : n層のドナー濃度

以下の数値の場合の実例を計算すると、

[数4]

t_{ox} : 酸化膜厚 = 13 nm = $13 \times 10^{-7} \text{ cm}$

A : 面積 = 1 cm^2

N_A : p層のアクセプター濃度 = $5 \times 10^{18} \text{ cm}^{-3}$

N_D : n層のドナー濃度 = $2 \times 10^{17} \text{ cm}^{-3}$

[数5]

$$\begin{aligned} \therefore X_{bi} &= (2 \varepsilon_0 \cdot \varepsilon_{sic} \cdot V_{bi} / q)^{1/2} \times (1/N_A + 1/N_D)^{1/2} \\ &= 0.12 \mu\text{m} = 0.12 \times 10^{-4} \text{ cm} \end{aligned}$$

[数6]

$$C_{bi} = \frac{\epsilon_0 \cdot \epsilon_{SiC}}{X_{bi}} A$$

$$= 72 \times 10^{-9} \text{ F}$$

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} A$$

$$= 804 \times 10^{-9} \text{ F}$$

$$\therefore \frac{1}{C_{GS}} = \frac{1}{C_{ox}} + \frac{1}{C_{bi}}$$

$$= 1.2 \times 10^6 + 14 \times 10^6 = 15.2 \times 10^6$$

$$\therefore C_{GS} = 66 \times 10^{-9}$$

となり、この値は、容量緩和領域が存在しない場合の値（＝804 nF）と比較すると、極めて低い値であることが分かる。

[0026] [実施の形態4]

図5は、実施の形態4にかかるSiC MISFETの一例を示す。このデバイスでは、図3に示したデバイス構造に加えて、SiC半導体領域2の一主面上でゲート電極7と重なるソース、ドレイン領域13、14の表面部分にp型の領域17、17をソース、ドレイン領域の端縁に沿って形成している。この場合も、実施の形態4と同様に、ゲート電極重なり容量を低減できる。

[0027] 以下に、図4に示したSiC MISFETを作製する方法の一例について、図6～図12を参照しながら説明する。

[0028] まず、図6に示すように、SiC基板1上にp型のSiC半導体領域2を形成したSiC基体を準備する。ここで、SiC基板1は、p型、n型あるいは半絶縁性のいずれかであって、結晶面は、(0001)Si面、または(000-1)C面とするか、あるいはその他の面方位であってもよい。また、p型のSiC半導体領域2は、デバイスを構成する領域が形成される活性層で

あり、例えば不純物濃度が $5 \times 10^{15}/\text{cm}^3$ 程度でドーピングされた $10 \mu\text{m}$ の厚さをもつエピタキシャル成長層からなる。

[0029] 次いで、図7に示すように、S i C半導体領域2の一主面に接して、対向・離間するn+型のソース、ドレイン領域をS i C半導体領域2内に選択的に形成する。選択的に形成する手段としては、酸化膜などからなる絶縁膜をS i C半導体領域2の一主面上に形成し、フォトリソグラフィ技術によりソース、ドレイン領域3、4の形成予定領域上においてその絶縁膜を開口させてマスク(図示せず)を形成し、その後、n型不純物として例えばP(リン)をイオン注入する方法を用いることができる。ソース、ドレイン領域3、4の不純物濃度は約 $1 \times 10^{20}/\text{cm}^3$ で、厚さは 250 nm とすることができる。

[0030] その後、図8に示すように、S i C半導体領域2の一主面に隣接し、ソース、ドレイン領域3、4に跨るようにp型の領域17を選択的に形成する。選択的に形成する方法は、図7で用いるのと同様であり、p型の不純物として例えばAl(アルミニウム)をイオン注入する。領域17の深さは約 100 nm で、不純物濃度は、 $1 \times 10^{18}/\text{cm}^3$ とすることができる。

この後で、基体を、例えば、 1600°C で30分間アニール処理することで、注入されたn型不純物およびp型不純物を活性化させる。

[0031] 次いで、図9に示すように、ソース、ドレイン領域3、4に跨るS i C半導体領域2を一主面から所定の深さまで選択的に除去して凹部(リセス)5を形成する。ここでの選択的除去は、S i C半導体領域2の一主面上に形成した酸化膜などからなる絶縁膜に開口を形成したマスク(図示せず)を用いてドライエッチングで実行することができる。凹部(リセス)5形成の結果、図8の工程で形成した単一のp型の領域17はソース領域3、ドレイン領域4それぞれに接する領域17、17に分離されて容量緩和領域17、17が構成され、凹部(リセス)5の一方の側面はソース領域3とそれに接するp型の領域17とに接し、他方の側面はドレイン領域4とそれに接するp型の領域17に接し、凹部(リセス)5の底面はその両端部近傍でソース、ドレイン領域

の一部の薄い領域 3a、4aに接する構造が得られる。

[0032] 図 10 の工程では、S i C 半導体領域 2 の表面にシリコン酸化膜 6 を形成する。厚さは 13 nm とすることができる。

[0033] 図 11 の工程では、まず、酸化膜 6 上にポリシリコン膜を形成し、フォトリソグラフィ技術でポリシリコン膜上に形成したマスク (図示せず) でパターニング (ポリシリコン膜の選択的除去) して、ポリシリコンからなるゲート電極 7 を形成する。ポリシリコン膜には形成時に、または形成後に n 型不純物を $1 \times 10^{20} / \text{cm}^3$ の濃度でドーピングする。パターニングしたゲート電極 7 をマスクとして下地の酸化膜 6 を選択的に除去し、ゲート酸化膜 6 を画定する。

[0034] 図 12 の工程では、S i C 半導体領域 2 の表面上にシリコン酸化膜からなる絶縁膜 8 を形成し、ソース、ドレイン領域上に位置する部分に開口を形成する。

[0035] 図 12 の工程で形成した酸化膜 8 の開口を通してソース、ドレイン領域に電氣的に接続するソース、ドレイン電極 11、12 を形成し、デバイスが出来上がる (図 1 参照)。これらソース、ドレイン電極もマスクを用いた電極材料層のパターニングで形成される。ソース、ドレイン電極材料としては、Al (アルミニウム) と Ni (ニッケル) を利用できる。これらの材料を蒸着後、1000℃程度の高温で処理することにより、酸化膜 8 の開口内のソース、ドレイン領域表面に低抵抗コンタクトをつくることができる。ソース、ドレイン電極の厚さは約 1 μm である。

[0036] 図 6 ~ 図 12 に示す S i C M I S F E T の製造方法の例においては、容量緩和領域 17、17 を形成した場合を説明したが、例えば図 1 に示した例のように、これらの領域を設けない形で S i C M I S F E T を作製する場合には、図 8 に示す p 型の領域 17 の形成工程を省略すればよい。

[0037] 次いで、図 5 に示した S i C M I S F E T を作製する方法の一例について、図 13 ~ 図 16 を参照しながら説明する。

[0038] 図 13 は出発材料を準備する工程である。図 6 の工程と同様であるので説

明を省略する。

[0039] 図14の工程では、半導体領域2の表面に後にソース、ドレイン領域を構成する単一のn+型の領域18を選択的に形成する。選択的に形成する方法、n型不純物材料、不純物濃度、深さは図7の工程での説明と同様である。

[0040] 図15の工程では、半導体領域2の一主面に隣接し、n+型の領域18内にp型の領域17を選択的に形成する。選択的に形成する方法は、図8で用いるのと同様であり、p型の不純物材料、不純物濃度、形成深さは図8の工程での説明と同様である。

この後で、基体を、例えば、1600℃で30分間アニール処理することで、注入されたn型不純物およびp型不純物を活性化させる。

[0041] 図16の工程では、半導体領域2を一主面からn+型の領域18の深さ(厚さ)とほぼ等しい深さまで選択的に除去して凹部(リセス)5を形成する。ここでの選択的除去は、半導体領域2の一主面上に形成した酸化膜などからなる絶縁膜に開口を形成したマスク(図示せず)を用いてドライエッチングで実行することができる。凹部(リセス)形成の結果、図14の工程および図15の工程で形成した単一のp型の領域17およびn+型の領域18はそれぞれ二つずつの領域に分離されてソース領域3およびそれに接する容量緩和領域17と、ドレイン領域4およびそれに接する容量緩和領域17とが構成され、凹部(リセス)の一方の側面はソース領域3とそれに接するp型の領域(容量緩和領域)17とに接し、他方の側面はドレイン領域とそれに接するp型の領域(容量緩和領域)17に接し、凹部(リセス)底面はその全長にわたり半導体領域2に隣接する構造が得られる。

[0042] この後、図10の工程、図11の工程および図12の工程で説明したように、ゲート酸化膜6、ゲート電極7、絶縁膜8を形成し、最終的にソース、ドレイン電極を形成して
図5に示すデバイスが出来上がる。

[0043] 図13～図16に示すSiC MISFETの製造方法の例においては、容量緩和領域17、17を形成した場合を説明したが、例えば図3に示した

例のように、これらの領域を設けない形でS i C M I S F E Tを作製する場合には、図15に示すp型の領域17の形成工程を省略すればよい。

[0044] 本発明をその実施態様とともに説明したが、我々は特に指定しない限り我々の発明を説明のどの細部においても限定しようとするものではなく、添付の請求の範囲に示した発明の精神と範囲に反することなく幅広く解釈されるべきであるとする。

本願は、2009年8月28日に日本国で特許出願された特願2009-197601に基づく優先権を主張するものであり、これはここに参照してその内容を本明細書の記載の一部として取り込む。

符号の説明

- [0045]
- 1 S i C基板
 - 2 S i C半導体領域
 - 3、13 ソース領域
 - 3a ソース領域の薄い領域
 - 4、14 ドレイン領域
 - 4a ドレイン領域の薄い領域
 - 5、15 凹部(リセス)
 - 6、16 ゲート絶縁膜
 - 7 ゲート電極
 - 8 絶縁膜
 - 9、10 コンタクト開口
 - 11 ソース電極
 - 12 ドレイン電極
 - 17 容量緩和領域

請求の範囲

[請求項1]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4、13、14)と、前記離間して形成されたソース、ドレイン領域(3、4、13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3、13)に接する第1の側面と、前記ドレイン領域(4、14)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4、13、14)を接続する底面とからなる凹部(5、15)と、前記ソース、ドレイン領域(3、4、13、14)が接する前記一主面の一部を覆い、前記凹部(5、15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6、16)と、前記絶縁膜(6、16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4、13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4、13、14)を接続する前記底面に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成してなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタ。

[請求項2]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4)と、前記離間して形成されたソース、ドレイン領域(3、4)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3)に接する第1の側面と、前記ドレイン領域(4)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成

されたソース、ドレイン領域(3、4)を接続する底面とからなる凹部(5)と、前記ソース、ドレイン領域(3、4)が接する前記一主面の一部を覆い、前記凹部(5)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6)と、前記絶縁膜(6)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4)を接続する前記底面の主要部分に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記底面の両端近傍の部分は前記ソース、ドレイン領域の薄い領域(3a、4a)に接してなることを特徴とする請求項1に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項3]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間しかつ前記一主面から第1の所定の深さで形成された前記一導電型とは反対導電型のソース、ドレイン領域(13、14)と、前記離間して形成されたソース、ドレイン領域(13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(13)に接しかつ前記第1の所定の深さと実質的に同じ長さをもつ第1の側面と、前記ドレイン領域(14)に接しかつ前記前記第1の所定の深さと実質的に同じ長さをもつ第2の側面と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(13、14)を接続する底面とからなる凹部(15)と、前記ソース、ドレイン領域(13、14)が接する前記一主面の一部を覆い、前記凹部(15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(16)と、前記絶縁膜(16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(13、

14)を接続する前記底面の全長にわたり隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記第2の所定の深さは前記第1の所定の深さとほぼ等しいかそれより浅いことを特徴とする請求項1に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項4]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4、13、14)と、前記離間して形成されたソース、ドレイン領域(3、4、13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3、13)に接する第1の側面と、前記ドレイン領域(4、14)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4、13、14)を接続する底面とからなる凹部(5、15)と、前記ソース、ドレイン領域(3、4、13、14)が接する前記一主面の一部を覆い、前記凹部(5、15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6、16)と、前記絶縁膜(6、16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4、13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4、13、14)を接続する前記底面に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記一主面の一部を覆う絶縁膜(6、16)上に形成されたゲート電極(7)直下のソース、ドレイン領域(3、4、13、14)に前記一導電型の領域(17、17)を形成してなることを特徴とする請求項1に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項5]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ

互いに離間して形成された前記一導電型とは反対導電型のソース、ドレイン領域(3、4)と、前記離間して形成されたソース、ドレイン領域(3、4)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(3)に接する第1の側面と、前記ドレイン領域(4)に接する第2の側面と、前記一主面から所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(3、4)を接続する底面とからなる凹部(5)と、前記ソース、ドレイン領域(3、4)が接する前記一主面の一部を覆い、前記凹部(5)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(6)と、前記絶縁膜(6)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(3、4)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(3、4)を接続する前記底面の主要部分に隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記底面の両端近傍の部分は前記ソース、ドレイン領域(3、4)の薄い領域(3a、4a)に接してなり、前記一主面の一部を覆う絶縁膜上に形成されたゲート電極(7)直下のソース、ドレイン領域(3、4)表面部分に前記一導電型の領域(17、17)を形成してなることを特徴とする請求項1に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項6]

一主面を有する一導電型の炭化珪素半導体領域(2)を含む基板(1)と、前記一導電型炭化珪素半導体領域(2)内に前記一主面に接しかつ互いに離間しかつ前記一主面から第1の所定の深さで形成された前記一導電型とは反対導電型のソース、ドレイン領域(13、14)と、前記離間して形成されたソース、ドレイン領域(13、14)の対向する端縁で挟まれた前記一導電型炭化珪素半導体領域(2)の一主面側に形成され、前記ソース領域(13)に接しかつ前記第1の所定の深さと実質的に同じ長さをもつ第1の側面と、前記ドレイン領域(14)に接しかつ前記前記第1の所定の深さと実質的に同じ長さをもつ第2の側面

と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域(13、14)を接続する底面とからなる凹部(15)と、前記ソース、ドレイン領域(13、14)が接する前記一主面の一部を覆い、前記凹部(15)の前記第1および第2の側面上および前記底面上に形成された絶縁膜(16)と、前記絶縁膜(16)上に形成されたゲート電極(7)と、前記ソース、ドレイン領域(13、14)に電氣的に接続されたソース、ドレイン電極(11、12)とを有し、前記ソース、ドレイン領域(13、14)を接続する前記底面の全長にわたり隣接する前記炭化珪素半導体領域部分でチャネル形成領域を構成し、前記第2の所定の深さは前記第1の所定の深さとほぼ等しいかそれより浅く選定されてなり、前記一主面の一部を覆う絶縁膜(16)上に形成されたゲート電極(7)直下のソース、ドレイン領域(13、14)表面部分に前記一導電型の領域(17、17)を形成してなることを特徴とする請求項1に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項7] 前記基板は、p型、n型、または半絶縁性の炭化珪素から選択されたひとつから構成されてなることを特徴とする請求項1～6のいずれか1項に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項8] 前記炭化珪素半導体領域はp型材料で構成され、前記ソース、ドレイン領域はn型材料で構成されてなることを特徴とする請求項1～6のいずれか1項に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項9] 前記一導電型の領域は、p型材料で構成されてなることを特徴とする請求項4～6のいずれか1項に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項10] 前記絶縁膜は、前記前記一主面の一部を覆う第1の厚さと、前記底面を覆う第2の厚さを有し、前記第1の厚さは前記第2の厚さより厚くされてなることを特徴とする請求項1～6のいずれか1項に記載の

リセスゲート型炭化珪素電界効果トランジスタ。

[請求項11] 前記底面の他の部分が接する前記ソース、ドレイン領域の一部の厚さは前記ソース、ドレイン領域の他の部分の厚さより薄く選定されることを特徴とする請求項2または5に記載されたリセスゲート型炭化珪素電界効果トランジスタ。

[請求項12] 前記底面を覆う絶縁膜は酸化膜からなることを特徴とする請求項1～6のいずれか1項に記載のリセスゲート型炭化珪素電界効果トランジスタ。

[請求項13] 一主面を有する一導電型の炭化珪素半導体領域を含む基板を準備する工程と、前記一導電型炭化珪素半導体領域内に前記一主面に接しかつ互いに離間する前記一導電型とは反対導電型のソース、ドレイン領域を前記一主面から第1の所定の深さで選択的に形成する工程と、前記離間して形成されたソース、ドレイン領域の対向する部分の炭化珪素を選択的に除去して前記ソース領域に接する第1の側面と、前記ドレイン領域に接する第2の側面と、前記一主面から第2の所定の深さに位置し前記第1および第2の側面に連続し前記離間形成されたソース、ドレイン領域を接続する底面とからなる凹部を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の一部を覆い、前記凹部の前記第1および第2の側面上および前記底面上に連続する第1の絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の他部を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去し前記ソース、ドレイン領域上に開口を形成する工程と、前記開口を通して前記ソース、ドレイン領域に電氣的に接続するソース、ドレイン電極を形成する工程とからなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタの製造方法。

[請求項14] 前記ソース、ドレイン領域形成後、前記ソース、ドレイン領域にまたがって、前記ソース、ドレイン領域の深さより浅い一導電型の領域

を選択的に形成し、前記凹部形成において前記一導電型の領域をソース、ドレイン領域に接しかつ前記ソース、ドレイン領域が対向する面に沿って対向するふたつの領域に分離する工程とを含んでなることを特徴とする請求項 13 に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。

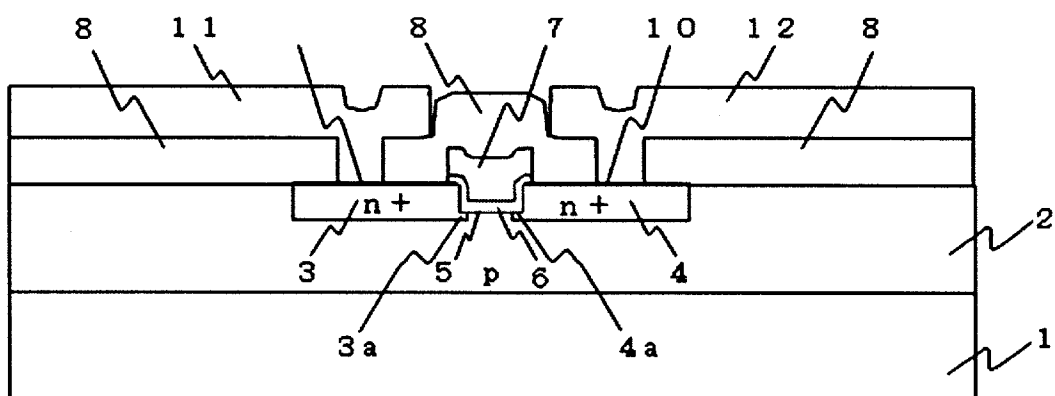
[請求項15] 前記第 2 の所定の深さは前記第 1 の所定深さより浅くされてなることを特徴とする請求項 13 に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。

[請求項16] 前記第 2 の所定の深さは前記第 1 の所定深さとほぼ等しく選定されてなることを特徴とする請求項 13 に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。

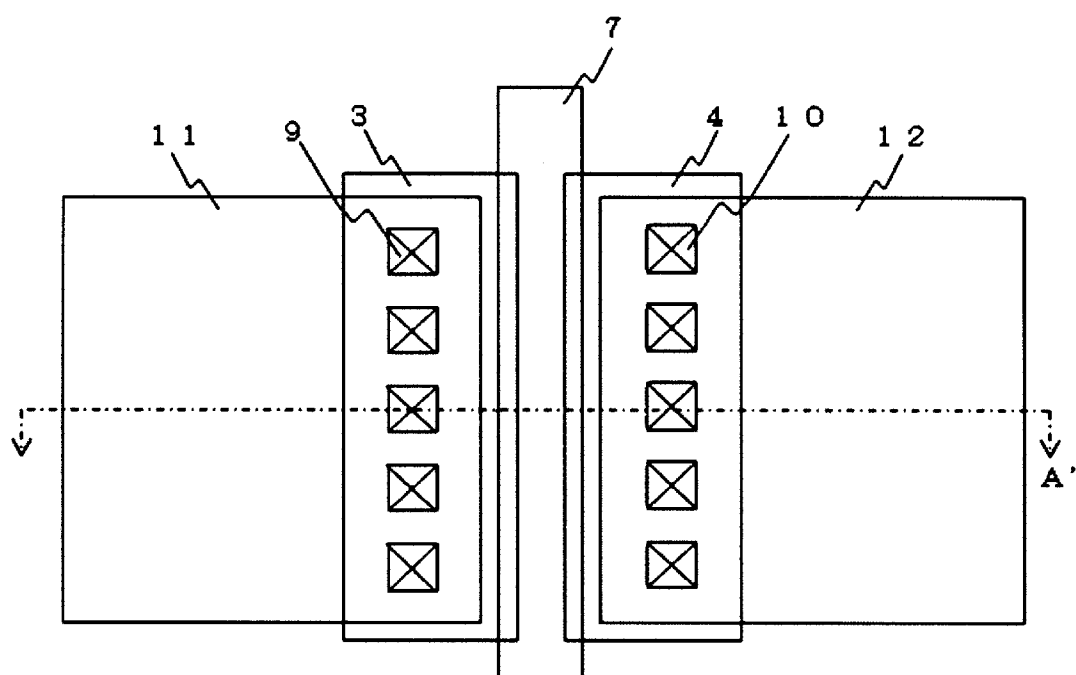
[請求項17] 一主面を有する一導電型の炭化珪素半導体領域を含む基板を準備する工程と、前記一導電型炭化珪素半導体領域内に前記一主面に接する前記一導電型とは反対導電型の領域を前記一主面から第 1 の所定の深さで選択的に形成する工程と、前記反対導電型の領域の一部分の炭化珪素を前記第 1 の所定深さとほぼ等しい深さまで選択的に除去して前記反対導電型の領域に接する第 1 および第 2 の側面と前記第 1 および第 2 の側面の連続する底面とからなる凹部を形成し対向離間する前記一導電型とは反対導電型のソース、ドレイン領域を区画する工程と、前記ソース、ドレイン領域が接する前記一主面の一部を覆い、前記凹部の前記第 1 および第 2 の側面上および前記底面上に連続する第 1 の絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ソース、ドレイン領域が接する前記一主面の他部を覆う第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を選択的に除去し前記ソース、ドレイン領域上に開口を形成する工程と、前記開口を通して前記ソース、ドレイン領域に電氣的に接続するソース、ドレイン電極を形成する工程とからなることを特徴とするリセスゲート型炭化珪素電界効果トランジスタの製造方法。

- [請求項18] 前記基板は、p型、n型、または半絶縁性の炭化珪素から選択されたひとつから構成されることを特徴とする請求項13または17に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。
- [請求項19] 前記炭化珪素半導体領域は、p型エピタキシャル層で構成され、前記ソース、ドレイン領域はn型材料で構成されることを特徴とする請求項13または17に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。
- [請求項20] 前記第2の絶縁膜は、前記第1の絶縁膜の厚さより厚く形成されることを特徴とする請求項13または17に記載のリセスゲート型炭化珪素電界効果トランジスタの製造方法。

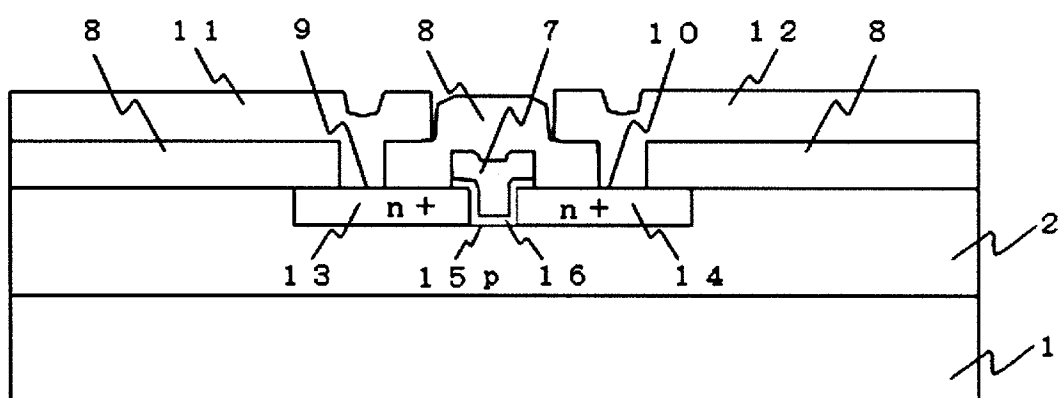
[図1]



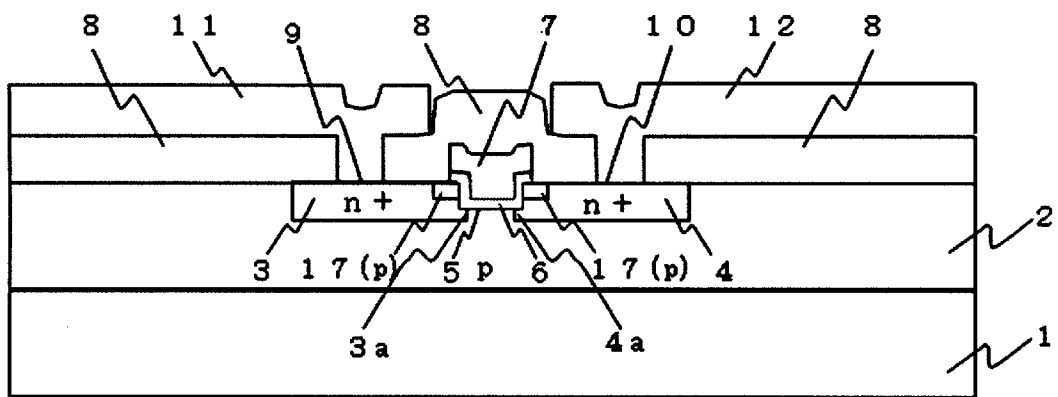
[図2]



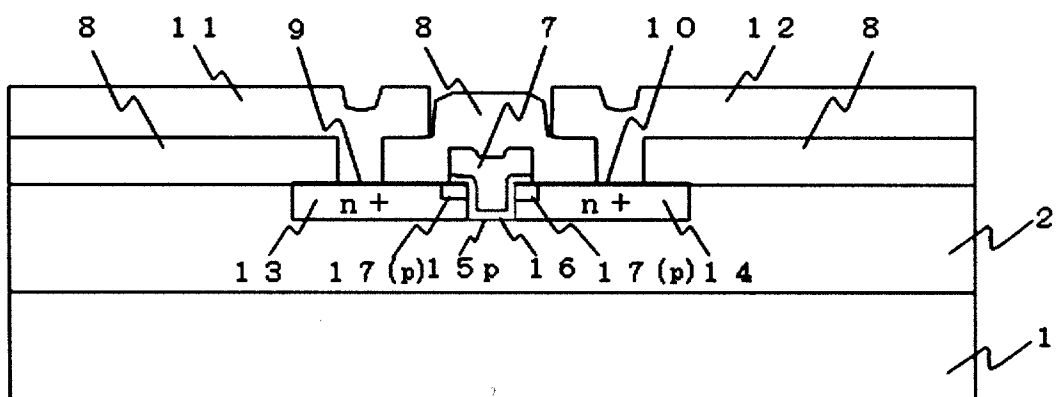
[図3]



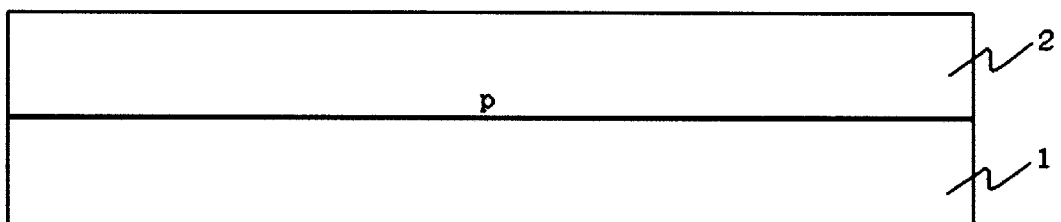
[図4]



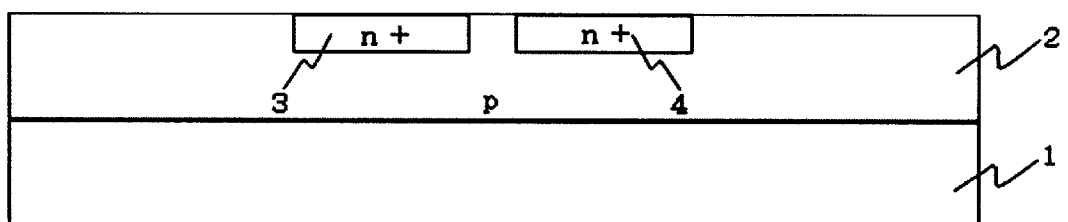
[図5]



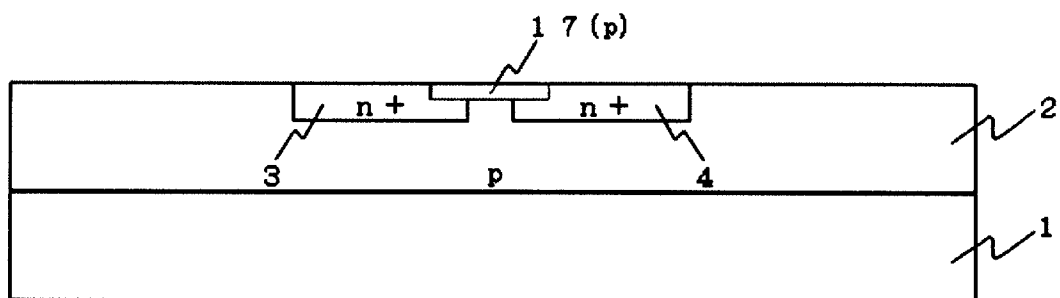
[図6]



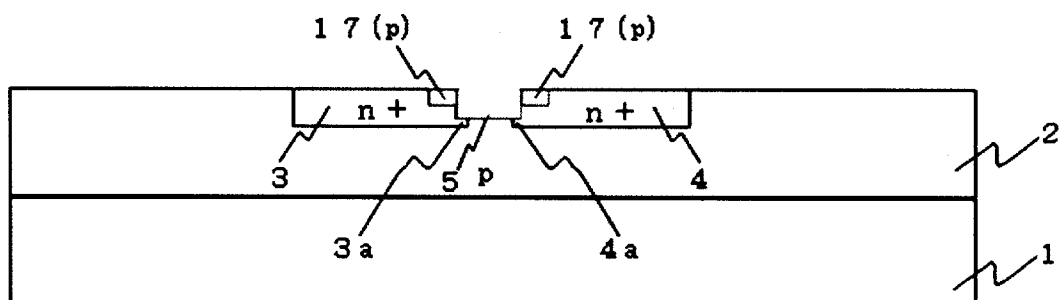
[図7]



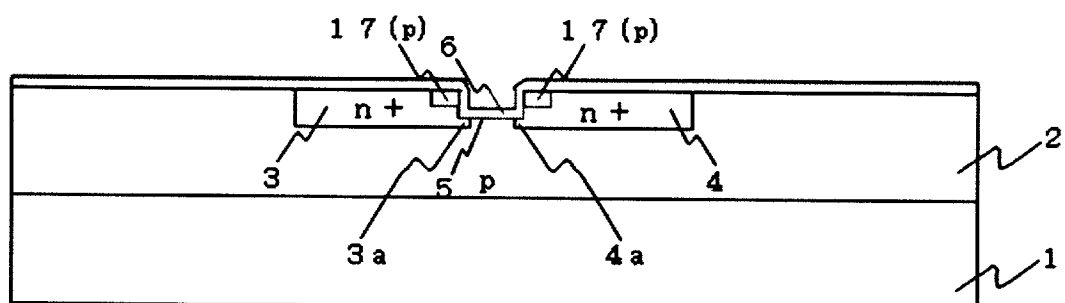
[図8]



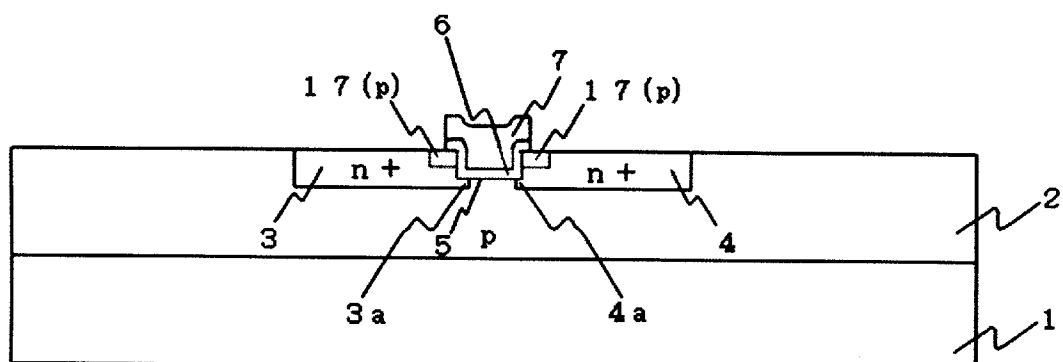
[図9]



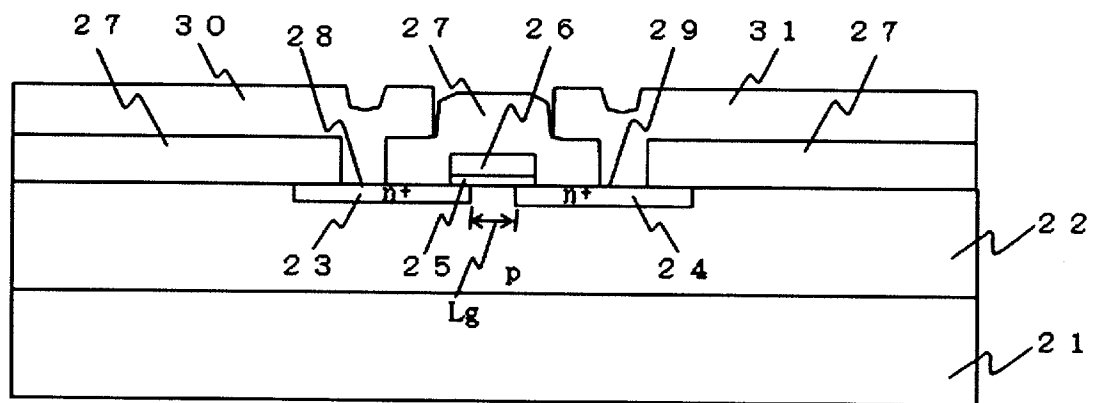
[図10]



[図11]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064613

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-311406 A (Toyota Motor Corp.), 25 December 2008 (25.12.2008), fig. 4 and the column of explanation thereof (Family: none)	1
X	JP 2002-124669 A (Nissan Motor Co., Ltd.), 26 April 2002 (26.04.2002), fig. 1 and the column of explanation thereof (Family: none)	1
Y	JP 4-306881 A (NEC Corp.), 29 October 1992 (29.10.1992), paragraphs [0020] to [0031]; fig. 1 to 3 (Family: none)	1, 2, 7-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 November, 2010 (05.11.10)

Date of mailing of the international search report

22 November, 2010 (22.11.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064613

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-158933 A (Sumitomo Electric Industries, Ltd.), 16 July 2009 (16.07.2009), paragraph [0025]; fig. 5 (Family: none)	1, 2, 7-12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064613

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2, 7 - 12

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064613

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions set forth in claims comply with the requirement of unity, it is required that a special technical feature for so linking the group of inventions as to form a single general inventive concept is present. Although claims 1 -20 are considered to be linked by the set forth in claim 1.

However, the above-said matter cannot be a special technical feature is described in the prior art documents, JP 2008-311406 A (Toyota Motor Corp.), 25 December 2008 (25.12.2008), fig. 4 and the explanation of fig. 4; and JP 2002-124669 A (Nissan Motor Co., Ltd.), 26 April 2002 (26.04.2002), fig. 1 and the explanation of fig. 1.

Consequently, among a group of inventions set forth in claims 1 - 20, there is no special technical feature for so linking the group of inventions as to form a single general inventive concept. Therefore, it is obvious that the group of inventions set forth in claims 1 - 20 does not comply with unity of invention.

Meanwhile, since claim 2 dependent on claim 1 has a special technical feature, claims 7 - 12 dependent on the invention in claim 2 are subjects to be examined.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/78, H01L21/336			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 0 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2008-311406 A（トヨタ自動車株式会社）2008.12.25, 図4及び図4の説明箇所（ファミリーなし）	1	
X	JP 2002-124669 A（日産自動車株式会社）2002.04.26, 図1及び図1の説明箇所（ファミリーなし）	1	
Y	JP 4-306881 A（日本電気株式会社）1992.10.29, 【0020】 - 【0031】 , 図1-3（ファミリーなし）	1, 2, 7-12	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 0 5 . 1 1 . 2 0 1 0		国際調査報告の発送日 2 2 . 1 1 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 宇多川 勉 電話番号 03-3581-1101 内線 3462	4 M 4 4 2 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-158933 A (住友電気工業株式会社) 2009.07.16, 【0025】 及び図5 (ファミリーなし)	1, 2, 7-12

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
（特別ページ）参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1, 2, 7-12

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項 1-20 に記載されている一群の発明は、請求項 1 に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2008-311406 A (トヨタ自動車株式会社) 2008. 12. 25, 図 4 及び図 4 の説明箇所、JP 2002-124669 A (日産自動車株式会社) 2002. 04. 26, 図 1 及び図 1 の説明箇所に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1-20 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求項 1-20 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

なお、請求項 1 に従属する請求項 2 は、特別な技術的特徴を有するものであるため、請求項 2 に係る発明に従属する、請求項 7-12 については審査対象とする。