

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)

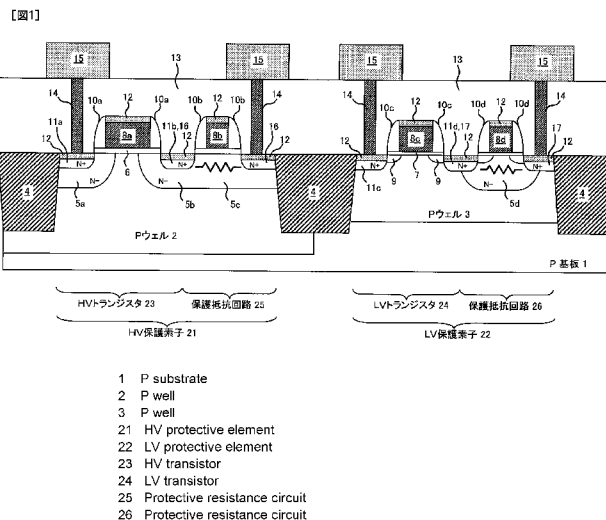


(10) 国際公開番号
WO 2012/147456 A1

- (51) 国際特許分類:
H01L 27/06 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01)
- (21) 国際出願番号: PCT/JP2012/058858
- (22) 国際出願日: 2012 年 4 月 2 日(02.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-097820 2011 年 4 月 26 日(26.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(Sharp Kabushiki Kaisha) [JP/JP];
〒5458522 大阪府大阪市阿倍野区長池町 2 2 番
2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 疋田 智之
(HIKIDA, Satoshi) [JP/—].
- (74) 代理人: 政木 良文(MASAKI, Yoshifumi); 〒
5410042 大阪府大阪市中央区今橋 4 丁目 3 番 6
号 淀屋橋 N A O ビル 7 F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Disclosed is a semiconductor device with which ESD discharge capability can be improved without increasing the number of special steps or special masks as ESD countermeasures. A high withstand-voltage ESD protective element (21) comprising an HV transistor (23) of MOSFET structure and a protective resistance circuit (25), and a low withstand-voltage ESD protective element (22) comprising an LV transistor (24) of MOSFET structure and a protective resistance circuit (26), are formed in pre-scribed regions on a substrate. In the protective resistance circuit (25 (26)), resistance drift regions (16 (17)) are separately formed on the surface layer of a well (2 (3)) in a mutually opposed manner on either side of a gate electrode (8b (8d)), and both of the resistance drift regions (16 (17)) have the same structure as the HV transistor (23) (LV transistor (24)) apart from being electrically connected by low-concentration drift regions (5c (5d)) of the same conductivity type.

(57) 要約:

[続葉有]

WO 2012/147456 A1



ESD対策のための特別な工程や専用マスクを増やすことなく、ESD放電能力の向上を図る事が可能な半導体装置を実現する。基板上の所定の領域に、MOSFET構造のHVトランジスタ23と保護抵抗回路25からなる高耐圧用のESD保護素子21、及び、MOSFET構造のLVトランジスタ24と保護抵抗回路26からなる低耐圧用のESD保護素子22が形成されている。当該保護抵抗回路25(26)は、ゲート電極8b(8d)を挟んで互いに対抗するようにウェル2(3)の表層に分離形成される抵抗ドリフト領域16(17)の双方が、同導電型の低濃度ドリフト領域5c(5d)により電氣的に接続されていることを除き、HVトランジスタ23(LVトランジスタ24)と同一の構造である。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、半導体集積回路装置に静電サージなどの電流が流れ込むのを防ぐためのSGGMOS (Source Gate GND Metal Oxide Semiconductor Transistor)型のESD (Electro-Static Discharge)保護素子に関する。

背景技術

[0002] 一般に、半導体集積回路ICは、静電サージなどの外部ノイズから半導体集積回路を保護するためのESD保護素子を備えている。

[0003] なかでも、SGGMOS型のESD保護素子として、トランジスタのソースとゲートを接地して使用する、所謂「オフトランジスタ」は、スナップバック動作により、ダイオードを用いる場合よりも低電圧にサージ電流をクランプできることから、広く採用されている。

[0004] 当該オフトランジスタ型の保護素子では、サージ電流が入ってくるドレイン領域に保護抵抗を配置し、保護素子自体の破壊を防ぐ措置がとられている。

[0005] 具体的には、特許文献1に示されているように、ドレイン領域の電極部と隣接する領域にシリサイドが形成されない非シリサイド領域を設け、当該非シリサイド領域において拡散層による抵抗を形成する。ただし、当該非シリサイド領域を形成するために、シリサイドブロック形成工程を追加する必要が生じる。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-158621号公報

発明の概要

発明が解決しようとする課題

[0007] 上述の通り、特許文献１に示すＥＳＤ保護素子では、非シリサイド領域を形成するために、シリサイドブロックの形成工程を追加する必要がある、製造工程が複雑になるとともに、必要となるマスク数が増え、製造コスト高となる。

[0008] 上述の状況を鑑み、本発明は、ＥＳＤ対策のための特別な工程や専用マスクを増やすことなく、ＥＳＤ放電能力の向上を図る事が可能な半導体装置を実現することをその目的とする。

課題を解決するための手段

[0009] 上記目的を達成するための本発明に係る半導体装置は、
第１のＭＯＳＦＥＴが形成される第１領域を有し、
前記第１領域上に、前記第１のＭＯＳＦＥＴに第１の保護抵抗回路を接続してなる第１ＥＳＤ保護素子が形成され、
前記第１のＭＯＳＦＥＴは、
第１ウェル上に、第１ゲート絶縁膜を介して形成された第１ゲート電極、及び、
前記第１ゲート電極を挟んで互いに対向するように前記第１ウェルの表層に形成される前記第１ウェルと逆導電型の第１ソース領域及び第１ドレイン領域を備え、
前記第１の保護抵抗回路は、
前記第１ゲート絶縁膜を介して形成された第１ゲート電極、
前記第１ゲート電極を挟んで互いに対向するように前記第１ウェルの表層に分離形成される前記第１ウェルと逆導電型の二つの第１抵抗ドレイン領域、及び、
前記第１抵抗ドレイン領域と同導電型であって当該第１抵抗ドレイン領域より低濃度のドリフト領域を備え、
前記ドリフト領域が、前記第１抵抗ドレイン領域の双方と電氣的に接続するように、前記第１ゲート電極下方に形成されていることを第１の特徴とする。

- [0010] 上記第1の特徴の半導体装置は、更に、前記第1のMOSFETは、
前記第1のMOSFETの前記第1ソース領域及び前記第1ドレイン領域
と同導電型であって当該第1ソース領域及び当該第1ドレイン領域より低濃
度のドリフト領域を備え、
前記第1のMOSFETの前記ドリフト領域が、前記第1のMOSFET
の前記第1ソース領域から前記第1ゲート電極下方に向かって延伸するソー
ス側ドリフト領域と、前記第1のMOSFETの前記第1ドレイン領域から
前記第1ゲート電極下方に向かって延伸するドレイン側ドリフト領域に、前
記第1のMOSFETの前記第1ゲート電極下方の前記第1ウェルを挟んで
分離形成され、
前記第1ESD保護素子を構成する前記第1のMOSFETの前記ドレイ
ン側ドリフト領域が、前記第1の保護抵抗回路の前記ドリフト領域と接続し
ていることが好ましい。
- [0011] 上記第1の特徴の半導体装置は、更に、前記第1のMOSFETの前記第
1ゲート電極、及び、前記第1の保護抵抗回路の前記第1ゲート電極が、ポ
リシリコンで構成されていることが好ましい。
- [0012] 上記第1の特徴の半導体装置は、更に、前記第1の保護抵抗回路の前記第
1ゲート電極の上面に形成されたシリサイド層が、前記第1抵抗ドレイン領
域の上面に形成されたシリサイド層と、前記第1の保護抵抗回路の前記第1
ゲート電極の側壁に沿って形成される絶縁膜を介して電氣的に分離されてい
る構成とすることができる。
- [0013] 上記第1の特徴の半導体装置は、更に、前記第1のMOSFETより低耐
圧の第2のMOSFETが形成される第2領域を有し、
前記第2領域上に、前記第2のMOSFETに第2の保護抵抗回路を接続
してなる第2ESD保護素子が形成され、
前記第2のMOSFETは、
第2ウェル上に、第2ゲート絶縁膜を介して形成された第2ゲート電極、
及び、

前記第2ゲート電極を挟んで互いに対向するように前記第2ウェルの表層に形成される前記第2ウェルと逆導電型の第2ソース領域及び第2ドレイン領域を備え、

前記第2の保護抵抗回路は、

前記第2ゲート絶縁膜を介して形成された第2ゲート電極、

前記第2ゲート電極を挟んで互いに対向するように前記第2ウェルの表層に分離形成される前記第2ウェルと逆導電型の二つの第2抵抗ドレイン領域、及び、

前記第2抵抗ドレイン領域と同導電型であって当該第2抵抗ドレイン領域より低濃度の第2のドリフト領域を備え、

前記第2のドリフト領域が、前記第2抵抗ドレイン領域の双方と電氣的に接続するように、前記第2ゲート電極下方に形成されていることを第2の特徴とする。

[0014] 上記第2の特徴の半導体装置は、更に、前記第2ゲート電極が、ポリシリコンで構成され、

前記第2の保護抵抗回路の前記第2ゲート電極の上面に形成されたシリサイド層が、前記第2抵抗ドレイン領域の上面に形成されたシリサイド層と、前記第2の保護抵抗回路の前記第2ゲート電極の側壁に沿って形成される絶縁膜を介して電氣的に分離されている構成とすることができる。

[0015] 上記第2の特徴の半導体装置は、更に、前記第2のMOSFETにおいて、前記第2ソース領域及び前記第2ドレイン領域の何れかと電氣的に接続し、前記第2ゲート電極の下方に向って延伸する、当該第2ソース領域及び当該第2ドレイン領域と同導電型であって当該第2ソース領域及び当該第2ドレイン領域より低濃度のLDD領域が形成されていることが好ましい。

[0016] 上記第1の特徴の半導体装置は、更に、前記第1のMOSFETにおいて、前記第1ソース領域及び前記第1ドレイン領域の何れかと電氣的に接続し、前記第1ゲート電極の下方に向って延伸する、当該第1ソース領域及び当該第1ドレイン領域と同導電型であって当該第1ソース領域及び当該第1ド

レイン領域より低濃度のLDD領域が形成されていることが好ましい。

発明の効果

[0017] 上記第1または第2の特徴の本発明に係る半導体装置によれば、保護抵抗回路が形成される領域にダミーのゲートパターンが形成され、当該ダミーゲートパターン直下に、抵抗用のドリフト領域が形成されている。従って、保護抵抗回路は、ドリフト領域上にダミーのゲート電極を有してなる。

[0018] 本発明におけるESD素子は、MOSFETと当該保護抵抗回路を直列に接続して構成されるが、当該保護抵抗回路が、抵抗ドレイン領域（ソース領域とドレイン領域に相当）間を接続するドリフト領域が形成されていることを除いて、MOSFETと同一の構造となっている。

[0019] 即ち、本発明は、保護抵抗回路の形成に際し、別途シリサイドブロックを設ける代わりに、保護抵抗回路の当該ダミーゲート電極、及び、当該ダミーゲート電極の側壁に形成される絶縁膜をシリサイドブロックとして機能させることとしたものである。

[0020] 保護抵抗回路のダミーゲート電極を形成するためのダミーゲートパターンの形成は、MOSFETのゲートパターン形成と同一工程で、抵抗用のドリフト領域の形成は、高耐圧用MOSFETのドリフト領域の形成と同一工程で実施することができるため、製造工程を増加させることなく、ESD保護素子を形成することが可能になる。

[0021] 更に、上記第2の特徴の本発明に係る半導体装置によれば、高耐圧用MOSFETと低耐圧用MOSFETの両方を備える集積回路に対して本発明を適用することができ、製造工程を増加させることなく、高耐圧用ESD素子と低耐圧用ESD素子の両方を形成することが可能になる。このとき、低耐圧用MOSFETがLDD領域を有するMOSFETであってもよい。この場合、低耐圧用ESD素子内の保護抵抗回路にもLDD領域が形成されるが、抵抗回路としての動作に影響を与えない。

図面の簡単な説明

[0022] [図1]本発明の一実施形態に係る半導体装置の構造を模式的に示す断面図。

[図2]本発明の一実施形態に係る半導体装置の構造を模式的に示す断面図。

[図3]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図4]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図5]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図6]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図7]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図8]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図9]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

[図10]本発明の一実施形態に係る半導体装置の製造方法を模式的に示す工程断面図。

発明を実施するための形態

[0023] 〈第1実施形態〉

本発明の一実施形態に係る半導体装置（以降、適宜「本発明装置100」と称す）及び、その製造方法について以下に、詳細に説明する。図1及び図2は本発明装置1のデバイス構造を模式的に示す断面図である。尚、図1及び図2に示される断面図では、適宜、要部が強調して示されており、図面上の各構成部分の寸法比と実際の寸法比とは必ずしも一致するものではない。これは以降に示す断面図について同様とする。

[0024] 本発明装置100は、第1の電源電圧に対応して動作する第1のMOSFET（高耐压用MOSFET：以降、適宜「HVトランジスタ」と称す）が形成される第1領域と、当該第1の電源電圧より低い第2の電源電圧に対応

して動作する第2のMOSFET（低耐圧用MOSFET：以降、適宜「LVトランジスタ」と称す）が形成される第2領域を有し、当該第1領域上に、第1のMOSFETに第1の保護抵抗回路を接続してなる高耐圧用の第1ESD保護素子（HV保護素子）が、当該第2領域上に、第2のMOSFETに第2の保護抵抗回路を接続してなる低耐圧用の第2ESD保護素子（LV保護素子）が形成される。

[0025] 図1に本発明装置100に設けられたESD保護素子（HV保護素子、及び、LV保護素子）のデバイス構造の断面図を、図2に本発明装置100内に形成されるMOSFET（HVトランジスタ、及び、LVトランジスタ）のデバイス構造の断面図を、夫々示す。尚、本実施形態では、本発明がSGGNMOS構造を有するESD保護素子に適用される場合を例として示すが、本発明はこれに限られるものではない。

[0026] 図1において、P型の基板1上に、P型のウェル2及び3が形成され、ウェル2上にHV保護素子21が、ウェル3上にLV保護素子22が、夫々形成されている。そして、当該HV保護素子21とLV保護素子22は、素子分離膜（STI）4により素子分離がされている。尚、図1において、説明の都合上、HV保護素子21とLV保護素子22が隣接して形成されているが、実際の集積回路においては、HV保護素子21とLV保護素子22が隣接して形成されることはない。

[0027] 図2において、P型の基板1上に、P型のウェル2及び3が形成され、ウェル2上にHVトランジスタ23が、ウェル3上にLVトランジスタ24が、夫々形成されている。HVトランジスタ23とLVトランジスタ24は、素子分離膜（STI）4により素子分離がされている。

[0028] HVトランジスタ23は、ウェル2上に、ゲート絶縁膜（第1のゲート絶縁膜）6を介して形成されたゲート電極（第1ゲート電極）8a、及び、当該ゲート電極8aを挟んで互いに対向するようにウェル2の表層に形成されるN+型の高濃度ソース領域（第1のソース領域）11aとN+型の高濃度ドレイン領域（第1のドレイン領域）11bを備えたNチャネルMOSFE

Tである。更に、高濃度ソース領域11aと高濃度ドレイン領域11bを覆うように、N-型のドリフト領域5（5a, 5b）が、当該高濃度ソース及びドレイン領域11a、11bより深い位置に形成されている。当該ドリフト領域5a、5bは、夫々、ゲート電極8aの下方に向かって延伸するように形成されるが、ゲート電極8aの下方に存在するP型のウェル2を介して分離形成されている。また、ゲート電極8aの側壁に沿って、側壁絶縁膜10aが形成されている。当該側壁絶縁膜10aは、例えば、シリコン酸化膜、または、窒化膜で構成される。

[0029] LVトランジスタ24は、ウェル3上に、ゲート絶縁膜（第2のゲート絶縁膜）7を介して形成されたゲート電極（第2ゲート電極）8c、及び、当該ゲート電極8cを挟んで互いに対向するようにウェル3の表層に形成されるN+型の高濃度ソース領域（第2のソース領域）11cとN+型の高濃度ドレイン領域（第2のドレイン領域）11dを備えたNチャネルMOSFETである。更に、N-型のLDD（Lightly Doped Drain）領域9が、高濃度ソース領域11cと高濃度ドレイン領域11dの何れかと電氣的に接続し、且つ、ゲート電極8cに向かって延伸している。また、ゲート電極8cの側壁に沿って、側壁絶縁膜10cが形成されている。当該側壁絶縁膜10cは、例えば、シリコン酸化膜、または、窒化膜で構成される。

[0030] HVトランジスタ23の高濃度ソース領域11aと高濃度ドレイン領域11bの上面、及び、LVトランジスタ24の高濃度ソース領域11cと高濃度ドレイン領域11dの上面には、層間絶縁膜13を貫通するコンタクトプラグ14との接触抵抗を低減し、金属配線15との電氣的接続を容易とするためのシリサイド層12が形成されている。同様に、ポリシリコンで構成されたゲート電極8a、8cの上面にもシリサイド層12が形成されている。しかしながら、ゲート電極8aの上面に形成されるシリサイド層と、各高濃度ソース領域および高濃度ドレイン領域11a、11b上面に形成されるシリサイド層とは、側壁絶縁膜10aと層間絶縁膜13により電氣的に分離され、ゲート電極8cの上面に形成されるシリサイド層と、各高濃度ソース領

域および高濃度ドレイン領域 11c、11d 上面に形成されるシリサイド層とは、側壁絶縁膜 10c と層間絶縁膜 13 により電氣的に分離されている。

[0031] 図 1 に戻って、HV 保護素子 21 は HV トランジスタ 23 の高濃度ドレイン領域 11b に保護抵抗回路 25 を接続し、LV 保護素子 22 は LV トランジスタ 24 の高濃度ドレイン領域 11d に保護抵抗回路 25 を接続して構成される。

[0032] 保護抵抗回路 25 は、ドリフト領域 5 (5c) が、ゲート電極 8b を挟んでウェル 2 の表層に互いに対向するように分離形成された N+ 型のドレイン領域 (第 1 抵抗ドレイン領域) 16 の双方と電氣的に接続するように形成されることを除き、HV トランジスタ 23 と同一の構造である。ここで、分離形成された二つの当該ドレイン領域 16 の夫々が、HV トランジスタ 23 における高濃度ソース領域 11a と高濃度ドレイン領域 11b に対応する。また、ドリフト領域 5c は、本実施形態では、隣接する HV トランジスタ 23 のドリフト領域 5b と重なり合うように一体形成されている。保護抵抗回路 25 のドレイン領域 16 の一方が HV トランジスタ 23 の高濃度ドレイン領域 11b と接続し、保護抵抗回路 25 のドレイン領域 16 の他方がコンタクトプラグ 14 を介して金属配線 15 と接続している。

[0033] これにより、保護抵抗回路 25 は、分離形成された二つのドレイン領域 16 同士が同導電型 (N 型) のドリフト領域 5c により電氣的に接続されることで、P 型のチャネル領域が存在しないためトランジスタ動作をすることはなく、抵抗として動作する。また、ゲート電極 8b は、シリサイド形成をブロックするためのダミー電極として形成されるもので、実際に電圧が印加されるものではない。ゲート電極 8b のソースドレイン間の幅 L を調整することで、保護抵抗回路 25 の抵抗値を変更することが可能である。

[0034] 一方、保護抵抗回路 26 は、LV トランジスタ 24 と同一の構造を有してなる。ここで、ゲート電極 8d を挟んでウェル 3 の表層に互いに対向するように分離形成された N+ 型のドレイン領域 (第 2 抵抗ドレイン領域) 17 の夫々が、LV トランジスタ 24 における高濃度ソース領域 11c と高濃度ド

レイン領域 11d に対応する。更に、当該ドレイン領域 17 の双方と電氣的に接続する N 型のドリフト領域（第 2 のドリフト領域）5d が、ゲート電極 8d の下方、当該ドレイン領域 17 よりも深い位置に形成されている。保護抵抗回路 26 のドレイン領域 17 の一方が LV トランジスタ 24 の高濃度ドレイン領域 11d と接続し、保護抵抗回路 26 のドレイン領域 17 の他方がコンタクトプラグ 14 を介して金属配線 15 と接続している。

[0035] これにより、保護抵抗回路 26 は、分離形成された二つのドレイン領域 17 同士が同導電型のドリフト領域 5d により電氣的に接続されることで、抵抗として動作する。また、ゲート電極 8d は、シリサイド形成をブロックするためのダミー電極として形成されるもので、実際に電圧が印加されるものではない。ゲート電極 8d のソースドレイン間の幅 L を調整することで、保護抵抗回路 26 の抵抗値を変更することが可能である。

[0036] 上記保護抵抗回路 25 と 26 共に、ポリシリコンで構成されたゲート電極 8b、8d の上面、およびドレイン領域 16、17 の上面にはシリサイド層 12 が形成されている。しかしながら、ゲート電極 8b の上面に形成されるシリサイド層は、ドレイン領域 16 の夫々の上面に形成されるシリサイド層と、側壁絶縁膜 10b と層間絶縁膜 13 により電氣的に分離され、ゲート電極 8d の上面に形成されるシリサイド層は、ドレイン領域 17 の夫々の上面に形成されるシリサイド層と、側壁絶縁膜 10d と層間絶縁膜 13 により電氣的に分離されている。このため、電流は、分離形成されたドレイン領域 16 間をドリフト領域 5c を介して流れ、或いは分離形成されたドレイン領域 17 間をドリフト領域 5d を介して流れることで、ドリフト領域 5c、5d が抵抗として機能する。

[0037] 尚、低耐圧側の保護抵抗回路 26 にも、LV トランジスタ 24 と同様、N 型の LDD 領域がドリフト領域 5d 内に形成されているが、これが抵抗回路としての動作に影響を与えることはない。

[0038] 以下に、本発明装置 100 の製造方法につき、図面を参照して詳細に説明する。

[0039] 図3～図10は、図1に対応して、本発明装置1のESD保護素子（HV保護素子21、及び、LV保護素子22）の製造方法の一実施形態を模式的に示す工程断面図である。尚、図2に対応して、第1及び第2領域に形成される個々のトランジスタ（HVトランジスタ23、及び、LVトランジスタ24）の製造方法については、図1のHV保護素子21内に形成されるHVトランジスタ23、及び、図1のLV保護素子22内に形成されるLVトランジスタ24の製造方法と同様であり、図3～図10に示す工程の一部として示されているため、説明を割愛する。

[0040] 先ず、図3に示すように、公知の半導体プロセス技術により、P型の基板1上に、HVトランジスタ23及び保護抵抗回路25が形成される第1領域にP型のウェル（第1ウェル）2を形成し、LVトランジスタ24及び保護抵抗回路26が形成される第2領域にP型のウェル（第2ウェル）3を形成する。その後、当該ウェル2と3内の所定の領域に素子分離膜（STI）4を形成する。このとき、ウェル2と3の上面には犠牲酸化膜が形成されている。

[0041] 次に、図4に示すように、公知の半導体プロセス技術により、所定の領域に開口部を有するレジストパターン32を用いて、N型の不純物（例えば、砒素（As）或いはリン（P））のイオン注入を行い、第1領域のHVトランジスタ23の形成領域にN型の低濃度のドリフト領域5a、5bを、保護抵抗回路25の形成領域にドリフト領域5cを、夫々ウェル2内に形成する。このとき、第2領域上の保護抵抗回路26の形成領域にも、N型の低濃度のドリフト領域5dをウェル3内に形成しておく。

[0042] 次に、図5に示すように、公知の半導体プロセス技術により、第1の領域上に第1のゲート絶縁膜6を、第2の領域上に第2のゲート絶縁膜7を、夫々、熱酸化により形成する。ここで、第1のゲート絶縁膜6は、第2のゲート絶縁膜7よりも厚膜とする。

[0043] 次に、図6に示すように、公知の半導体プロセス技術により、ゲート電極材料としてポリシリコンを全面に堆積後、所定の領域に開口部を有するレジ

ストパターン 33 を用いて当該開口部に露出するポリシリコンを取り除き、ゲートパターンを形成する。これにより、各ゲート電極 8a～8d が分離形成される。

[0044] 次に、図 7 に示すように、公知の半導体プロセス技術により、第 1 領域の全面を覆うレジストパターン 34 を形成後、当該レジストパターン 34、及び、第 2 領域上のゲート電極 8b、8d をマスクとして、N 型の不純物（例えば、リン（P）或いは砒素（As））のイオン注入により、第 2 領域の L V トランジスタ 23 の形成領域に N 型の L D D 領域 9 を形成する。このとき、第 2 領域の保護抵抗回路 26 の形成領域にも、当該 L D D 領域が形成される。

[0045] 次に、図 8 に示すように、レジストパターン 34 を除去した後、公知の半導体プロセス技術により、絶縁膜 10（ここでは、シリコン窒化膜）を全面に堆積し、エッチバックによりゲート絶縁膜 6、7 が露出するまで当該絶縁膜 10 を除去する。更に、ウェル 2 表層の N 型のドリフト領域 5a～5d が露出するまでゲート酸化膜 6 を除去し、ウェル 3 表層の N 型の L D D 領域 9 が露出するまでゲート酸化膜 7 を除去する。これにより、各ゲート電極 8a～8d の両側壁に側壁絶縁膜 10a～10d を残存させる。

[0046] 次に、図 9 に示すように、公知の半導体プロセス技術により、ゲート電極 8a～8d 及び側壁絶縁膜 10a～10d をマスクとして、N 型の不純物（例えば、リン（P）或いは砒素（As））のイオン注入により、N+ 型の高濃度の第 1 のソース領域 11a 及び第 1 のドレイン領域 11b を第 1 領域上の H V トランジスタ 23 の形成領域に、N+ 型の高濃度の第 2 のソース領域 11c 及び第 2 のドレイン領域 11d を第 2 領域上の L V トランジスタ 24 の形成領域に形成する。このとき、第 1 領域上の保護抵抗回路 25 の形成領域、及び、第 2 領域上の保護抵抗回路 26 の形成領域にも、ドレイン領域 16 と 17 が、夫々、形成される。

[0047] 次に、図 10 に示すように、公知の半導体プロセス技術により、例えば金属チタン（Ti）を各ソース領域およびドレイン領域 11a～11d、及び

、各保護抵抗回路のドレイン領域 16 と 17 の表面において反応させ、シリサイド層 12 を形成する。このとき、ゲート電極 8a～8d の上面にもシリサイド層 12 が形成される。尚、側壁絶縁膜 10 と素子分離膜 (STI) 4 上の未反応チタンは、ウェット処理により、選択的に除去する。

[0048] 更に、層間絶縁膜 13 を堆積後、公知の半導体プロセス技術により、当該層間絶縁膜 13 を貫通するコンタクトプラグ 14、当該コンタクトプラグ 14 上に金属配線 15 を形成することで、図 1 及び図 2 に示す本発明装置 100 が製造される。

[0049] 以上説明したように、HV 保護素子 21 における HV トランジスタ 23 と保護抵抗回路 25 との相違点、及び、LV 保護素子 22 における LV トランジスタ 24 と保護抵抗回路 26 との相違点は、夫々、HV トランジスタ 23 におけるソース領域 11a とドレイン領域 11b に対応する保護抵抗回路のドレイン領域 16 同士が、同導電型のドリフト領域 5c を介して接続されている点、及び、LV トランジスタ 24 におけるソース領域 11c とドレイン領域 11d に対応する保護抵抗回路のドレイン領域 17 同士が、同導電型のドリフト領域 5d を介して接続されている点であり、保護素子の形成にあたって何ら製造工程を追加する必要がないことが分かる。従って、本発明装置 100 は、ESD 対策のための特別な工程や専用マスクを増やすことなく、ESD 放電能力の向上を図る事が可能な構造となっている。

[0050] 尚、上記実施形態では SGGNMOS 構造の ESD 保護素子を例として本発明を説明したが、SGGPMOS 構造の場合についても、各半導体領域を構成する不純物の導電型を逆にすれば、容易に実現できることは言うまでもない。このとき、SGGPMOS 構造における保護抵抗回路 25、26 は、HV トランジスタ 23 或いは LV トランジスタ 24 を構成する P チャネル MOSFET に P 型のドリフト領域を備えて構成される。

[0051] また、本発明は ESD 保護素子の構造に関するものであるが、各半導体領域の大きさ (深さや面積)、不純物濃度、並びに当該素子を構成する材料について何ら限定されるものではない。例えば、ゲート電極 8a～8d の材料

としては、ポリシリコンの他、高融点金属を用いることができる。ゲート絶縁膜 6、7 についても、熱酸化膜、CVD 酸化膜の他、high-k 材料を用いても構わないし、シリサイドを構成する金属についても、チタンの他、コバルト、ニッケル等、何れであっても本発明の効果が得られる。

[0052] また、上記実施形態では、同一基板上に高耐圧トランジスタが形成される第 1 領域と、低耐圧トランジスタが形成される第 2 領域を有し、当該第 1 領域及び第 2 領域の双方において ESD 保護素子を備える構成であるが、高耐圧トランジスタが形成される第 1 領域のみを備える場合、あるいは低耐圧トランジスタが形成される第 2 領域のみを備える場合であっても、本発明の ESD 保護素子を備えた構成とすることができる。

産業上の利用可能性

[0053] 本発明は、半導体装置に利用可能であり、特に、ESD 保護素子を備える半導体集積回路装置に利用することができる。

符号の説明

[0054] 1 : P 基板
2、3 : P ウェル
4 : 素子分離膜 (STI)
5a ~ 5d : ドリフト領域
6 : 第 1 のゲート絶縁膜 (高耐圧用)
7 : 第 2 のゲート絶縁膜 (低耐圧用)
8a ~ 8d : ゲート電極
9 : LDD 領域
10a ~ 10d : 側壁絶縁膜
11a : 第 1 のソース領域 (高濃度ソース領域)
11b : 第 1 のドレイン領域 (高濃度ドレイン領域)
11c : 第 2 のソース領域 (高濃度ソース領域)
11d : 第 2 のドレイン領域 (高濃度ドレイン領域)
12 : シリサイド層

- 1 3 : 層間絶縁膜
- 1 4 : コンタクトプラグ
- 1 5 : 金属配線
- 1 6 : 第 1 抵抗ドレイン領域
- 1 7 : 第 2 抵抗ドレイン領域
- 2 1 : HV保護素子（高耐压用の第 1 の ESD 保護素子）
- 2 2 : LV保護素子（低耐压用の第 2 の ESD 保護素子）
- 2 3 : HVトランジスタ（高耐压の第 1 の MOSFET）
- 2 4 : LVトランジスタ（低耐压の第 2 の MOSFET）
- 2 5 : 第 1 の保護抵抗回路
- 2 6 : 第 2 の保護抵抗回路
- 3 1 : 犠牲酸化膜
- 3 2 ～ 3 4 : レジストパターン
- 1 0 0 : 本発明の一実施形態に係る半導体装置（本発明装置）

請求の範囲

[請求項1] 第1のMOSFETが形成される第1領域を有する半導体装置において、

前記第1領域上に、前記第1のMOSFETに第1の保護抵抗回路を接続してなる第1ESD保護素子が形成され、

前記第1のMOSFETは、

第1ウェル上に、第1ゲート絶縁膜を介して形成された第1ゲート電極、及び、前記第1ゲート電極を挟んで互いに対向するように前記第1ウェルの表層に分離形成される前記第1ウェルと逆導電型の第1ソース領域及び第1ドレイン領域を備え、

前記第1の保護抵抗回路は、

前記第1ゲート絶縁膜を介して形成された第1ゲート電極、

前記第1ゲート電極を挟んで互いに対向するように前記第1ウェルの表層に分離形成される前記第1ウェルと逆導電型の二つの第1抵抗ドレイン領域、及び、

前記第1抵抗ドレイン領域と同導電型であって当該第1抵抗ドレイン領域より低濃度のドリフト領域を備え、

前記ドリフト領域が、前記第1抵抗ドレイン領域の双方と電氣的に接続するように、前記第1ゲート電極下方に形成されていることを特徴とする半導体装置。

[請求項2] 前記第1のMOSFETは、

前記第1のMOSFETの前記第1ソース領域及び前記第1ドレイン領域と同導電型であって当該第1ソース領域及び当該第1ドレイン領域より低濃度のドリフト領域を備え、

前記第1のMOSFETの前記ドリフト領域が、前記第1のMOSFETの前記第1ソース領域から前記第1ゲート電極下方に向かって延伸するソース側ドリフト領域と、前記第1のMOSFETの前記第1ドレイン領域から前記第1ゲート電極下方に向かって延伸するドレ

イン側ドリフト領域に、前記第1のMOSFETの前記第1ゲート電極下方の前記第1ウェルを挟んで分離形成され、

前記第1ESD保護素子を構成する前記第1のMOSFETの前記ドレイン側ドリフト領域が、前記第1の保護抵抗回路の前記ドリフト領域と接続していることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第1のMOSFETの前記第1ゲート電極、及び、前記第1の保護抵抗回路の前記第1ゲート電極が、ポリシリコンで構成されていることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記第1の保護抵抗回路の前記第1ゲート電極の上面に形成されたシリサイド層が、前記第1抵抗ドレイン領域の上面に形成されたシリサイド層と、前記第1の保護抵抗回路の前記第1ゲート電極の側壁に沿って形成される絶縁膜を介して電氣的に分離されていることを特徴とする請求項3に記載の半導体装置。

[請求項5] 前記第1のMOSFETより低耐圧の第2のMOSFETが形成される第2領域を有し、

前記第2領域上に、前記第2のMOSFETに第2の保護抵抗回路を接続してなる第2ESD保護素子が形成され、

前記第2のMOSFETは、

第2ウェル上に、第2ゲート絶縁膜を介して形成された第2ゲート電極、及び、前記第2ゲート電極を挟んで互いに対向するように前記第2ウェルの表層に分離形成される前記第2ウェルと逆導電型の第2ソース領域及び第2ドレイン領域を備え、

前記第2の保護抵抗回路は、

前記第2ゲート絶縁膜を介して形成された第2ゲート電極、

前記第2ゲート電極を挟んで互いに対向するように前記第2ウェルの表層に分離形成される前記第2ウェルと逆導電型の二つの第2抵抗ドレイン領域、及び、

前記第2抵抗ドレイン領域と同導電型であって当該第2抵抗ドレイ

ン領域より低濃度の第2のドリフト領域を備え、

前記第2のドリフト領域が、前記第2抵抗ドレイン領域の双方と電氣的に接続するように、前記第2ゲート電極下方に形成されていることを特徴とする請求項1～4の何れか一項に記載の半導体装置。

[請求項6]

前記第2ゲート電極が、ポリシリコンで構成され、

前記第2の保護抵抗回路の前記第2ゲート電極の上面に形成されたシリサイド層が、前記第2抵抗ドレイン領域の上面に形成されたシリサイド層と、前記第2の保護抵抗回路の前記第2ゲート電極の側壁に沿って形成される絶縁膜を介して電氣的に分離されていることを特徴とする請求項5に記載の半導体装置。

[請求項7]

前記第2のMOSFETにおいて、前記第2ソース領域及び前記第2ドレイン領域の何れかと電氣的に接続し、前記第2ゲート電極の下方に向って延伸する、当該第2ソース領域及び当該第2ドレイン領域と同導電型であって当該第2ソース領域及び当該第2ドレイン領域より低濃度のLDD領域が形成されていることを特徴とする請求項5に記載の半導体装置。

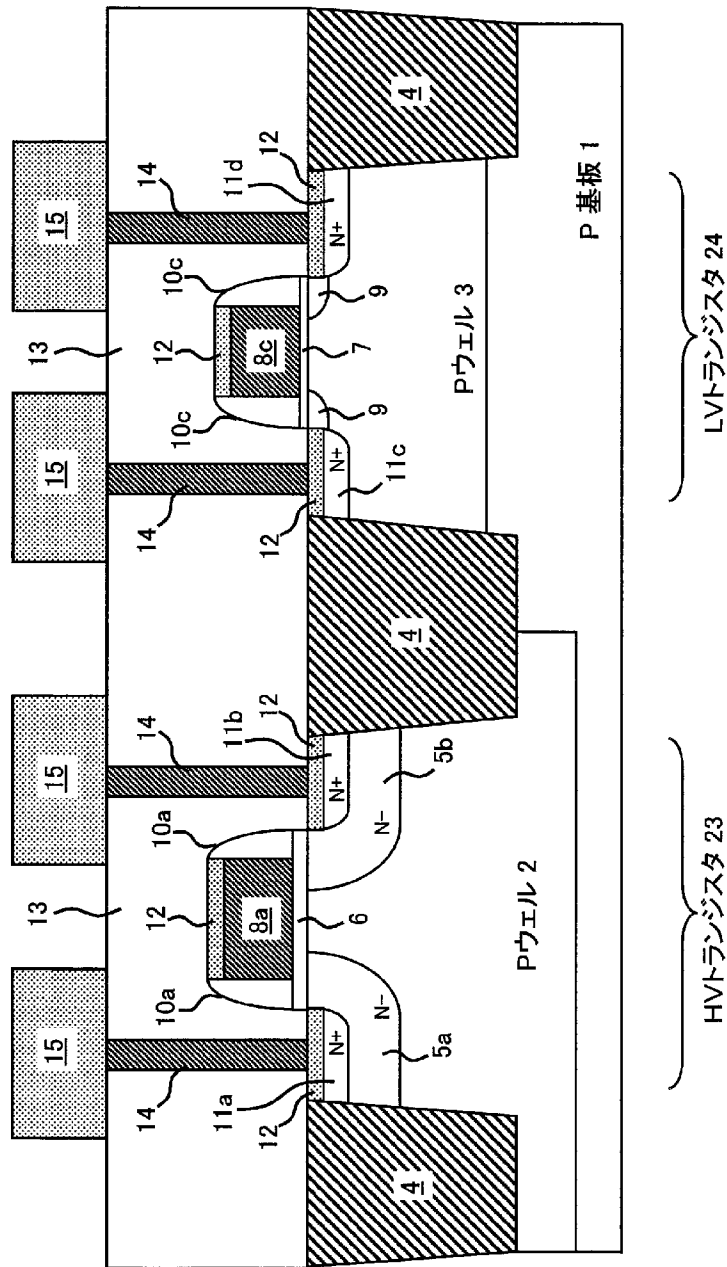
[請求項8]

前記第1のMOSFETにおいて、前記第1ソース領域及び前記第1ドレイン領域の何れかと電氣的に接続し、前記第1ゲート電極の下方に向って延伸する、当該第1ソース領域及び当該第1ドレイン領域と同導電型であって当該第1ソース領域及び当該第1ドレイン領域より低濃度のLDD領域が形成されていることを特徴とする請求項1、3または4に記載の半導体装置。

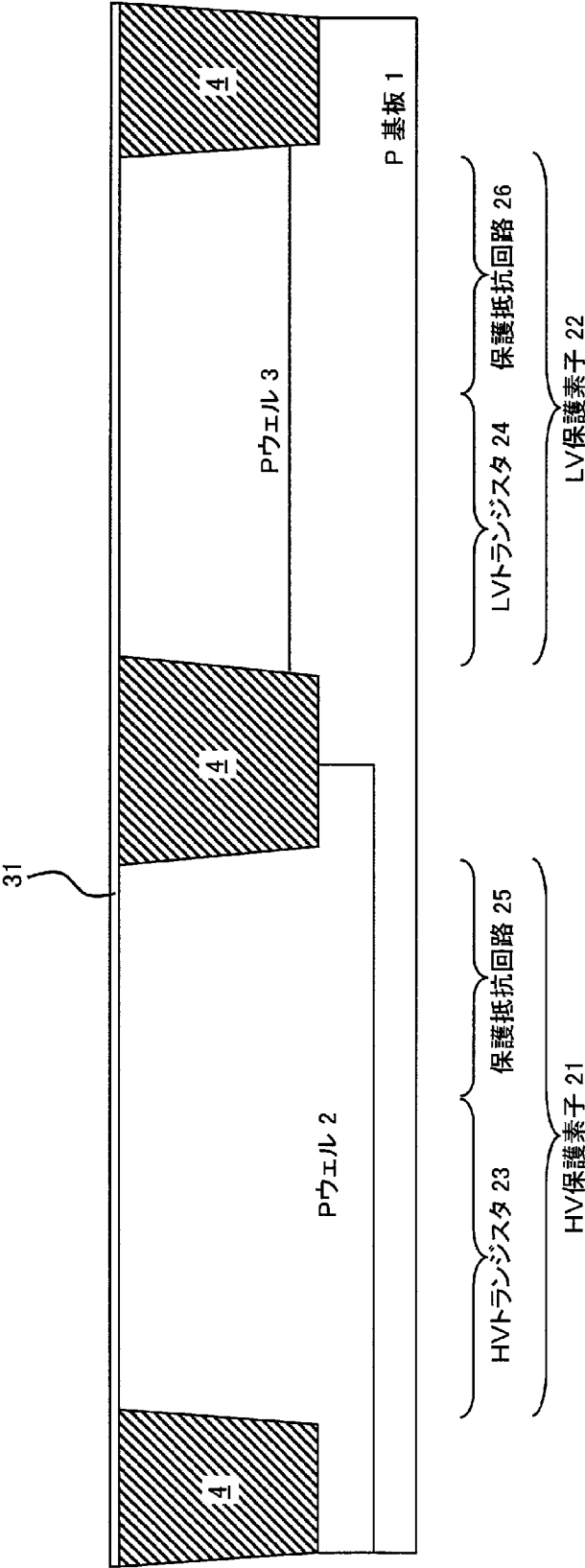
Figure 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 1 (P基板) and a P+ region 11. The P+ region 11 is divided into four vertical sections labeled 10a, 10b, 10c, and 10d. Each section contains a P+ region 5, a P region 6, and a P- region 7. The P+ region 5 is connected to a common P+ region 11. The P region 6 is connected to a common P region 12. The P- region 7 is connected to a common P- region 13. The device is labeled P+エ/L 2 and P+エ/L 3. The substrate is labeled P基板 1.

LV保護素子 22

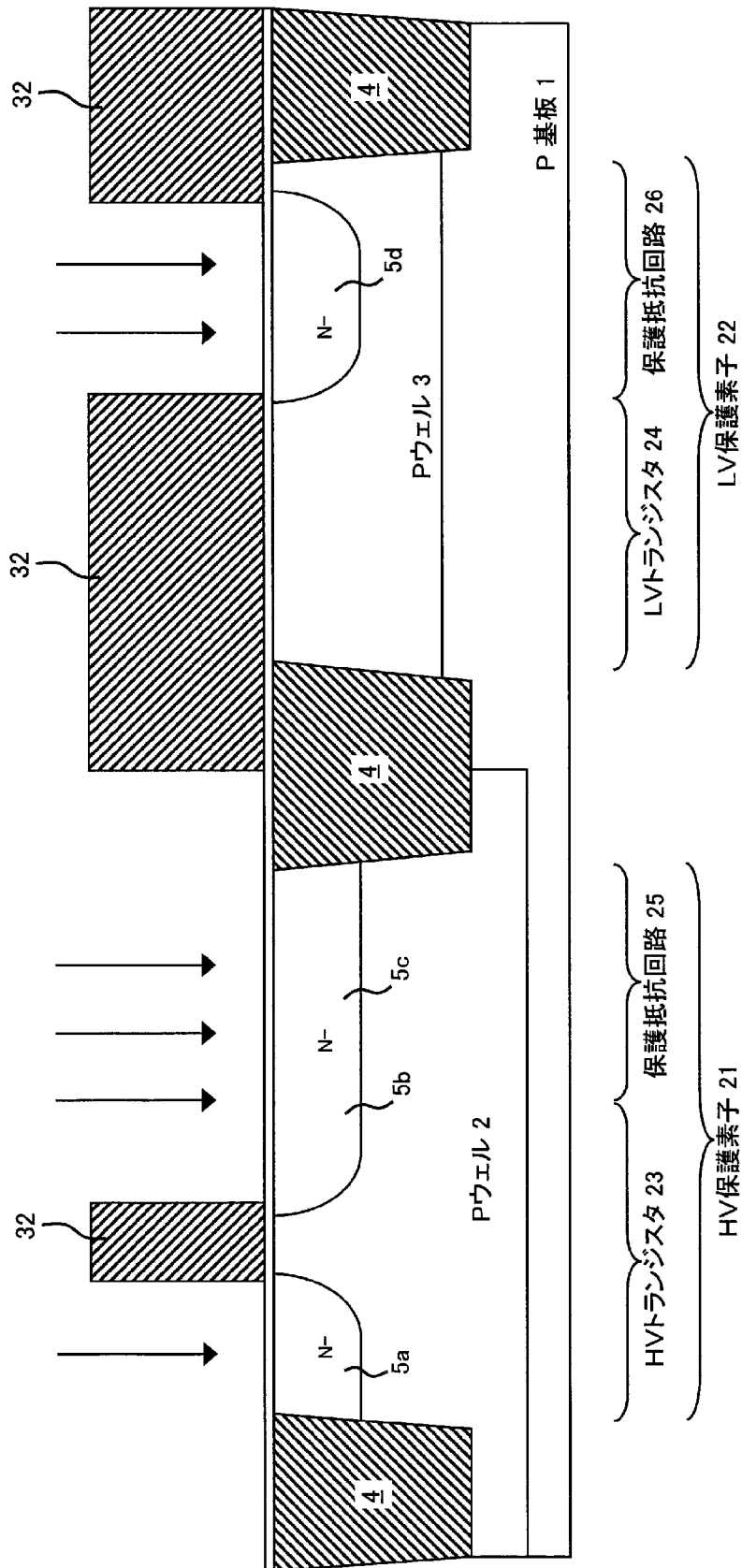
[図2]



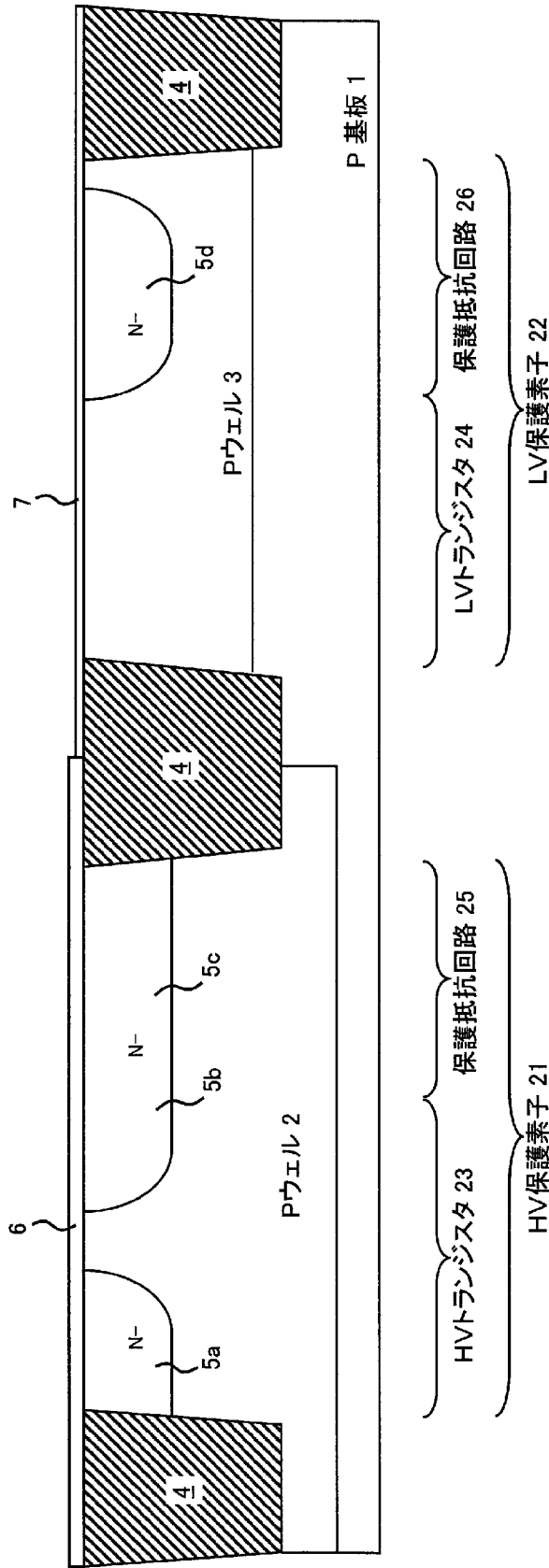
[図3]



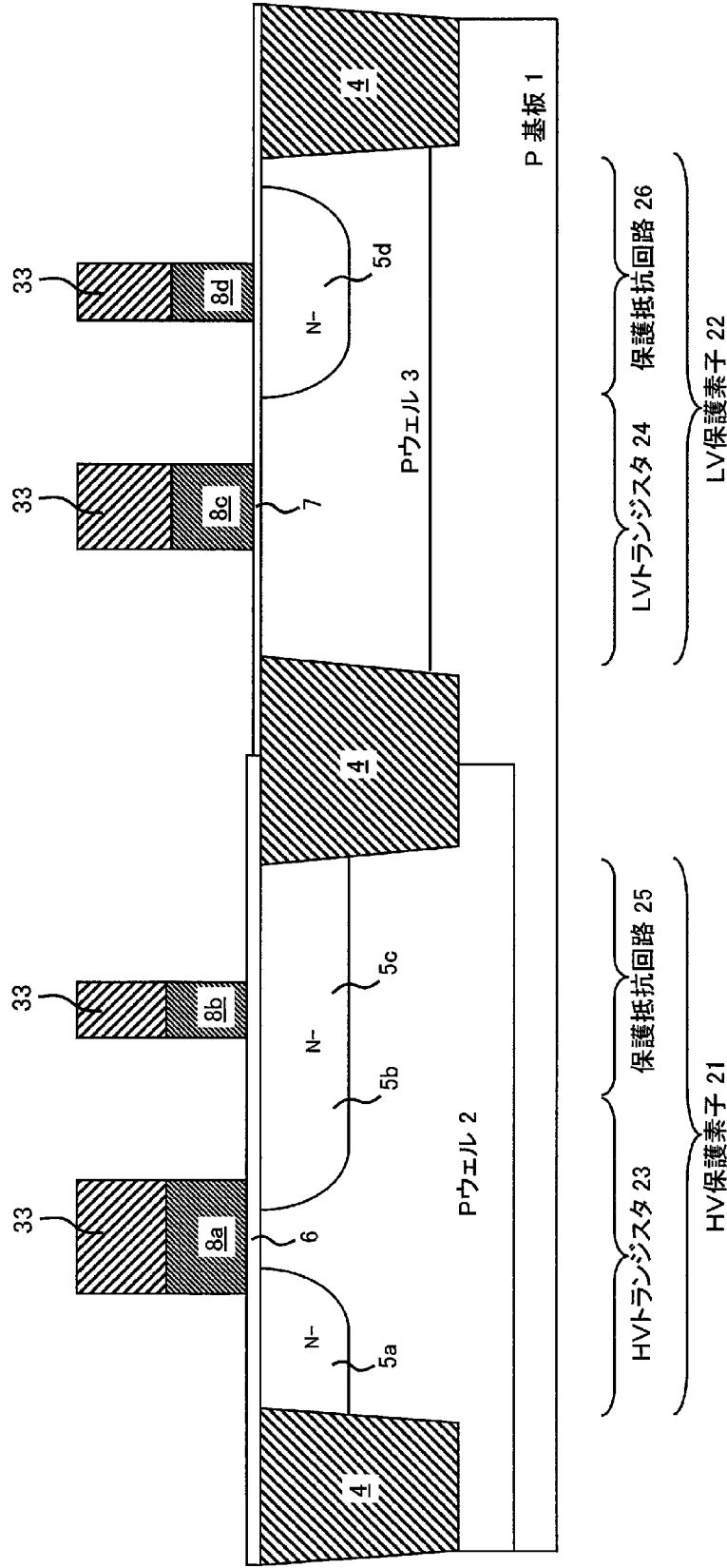
[図4]



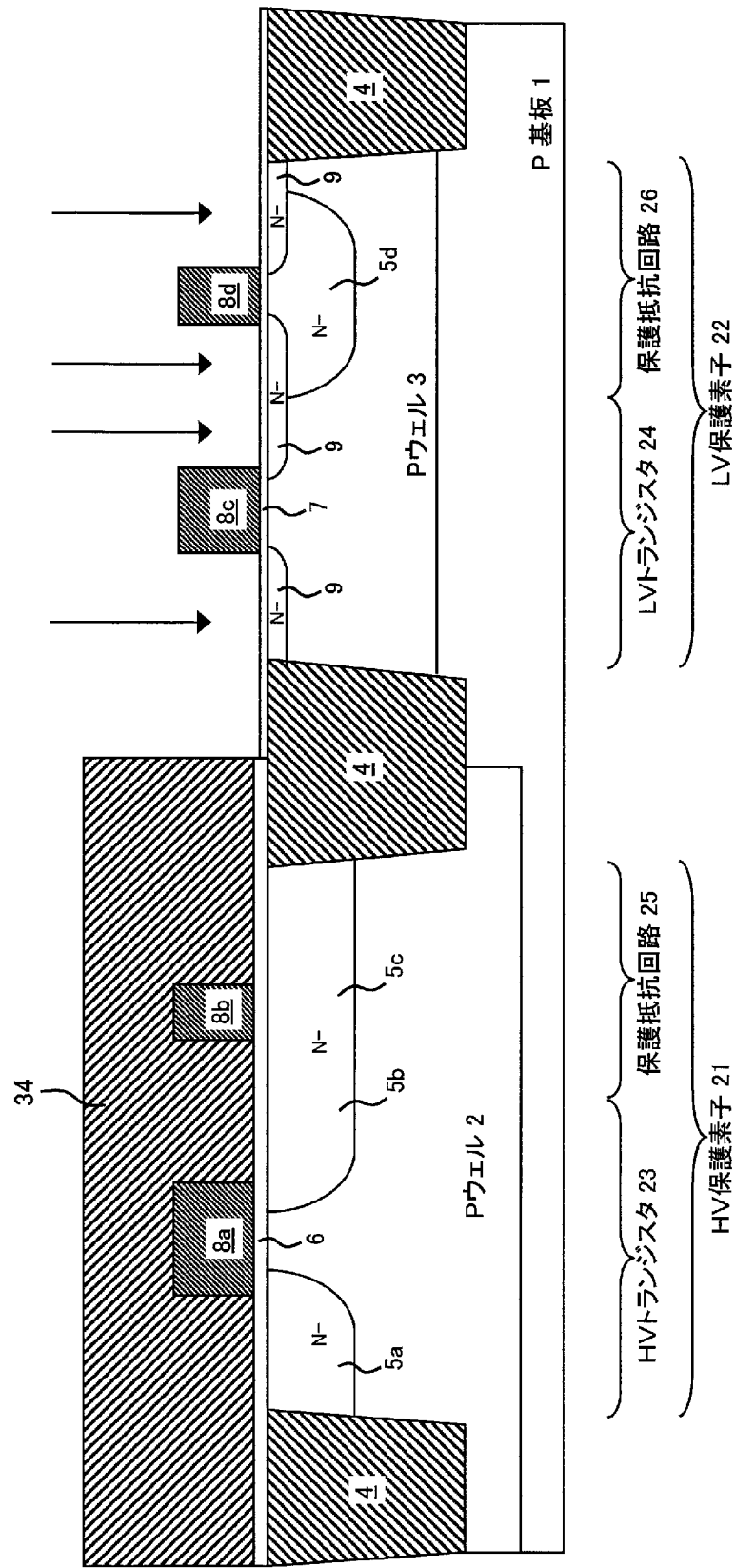
[図5]



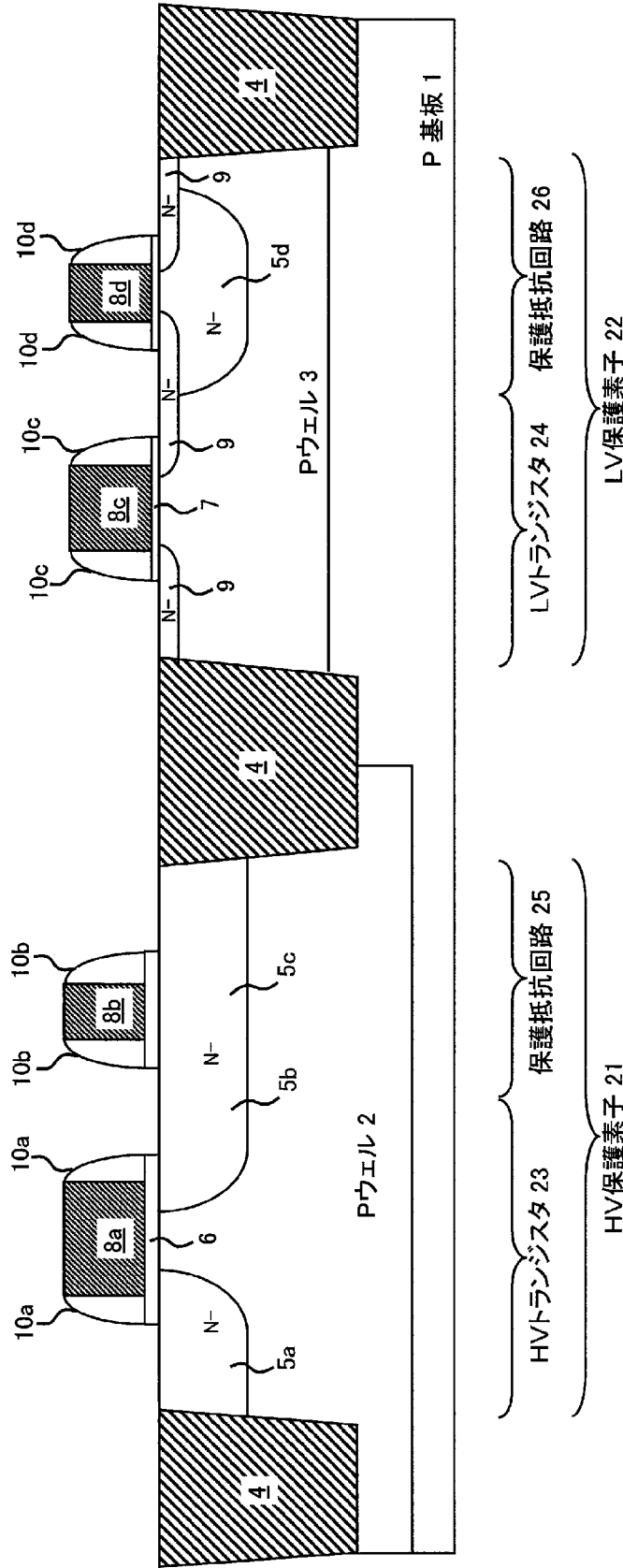
[図6]



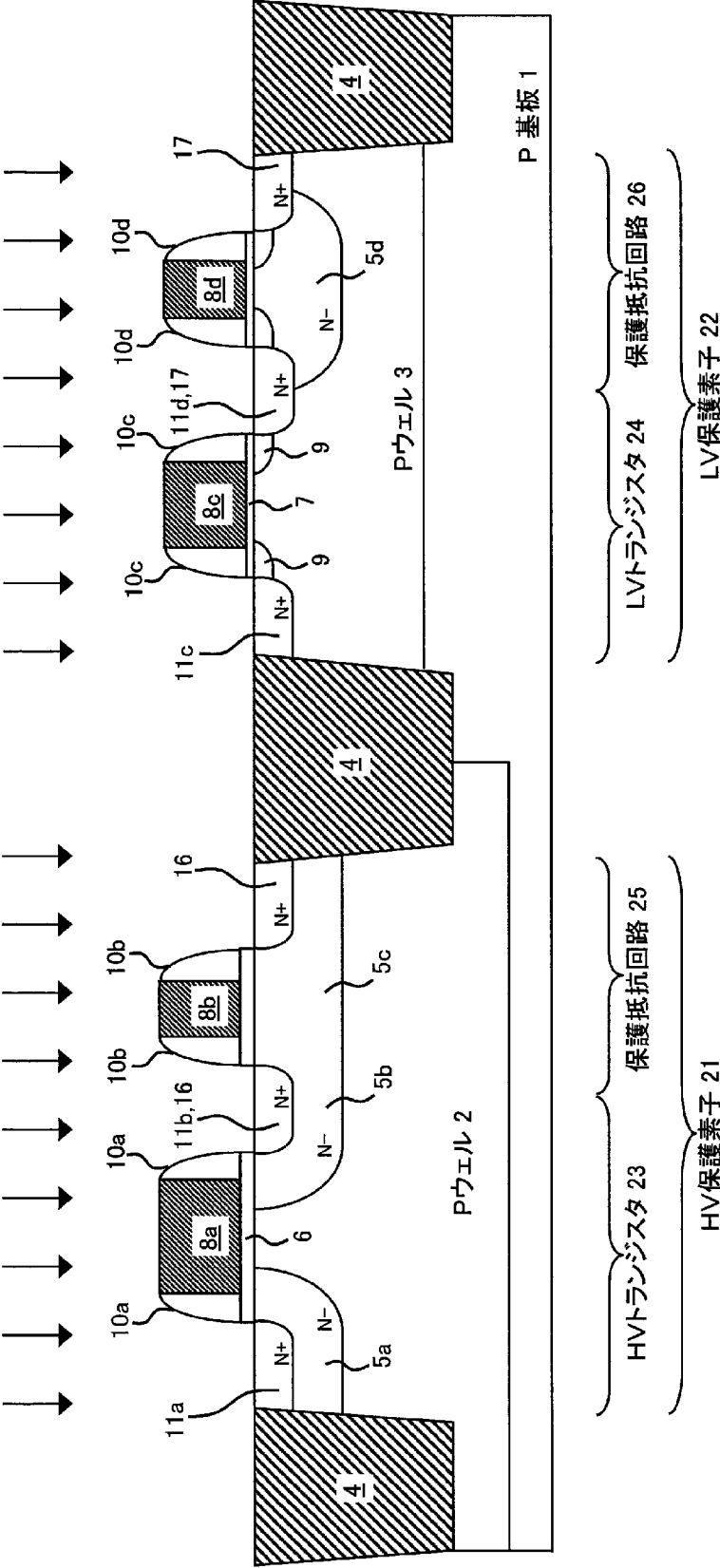
[図7]



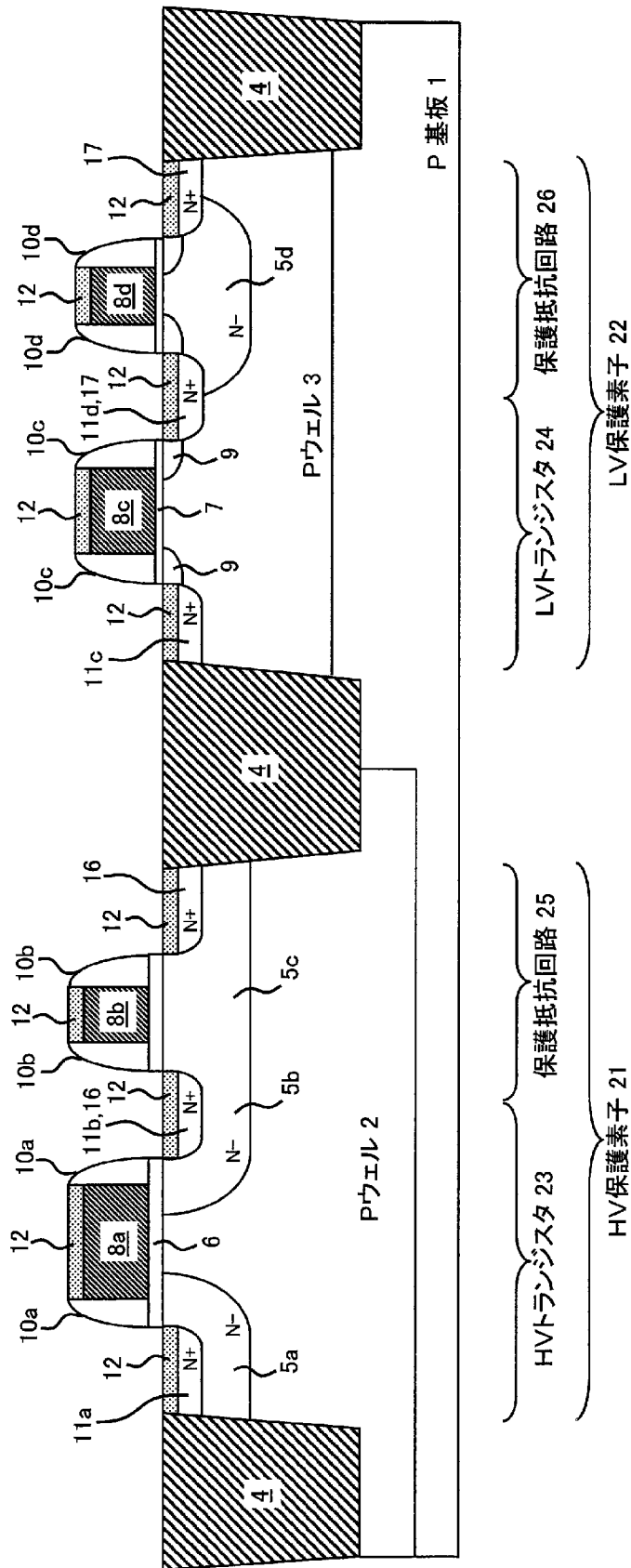
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058858

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/06(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/088(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/06, H01L21/822, H01L21/8234, H01L27/04, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-235452 A (Seiko Epson Corp.), 19 August 2004 (19.08.2004), fig. 2 (Family: none)	1, 3 2, 4, 8 5-7
Y	JP 2005-093458 A (Matsushita Electric Industrial Co., Ltd.), 07 April 2005 (07.04.2005), fig. 7 (Family: none)	2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 June, 2012 (20.06.12)

Date of mailing of the international search report
03 July, 2012 (03.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058858

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-173070 A (NEC Corp.), 26 June 1998 (26.06.1998), entire text; all drawings & US 6191454 B1 & EP 848425 A2 & DE 69722150 D & DE 69722150 T & TW 417161 B & KR 10-0260982 B & CN 1185038 A	4
Y	JP 2004-273973 A (NEC Electronics Corp.), 30 September 2004 (30.09.2004), fig. 28 & US 2004/0256681 A1 & EP 1458033 A2 & TW 253176 B & KR 10-2004-0081385 A & CN 1531083 A	8
A	JP 2006-005204 A (Fujitsu Ltd.), 05 January 2006 (05.01.2006), entire text; all drawings (Family: none)	1-8
A	JP 2009-158621 A (Toshiba Corp.), 16 July 2009 (16.07.2009), entire text; all drawings & US 2009/0159973 A1 & TW 200931638 A	1-8
A	JP 2002-057293 A (Rohm Co., Ltd.), 22 February 2002 (22.02.2002), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/06(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/088(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/06, H01L21/822, H01L21/8234, H01L27/04, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004-235452 A (セイコーエプソン株式会社) 2004.08.19, 第2図 (ファミリーなし)	1, 3 2, 4, 8 5-7
Y	JP 2005-093458 A (松下電器産業株式会社) 2005.04.07, 第7図 (ファミリーなし)	2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 6 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-173070 A (日本電気株式会社) 1998.06.26, 全文, 全図 & US 6191454 B1 & EP 848425 A2 & DE 69722150 D & DE 69722150 T & TW 417161 B & KR 10-0260982 B & CN 1185038 A	4
Y	JP 2004-273973 A (NECエレクトロニクス株式会社) 2004.09.30, 第28図 & US 2004/0256681 A1 & EP 1458033 A2 & TW 253176 B & KR 10-2004-0081385 A & CN 1531083 A	8
A	JP 2006-005204 A (富士通株式会社) 2006.01.05, 全文, 全図 (ファミリーなし)	1-8
A	JP 2009-158621 A (株式会社東芝) 2009.07.16, 全文, 全図 & US 2009/0159973 A1 & TW 200931638 A	1-8
A	JP 2002-057293 A (ローム株式会社) 2002.02.22, 全文, 全図 (ファミリーなし)	1-8