

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
H03M 13/00

(45) 공고일자 2004년10월14일
(11) 등록번호 10-0439368
(24) 등록일자 2004년06월28일

(21) 출원번호	10-1996-0018730	(65) 공개번호	10-1996-0043553
(22) 출원일자	1996년05월30일	(43) 공개일자	1996년12월23일

(30) 우선권주장	95-134514	1995년05월31일	일본(JP)
	95-134515	1995년05월31일	일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고

(72) 발명자 마쓰모토 다카히코
일본국 군마켄 오라궁 오이즈미마찌 요시다 에이치 2-207, 986-5

기무라 가즈히로
일본국 사이따마켄 후까야시 야지마 740

가네코 히로시
일본국 군마켄 오라궁 오라마찌 나가노 2766-9

(74) 대리인 구영창
장수길

심사관 : 성경아

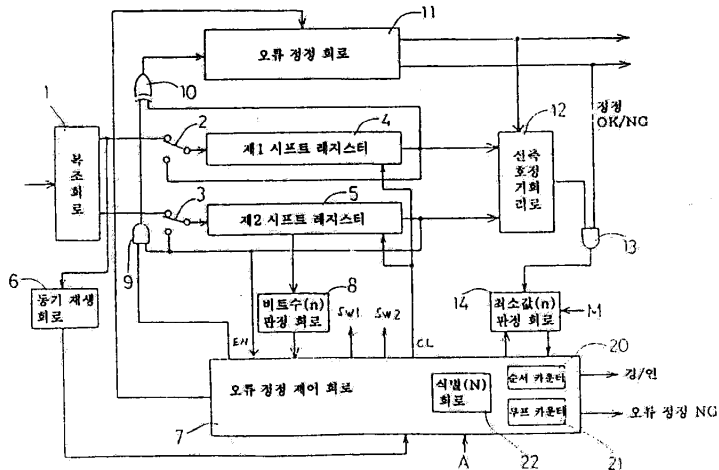
(54) 오류정정장치

요약

복조 회로에 의해 수신 신호를 복조하여 복조 데이터 패턴을 출력함과 동시에, 복조 데이터가 확실함을 표시하는 신뢰도 정보 비트를 출력하며, 이들의 데이터를 각각 제1 및 제2의 시프트 레지스터(4, 5)에 격납한다. 제2 레비스터 중 1 레벨의 신뢰도 정보 비트의 수가 기준값 이내이면, 시프트 동작을 복수 사이클 반복하여, 1레벨의 신뢰도 정보 비트가 출력된 때에 오류 정정 제어 회로(7)로부터 복조 데이터를 얻을 수 있는 가능성이 있는 모든 비트 패턴을 순차 출력하고, EXOR 게이트(10)에 의해, 가능성이 있는 모든 복조 데이터 패턴을 생성하여, 이들 모든 패턴에 대하여 오류 정정 회로(11)에 의해 오류 정정을 행한다. 또, 기준값을 초과한 경우는 복조 회로로부터의 복조 데이터만에 대하여 통상의 오류 정정을 행한다.

대표도

제 1 도



명세서

도면의 간단한 설명

제1도는 본 발명의 실시예의 구성을 나타내는 블록도.
제2도는 실시예의 복조 회로의 동작을 설명하기 위한 설명도.
제3도는 실시예의 각종의 데이터 패턴을 나타내는 설명도.
제4도는 실시예의 신호간 거리를 측정하는 법칙을 도시한 도면.
도면의 주요 부분에 대한 부호의 설명

1: 복조 회로 2,3 : 스위치
4 : 제1 레지스터 5 : 제2 레지스터
7 : 오류 정정 제어 회로 8 : 비트수 판정 회로
9,13 : AND 게이트 10 : EXOR 게이트
11 : 오류 정정 회로 12 : 신호 거리 측정 회로
14 : 최소값 판정 회로 20 : 순서 카운터
21 : 루프 카운터 22 : 식별 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 RDS(Radio Data System) 방송신호나 FM다중 방송 신호등과 같이, 미리 오류 정정 부호가 부가된 신호를 수신하여, 오류 정정 처리를 실행하는 오류 정정 장치에 관한 것이다.

방송 신호등을 수신하는 경우, 페이징 등의 전송로 상에서 발생하는 방해 등에 의해, 수신된 신호는 일반적으로 노이즈를 다량 포함하고 있어, 수신 신호를 디지털 데이터로 복조하는 복조 회로에서는, 정확히 0 인지 1인지를 판정할 수 없는 경우가 있다.

그래서, 종래의 RDS방송 수신기나 FM 다중 방송 수신기에서는, 복조 회로에 의해 복조된 데이터에 대하여, 오류 정정 처리를 실시하여 데이터의 정확성을 향상 시키도록 하고 있다.

총래의 복조 회로에서는, 본래의 데이터가 1이어도 노이즈에 의해 그 레벨이 1에 가까운 0으로 된 듯한 경우, 복조 회로에서는 1이 아니라 0로 판정해 버린다.

이러한 오 판정 비트의 수 및 위치가 오류 정정 회로의 정정 능력의 범위내이면, 오류 정정 처리에 의해 정정됨으로 문제는 없지만, 간혹 정정 능력 범위를 초과할 때는 정정이 불가능하게 되어 버린다.

예를 들면, RDS방송 수신기의 오류 정정 회로에서는, 오류 비트 간격이 5비트 이하 일때는 5비트까지 정정 가능하나, 간격이 5비트를 초과하면 2비트의 오류조차 정정할 수 없다.

본 발명의 목적은 신뢰도 정보 비트를 사용하여, 오류 정정 능력을 향상하는 것에 있다.

본 발명에서는, 복조 데이터가 확실함을 나타내는 신뢰도 정보 비트를 기초로, 복조 데이터를 취득할 가능성이 있는 모든 복조 데이터 패턴이 생성되고, 이들 모든 데이터 패턴에 대하여 오류 정정 회로가 실행됨으로, 오류 정정 회로의 정정 능력 범위를 초과하는 경우에도, 확실하게 오류 정정이 실현된다.

또, 오류 정정에 성공한 데이터 패턴이 복수 존재할 때, 오류 정정 결과와 복조 데이터와의 신호간 거리가 측정되고, 다시 측정된 신호간 거리의 최소값이 판정되어, 신호간 거리가 최소가 된 데이터 패턴을 최종적인 오류 정정 결과로서 채용하게 하고 있으므로, 보다 확실한 정정 결과가 얻어진다.

더우기, 본 발명에서는, 복조 회로에서 복조 데이터가 확실함을 나타내는 신뢰도 정보 비트가 출력되고, 소정 레벨의 신뢰도 정보 비트수가 비트수 판정 회로에 의해 판정되어, 이 비트수가 소정값을 초과하지 않은 때는, 복조 데이터를 취득할 가능성이 있는 모든 복조 데이터 패턴이 생성되고, 이들 모든 데이터 패턴에 대하여 오류 정정 회로가 실행됨으로, 오류 정정 회로의 정정 능력 범위를 초과한 경우에도, 확실하게 오류 정정이 실현되고, 또, 소정값을 초과할 때는, 통상의 오류 정정이 행해지므로, 복조 데이터가 너무 불확실할 때는, 신뢰도 정보 비트를 사용하는 것에 의한 오정정이 방지된다.

제1도는 본 발명의 실시예의 구성을 나타내는 블록도인데, 1블럭의 데이터가 오류 정정 비트를 포함한 전체 26 비트로 구성되는 RDS 신호를 오류 정정하는 예에 대하여 설명한다.

제1도에서, 도면 참조 번호 1은 수신한 RDS방송 신호를 복조하여 1블럭 단위의 복조 데이터 패턴을 출력함과 동시에, 1 블럭의 복조 데이터 패턴의 각 비트 데이터마다 확실함을 나타내는 신뢰도 정보 비트 T를 출력하는 복조 회로, 도면 참조 번호 4는 1 블럭의 복조 데이터 패턴을 스위치(2)를 개재하여 입력하고, 입력된 복조 데이터 패턴의 시프트 동작을 복수 사이클 반복한 26 비트 구성의 제1 시프트 레지스터, 도면 참조 번호 5는 1 블럭의 복조 데이터 패턴에 대응하는 26 비트의 신뢰도 정보 비트를 스위치(3)를 개재하여 입력하고, 입력된 26 비트의 신뢰도 정보 비트의 시프트 동작을 복수 사이클 반복한 26 비트 구성의 제2 시프트 레지스터, 도면 참조 번호 6은 복조 데이터를 기초로 동기 타이밍 신호를 발생하는 동기 재생 회로, 도면 참조 번호 7은 오류 정정의 제어를 행하는 오류 정정 제어 회로, 도면 참조 번호 8은 제2의 시프트 레지스터(5)에 내장된 신뢰도 정보 비트중 1 레벨인 비트수를 판정하는 비트수 판정 회로, 도면 참조 번호 9는 오류 정정 제어 회로(7)로부터 출력된 인에이블 신호 EN에 의해 제2 시프트 레지스터(5)로부터 출력된 신뢰도 정보 비트의 통과를 제어하는 AND 게이트, 도면 참조 번호 10는 제1 시프트 레지스터(4)의 출력과 AND 게이트(9)의 출력과의 배타적 논리 합을 취하는 EXOR 게이트, 도면 참조 번호 11는 EXOR 게이트(10)로부터의 데이터를 입력하여 오류 정정을 실행하는 오류 정정 회로, 도면 참조 번호 12는 오류 정정 결과와 제1 시프트 레지스터로부터의 복조 데이터와의 신호간 거리를, 제2의 시프트 레지스터(5)로부터의 신뢰도 정보 비트를 기초로 측정하는 신호 거리 측정 회로, 도면 참조번호 14는 AND 게이트(13)를 개재하여 오류 정정이 성공한 것에 대하여 신호간 거리를 입력하여 그 최소값을 판정하는 최소값 판정회로이다.

스위치(2, 3)는, 오류 정정 제어 회로(7)로부터의 전환 신호(SW1, SW2)에 의해 전환이 행해지고, 시프트 레지스터(4, 5)는 오류 제어 회로(7)로부터의 동일 클럭 신호(CL)에 따라 동기하여 시프트 동작을 행한다.

또, 오류 정정 제어 회로(7)는, 시프트 레지스터(4, 5)가 행하는 시프트 동작의 사이클 수를 카운트하는 루프 카운터(21)와, 1 사이클 내에 제2 시프트 레지스터(5)로부터 출력되는 1 레벨의 신뢰도 정보 비트의 수를 카운트하는 순서 카운터(20), 비트 판정 회로(8)에서 판정된 비트수 n 이 기준값 N 보다 큰지의 여부를 식별하는 식별 회로(22)를 구비하고 있고, 외부로부터의 제어 신호 A에 의해 기준값 N 이 2비트 혹은 4비트의 어느것으로 설정되도록 구성되어 있다. 한편, 최소값 판정 회로는, AND 게이트(13)를 개재하여 입력된 신호간 거리 m 을 기준값 M 과 비교하여, 기준값 M 보다 작을때만 이미 기억되어 있는 최소값 보다 작은지의 여부를 판정으로 이행하여, 이 판정에 의해 작을때만 최소값의 경신을 행한다. 또한, 제1도에 있어서는, 오류 정정 회로(11)에 의하여 정정이 성공한 것을 나타내는 정정 OK/NG 신호를, 최소값 판정 회로(14)의 입력측에 삽입된 AND 게이트(13)에 입력하여, 정정이 성공한 데이터 패턴의 신호간 거리만을 최소값 판정회로(14)에 입력하도록 했으나, 신호 거리 측정 회로(12)에 의해 오류가 성공한 데이터 패턴만에 대하여 신호간 거리를 측정하도록 해도 좋다.

이하, 제2 제4도를 참조하여, 본 실시예의 동작을 설명한다.

먼저, 복조 회로(1)는 제2도에 도시한 바와 같이, 입력되는 아날로그의 수신신호를 제1의 임계 레벨(V_0)와 비교하여, 수신 신호 레벨이 V_0 보다 클 때는 1 레벨, 작으면 0 레벨의 복조 데이터를 출력한다. 다시, 이 복조 회로(1)에서는, 복조 데이터가 확실함을 검출하기 위해, 수신 신호 레벨을 제2 및 제3의 임계 레벨 V_H , V_L 과 비교하여, 수신 신호 레벨이 V_H 보다 크거나 혹은 V_L 보다 작을때, 0 레벨의 신뢰도 정보 비트를 출력하고, 수신 신호 레벨이 V_H 와 V_L 의 사이에 있을 때는, 1 레벨의 신뢰도 정보 비트를 출력한다. 요컨대, 복조 데이터가 확실한 확률이 클때는 0 레벨의 신뢰도 정보 비트를 출력하고, 확률이 작을 때는 1 레벨의 신뢰도 정보 비트를 출력한다.

따라서, 방금 수신한 실제의 데이터 패턴이 제3도의 DD와 같은 데이터이고, 복조 회로(1)로부터 복조 데이터 패턴(D0)과 이 복조 데이터 패턴에 대응하는 신뢰도 정보 비트 열 T0가 출력된 것으로 한다. 복조 회로(1)로부터 복조 데이터 및 신뢰도 정보 비트가 출력되고 있을 때는, 오류 정정 제어 회로(7)가 스위치 전환 신호(SW1, SW2)를 1 레벨로 함으로, 스위치(2, 3)는 도면에서 상측으로 전환되며, 제1 시프트 레지스터(4)에 1 블럭 26비트의 복조 데이터 패턴이, 그리고 제2의 시프트 레지스터(5)와 동일하게 1 블럭 26 비트의 신뢰도 정보 비트열이 입력된다.

각 데이터가 입력되면, 오류 정정 제어 회로(7)가 스위치 전환 신호(SW1, SW2)를 0 레벨로 하기 때문에, 스위치(2, 3)는 도면에서 하측으로 전환되어, 시프트 레지스터(4, 5)에는 각각 자기의 출력이 귀환되어, 입력된 데이터를 사이클링으로 시프트 동작시키는 것이 가능한 상태가 된다.

여기서, 비트수 판정 회로(8)에 의해, 제2 시프트 레지스터(5)에 입력된 전체 신뢰도 정보 비트중 1 레벨의 신뢰도 정보 비트의 수 n 이 판정된다. 이 비트수 n 은 오류 정정 제어 회로(7)에 의해 입력되고, 내부의 식별 회로(22)에 의하여 기준값 N 보다 큰지의 여부가 식별된다. 그리고, 기준값 보다 클때는, 신뢰도 정보 비트를 사용하지 않는 통상의 오류

정정 동작(이하, 경 판정 오류 정정 동작이라 한다)을 행하여, 기준값 보다 작던가 같을때는 신뢰도 정보 비트를 이용한 연 판정 오류 정정 동작을 행한다. 또, 오류 정정이 경 판정에 의해 행해진 것인지 연 판정에 의해 행해진 것인지를 다음단에 알리기 위해 오류 정정 제어 회로(7)는 경 판정인지 연 판정인지를 나타내는 제어 신호 경/연을 발생한다. 신뢰도 정보 비트가 1 레벨 일때는, 대응하는 복조 데이터는 1과 0의 양방의 가능성이 있어서, 이 때문에, 연 판정시에는 복조 데이터로서 취할 수 있는 가능성이 있는 모든 조합의 복조 데이터 패턴을 내부에서 생성하여, 이들 전체의 조합의 복조 데이터 패턴에 대하여 오류 정정 처리를 실행하도록 하고 있다.

제3도에 DO, TO로 도시한 예에서는, 26 비트의 데이터 중, 12 비트째와 20 비트째에 신뢰도 정보 비트가 1 레벨인 복조 데이터 0가 존재한다. 그래서, 이들 2 비트에 대하여 가능성이 있는 비트 패턴은, [00], [10], [01], [11]의 4가지 이므로, 복조 데이터 패턴으로서 가능성이 있는 모든 조합의 복조 데이터 패턴은, 제 3도의 D1~D4까지의 4가지 패턴이다. 이에 의하여, 연판정 오류 정정시에는, 이 4가지 패턴에 대하여 순차 오류 정정을 실행한다.

비트수 판정 회로(8)에 의해 판정된 비트수가 n 이면, 상기 가능성이 있는 모든 조합의 수는 2^n 의 n 승이므로, 오류 정정 회로(11)에서의 처리 회수도 2^n 의 n 승회가 된다. 이 때문에, 제1 및 제2의 시프트 레지스터(4, 5)의 시프트 동작은 2^n 의 n 승 사이클 반복할 필요가 있게 되어, 그 회수를 오류 정정 회로(7) 내의 루프 카운터(21)에 의해 카운트 하도록 하고 있다. 또, 오류 정정 제어 회로(7) 내의 순서 카운터(20)는, 1 사이클 내에 나타나는 1 레벨의 신뢰도 정보 비트의 수를 카운트하는 카운터이며, 오류 정정 제어 회로(7)는 이들 2개의 카운터의 내용에 따라서 AND 게이트(9)로의 인에이블 신호 EN를 제어한다.

즉, 루프 카운터(21)이 0가 되는 제1 사이클에서, 시프트 레지스터(4, 5)의 시프트 동작에 의해 제2 시프트 레지스터(5)로부터 12 비트째의 신뢰도 정보 비트 1이 출력되면, 순서 카운터(20)의 내용이 1이 되고, 오류 정정 제어 회로(7)는 인에이블 신호 EN을 0 레벨로 한다. 이 때문에, AND 게이트(9)에서는 신뢰도 정보비트 1의 통과가 저지되어, AND 게이트(9)의 출력은 0을 유지하고, EXOR 게이트(10)에서는 제1 시프트 레지스터(4)로부터의 복조 데이터가 0가 그대로 출력된다.

시프트 동작이 더욱 진행하여, 제2 시프트 레지스터(5)로부터 20 비트째의 신뢰도 정보 비트 1이 출력 되면, 순서 카운터(20)가 카운트 업 하여 2가 되고, 이때, 오류 정정 제어 회로(7)는 인에이블 신호 EN을 0 레벨로 한다. 따라서, 상술한 바와 동일하게, AND 게이트(9), EXOR 게이트(10)의 출력은 0가 되어 제1 시프트 레지스터(4)로부터의 복조 데이터 0가 그대로 출력된다. 또한, 제2 시프트 레지스터(5)로부터 0 레벨이 출력된 때는, AND 게이트(9)의 출력이 항상 0가 되므로 EXOR게이트(10)로부터는 제1 시프트 레지스터(4)로부터 출력되는 복조 데이터가 그대로 출력된다. 이에 의해, 시프트 동작의 제1 사이클에서는, 복조 데이터와 완전히 동일한 제3도 (D)에 도시한 데이터 패턴 D1이 오류 정정 회로(11)에 입력되어 이 패턴에 대응하여 오류 정정 처리가 실행된다.

이어서, 시프트 동작의 제2사이클에서는, 루프 카운터(21)의 내용이 1로 카운터 업 되어, 제2 시프트 레지스터(5)로부터 12 비트째의 1이 출력되어 순서 카운터(20)이 1이 되면, 이번에는, 오류 정정 제어 회로(7)는 인에이블 신호 EN을 1 레벨로 한다. 이 때문에, AND 게이트(9)의 출력은 1이 되고, 제1 시프트 레지스터(4)로부터 출력된 복조 데이터 0는 EXOR 게이트(10)에 의해 반전되어 1이 된다. 20 비트째의 1이 출력되어 순서 카운터(20)가 2가 되면, 오류 정정 제어 회로(7)는 인에이블 신호 EN을 0 레벨하여, 이것에 의해, 복조 데이터 0는 EXOR 게이트(10)로부터 그대로 출력된다. 따라서, 이 제2 사이클에서는 제3도 (I)에 도시한 데이터 패턴 D2가 오류 정정 회로(11)에 입력된다.

이하, 제3사이클에서는, 루프 카운터(21)가 2로 되어, 순서 카운터(20)가 1이 되었을 때에 인에이블 신호 EN을 0 레벨로 하고, 순서 카운터(20)가 2가 될때에 인에이블 신호 EN을 1레벨로 한다. 따라서, 이 경우는 12 비트째가 0가 되고, 20 비트째가 1이 되는 제3도에 도시한 데이터 패턴 D3가 EXOR 게이트(10)으로부터 출력된다. 그리고, 최후의 제4 사이클에서는, 루프 카운터(21)가 3이 되어, 순서 카운터(20)가 1,2가 된 때 함께 인에이블 신호 EN을 1 레벨로 하고, 이것에 의해, 12 비트째와 20 비트째가 함께 1로 되는 제3도에 도시한 데이터 패턴 D4가 EXOR 게이트(10)으로부터 출력된다.

이와 같이 하여, 4개의 데이터 패턴 D1~D4가, 순차 오류 정정 회로(11)에 입력되고, 여기서, 순차 오류 정정 처리가 실행된다. 오류 정정 처리가 성공했을때는 정정 OK/NG신호가 1이 되고, 실패했을 때는 0가 된다. 복수의 데이터 패턴중 유일한 데이터 패턴만 정정이 성공하면, 그 오류 정정 결과를 최종적인 결과로 하면 좋지만, 복수의 데이터 패턴에 있어서 정정이 성공하는 일도 있다. 따라서, 이하의 처리를 더욱 행하도록 하고 있다.

먼저, 오류 정정 결과와 제1 및 제2 시프트 레지스터(4, 5)로부터의 복조 데이터 및 신뢰도 정보 비트를, 신호 거리 측정 회로(12)에 입력하고, 제4도에 도시한 법칙에 따라서 각 비트마다 오류 정정 결과와 복조 데이터와의 신호간 거리를 산출하고, 그것을 1 불럭분 적산하여 데이터 패턴마다의 신호간 거리를 측정한다. 그리고, AND 게이트(13)를 개재하여 정정에 성공한 데이터 패턴의 신호간 거리만을 최소값 판정 회로(14)로 송출하고, 여기서 상술한 방법에 의해 최소값의 판정을 행한다. 오류 정정 제어 회로(7)는, 신호간 거리가 최소가 된 데이터 패턴에 대응하는 루프 카운터(21)의 값을 기억하고, 다시, 이 값을 루프 카운터(21)에 세트하여, 신호간 거리가 최소가 된 데이터 패턴을 다시 발생시켜, 오류 정정 회로(11)에 출력한다. 그리고, 이때의 오류 정정 결과를 최종적인 정정 결과로서 다음단에 송출한다.

제3도의 예에서, 데이터 패턴 D2~D4의 3개의 데이터 패턴에 대하여 정정이 성공하여, 그 오류 결과가 제3도에 도시한 DC1, DC2, DC3로 났다고 하면, 이것들에 대하여 제4도에 기초하여 신호간 거리를 측정하면, 신호간 거리는 각각 10, 9, 10으로 된다. 따라서, 이 경우는 최소값 판정 회로(14)에서 최소값이 9로 결정되고, 대응하는 데이터 패턴 D3의 오류 정정 결과 DC2가 최종적인 정정 결과로서 채용된다.

또한, 상술의 실시예에서는, 신호간 거리가 최소가 되는 데이터 패턴에 대하여 2번 오류 정정을 행하도록 했으나, 각 데이터 패턴에 대한 오류 정정 결과를 정정 처리시에 버퍼 메모리등에 기억해두고, 신호간 거리가 최소로 된 데이터 패턴의 오류 정정 결과를 이 버퍼 메모리로부터 판독해 내도록 해도 좋다. 혹은, 최소값의 판정시에, 미리 기억되어 있는 신호간 거리보다 작다고 판정된 때에만 버퍼 메모리의 오류 정정 결과를 개서하도록 하여, 최후에 버퍼 메모리에

남은 정정 결과를 최종적인 결과로서 채용하도록 해도 좋다.

그런데, 최소값 판정 회로(14)에서, 모든 데이터 패턴의 신호간 거리가 기준값 M보다 큰 경우에는, 최소값으로서 초기값이 남게된다. 이러한 경우에는, 오류 정정 제어 회로(7)는 다음 단계 오류 정정 처리가 성공하지 않은 것을 표시하는 오류 정정 NG 신호를 출력하고, 이것에 의해 다음 단계 회로에서는, 출력된 오류 정정 결과를 사용하지 않도록 한다.

이어서, 비트수 판정 회로(8)에 의해 판정한 비트수 n 이 기준값 N을 초과할 때 실행되는 경 판정 오류 정정에 대하여 이하 설명한다.

비트수 n 이 기준값을 초과한다는 것은 복조 데이터가 극히 불명확한 상태에 있는 것을 나타내고 있다. 이러한 상황에서, 신뢰도 정보 비트를 사용한 연판정 오류 정정을 실행하면, 잘못해서 정정이 성공해 버릴 가능성이 높게 되어, 오히려 오정정이 증가하게 된다. 따라서, 본 실시예에서는, 이러한 경우에 이하와 같은 경판정 오류 정정을 행하도록 하고 있다.

즉, 이 경판정에서는, 오류 정정 제어 회로(7)는 항상 0 레벨의 인에이블 신호 EN를 출력하기 때문에, AND 게이트(9)의 출력은 항상 0가 되고, EXOR 게이트(10)에서는, 제1 시프트 레지스터(4)의 출력이 그대로 통과하게 된다. 따라서, 이 판정시에는, 복조 회로(1)로부터 출력된 복조 데이터만이 오정정 회로(11)에 입력되고, 다른 복조 데이터 패턴의 생성을 행해지지 않는다. 그리고, 이 오류 정정 결과가 최종적인 결과로서 다음단계에 송출된다.

(57) 청구의 범위

청구항 1.

입력 신호를 복조하여 복조 데이터 패턴을 출력함과 동시에, 해당 복조 데이터 패턴의 각 복조 데이터가 확실하다는 것을 표시하는 신뢰도 정보 비트를 복조 데이터에 대응하여 출력하는 복조 회로와,
상기 복조 데이터 패턴의 오류 정정을 행하는 오류 정정 회로와,
상기 신뢰도 정보 비트에 따라 상기 복조 데이터 패턴의 오류 정정을 제어하는 제어 회로와,
상기 출력된 신뢰도 정보 비트중 소정 레벨의 신뢰도 정보 비트의 비트수를 판정하는 비트수 판정 회로를 구비하며,
상기 제어 회로는 상기 비트수 판정 회로에서 판정한 비트수에 따라, 오류 정정을 제어하고,
상기 제어 회로는 상기 신뢰도 정보 비트가 소정 레벨인 복조 데이터를 조작하여 복조 데이터 패턴을 얻을 가능성이 있는 모든 조합의 복조 데이터 패턴을 생성하는 생성 회로를 갖고, 상기 오류 정정 회로는 상기 생성된 모든 조합의 복조 데이터 패턴에 대하여 오류 정정을 실행하는 것을 특징으로 하는 오류 정정 장치.

청구항 2.

제1항에 있어서,
상기 제어 회로는, 상기 판정한 비트수가 소정값을 초과했는지의 여부를 판정하며, 초과하지 않은 때는 상기 생성한 조합의 복조 데이터 패턴을 상기 오류 정정 회로로 송출하고, 초과했을 때에는 상기 복조 회로로부터의 복조 데이터 패턴만을 상기 오류 정정 회로로 송출하도록 제어하는 것을 특징으로 하는 오류 정정 장치.

청구항 3.

제1항 또는 제2항에 있어서,
상기 비트수 판정 회로는, 상기 복조 데이터 패턴 및 신뢰도 정보 비트를 각각 취입하여, 서로 동기하여 시프트 동작을 행하는 제1 및 제2의 시프트 레지스터를 갖고,
상기 제2의 시프트 레지스터에 취입된 신뢰도 정보 비트중 소정 레벨의 신뢰도 정보 비트의 비트수 n 이 소정 값을 초과했는지를 판정하는 것을 특징으로 하는 오류 정정 장치.

청구항 4.

제1항 또는 제2항에 있어서,
상기 생성 회로는, 상기 소정 레벨의 신뢰도 정보 비트를 입력하여, 상기 소정 레벨의 신뢰도 정보 비트에 대응하는 복조 데이터를 얻을 수 있는 가능성이 있는 모든 조합의 비트 데이터를 순차 출력하는 비트 데이터 발생 회로와, 상기 복조 데이터 패턴 중 소정 레벨의 신뢰도 정보 비트에 대응하는 복조 데이터를 상기 모든 조합의 비트 데이터로 순차 변경하여, 상기 모든 조합의 복조 데이터 패턴을 순차 출력하는 논리 회로를 갖는 것을 특징으로 하는 오류 정정 장치.

청구항 5.

제4항에 있어서,
상기 비트 데이터 발생 회로는 상기 제1 및 제2의 시프트 레지스터가 행하는 2의 n 승 사이클의 시프트 동작 중 어떤 사이클 때의 시프트 동작인지를 카운트하는 제1의 카운터와, 1 사이클의 시프트 동작 중에 나타나는 상기 소정 레벨의 신뢰도 정보 비트의 출현 회수를 카운트하는 제2의 카운터를 포함하고, 상기 소정 레벨의 신뢰도 정보 비트를 입력하여 상기 제1 및 제2의 카운터의 내용에 따라, 상기 소정 레벨의 신뢰도 정보 비트에 대응하는 복조 데이터를 얻을 가능성이 있는 모든 조합의 비트 데이터를 각 사이클마다 순차 출력하고, 상기 논리 회로는 상기 각 사이클마다 소정 레벨의 신뢰도 정보 비트에 대응하는 복조 데이터를 상기 순차 출력 되는 비트 데이터로 변경하여, 상기 모든 조합의 복조 데이터 패턴을 순차적으로 상기 오류 정정 회로로 출력하는 것을 특징으로 하는 오류 정정 장치.

청구항 6.

제1항 또는 제2항에 있어서,
상기 오류 정정 회로에서의 정정 처리의 결과 적어도 정정이 성공한 복조 데이터 패턴에 대하여 오류 정정 결과와 상기 복조 데이터와의 신호간 거리를 측정하는 신호 거리 측정 회로와, 해당 신호 거리 측정 회로에서의 정정이 성공한

상기 최소값 판정 회로는 적어도 상기 최소값이 소정값 보다 큰지의 여부를 판정하는 판정 회로를 갖고, 상기 최소값이 소정값 보다 큰 경우에 제어 회로를 출력하는 것을 특징으로 하는 오류 정정 장치.

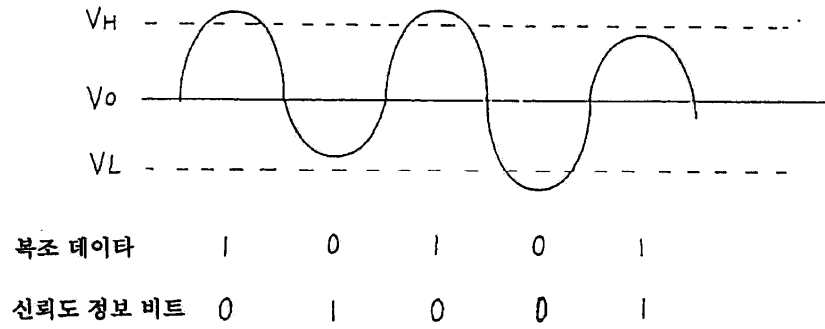
상기 신호 거리 측정 회로는 상기 오류 정정 결과와 복조 회로로부터의 복조 데이터 및 신뢰도 정보 비트에 따라 신호 간 거리를 측정하는 것을 특징으로 하는 오류 정정 장치.

상기 입력 신호는 RDS 방송 신호 혹은 FM 다중 방송 신호인 것을 특징으로 하는 오류 정정 장치.

도면1



도면2



도면3

	제12 비트	제20 비트
	↓	↓
(A) DD	01010101010101011100101100	
(B) D0	01010101010101011100001111	
(C) T0	000000000000010000000100000	
(D) D1	01010101010101011100001111	
(E) D2	01010101010111011100001111	
(F) D3	01010101010101011100101111	
(G) D4	01010101010111011100101111	
(H) DC1	01010101010111010000101111	
(I) DC2	01010101010101011100101100	
(J) DC3	01010101010111010000101111	

도면4

복조 출력	신뢰도 정보 비트	정정 결과	신호간 거리
0	0	0	0
0	0	1	3
0	1	0	1
0	1	1	2
1	0	0	3
1	0	1	0
1	1	0	2
1	1	1	1