

## (19) 대한민국특허청(KR)

## (12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 29/68(45) 공고일자 1992년02월13일  
(11) 공고번호 특 1992-0001403

(21) 출원번호	특 1983-0003011	(65) 공개번호	특 1984-0005926
(22) 출원일자	1983년07월01일	(43) 공개일자	1984년11월19일

(30) 우선권주장 57-164840 1982년09월24일 일본(JP)

(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 미쓰다 가쓰시게  
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자	안자이 노리오 일본국 사이따마켄 도쿄로자와시 오아자끼따노 898-17 야스오까 히데끼
(74) 대리인	일본국 군마켄 다까사끼시 니시요꼬떼마찌 391-8 백남기

실사관 : 김정국 (책자공보 제2661호)(54) 반도체집적회로장치의 제조방법**요약**

내용 없음.

**대표도****도1****명세서**

## [발명의 명칭]

반도체집적회로장치의 제조방법

## [도면의 간단한 설명]

제1도~제7도는 본 발명에 의한 Bi-CMOS IC제조공정의 1실시예를 나타내는 공정단면도.

제8도는 본 발명에 의한 Bi-CMOS IC의 다른 실시예를 나타내는 일부단면도.

제9도는 본 발명에 의한 Bi-CMOS IC에 있어서의 n채널 MOSFET의 불순물농도의 곡선도.

제10도는 본 발명에 의한 Bi-CMOS IC의 1실시예를 나타내는 일부단면도.

제11도~제20도는 본 발명에 의한 Bi-CMOS IC공정의 1실시예를 나타내는 공정의 1실시예를 나타내는 공정단면도.

제21도는 본 발명에 의한 Bi-CMOS IC에 있어서의 n채널 MOSFET의 불순물농도의 곡선도.

제22도~제24도는 본 발명에 의한 Bi-CMOS IC공정의 다른 실시예를 나타내는 일부공정단면도.

## [발명의 상세한 설명]

본 발명은 바이폴라트랜지스터와 절연게이트형 전계효과트랜지스터(이하, MOSFET라 한다)를 동일 기판내에 형성한 반도체집적회로장치(이하, Bi-MOS IC라 한다)의 제조방법에 관한 것이다.

하나의 반도체기판내에 바이폴라트랜지스터와 n채널 MOSFET(n-MOS) 또는 상보형 MOSFET(C-MOS)를 공존시키는 공정이 종래부터 여러가지 개발되고 있다. 통상 사용되고 있는 공정의 일례를 다음에 기술한다.

(1), p형 실리콘(Si)기판의 주면의 일부에 n<sup>+</sup>형 매입층을 마련하고, 또 p형 Si기판상에 n형 Si층을 에피택셜성장시킨다.

(2), n형 에피택셜층의 일부의 주면에서 봉소(B)를 확산하고, p형 기판에 도달하는 분리용 p형 확산층을 마련하고, n형 Si층내에 여러개의 전기적으로 분리된 썸영역을 형성한다.

(3) 또, 상기 n형 에피택셜층이외의 부분에는 마찬가지로 에피택셜층의 표면에서의 봉소확산에 의해 서 깊은 p형영역(통상은 P형 웨일라 한다)를 형성한다.

(4) 상기 p형 웨이팅 중에 n채널 MOSFET를 형성한다. 한편, 다른 n형 Si층내의 섬영역에 p채널 MOSFET 또는 바이폴라트랜지스터를 형성한다.

상기한 공정은 일본국 특허공개공보 소화 54-131887호에 개시되어 있다.

이와 같은 공정은 에피택셜 n형 실리콘층의 두께가  $10\mu\text{m}$ 정도 또는 그 이상의 Bi-MOS IC(에미터깊이가  $5\mu\text{m}$ 정도)를 대상으로 하고 있다. 최근에는 각 소자의 고속화를 위해서 또는 침면적의 축소를 위해서 IC의 미세화가 도모되고 있지만, 에피택셜 Si층의 두께가  $5\mu\text{m}$ 이하로 얇게 되었을 경우, 상기한 공정에서는 바이폴라 npn트랜지스터의 베이스와 컬렉터사이의 내압이 저하한다는 문제점이 있었다.

즉, n채널 MOSFET를 형성하기 위해서 사용되는 p형 웨이는 웨주면에 형성되는 n채널 MOSFET의 소오스-드레인 내압을 유지하기 위해 어느정도 깊게(에피택셜층 정도의 깊이)하지 않으면 안된다. 한편으로는 p형 웨의 표면불순율농도가 MOSFET의  $V_{th}$ (임계전압)을 결정하므로, 고농도로 확산하는 것은 바람직하지 않다. 따라서, p형 웨의 형성에 있어서는 저농도( $C_s = 1 \times 10^{16} \text{ cm}^{-3}$ ), 또한 고농도( $1200^\circ\text{C}$ )에서 4~6시간이라는 장시간에 걸쳐서 확산처리할 필요가 있다. 그 열처리시에 바이폴라트랜지스터의 베이스층 바로 아래에 있는  $n^+$ 형 매입층에서 n형 불순물(Sb, P등)이 에피택셜층중에 약  $3.5\mu\text{m}$ 나 위쪽으로 확산하고, npn트랜지스터의 베이스층 부분까지 도달하여 컬렉터와 베이스사이의 내압이 저하하게 된다.

그 때문에, n형 매입층의 팽창을 고려하면 에피택셜층의 두께는  $7\mu\text{m}$ 가 한계로서, 그 이하의 두께로 Bi-MOS IC를 형성해서 미세화를 도모하는 것 및 바이폴라트랜지스의 고속화를 도모하는 것은 곤란하였다.

또한, 본 발명과 유사한 기술이 일본국 특허공개공보 소화 57-75453호에 개시되어 있지만, 이 공보에 개시된 공정은 분리영역과 p형 웨이팅을 형성하기 위한 기판표면에서의 불순율도입을 각각의 공정에서 실행해야 하므로 공정수가 많아진다는 문제점이 있었다.

본 발명의 목적은 고속이고 또한 고집적화된 신규인 Bi-MOS IC의 제조방법을 제공하는 것이다.

본 발명은 다음의 공정으로 이루어진다.

(1) 제1도전형 불순물을 함유하는 기판의 1주면에 제1도전형 불순물을 부분적으로 도입하고, 기판보다도 고농도인 여러개의 불순율도입영역을 형성하는 공정, (2) 기판의 1주면상에 상기 제1도전형과는 반대의 도전형을 나타내는 제2도전형 불순물을 함유하는 에피택셜반도체층을 형성하는 공정, (3) 상기 여러개의 불순율도입영역상에 위치하는 에피택셜반도체층 주면의 각각의 부분에 제1도전형 불순물을 도입하는 공정, (4) 상기 여러개의 불순율도입 영역의 제1도전형 불순물을 에피택셜반도체층으로 확대확산시킴과 동시에 에피택셜반도체층 주면에 도입된 제1도전형 불순물을 확대확산하고, 각각의 확산에 의해 형성되는 확산층을 연결해서 분리영역과 MOSFET를 형성하기 위한 반도체영역을 형성하는 공정, (5) 상기 분리영역의 주표면에 기생채널 방지층을 형성하는 공정으로 이루어진다.

이하, 본 발명의 실시예를 도면에 따라서 설명한다.

#### [실시예 1]

제1도~제7도에 본 발명의 1실시예인 Bi-CMOS IC의 제조공정을 도시한다.

(1)이고, 비저항의 p-형 Si기판(1)을 마련하고, 제1도에 도시한 바와 같이 그의 1주면의 표면에 형성한 산화막(Si<sub>2</sub>O<sub>5</sub> 막)(2)를 마스크로 사용해서 고농도  $n^+$ 형 매입층 형성을 위한 도너, 예를들면 Sb(안티온)를 퇴적 또는 이온주입등의 수단에 의해 도입한다. 동일도면의 점선(3)은 도입된 불순물 Sb를 나타낸다. 또한, 동일도면에서, I은 n채널 MOSFET를 형성하기 위한 영역, II는 바이폴라 npn트랜지스터를 형성하기 위한 영역이다.

(2) 새로운 산화막마스크(4)에 의해 p형 웨 및 분리부 형성을 위한 억셉터, 예를들면 봉소(B)를 퇴적 또는 이온주입등의 수단에 의해 도입한다. 제2도에서, 점선(5)는 도입된 불순물 B를 나타낸다. 또한, 새로운 산화막마스크(4)를 형성하기 위한 열처리에 의해 공정(1)에서 기판주면의 일부에 도입된 Sb가 확대확산되어  $n^+$ 확산층(6)이 형성된다.

(3) 기판위 전면에 Si화합물의 열분해등의 수단을 사용한 에피택셜처리에 의해 제3도에 도시한 바와 같이 n형 Si층(7)을 약  $4\mu\text{m}$ 의 두께로 형성한다. 이 에피택셜 n형 Si층(7)의 형성시에 상기 공정

(1),(2)에서 도입된 안티온(Sb)나 봉소(B)등의 불순물이 n형층(7)내로 확대확산되어  $n^+$ 형 매입층(8), 웨의 일부인 p형 매입층(9)와 분리부의 일부인 p형 매입층(10)을 마련한다. 또한, 봉소(B)의 확산정수는 안티온(Sb)의 확산정수에 비해서 약 6배이므로, 봉소는 에피택셜층으로 보다 깊게 확산된다.

(4) 제4도에 도시한 바와 같이 표면에 형성한 산화막마스크(11)를 통해서 에피택셜 Si층내로 P형 웨 및 분리확산을 위한 봉소(B)를 이온주입에 의해 도입한다. 이 경우의 도우즈량은 p형 웨의 최적값에 맞추어서  $10^{13} \text{ atoms/cm}^2$ 로 한다. 어닐처리에 의해 아래쪽으로 봉소를 확산하여 p형층(12),(13)을 형성함과 동시에 p형 매입층(9)(10)을 에피택셜층내의 위쪽으로 확산시키고, 이들의 p형층을 접속하는 것에 의해 제5도에 도시한 p형 웨(14) 및 분리용 p형층(15)을 형성한다.

(5) 바이폴라소자를 형성하는 영역 II의 표면의 일부에 제5도에 도시한 바와 같이 봉소(B)의 선택적인 퇴적(또는 이온주입)을 실행하여 베이스로 되는  $p^+$ 형 확산층(16)을  $1\sim 1.5\mu\text{m}$ 의 깊이로 형성한다. 이  $p^+$ 형 베이스확산과 동시에 분리용 p형층(15)의 표면에 적층해서  $p^+$ 형 확산층(17)을 형성한다.

(6) 영역 II의 표면에 제6도에 도시한 바와 같이 As(비소) 또는 P(인)의 선택적인 퇴적(또는 이온주

입)을 실행해서 에미터로 되는  $n^+$ 형 확산층(18), 컬렉터 접촉부로 되는  $n^+$ 형 확산층(19)를 형성한다. 이  $n^+$ 형 선택확산과 동시 또는 각각의  $n^+$ 형 확산에 의해서 동일도면에 도시한 바와 같이 영역 I측의 p형 웨일 표면에 소오스 및 드레인으로 되는  $n^+$ 형 확산영역(20),(21)를 형성한다.

(7) 영역 I에서는 제7도에 도시한 바와 같이 소오스와 드레인 사이의 p형 웨일 표면에 얇은 산화막에 의한 게이트절연막(22)를 형성한다. 그후, 콘택트 포토에칭을 실행하여 Al(알루미늄)을 증착한 후, 어닐처리, 패터닝 에칭을 실행하여 각 영역에 음접촉하는 Al전극(23)을 형성하는 것에 의해 영역 I 측에 n채널 MOSFET를 완성하는 한편, 영역 II 측에 바이폴라 npn트랜지스터를 완성한다. 동일 도면에 있어서, 각각 S는 소오스, G는 게이트, D는 드레인전극이고, II에 있어서, 각각 E는 에미터, B는 베이스, C는 컬렉터전극이다.

또한, 제8도는 실시예 1의 변형예를 도시한 일부 단면도이다. 이 변형예의 특징은 MOSFET형성영역에  $n^+$ 형 매입층을 마련하고 있지 않은 것이다. 이 경우, MOSFET형성영역에  $n^+$ 형 매입층을 마련하고 있지 않은 것이다. 이 경우, MOSFET형성영역에서의 불순물의 위쪽으로의 확산이 없으므로, 소오스-드레인의 내압은 실시예 1에 비해서 크게 된다. 그러나, p형 웨일의 전위는 기판의 전위와 동일하게 된다. 또한, 제8도에서 상기한 도면과 동일한 장소는 동일한 번호를 붙이고 있다.

제9도는 상기 공정에 의해 제조된 n채널 MOSFET의 일부의 단면(제6도의 A-A' 단면)에 있어서의 불순물 농도 프로파일을 도시한 것으로, 종축에 불순물 농도 ND, 횡축에 표면에서의 깊이 d를 취하고 있다.

제10도는 이 실시예의 공정을 이용해서 완성된 Bi-CMOS의 단면도이다. 도면 중, 상기한 도면과 동일 장소에는 동일한 번호를 붙이고 있다. 또한, 도면 중, (24),(25)는 p채널 MOSFET의 소오스, 드레인, (26)은 게이트산화막이다.

이상, 실시예 1에서 기술한 바와 같은 Bi-CMOS IC의 공정에 있어서, n-MOS형성을 위한 p형 반도체 영역(p형 웨일)의 형성에 있어서 p형 불순물인 붕소(B)를 사전에 기판의 주면에 도입해 놓고, 에피택셜층 성장후에 그 상면에서 p형 확산을 실행하므로, p형 웨일 형성을 위한 열처리시간을 크게 단축할 수가 있고,  $n^+$ 형 매입층의 「팽창」 확산이 적어지게 되므로, 에피택셜층의 두께가 얇은 경우에도 바이폴라트랜지스터의 내압이 저하되지 않아 고속 바이폴라트랜지스터를 MOSFET와 공존시키는 것이 가능하게 되었다.

또한, 이 방법에서는 매입된 p형층의 불순물 농도를 p형 웨일로 되는 에피택셜층의 표면 측의 소오스 및 드레인 내압이 떨어지지 않을 정도로 선택할 수가 있다.

그 때문에, 에피택셜층의 두께를  $4\mu m$  정도로 할 수가 있고, 그 결과 바이폴라소자에서 에미터 깊이  $3\mu m$ 의 고속트랜지스터의 설계가 가능하게 된다.

또, 본 공정에서 주목해야 할 것은 분리영역과 p형 웨일 영역의 형성을 위한 불순물 도입을 동시에 실행하고 있는 것이다. 상술한 바와 같이 p형 웨일 영역의 표면 불순물 농도는 MOSFET의  $V_{th}$ (임계전압)을 결정하므로, 너무 고농도로 할 수는 없고,  $10^{16} \text{ atoms/cm}^3$  정도이다.

한편, 분리영역의 표면 불순물 농도는 기생채널의 발생을 방지하는 의미에서  $10^{17} \text{ atoms/cm}^3$  정도 필요하다. 이와 같이 요구되는 표면 불순물 농도가 다른 경우, 그들의 영역으로의 불순물 도입을 각각 실행하던가, 공정을 추가하여 분리영역에만 이온주입 등에 의해 불순물을 반복해서 주입하여 고농도화하는 것이 보통이다. 상기 실시예 1에 의하면, p형 웨일 영역의 최적 불순물 농도에 맞추어서 분리영역을 형성하고 있다.

그리고, 그후 바이폴라트랜지스의 베이스형성을 위한 p형 불순물 도입시에 분리영역의 주 표면에도 p형 불순물을 도입하고 기생채널의 발생을 방지할 수 있는 분리용에 필요한 표면 불순물 농도로 보상하고 있다. 이와 같이 공정의 공통화를 도모하고 있으므로, 공정수의 증가를 방지할 수가 있다.

또, 에피택셜 반도체 층의 상하에서의 확산에 의해 분리영역을 형성하는 것에 의해 가로방향으로의 확산을 억제하여 분리면적을 축소하고 그것에 의해서도 접적도를 향상할 수가 있다.

다음에, 미세화를 더욱 진행하여 에피택셜층의 두께를  $1.5\sim 3\mu m$  까지 얇게 한 경우에 본 발명을 적용한 예를 실시예 2,3에 나타낸다.

## [실시예 2]

제11도~제20도는 에피택셜층의 두께가  $1.5\sim 3\mu m$ 로 얇은 분리부를 산화막과 확산층으로 형성하는 미세 Bi-CMOS IC 공정의 하기 각 공정에 대응하는 공정 단면도이다.

(1) 제11도에 도시한 바와 같이 고비저항 p-형 Si 결정기판(100)을 마련하고, 표면 산화막에 의해 생성한 산화막( $SiO_2$  막)(200)을 포토에칭 처리해서 Sb(안티몬) 등을 퇴적 확산하는 것에 의해  $n^+$ 형 매입층(300)을 형성한다. 이  $n^+$ 형 매입층(300)은 바이폴라 npn트랜지스터의 컬렉터의 일부로서 형성되는 것이다.

(2) 전면에 재차 산화막(400)을 생성하고, 제12도에 도시한 바와 같이 포토에칭 처리해서 분리부와 웨일을 형성하는 부분을 뚫어서 B(붕소)를 퇴적(또는 이온주입) 확산해서 p<sup>+</sup>형 매입층(500),(600)을 형성한다.

(3) 제13도에 도시한 바와 같이 전면에 Si를 에피택셜 성장시켜서 두께  $3\mu m$  정도의 n형 Si 층(700)을

형성한다. 이 n형 Si층(700)의 표면을 산화해서 산화막(800)을 생성한다.

(4) 산화막(800)의 일부를 제14도에 도시한 바와 같이 포토에칭해서  $p^+$ 형 매입층(500),(600)에 대응하는 부분을 뚫은 후에 B(붕소)를 퇴적(또는 이온주입)한다. 이 경우, 불순물의 도입량은 p형 웨일의 표면불순물농도가 최적으로 되는 양으로 한다.

(5) 에피택셜 n형 Si층(700)에 있어서 상하에서 B(붕소)를 확산하고, 제15도에 도시한 바와 같이 p형 분리부(900) 및 p형 웨일(1000)을 형성한다.

(6) 산화막(800)을 에칭제거하고, 새롭게 생성한 산화막(1100)을 거쳐서 질화물( $Si_3N_4$ )을 퇴적하고 포토에칭에 의해 부분적으로 질화막(1200)을 형성하고, 이 질화막(1200)을 마스크로 사용해서 n형 Si층의 표면을 국소적으로 산화해서 제16도에 도시한 바와 같이 두꺼운 필드산화막(1300: (1300a, 1300b, 1300c))를 형성한다. 이 필드산화막(1300)은 n형 Si층(700)의 표면아래에 1 $\mu m$ 정도의 깊이로 파고들어가고, 그 일부(1300a)는 p형 분리부(900)의 위면에 접해서 양자에 의한 분리부를 구성한다. 필드산화막(1300)의 다른 일부(1300b)는 p형 웨일의 주변부와 접하는 위치에 형성되어 n형층과 p형 웨일의 분리부로 되고, 또 다른 일부(1300c)는  $n^+$ 형 매입층이 형성된 바이풀라부 표면에서 컬렉터-베이스사이의 분리부로 된다.

(7) 제17도에 도시한 바와 같이 화학기상성장(CVD)에 의해  $SiO_2$  막(1400)을 형성하고, 포토에칭처리해서 일부를 뚫고, 이 CVD산화물막(1400)과 필드산화막(1300a),(1300c)를 마스크로 사용해서 바이풀라부 n형층(700)의 일부에 붕소를 퇴적확산하는 것에 의해 npn트랜지스터의 p형 베이스(1500)를 자기정합적으로 형성한다. 이 경우의 베이스의 깊이는 0.7 $\mu m$ 정도로 한다.

(8) CVD에 의해 형성한 산화막(1400) 및 Si층의 표면의 얇은 산화막을 에칭제거한 후, 열산화에 의해 게이트산화막(1600)을 형성하고, 그 위에 기상에서 Si를 퇴적해서 다결정 Si층을 형성한다. 그후, 포토에칭을 실행하여 제18도에 도시한 바와 같이 MOS층에서 다결정 Si게이트(1700)를 남기고, 새롭게 산화막(1800)에 의한 마스크를 형성해서 필드산화막(1300a), (1300b) 및 다결정 Si게이트(1700)를 마스크로 해서 붕소(B)를 퇴적(이온주입)확산하는 것에 의해 p채널 MOSFET의 소오스-드레인(1900)을 자기정합적으로 형성한다. 이 경우의  $p^+$ 형 소오스의 깊이는 0.4~0.5 $\mu m$ 로 한다.

(9) 산화막(1800)을 제거하고, 새롭게 CVD에 의해 산화막(2000)을 형성하고, 포토에칭에 의해 제19도에 도시한 바와 같이 일부를 뚫어서 As를 퇴적(또는 이온주입)확산하는 것에 의해 p형 웨일(1000)표면에 n채널 MOSFET의  $n^+$ 형 소오스 및 드레인(2100)을 형성함과 동시에 npn트랜지스터의  $n^+$ 형 에미터(2200) 및  $n^+$ 형 컬렉터(콘택트부)(2300)를 형성한다. 이 경우의 에미터깊이는 0.4 $\mu m$ 정도로 한다. 또한, 컬렉터는 별도의 공정에 의해  $n^+$ 형 매입층(400)에 도달하는 깊이로 하여도 좋다.

(10) 산화막(2000)을 제거하고, 전면에 PSG(인 실리케이트 글라스)등의 절연막(2400)을 형성하고, 콘택트 포토에칭한 후에 AI(알루미늄)을 증착하고, AI포토에칭을 실행해서 제20도에 도시한 바와 같이 각 반도체영역에 저항접속하는 전극(2500)을 완성한다. 또한 도시하지 않았지만, 다결정실리콘게이트의 연장부에서 PSG막에 뚫은 스루홀을 통해서 게이트 AI전극을 인출한다. 또한, 제21도에 상기 공정에 의해 제조된 n채널 MOSFET의 일부단면(제19도의 B-B' 단면)에 있어서의 불순물농도 프로파일을 도시한다.

### [실시예 3]

제22도~제24도는 분리부에 사전에 오목부를 형성하고, 이 오목부에 산화막과 확산층을 형성하는 Bi-CMOS IC공정에 본 발명을 적용한 경우의 하기 주요부 공정에 대응하는 공정단면도이다.

(1) 실시예 1의 공정(1)~(3)과 마찬가지의 공정을 거쳐서 제22도에 도시한 바와 같이 p-형 기판(100)의 표면에  $n^+$ 형 매입층(300), p형 매입층(500),(600)을 형성한 후에 3 $\mu m$ 두께정도의 에피택셜 n형층(700)을 형성하고, 그 표면의 산화막(800)을 일부 뚫어서 웨일형성을 위한 붕소를 주입한다.

(2) 제23도에 도시한 바와 같이 산화막상에 질화막( $Si_3N_4$ )막 (1200)을 부분적으로 형성하고, 이 질화막(1200)을 마스크로 해서 필드로 되는 부분을 선택에칭해서 오목부(2600)를 형성한다. 이 선택에칭은 Si결정면의 이방성과 KOH등의 일칼리에칭을 이용하는 것에 의해 깊은 금경사면을 갖는 오목부를 형성하는 것이고, 그 깊이는, 예를들면 0.7~1 $\mu m$ 정도로 한다.

(3) 그후, 1200°C에서 1~5시간 정도 열처리를 실행하는 것에 의해 제24도에 도시한 바와 같이  $p^-$ 형 기판 표면에 형성한  $n^+$ 형 매입층(300), p형 매입층(500),(600)에서 에피택셜 n형층(700)으로 불순물(Sb, B)를 확산시켜서 일부에서는 상하에서의 확산에 의해 p형 웨일을 형성하고, 일부에서는 오목부 아래면에 도달하는 분리용 p형층(900)을 형성한다. 계속해서, 웨트  $O_2$  분위기중에서 상기의 질화막을 마스크로 해서 고압하에서 1000°C, 2시간 정도의 산화처리를 실행하여 오목부 표면에 두꺼운 필드산화막(2700)을 형성한다. 이중, 일부에서는 p형 확산층과 산화막에 의해 분리부가 구성된다. 이 경우에 있어서의 필드산화막의 에피택셜층 표면 아래의 두께는 실시예 1의 경우의 필드산화막(제16도)와 같은 정도(1 $\mu m$ 정도)로 좋지만, 산화전에 형성한 오목부에 의해 에피택셜층 표면에서 위의 부분이 보상되어 오목블록이 적은 비교적 평탄한 위면을 얻는다.

그후는 실시예 2의 (7)~(10)(제17도~제20도)의 각 공정과 마찬가지의 공정에 의해 Bi-CMOS IC를 완성한다. 이상 기술한 실시예 2,3에 있어서는 p형 웨일을  $p^-$ 형 기판에 직결시킨 형으로 형성하므로, 웨일 형성을 위한 상하에서의 확산에서는 아래쪽(p형 매입층)에서의 확산농도를 위쪽에서의 확산농도보다 고농도화할 수가 있고, MOSFET가 형성되는 위층의 저농도를 확보한 상태에서 아래쪽의 확산진행속도를 빠르게 하는 것에 의해 웨일영역의 형성을 위한 열처리시간은 종래의 약 1/4로 단축되고, 바이풀라

측에서의  $n^+$  매입층의 「팽창」을 종래의 약 1/2로 억제할 수가 있다.

따라서, 에피택셜층이  $1.5\mu\text{m} \sim 3.0\mu\text{m}$ 로 얇은 경우이더라도  $n^+$  형 매입층의 팽창이 있었던 후에도  $0.7 \sim 1.3\mu\text{m}$ 의 저농도의 에피택셜층이 남게 되어 npn트랜지스터의 특성저하는 없다.

또한, MOSFET형성영역에는  $n^+$  형 매입층이 형성되어 있지 않으므로, 열처리에 따르는 불순물의 에피택셜층으로의 확산이 없고, 소오스 및 드레인의 내압은 저하하지 않는다.

또, 실시예 2에서는 실시예 1과 마찬가지로 p형웰이 최적 불순물농도로 되는 농도에서 분리용 형성영역과 p형 웰형성영역의 주표면에 불순물을 도입하고, 열처리해서 p형웰과 분리영역을 형성한다. 그리고, 그후 분리영역의 상부에 두꺼운 산화막을 형성하고, p-형 기판의 반전에 의한 기생채널발생을 방지하도록 하고 있다.

이 두꺼운 산화막은 npn트랜지스터의 베이스확산용의 마스크를 겸한다. 이와 같이 공정의 공통화를 도모하여 공정수의 증가를 방지하고 있다. 또, 이 두꺼운 산화막은 접합용량이 적어 트랜지스터의 동작속도를 저하시키지 않는다는 이점도 있다.

또, 실시예 3은 본 발명의 변형예이지만, 실시예 1,2와 마찬가지의 효과를 얻는다.

또, p형웰 확산과 분리영역의 p형층의 확산을 동시에 아래쪽에서 실행하므로, 공정이 단축되고, 또한 그 부분에서의 가로방향의 확산을 억제할 수가 있다.

또한, 필드산화막의 형성은 통상의 경우, 온도  $1000^\circ\text{C}$ , 7시간 정도의 열처리가 필요하지만, p형웰 확산온도의  $1200^\circ\text{C}$ 에 비해서 낮으므로,  $n^+$  형 매입층의 팽창으로의 영향은 적다.

이상의 실시예에서 설명한 바와 같이, 본 발명에 의하면 에피택셜층의 두께가  $5\mu\text{m}$ 이하로 미세화된 고속바이풀라 트랜지스터를 MOSFET와 공존시킬 수 있음과 동시에 소자면적도 축소할 수 있어 고속, 대용량 Bi-MOS IC를 제공할 수 있다. 본 발명은 Bi-CMOS IC, Bi-n채널 MOS일반공정에 응용할 수가 있고, 특히 고속, 고집적을 도모한 것, 예를들면 1 K 게이트 이상의 게이트어레이등에 응용해서 유효하다.

## (57) 청구의 범위

### 청구항 1

(a) 제1도전형 불순물을 함유하는 기판(100)의 1주면의 여러부분에 제1도전형 불순물을 도입하고, 상기 기판(100)보다도 고농도인 여러개의 불순물도입영역(600,500)을 형성하고, 상기 여러부분은 MOSFET를 형성하기 위한 영역과 pn접합분리영역의 위치에 형성되는 공정, (b) 상기 기판(100)의 1주면 위에 제2도전형 불순물을 함유하는 에피택셜반도체층(700)을 형성하는 공정, (c) 상기 여러개의 불순물도입영역(600,500)상에 위치하는 에피택셜반도체층(700)의 주면의 각부분에 제1도전형 불순물을 동시에 도입하는 공정, (d) 상기 여러개의 불순물도입영역(600,500)의 제1도전형 불순물을 열처리에 의해 상기 에피택셜반도체층(700)내로 확산시키고, 또한 상기 에피택셜반도체층(700)의 주면에 도입된 제1도전형 불순물을 확대확산시키고, 각각의 확산에 의해 형성되는 확산층을 연결해서 MOSFET가 형성되어야 할 반도체영역(1000)과 pn접합분리영역(900)을 동시에 형성하는 공정, (e) 상기 반도체영역(1000)에 상기 MOSFET를 형성하는 공정과 (f) 상기 반도체영역(1000)과 pn접합분리영역(900)이외의 상기 에피택셜반도체층(700)의 주면에 바이플라트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

### 청구항 2

(a) 제1도전형 불순물을 함유하는 기판(100)의 1주면의 여러부분에 제1도전형 불순물을 도입하고, 상기 기판(100)보다도 고농도인 여러개의 불순물도입영역(600,500)을 형성하는 공정, (b) 상기 기판(100)의 1주면위에 제2도전형 불순물을 함유하는 에피택셜반도체층(700)을 형성하는 공정, (c) 상기 여러개의 불순물도입영역(600,500)상에 위치하는 에피택셜반도체층(700)의 주면의 각 부분에 제1도전형 불순물을 동시에 도입하는 공정, (d) 상기 여러개의 불순물도입영역(600,500)의 제1도전형 불순물을 열처리에 의해 상기 에피택셜반도체층(700)내로 확산시키고, 또한 상기 에피택셜반도체층(700)의 주면에 도입된 제1도전형 불순물을 확대확산시키고, 각각의 확산에 의해 형성되는 확산층을 연결해서 MOSFET가 형성되어야 할 반도체영역(1000)과 pn접합분리영역(900)을 동시에 형성하는 공정, (e) 상기 pn접합분리영역(900)상에 위치하는 상기 에피택셜반도체층(700)의 주면부에 분리용의 두꺼운 산화막(1300a)을 형성하는 공정, (f) 상기 반도체영역(1000)의 주면상에 상기 두꺼운 산화막(1300a)의 두께보다도 얇은 상기 MOSFET의 게이트산화막(1600)을 형성하는 공정, (g) 상기 반도체영역(1000)의 주면상에 상기 MOSFET를 형성하는 공정과 (h) 상기 반도체영역(1000)과 pn접합분리영역(900)이외의 상기 에피택셜반도체층(700)의 주면에 바이플라트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

### 청구항 3

특허청구의 범위 제2항에 있어서, 상기 pn접합분리영역(900)상에 형성된 상기 두꺼운 산화막(1300a)을 불순물도입의 마스크로 해서 상기 에피택셜반도체층(700)의 주면의 일부에 선택적으로 제1도전형 불순물을 도입하고, 바이플라트랜지스터의 베이스(1500)를 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

### 청구항 4

특허청구의 범위 제2항에 있어서, 상기 바이플라트랜지스터의 상기 베이스(1500)에 제2도전형불순물

을 도입하여 상기 바이플라트랜지스터의 에미터(2200)을 형성하고, 또한 상기 반도체영역(1000)에 제2도전형 불순물을 도입해서 상기 MOSFET의 소오스 및 드레인영역(2100)을 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

#### 청구항 5

특허청구의 범위 제2항에 있어서, 상기 에피택설반도체층(700)은  $5\mu\text{m}$ 이하의 두께를 갖는 반도체집적회로장치의 제조방법.

#### 청구항 6

특허청구의 범위 제2항에 있어서, 공정(a)에서 도입된 상기 제1도전형 불순물은 공정(c)에서 도입된 상기 제1도전형 불순물보다 높은 도우즈량으로 도입되는 반도체집적회로장치의 제조방법.

#### 청구항 7

특허청구의 범위 제4항에 있어서, 상기 베이스(1500)과 상기 반도체영역(1000)으로의 제2도전형 불순물의 도입이 동시에 실행되는 반도체집적회로장치의 제조방법.

#### 청구항 8

특허청구의 범위 제4항에 있어서, 상기 MOSFET가 형성되어야 할 상기 반도체영역(1000)을 형성하기 위하여 상기 기판(100)의 1주면의 여러부분에 도입되는 제1도전형 불순물의 농도는 상기 MOSFET가 형성되어야 할 상기 반도체영역(1000)을 형성하기 위하여 불순물도입영역(600)상에 위치하는 상기 에피택설반도체층(700)의 주면에 도입되는 제1도전형 불순물의 농도보다 높은 반도체집적회로장치의 제조방법.

#### 청구항 9

특허청구의 범위 제4항에 있어서, 상기 에피택설반도체층(700)은  $1.5\mu\text{m}$ ~ $3.0\mu\text{m}$ 의 두께를 갖는 반도체집적회로장치의 제조방법.

#### 청구항 10

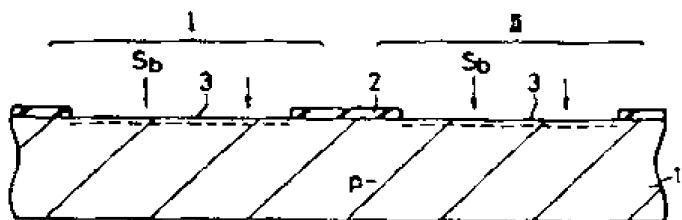
(a) 제1도전형 불순물을 함유하는 기판(1)의 1주면의 여러부분에 제1도전형 불순물을 도입하고, 상기 기판(1)보다도 고농도인 여러개의 불순물도입영역(6,5)를 형성하는 공정, (b) 상기 기판(1)의 1주면위에 제2도전형 불순물을 함유하는 에피택설반도체층(7)을 형성하는 공정, (c) 상기 여러개의 불순물도입영역(6,5)상에 위치하는 에피택설반도체층(7)의 주면의 각부분에 제1도전형 불순물을 동시에 도입하는 공정, (d) 상기 여러개의 불순물도입영역(6,5)의 제1도전형 불순물을 열처리에 의해 상기 에피택설반도체층(7)내로 확산시키고, 또한 상기 에피택설반도체층(7)의 주면에 도입된 제1도전형 불순물을 확대확산시키고, 각각의 확산에 의해 형성되는 확산층을 연결해서 MOSFET가 형성되어야 할 반도체영역(9,12)와 pn접합분리영역(10,13)을 동시에 형성하는 공정, (e) 바이플라트랜지스터의 베이스(16)를 형성하기 위하여 상기 반도체영역(9,12)와 상기 pn접합분리영역(10,13)이외의 상기 에피택설반도체층(7)의 주면의 일부에 제1도전형 불순물을 도입하고, 또한 상기 pn접합분리영역(10,13)의 주면에 제1도전형 불순물을 도입해서 상기 pn접합분리영역(10,13)의 주면상에 상기 pn접합분리영역(10,13)보다도 고농도인 고농도 반도체영역(17)을 각각 형성하는 공정, (f) 상기 반도체영역(9,12)의 주면상에 상기 MOSFET를 형성하는 공정과 (g) 상기 반도체영역(9,12)와 pn접합분리영역(10,13)이외의 상기 에피택설반도체층(7)의 주면상에 상기 베이스(16)를 갖는 바이플라트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

#### 청구항 11

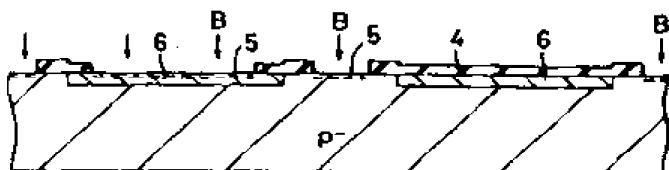
(a) 제1도전형 불순물을 함유하는 기판(100)의 1주면의 여러부분에 제1도전형 불순물을 도입하고, 상기 기판(100)보다도 고농도인 여러개의 불순물도입영역(600,500)을 형성하는 공정, (b) 상기 기판(100)의 1주면상에 제2도전형 불순물을 함유하는 에피택설반도체층(700)을 형성하는 공정, (c) 상기 불순물도입영역(600)상에 위치하는 상기 에피택설반도체층(700)의 주면부에 제1도전형 불순물을 선택적으로 도입하는 공정, (d) 상기 불순물도입영역(500)상에 위치하는 상기 에피택설반도체층(700)의 주면부에 오목부(2600)를 형성하는 공정, (e) 상기 여러개의 불순물도입영역(600,500)의 제1도전형불순물을 열처리에 의해 상기 에피택설반도체층(700)내로 확산시키고, 또한 상기 에피택설반도체층(700)의 주면에 선택적으로 도입된 제1도전형 불순물을 확대확산시키고, 각각의 확산에 의해 형성되는 확산층을 연결해서 MOSFET가 형성되어야 할 반도체영역(1000)과 상기 오목부(2600)에 도달하는 pn접합분리영역(900)을 동시에 형성하는 공정, (f) 상기 오목부(2600)의 주면에 분리용의 두꺼운 산화막(2700)을 형성하는 공정, (g) 상기 반도체영역(1000)의 주면상에 상기 두꺼운 산화막(2700)의 두께보다도 얇은 MOSFET의 게이트산화막(1600)을 형성하는 공정, (h) 상기 반도체영역(1000)의 주면상에 상기 MOSFET를 형성하는 공정과 (i) 상기 반도체영역(1000)과 pn접합분리영역(900)이외의 상기 에피택설반도체층(700)의 주면에 바이플라트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

#### 도면

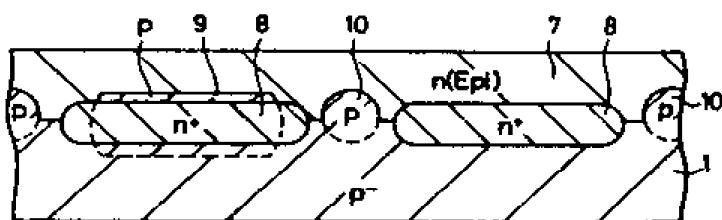
도면1



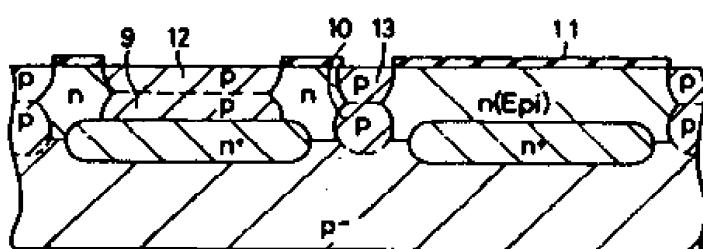
도면2



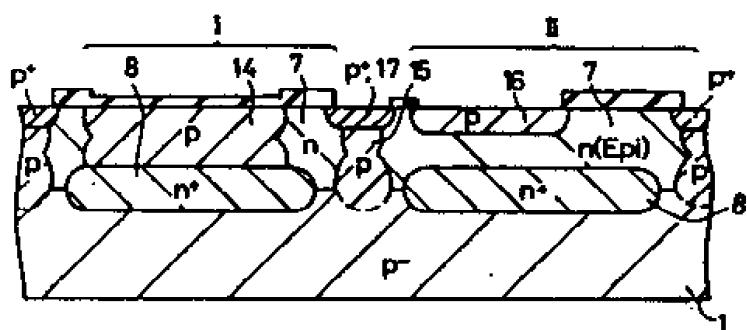
도면3



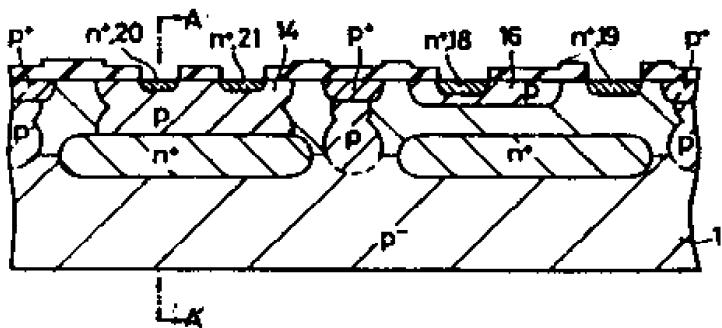
도면4



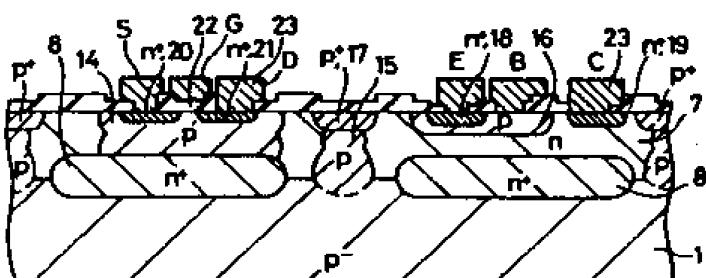
도면5



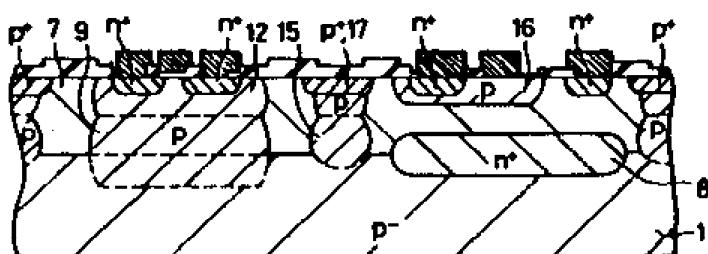
도면6



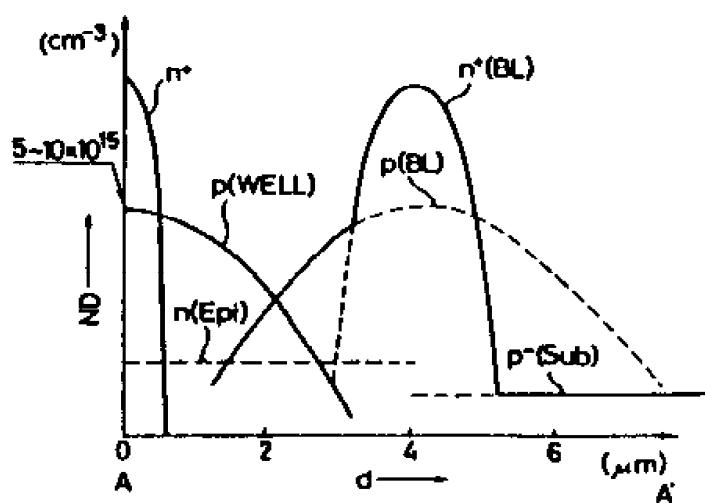
도면7



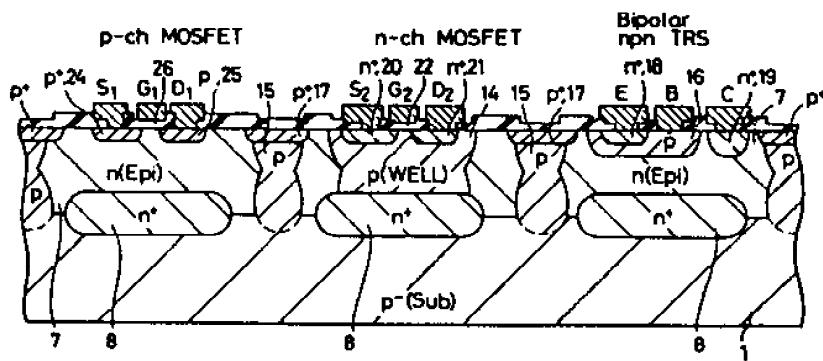
도면8



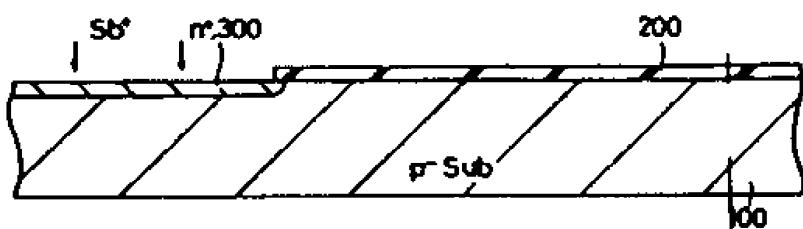
도면9



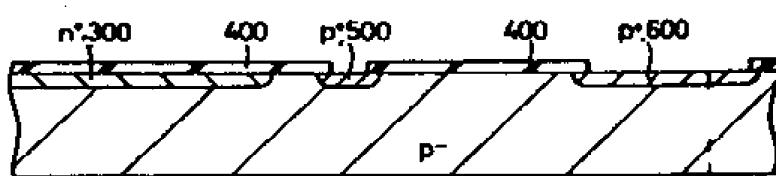
도면10



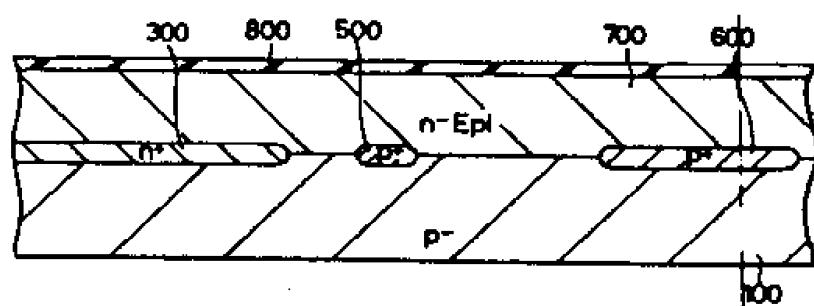
도면11



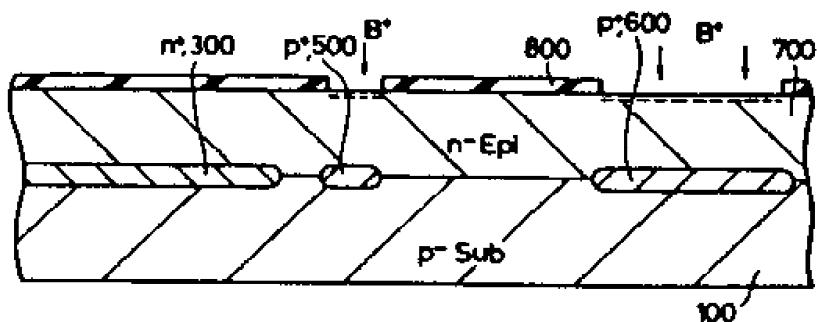
도면12



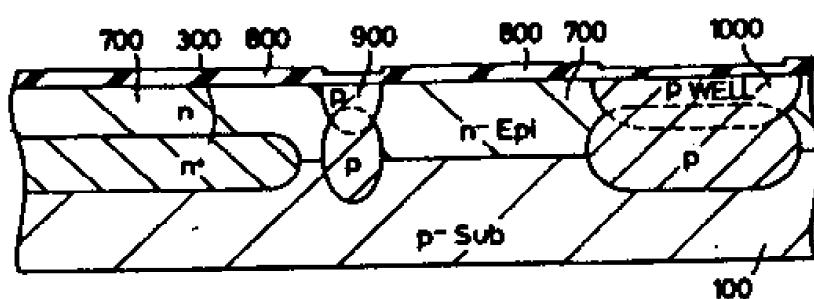
도면13



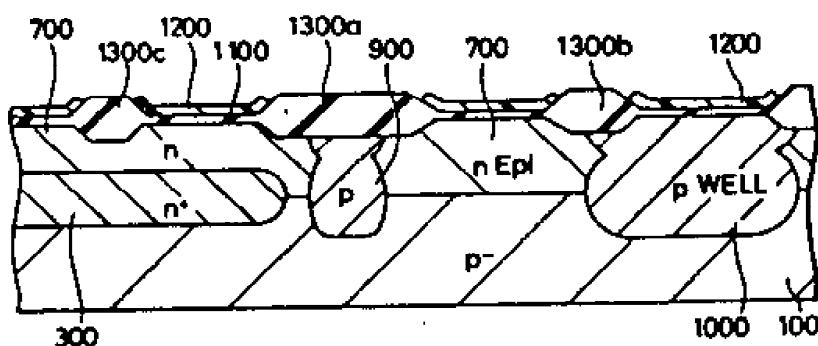
도면14



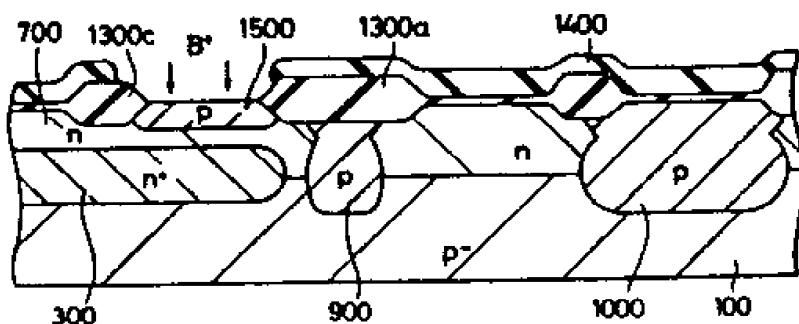
도면15



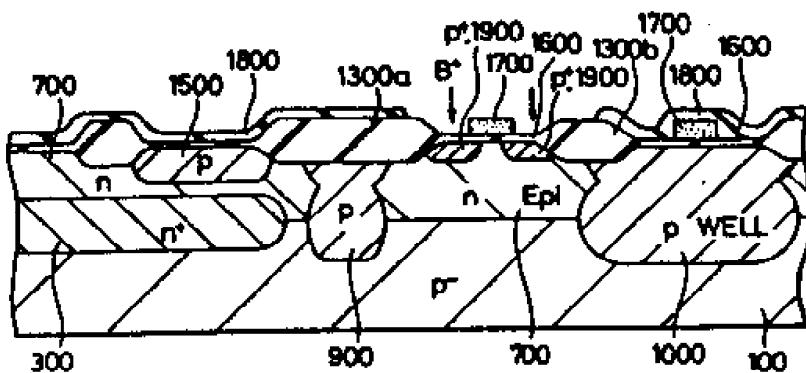
도면16



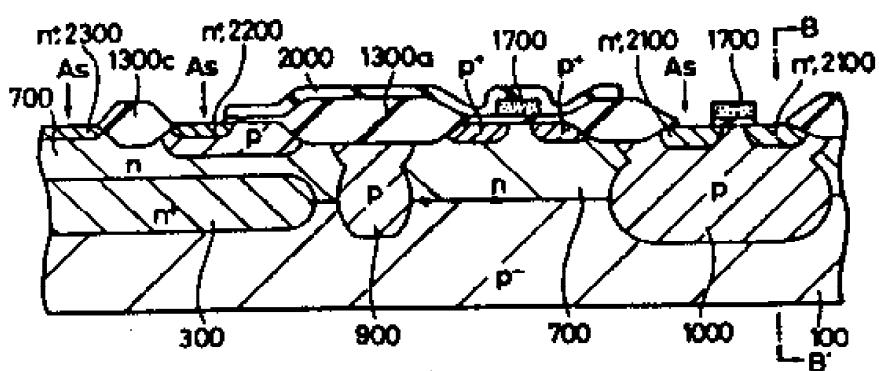
도면17



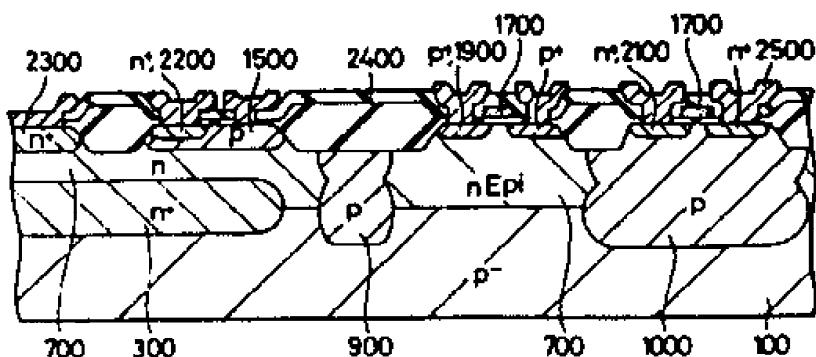
## 도면 18



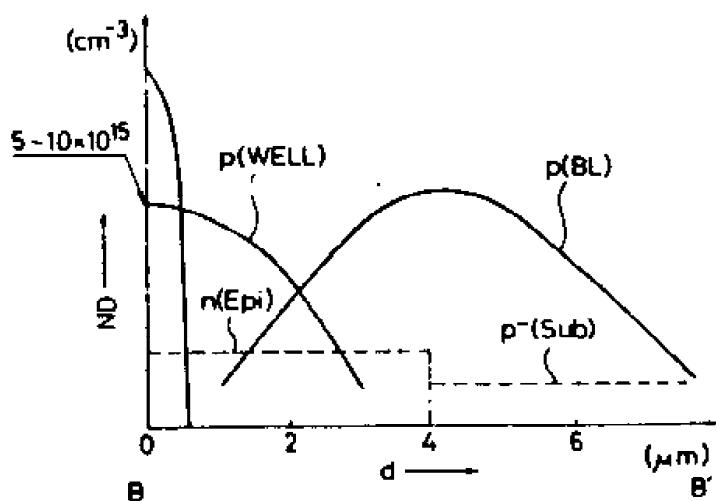
### 도면 19



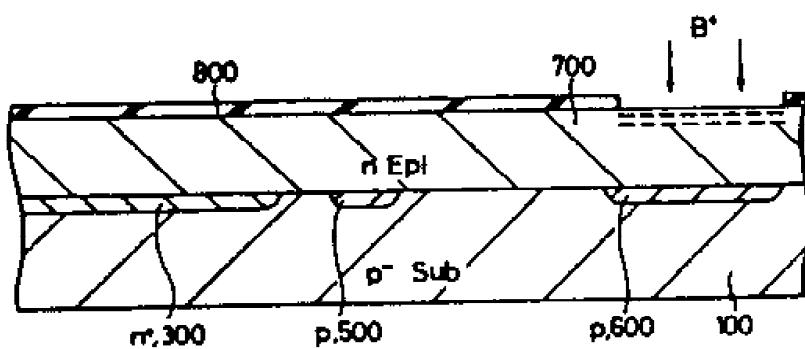
## 도면20



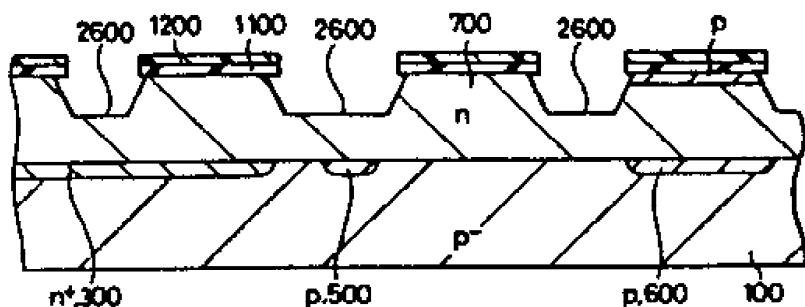
도면21



도면22



도면23



도면24

