

(21)申請案號：100100286

(22)申請日：中華民國 100 (2011) 年 01 月 05 日

(51)Int. Cl. : **H03K19/0185(2006.01)**

(71)申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 535 號 8 樓

(72)發明人：李永勝 LEE, YEONG-SHENG (US)；朱光達 CHU, KUANGDA (US)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：11 項 圖式數：3 共 18 頁

(54)名稱

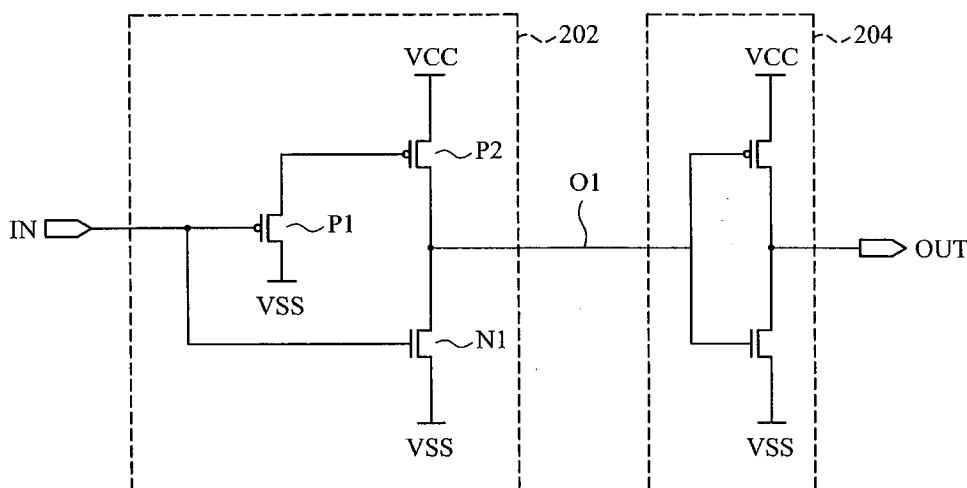
電位轉換電路

LEVEL SHIFTER

(57)摘要

一種電位轉換電路，使操作於第一電位區間內的輸入信號轉換成操作於第二電位區間內的輸出信號。所採用的是一漏電流阻絕電路，以輸入端耦接該輸入信號且以輸出端耦接該輸出信號。漏電流阻絕電路包括複數級 P 通道電晶體以及一 N 通道電晶體。每一級 P 通道電晶體的源極耦接下一級 P 通道電晶體的閘極。第一級 P 通道電晶體的閘極耦接該輸入信號。最後一級 P 通道電晶體的源極耦接一電源，且汲極耦接該漏電流阻絕電路的該輸出端。N 通道電晶體以閘極耦接該輸入信號、源極耦接一低準位電位、且以汲極耦接該漏電流阻絕電路的輸出端。

200



200：電位轉換電路

202：漏電流阻絕電路

204：反相器

IN：輸入信號

N1：N 通道電晶體

O1：中繼信號

OUT：輸出信號

P1：P 通道電晶體

P2：P 通道電晶體

VCC：第二電源

VSS：低準位電位

六、發明說明：

【發明所屬之技術領域】

本發明係有關於電位轉換電路(Level Shifter)。

【先前技術】

在現代積體電路中，核心邏輯單元與輸入/輸出單元通常使用兩種不同準位的電源。

以 0.13um 製程為例，核心邏輯單元通常是以 1.2 伏特之電源供電，而輸入/輸出單元則是以 3.3 伏特之電源供電。由於核心邏輯單元內的信號是操作在一第一電位區間(例如，0~1.2 伏特)、而輸入/輸出單元內的信號是操作在一第二電位區間(例如，0~3.3 伏特)，不同單元間通常需要電位轉換電路(level shifter)，以確保信號以正確邏輯傳遞。

第 1 圖為一種傳統的電位轉換電路。電位轉換器 100 包括兩個反相器 Inv1 與 Inv2、一差動輸入對 102 以及一交錯耦接電晶體對 104。輸入信號 IN 操作於一第一電位區間。反相器 Inv1 以及 Inv2 由決定該第一電位區間的一第一電源 VDD 供電，並產生信號 INb 以及 IN'輸入該差動輸入對 102。如圖所示，該差動輸入對 102 以及該交錯耦接電晶體對 104 由一第二電源 VCC 供電，所產生的輸出信號 OUT 工作於該第二電源 VCC 所決定的一第二電位區間。總結之，電位轉換電路 100 將第一電位區間內操作的輸入信號 IN 轉換成第二電位區間內操作的輸出信號 OUT，可應用在上述核心邏輯單元以及輸入/輸出單元之間，進行信號之電位平移。

然而，傳統電位轉換電路 100 需要同時使用前一級電

路的電源(即第一電源 VDD)以及後一級電路的電源(即第二電源 VCC),且所採用的各個電晶體也必須根據其供電電源而有不同的閘極厚度設計。因此,在設計上相當複雜。此外,傳統電位轉換電路 100 所採用的是正回授(positive feedback)設計;差動輸入對 102 以及交錯耦接電晶體對 104 的動作相當緩慢。因此,輸出信號 OUT 與輸入信號 IN 之間存在有不容忽視的延遲量。另外,差動輸入對 102 以及交錯耦接電晶體對 104 之尺寸差別常會使輸出信號 OUT 的上升轉態時間(rising time)以及下降轉態時間(falling time)存在有一可觀差距。

本技術領域亟需一種可以正確、快速、且不佔面積的電位轉換電路。

【發明內容】

本發明揭露一種電位轉換電路,用以將於一第一電位區間內變化的一輸入信號轉換成在一第二電位區間內變化的一輸出信號。

根據一種實施方式所實現的電位轉換電路所採用的是—漏電流阻絕電路。該漏電流阻絕電路以輸入端耦接該輸入信號且以輸出端耦接該輸出信號。漏電流阻絕電路包括複數級 P 通道電晶體以及—N 通道電晶體。每一級 P 通道電晶體的源極耦接下一級 P 通道電晶體的閘極。第一級 P 通道電晶體的閘極耦接該輸入信號。最後一級 P 通道電晶體的源極耦接—電源,且汲極耦接該漏電流阻絕電路的該輸出端。N 通道電晶體以閘極耦接該輸入信號、源極耦接—低準位電位、且以汲極耦接該漏電流阻絕電路的輸出端。

根據另一種實施方式所實現的電位轉換電路包括有一第一 P 通道電晶體、一第二 P 通道電晶體以及一第一 N 通道電晶體。該第一 P 通道電晶體具有一閘極耦接該輸入信號、一汲極耦接一低準位電位、以及一源極。該第二 P 通道電晶體具有一閘極耦接該第一 P 通道電晶體的上述源極、一源極耦接一電源、以及一汲極。該 N 通道電晶體具有一閘極耦接該輸入信號、一汲極耦接該第二 P 通道電晶體之上述汲極、以及一源極耦接該低準位電位。該第二 P 通道電晶體的上述汲極以及該 N 通道電晶體的上述汲極耦接該輸出信號。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖示，詳細說明如下。

【實施方式】

第 2 圖圖解本發明所揭露之電位轉換電路的一種實施方式。

電位轉換器 200 包括一漏電流阻絕電路 202 以及一反相器 204，其作用是將操作於一第一電位區間內的一輸入信號 IN 轉換成操作於一第二電位區間內的一輸出信號 OUT。以下舉例說明之。該第一電位區間可由低準位電位 VSS 以及一第一電源 VDD 界定；該第一電源 VDD 可為該電位轉換器 200 的前一級電路(供應該輸入信號 IN 者)的供電電源。該第二電位區間可由低準位電位 VSS 以及一第二電源 VCC 界定；該第二電源 VCC 可為該電位轉換器 200 的後一級電路(接收該輸出信號 OUT 者)的供電電源。於一

實施例中，第二電源 VCC 的電位高於第一電源 VDD 的電位。

該漏電流阻絕電路 202 具有一輸入端接收該輸入信號 IN、且具有一輸出端供應一中繼信號 O1。該漏電流阻絕電路 202 是由該第二電源 VCC 供電。該反相器 204 也是由該第二電源 VCC 供電，用以接收該中繼信號 O1 並將其反相以產生輸出信號 OUT。以下將該漏電流阻絕電路 202 的輸入端與該輸入信號皆以標號 IN 表示，且將該漏電流阻絕電路 202 的輸出端以及該中繼信號皆以標號 O1 表示。

漏電流阻絕電路 202 於其輸入端 IN 以及該第二電源 VCC 間設置有複數級 P 通道電晶體(包括 P1 與 P2)，使輸入端 IN 以及第二電源 VCC 之間存在有複數個 P 通道裝置閘極-源極接面。最後一級的上述 P 通道電晶體(例如，P2)以汲極耦接該漏電流阻絕電路 202 的輸出端 O1。

此外，漏電流阻絕電路 202 更包括一個 N 通道電晶體(包括 N1)，以一閘極耦接該輸入信號 IN、以一源極耦接低準位電位 VSS、以及以一汲極耦接該漏電流阻絕電路 202 的該輸出端 O1。

以採用一第一 P 通道電晶體 P1、一第二 P 通道電晶體 P2、以及一 N 通道電晶體 N1 實現漏電流阻絕電路 202 的實施方式為例—如第 2 圖所示—以下詳述其耦接方式。第一 P 通道電晶體 P1 具有一閘極耦接該輸入信號 IN、一汲極耦接低準位電位 VSS、以及一源極。第二 P 通道電晶體 P2 具有一閘極耦接第一 P 通道電晶體 P1 的上述源極、一源極耦接第二電源 VCC、以及一汲極。N 通道電晶體 N1

具有一閘極耦接該輸入信號 IN、一汲極耦接該第二 P 通道電晶體 P2 之上述汲極、以及一源極耦接該低準位電位 VSS。第二 P 通道電晶體 P2 的上述汲極以及 N 通道電晶體 N1 的上述汲極耦接在一起供應該中繼信號 O1 輸入該反相器 204，以產生該輸出信號 OUT。

在上述設計下，當輸入信號 IN 為低準位時，可使上述複數個 P 通道電晶體(包括 P1 與 P2)得以導通。導通的最後一級 P 通道電晶體(P2)會將輸出端 O1 耦接到該第二電源 VCC，使中繼信號 O1 為高準位(約 VCC)。高準位 VCC 的中繼信號 O1 會經由反相器 204 處理後，形成低準位 VSS 的輸出信號 OUT。

至於高準位(例如，VDD 準位)的輸入信號 IN 則無法與該第二電源 VCC 產生足夠的壓差導通上述複數個 P 通道電晶體(包括 P1 與 P2)。在輸入信號 IN 為高準位 VDD 的狀態下，P 通道電晶體 P1 與 P2 可確實為不導通狀態，不容許漏電流流過。此時，改由 N 通道電晶體 N1 被導通。該漏電流阻絕電路 202 的輸出端 O1 因而被耦接至低準位電位 VSS。低準位 VSS 的中繼信號 O1 會由反相器 204 接收，形成高準位 VCC 的輸出信號 OUT。

當第一電源 VDD 與第二電源 VCC 的電位差越大時，可設置越多級的 P 通道電晶體，以防止漏電流的產生。第 3 圖所示的電位轉換器 300 即是一種實施方式。與第 2 圖相較，電位轉換器 300 同樣具有一漏電流阻絕電路 302 以及一反相器 304。兩實施方式不同處在於漏電流阻絕電路之設計。漏電流阻絕電路 302 較漏電流阻絕電路 202 多使

用一級 P 通道電晶體 P3。如此一來，可容忍第一電源 VDD 與第二電源 VCC 之間存在更大的電位差。

以上所介紹的電位轉換器結構成功地將第一電位區間 (VSS~VDD) 內操作的輸入信號 IN 位移成第二電位區間 (VSS~VCC) 內操作的輸出信號 OUT，且其中僅需要單一個電源(第二電源 VCC)供電，電路設計遠較第 1 圖所示之電位轉換電路 100(需要兩個電源 VDD 與 VCC)單純。此外，上述結構並無需採用第 1 圖傳統電位轉換電路 100 的正回授控制技術，因此，電路反應速度大幅提升，輸出信號 OUT 可即時反應輸入信號 IN 之轉態。第 1 圖傳統電位轉換電路 100 之差動輸入對 102 以及交錯耦接電晶體對 104 之尺寸設計之於輸出信號 OUT 之上升轉態速度與下降轉態速度的嚴重影響，也不復見於本案所揭露之結構中。

參考第 2、3 圖所揭露之電路，其中漏電流阻絕電路 202、302 的各個電晶體(包括 P1、P2、P3 以及 N1)除了供電電源 VCC 外並沒有另外設計偏壓電路(bias circuit)，電路相對的單純。

此外，需特別聲明的是，第 2、3 圖所述結構並不意圖限定漏電流阻絕電路所需採用的 P 通道電晶體以及 N 通道電晶體的數量。P 通道電晶體與 N 通道電晶體的數量應當隨著不同的設計需求而有所調整。

第 2、3 圖所示之反相器 204、304 電路僅是一種實施方式，也可以其他本技術領域所通知的反相器電路取代之。

特別聲明的是，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在

不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖圖解一種傳統的電位轉換電路；

第 2 圖圖解根據本發明一種實施方式所實現的一電位轉換電路；以及

第 3 圖圖解根據本發明一種實施方式所實現的一電位轉換電路。

【主要元件符號說明】

100~電位轉換電路； 102~差動輸入對；

104~交錯耦接電晶體對；

200~電位轉換電路； 202~漏電流阻絕電路；

204~反相器；

300~電位轉換電路； 302~漏電流阻絕電路；

304~反相器；

Inv1、Inv2~反相器；

IN~輸入信號； INb、IN'~信號；

N1~N 通道電晶體；

O1~中繼信號； OUT~輸出信號；

P1、P2、P3~P 通道電晶體；

VCC~第二電源； VDD~第一電源；

VSS~低準位電位。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100100286

※申請日：

100.1.27

※IPC 分類：

H03K 19/0185 (2006.01)

一、發明名稱：(中文/英文)

電位轉換電路/Level Shifter

二、中文發明摘要：

一種電位轉換電路，使操作於第一電位區間內的輸入信號轉換成操作於第二電位區間內的輸出信號。所採用的是一漏電流阻絕電路，以輸入端耦接該輸入信號且以輸出端耦接該輸出信號。漏電流阻絕電路包括複數級 P 通道電晶體以及一 N 通道電晶體。每一級 P 通道電晶體的源極耦接下一級 P 通道電晶體的閘極。第一級 P 通道電晶體的閘極耦接該輸入信號。最後一級 P 通道電晶體的源極耦接一電源，且汲極耦接該漏電流阻絕電路的該輸出端。N 通道電晶體以閘極耦接該輸入信號、源極耦接一低準位電位、且以汲極耦接該漏電流阻絕電路的輸出端。

三、英文發明摘要：

A level shifter transforming an input signal to an output signal, wherein the input signal is between a first voltage range and the output signal is between a second voltage range. The level shifter includes a leakage blocking circuit providing an input terminal coupled to the input signal and an output terminal coupled to the output signal. The leakage blocking circuit includes cascaded P-channel transistors and

one N-channel transistor. Each P-channel transistor provides a source to be coupled to the gate of the P-channel transistor of the next stage. The gate of the P-channel of the first stage is coupled to the input signal. The P-channel transistor of the last stage provides a source to be coupled to a voltage source and provides a drain to be coupled to the output terminal of the leakage blocking circuit. The N-channel transistor provides a gate coupled to the input signal, a source coupled to a low voltage level and a drain coupled to the output terminal of the leakage blocking circuit.

七、申請專利範圍：

1. 一種電位轉換電路，用以將操作於一第一電位區間內的一輸入信號轉換成操作於一第二電位區間內的一輸出信號，該電位轉換電路包括：

一漏電流阻絕電路，具有一輸入端耦接該輸入信號且具有一輸出端耦接該輸出信號，其中該漏電流阻絕電路包括：

複數級 P 通道電晶體，其中每一級上述 P 通道電晶體的源極耦接其下一級上述 P 通道電晶體的閘極，第一級上述 P 通道電晶體的閘極耦接該輸入信號，最後一級上述 P 通道電晶體的源極耦接一電源，且最後一級上述 P 通道電晶體的汲極耦接該漏電流阻絕電路的該輸出端；以及

一 N 通道電晶體，具有一閘極耦接該輸入信號、一源極耦接一低準位電位、以及一汲極耦接該漏電流阻絕電路的該輸出端。

2. 如申請專利範圍第 1 項所述之電位轉換電路，更包括：

一反相器，由該電源供電，且具有一輸入端耦接該漏電流阻絕電路的該輸出端，且具有一輸出端供應上述輸出信號。

3. 如申請專利範圍第 1 項所述之電位轉換電路，其中，該漏電流阻絕電路的上述複數級 P 通道電晶體中，除了最後一級以外的每一級 P 通道電晶體的汲極耦接該低準位電位。

4. 如申請專利範圍第 1 項所述之電位轉換電路，其中該電源決定該第二電位區間。

5. 如申請專利範圍第 1 項所述之電位轉換電路，其中該第二電位區間的電位高於該第一電位區間的電位。

6. 如申請專利範圍第 1 項所述之電位轉換電路，其中該低準位電位為地端電位。

7. 一種電位轉換電路，用以將操作於一第一電位區間的一輸入信號轉換成操作於一第二電位區間的一輸出信號，該電位轉換電路包括：

一第一 P 通道電晶體，具有一閘極耦接該輸入信號、一汲極耦接一低準位電位、以及一源極；

一第二 P 通道電晶體，具有一閘極耦接該第一 P 通道電晶體的上述源極、一源極耦接一電源、以及一汲極；以及

一 N 通道電晶體，具有一閘極耦接該輸入信號、一汲極耦接該第二 P 通道電晶體之上述汲極、以及一源極耦接該低準位電位，

其中該第二 P 通道電晶體的上述汲極以及該 N 通道電晶體的上述汲極耦接該輸出信號。

8. 如申請專利範圍第 7 項所述之電位轉換電路，更包括：

一反相器，由該電源供電，且具有一輸入端耦接該第二 P 通道電晶體的上述汲極以及該 N 通道電晶體的上述汲極，且具有一輸出端供應上述輸出信號。

9. 如申請專利範圍第 7 項所述之電位轉換電路，其中

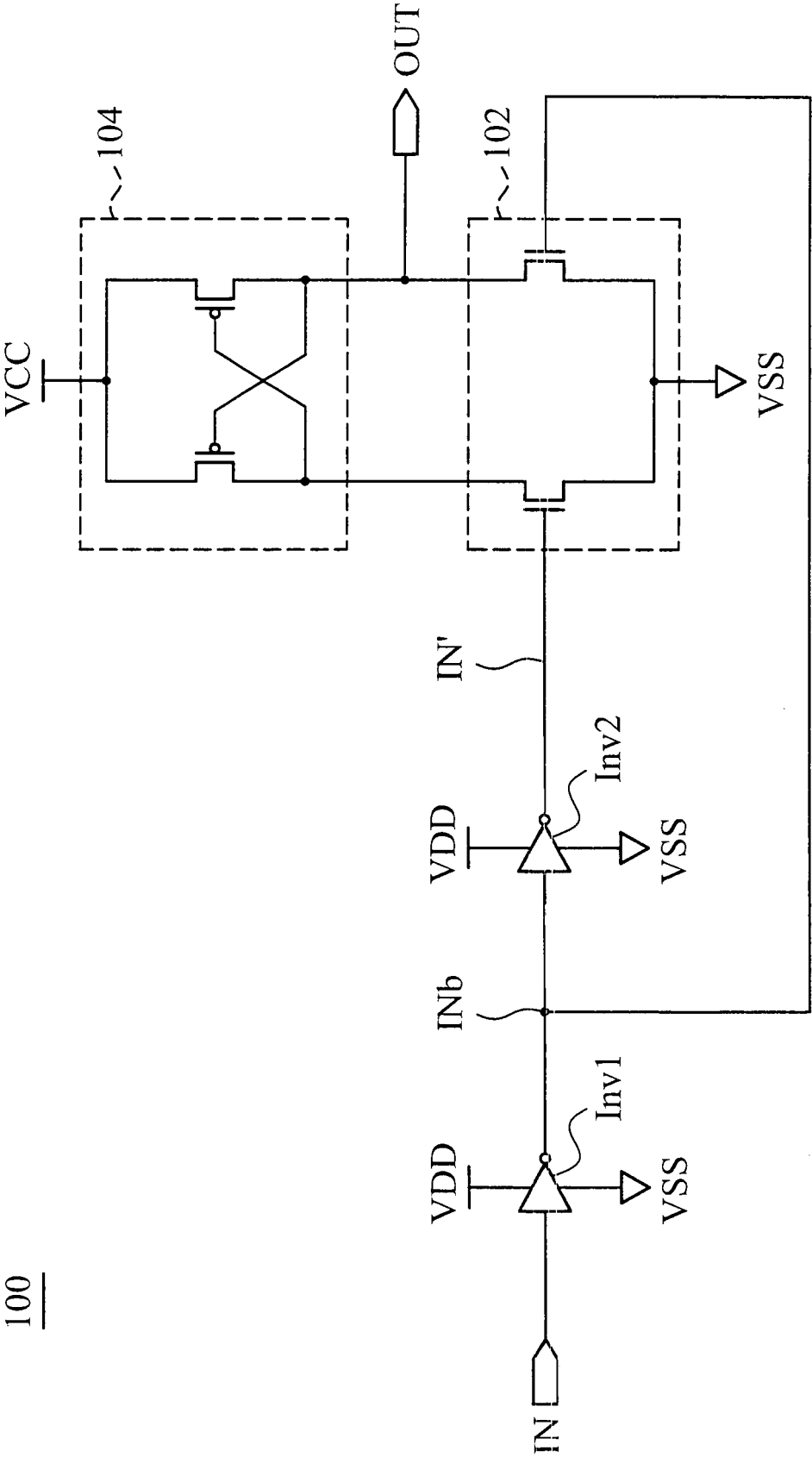
該電源決定該第二電位區間。

10. 如申請專利範圍第 7 項所述之電位轉換電路，其中該第二電位區間的電位高於該第一電位區間的電位。

11. 如申請專利範圍第 7 項所述之電位轉換電路，其中該低準位電位為地端電位。

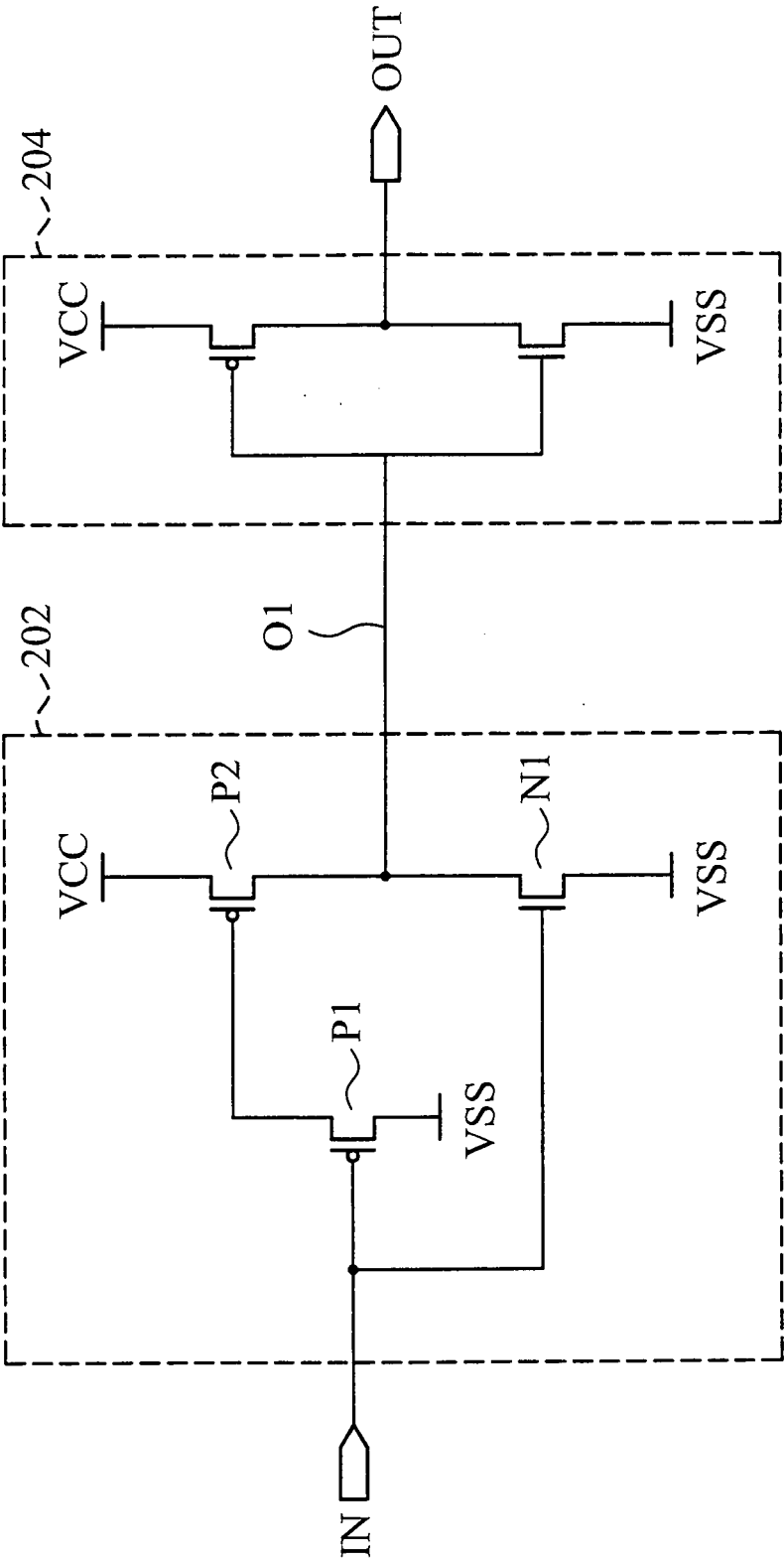
201230687

八、圖式：

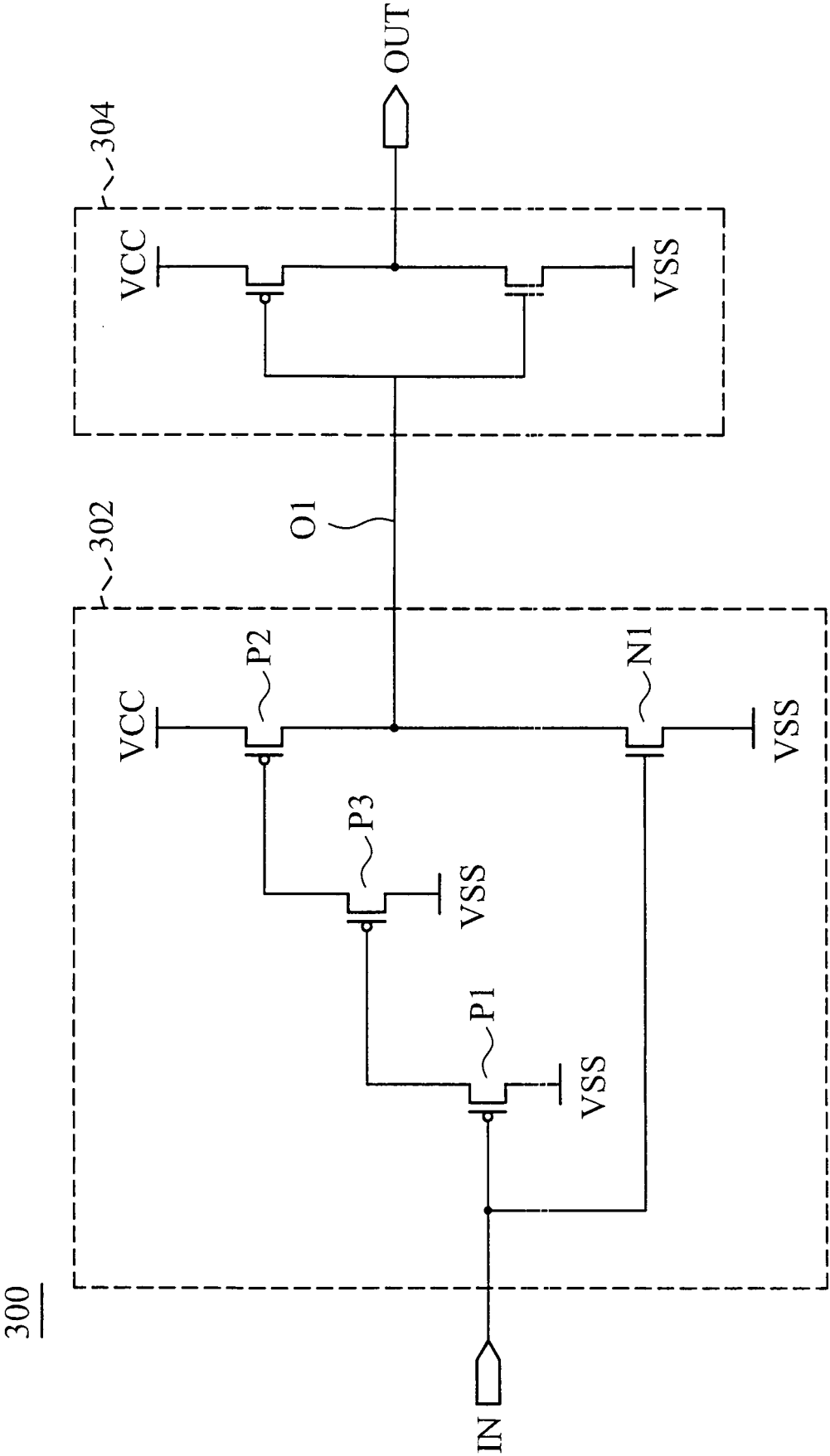


第 1 圖

200



第 2 圖



第 3 圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200~電位轉換電路； 202~漏電流阻絕電路；

204~反相器；

IN~輸入信號；

N1~N 通道電晶體；

O1~中繼信號； OUT~輸出信號；

P1、P2~P 通道電晶體；

VCC~第二電源； VSS~低準位電位。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略