



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0038040
(43) 공개일자 2009년04월17일

(51) Int. Cl.

G01R 1/067 (2006.01) *H01R 4/48* (2006.01)

(21) 출원번호 10-2009-7006727(분할)

(22) 출원일자 2009년04월01일

심사청구일자 2009년04월01일

(62) 원출원 특허 10-2008-7004403

원출원일자 2008년02월25일

심사청구일자 2008년02월25일

번역문제출일자 2009년04월01일

(86) 국제출원번호 PCT/US1999/028597

국제출원일자 1999년12월01일

(87) 국제공개번호 WO 2000/33089

국제공개일자 2000년06월08일

(30) 우선권주장

09/205,022 1998년12월02일 미국(US)

09/205,023 1998년12월02일 미국(US)

(71) 출원인

폼팩터, 인크.

미국, 캘리포니아 94551, 리버모어, 7005 싸우스
프론트 로드

(72) 발명자

매튜 게단 엘.

미국 94550 캘리포니아주 리버모어 오렌지 웨이
659

엘드리지 벤자민 엔.

미국 94523 캘리포니아주 텐빌 쉐리 레인 651

그루브 게리 더블유.

미국 94588 캘리포니아주 폴리산톤 싱글트리 코트
6807

(74) 대리인

한국찬, 주성민

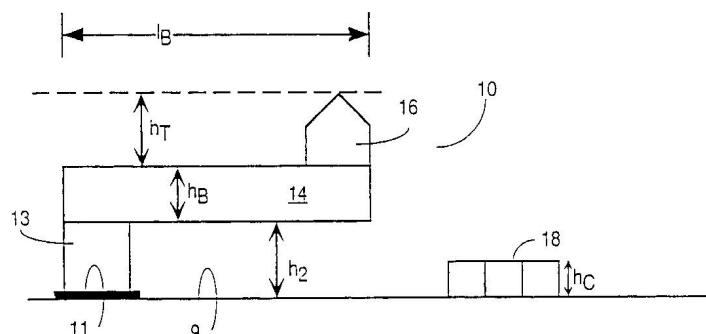
전체 청구항 수 : 총 27 항

(54) 전기 접촉 구조체의 제조 방법

(57) 요 약

리소그래피 기술에 의해 스프링 접촉 소자를 포함하는 상호 접속체를 형성하는 방법이다. 일 실시예에서, 상기 방법은 스프링 구조체의 제1 부분을 한정하는 개구를 구비하는 마스킹 재료를 기판의 제1 부분 위에 인가하는 단계와, 개구 내에 구조 재료(예, 전도성 재료)를 증착시키는 단계와, 개구를 구조 재료로 넘치게 충전하는 단계와, 구조 재료의 일부를 제거하는 단계와, 마스킹 재료의 제1 부분을 제거하는 단계를 포함한다. 이 실시예에서, 스프링 구조체의 제1 부분의 적어도 일부에는 마스킹 재료가 없다. 본 발명의 한 양태에 있어서, 상기 방법은 구조 재료의 일부를 제거하기 위하여 마스킹 재료 충과 구조 재료를 평탄화하는 단계를 포함한다. 본 발명의 또 다른 양태에 있어서, 형성된 스프링 구조체는 지주 부분, 빔 부분 및 팁 구조 부분 중 하나를 포함한다.

대 표 도 - 도1a



특허청구의 범위

청구항 1

전자 장치를 검사하는 방법이며,
 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계와,
 상기 복수의 접촉 구조체들이 상기 전자 장치의 단자와 접촉하는 단계와,
 상기 복수의 접촉 구조체들을 통해, 상기 전자 장치를 검사하는 단계를 포함하고,
 상기 복수의 접촉 구조체 각각은 상기 제1 기판의 단자 상에 배치되는 지주와, 상기 지주에 부착되는 외팔보
 빔과, 상기 빔에 부착되는 텁을 포함하고,
 상기 지주, 상기 빔 및 상기 텁은 각각 별도로 형성되는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 2

제1항에 있어서, 상기 전자 장치는 반도체 장치인 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 3

제1항에 있어서, 상기 복수의 접촉 구조체들이 상기 전자 장치의 단자와 접촉하는 단계는, 상기 복수의 접촉 구
 조체들의 텁들을 상기 전자 장치의 단자들에 대항하여 가압함으로써, 상기 전자 장치의 단자들과 임시적인 전기
 접속을 형성하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 4

제3항에 있어서, 상기 복수의 접촉 구조체들의 텁들을 상기 전자 장치의 단자들에 대항하여 가압함에 따라, 상
 기 복수의 접촉 구조체들의 빔들이 쳐지는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 5

제4항에 있어서, 상기 복수의 접촉 구조체들의 빔들의 쳐짐은 상기 전자 장치의 단자들이 상기 복수의 접촉 구
 조체들의 텁들과 최초로 접촉한 지점을 통과하여 이동하는 것을 허용하는 것을 특징으로 하는 전자 장치를 검사
 하는 방법.

청구항 6

제5항에 있어서, 상기 복수의 접촉 구조체들의 지주들과 빔들은 상기 전자 장치의 단자들이 상기 복수의 접촉 구
 조체들의 텁들과 최초로 접촉한 지점을 통과하여 이동하는 이동 정도를 제한하는 것을 특징으로 하는 전자 장
 치를 검사하는 방법.

청구항 7

제1항에 있어서, 상기 전자 장치의 단자들은 제1 패턴으로 배치되고, 상기 복수의 접촉 구조체들의 텁들도 상기
 제1 패턴으로 배치되는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 8

제7항에 있어서, 상기 복수의 접촉 구조체들의 지주들은 제2 패턴으로 배치되고, 상기 제2 패턴은 상기 제1 패
 턴과는 다른 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 9

제8항에 있어서, 상기 제1 패턴으로 배치된 상기 복수의 접촉 구조체들의 텁들은, 상기 제2 패턴으로 배치된 상
 기 복수의 접촉 구조체들의 지주들보다는 서로 더 근접하여 배치된 것을 특징으로 하는 전자 장치를 검사하는
 방법.

청구항 10

제7항에 있어서, 상기 제1 패턴에서는, 상기 전자 장치의 단자들이 선형 패턴으로 배치된 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 11

제7항에 있어서, 상기 제1 패턴에서는, 상기 전자 장치들의 단자들이 직사각형 패턴으로 배치되는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 12

제1항에 있어서, 상기 빔들 중 적어도 하나의 빔은 상기 빔들 중 적어도 하나의 다른 빔과 겹쳐지는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 13

제1항에 있어서, 상기 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계는, 상기 각각의 접촉 구조체에 대해,

제1 마스크 층의 제1 개구에 상기 지주를 형성하는 단계와,

제2 마스크 층의 제2 개구에 상기 빔을 형성하는 단계와,

제3 마스크 층의 제3 개구에 상기 텁을 형성하는 단계를 포함하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 14

제13항에 있어서, 상기 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계는 상기 제1 마스크 층, 상기 제2 마스크 층 및 상기 제3 마스크 층 중에서 적어도 하나를 회생 기판상에 적층하는 것을 더 포함하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 15

제13항에 있어서, 상기 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계는 상기 제1 기판 상에 상기 제1 마스크 층을 적층하는 단계와, 상기 제1 마스크 층 상에 상기 제2 마스크 층을 적층하는 단계와, 회생 기판상에 상기 제3 마스크 층을 적층하는 단계와, 상기 텁을 상기 회생 기판으로부터 상기 빔으로 전송하는 단계를 포함하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 16

제1항에 있어서, 상기 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계는, 상기 각각의 접촉 구조체에 대해,

접촉 구조체 재료를 마스크 층의 개구에 적층하여 상기 개구가 넘치도록 충진하고, 상기 적층된 접촉 구조체 재료의 일부를 제거함으로써, 상기 지주, 상기 빔 또는 상기 텁들 중 적어도 하나를 형성하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 17

제1항에 있어서, 상기 복수의 접촉 구조체를 포함하는 제1 기판을 제공하는 단계는, 상기 각각의 접촉 구조체에 대해, 패턴화된 마스크 재료에 상기 지주, 상기 빔 및 상기 텁을 형성하는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 18

제1항에 있어서, 상기 복수의 접촉 구조체들의 지주가 배치되는 상기 각각의 단자는 상기 제1 기판의 제1 표면 상에 배치되고,

복수의 제2 단자들이 상기 제1 기판이 제2 표면상에 제2 패턴으로 배치되고,

상기 제2 패턴은 상기 제1 패턴과는 다르고,

상기 복수의 접촉 구조체들의 지주가 배치되는 단자들은 상기 제1 표면상의 제1 패턴으로 배치되는 것을 특징으로 하는 전자 장치를 검사하는 방법.

청구항 19

전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치이며,

복수의 제1 단자들을 포함하는 기판과,

복수의 지주들과,

복수의 외팔보 빔들과,

복수의 텁들을 포함하고,

상기 제1 단자들은 상기 기판의 제1 표면에 배치되고,

상기 지주들은 상기 제1 단자들 상에 배치되고,

상기 외팔보 빔들은 상기 지주들에 부착되고,

상기 텁들은 상기 빔들에 부착되고,

상기 지주들, 상기 빔들 및 상기 텁들은 별도로 형성되고,

상기 전자 장치의 단자들은 제1 패턴으로 배치되고, 상기 텁들도 상기 제1 패턴으로 배치되는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 20

제19항에 있어서, 상기 지주들은 제2 패턴으로 배치되고, 상기 제2 패턴은 상기 제1 패턴과는 다른 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 21

제20항에 있어서, 상기 제1 패턴에서, 상기 텁들은 상기 제2 패턴으로 배치되는 상기 지주들보다는 더욱 근접하여 배치되는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 22

제19항에 있어서, 상기 각각의 빔은 쳐짐 가능하고, 이에 따라 상기 전자 장치의 단자들이 상기 텁들과 최초로 접촉하는 지점을 통과하여 이동할 수 있는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 23

제22항에 있어서, 상기 지주들과 상기 빔들은 상기 전자 장치의 단자들이 상기 텁들과 최초로 접촉하는 지점을 통과하여 이동하는 정도를 제한하는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 24

제19항에 있어서, 상기 제1 패턴에서, 상기 전자 장치들의 단자들은 선형 패턴으로 배치되는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 25

제19항에 있어서, 상기 제1 패턴에서, 상기 전자 장치들이 단자들은 직사각형 패턴으로 배치되는 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 26

제19항에 있어서, 상기 빔들 중 적어도 하나의 빔은 상기 빔들 중 적어도 하나의 다른 빔과 겹쳐지는 것을 특징

으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

청구항 27

제19항에 있어서, 상기 제1 단자들은 상기 기판의 제1 표면상에서 제3 패턴으로 배치되고,

상기 기판의 제2 표면상에서 제4 패턴으로 배치되는 복수의 제2 단자들을 더 포함하고,

상기 제4 패턴은 상기 제3 패턴과는 다른 것을 특징으로 하는 전자 장치의 단자들과 임시적인 전기 접속을 형성하는 장치.

명세서

발명의 상세한 설명

기술 분야

<1>

상호 접속 또는 접촉 소자들은 전자 구성 요소인 장치들을 서로 접속시키거나 혹은 어느 한 전자 구성 요소를 다른 전자 구성 요소에 접속시키는 데 사용된다. 일례로, 접촉 소자는 접적 회로 칩의 2개 회로 또는 특수 응용 접적 회로(ASIC: application specific integrated circuit)를 포함하는 2개 회로를 접속시키는 데 사용된다. 또한, 접촉 소자들은 접적 회로 칩을 컴퓨터 또는 기타 다른 전자 장치의 인쇄 회로 기판 상에 장착하기에 적합한 칩 패키지에 접속시키는 데에도 사용된다. 더욱이, 접촉 소자들은, 칩을 시험하기 위하여, 접적 회로 칩을 프로브 카드 조립체(probe card assembly)와 같은 시험 장치 또는 기타 다른 인쇄 회로 기판(PCB)에 연결시키는 데에도 사용된다.

배경기술

<2>

일반적으로, 전자 구성 요소들 간의 상호 접속 또는 접촉 소자들은 적어도 2가지의 광의의 범주, 즉 "비교적 영구적"인 것과 "착탈이 용이한" 것으로 분류된다.

<3>

"비교적 영구적"인 접촉 소자의 일 예는 와이어 본드(wire bond)이다. 접촉 소자를 전자 구성 요소 각각에 접착시킴으로써 2개의 전자 구성 요소들이 서로 접속되면, 이를 구성 요소들을 서로 분리하기 위해서는 빼어내는 공정을 이용하여야 한다. 예를 들어, 접적 회로 칩 또는 다이와, 칩 또는 패키지의 내부 도선(혹은 리드 프레임 평거의 내부 단부들)과의 사이의 와이어 본드 접촉 소자는, 통상적으로 "비교적 영구적"인 접촉 소자를 사용한다.

<4>

"착탈이 용이한" 접촉 소자의 일 예는 어느 한 쪽 전자 구성 요소의 탄성 소켓 소자에 수용되는 다른 쪽 전자 구성 요소의 강성 핀(rigid pin)들 사이의 접촉 소자이다. 두 번째 형태의 "착탈이 용이한" 접촉 소자는, 자체가 탄성적이거나 혹은 스프링과 같은 것이거나 또는 스프링 혹은 탄성 매체 내에나 위에 장착되는 접촉 소자이다. 접촉 소자의 일 예는 프로브 카드(probe card) 구성 요소인 텅스텐 바늘이다. 프로브 카드 구성 요소의 접촉 소자는, 일반적으로, 시험 중인 반도체 장치와 같은 제2 전자 구성 요소의 단자들과 스프링 접촉 소자가 장착되는 전자 구성 요소와의 사이를 임시로 가압 접속시키기 위한 것이다.

<5>

스프링 접촉 소자들과 관련하여, 전자 구성 요소에(일례로, 전자 구성 요소의 단자들에) 신뢰성 있게 가압 접촉 시킬 수 있도록 하기 위해서는 일반적으로 소정의 최소 접촉력이 요구된다. 예를 들어, 전자 구성 요소의 단자에 신뢰성 있게 전기적으로 가압 접속시키기 위해서는 (각 단자 당 적계는 2g 이하, 많게는 150g 이상을 포함하여) 약 15g의 접촉(부하)력이 필요하게 된다.

<6>

스프링 접촉 소자들과 관련한 두 번째 관심 요소는, 스프링 접촉 소자에 있어서 전자 구성 요소의 단자에 가압 접속이 이루어지게 하는 부분의 형상과 야금술이다. 스프링 접촉 소자로서의 텅스텐 바늘과 관련하여, 예를 들어 접촉 단부는 상호 접속 소자(즉, 텅스텐)의 야금술에 의해 제한 받게 되는데, 접촉 단부에서의 소정의 형상을 제어하거나 확립하는 것은 텅스텐 바늘의 직경이 작아지면 작아질수록 이와 같은 정도로 점점 더 어려워진다.

<7>

어떤 경우에는, 스프링 접촉 소자들은 그 자체가 비탄성적이어서 오히려 탄성 멤브레인에 의해 지지되기도 한다. 멤브레인 프로브는 이와 같은 상황의 좋은 예가 되는데, 여기서 탄성 멤브레인 상에는 다수의 미소 용기부(microbump)가 배치된다. 다시 말해서, 상기와 같은 접촉 소자들을 제조하는 데 필요한 기술은 접촉 소자의

접촉 부분의 형상과 그 부분의 야금술에 대한 설계 상의 선택을 제한한다.

- <8> 모두의 발명자가 칸드로스(Khandros)인, 1993년 11월 6일자로 출원된 공유 미국 특허 출원 제08/152,812호(1995년 12월 19일자로 미국 특허 제4,576,211호로 등록)와, 이에 대응하는 공유의 계류중인 분할 미국 특허 출원 제08/457,479호(1995년 6월 1일 출원)(본 출원일 현재 계류 중) 및 미국 특허 출원 제08/570,230호(1995년 12월 11일 출원)(본 출원일 현재 계류 중)는, 스프링 접촉 소자를 제조하는 방법을 개시하고 있다. 양호한 구체 예에 있어서, 마이크로 전자 응용 장치에 특히 유용한 이들 스프링 접촉 소자들은, 긴 가요성 코어 소자[일례로, 와이어 줄기(stem) 또는 골격(skeleton)의 단부]를 전자 구성 요소의 단자에 장착하고 상기 가요성 코어 소자와 상기 단자의 인접 면을 하나 이상의 재료로 이루어진 "외피(she11)"로 피복함으로써 제조된다. 당해 기술 분야에서 숙련된 자라면 최종 스프링 접촉 소자의 만족스러운 힘-처짐 특성을 마련하기 위하여 코어와 외피 재료의 두께, 항복 강도 및 탄성 계수의 조합을 선택할 수 있다. 코어 소자용 예시적 재료는 금을 포함한다. 피복용 예시적 재료는 니켈과 니켈 합금을 포함한다. 최종의 스프링 접촉 소자는 반도체 장치를 포함하는 2개 이상의 전자 구성 요소들 간의 가압식 또는 착탈식 상호 접속이 이루어지게 하는 데 있어 적합하게 사용된다.
- <9> 모두의 발명자가 칸드로스(Khandros)와 매튜(Mathieu)인, 공유의 동시 계류 중인 미국 특허 출원 제08/340,144호(1994년 11월 15일 출원)와 이에 대응하는 PCT 특허 출원 제PCT/US94/13373호(1994년 11월 16일 출원)(1995년 5월 16일, 국제 공개 제W095/14314호)는, 상기 스프링 접촉 소자를 적용한 다수의 응용례와 스프링 접촉 소자의 단부에 접촉 패드를 제조하는 기술에 대하여 개시하고 있다. 일례로, 정점에서 끝맺는 역 피라미드형으로 구성할 수 있는 다수의 음극 돌기 또는 구멍들이 희생 층(sacrificial layer)(기판)의 표면에 형성된다. 이어서 이들 구멍에는 금 또는 로듐 및 니켈과 같은 재료 층을 포함하는 접촉 구조체로 충진된다. 가요성 긴 소자는 최종 접촉 소자 구조체에 장착되고 상기한 바와 같은 방식으로 피복된다. 최종 단계에서, 희생 기판(sacrificial substrate)은 제거된다. 최종 스프링 접촉 소자는 자유단이 규제된 형상(일례로, 예리한 끝)을 가지는 접촉 패드를 구비한다.
- <10> 모두의 발명자가 엘드릿지(Eldridge), 그루브(Grube), 칸드로스(Khandros), 및 매튜(Mathieu)인, 공유의 동시 계류 중인 미국 특허 출원 제08/452,255호(1995년 5월 26일 출원)와 이에 대응하는 PCT 특허 출원 제PCT/US95/14909호(1995년 11월 13일 출원)(1996년 6월 6일, 국제 공개 제W096/17278호)는, 희생 기판 상에 접촉 팁 구조체를 제조하는 추가의 기술 및 야금술과 그리고 상기 접촉 팁 구조체에 장착된 다수의 스프링 접촉 소자를 전자 구성 요소의 단자들에 접단으로 옮기는(transfer) 기술에 대하여 개시하고 있다.
- <11> 모두의 발명자가 엘드릿지(Eldridge), 칸드로스(Khandros), 및 매튜(Mathieu)인, 공유의 동시 계류 중인 미국 특허 출원 제60/005,189호(1996년 5월 17일 출원)와 이에 대응하는 PCT 특허 출원 제PCT/US96/08107호(1996년 5월 24일 출원)(1996년 11월 28일, 국제 공개 제W096/37332호)는, 다수의 접촉 팁 구조체를 전자 구성 요소에 이미 장착되어 있는 상기 대응 다수의 긴 접촉 소자에 결합시키는 기술에 대하여 개시하고 있다. 또한, 외팔보형의 긴 접촉 팁 구조체를 제조하는 기술에 대해서도 개시하고 있다. 외팔보형 팁 구조체는 이것의 한 단부와 대응 단부 사이에서 테이퍼지게 형성될 수 있다. 상기 외팔보형 팁 구조체는 전자 구성 요소의 대응하는 단자로부터 연장되는(예를 들어, 자립형) 기준의(즉, 사전에 제조된) 용기 접촉 소자에 장착시키기에 적합하다.
- <12> 발명자가 엘드릿지(Eldridge), 칸드로스(Khandros), 및 매튜(Mathieu)인, 공유의 동시 계류 중인 미국 특허 출원 제60/024,555호(1996년 8월 26일 출원)는, 서로 다른 길이를 갖는 다수의 긴 팁 구조체를 설치하되 이들의 외측 단부가 내부 단부에 비해 더 큰 퍼치로 배치되도록 하는 기술에 대해서 대표적으로 개시하고 있다. 상기 내부 "접촉" 단부는, 전자 구성 요소의 중심선과 같은 선을 따라서 배치된 단자들을 갖는 전자 구성 요소로의 접촉이 이루어지도록 하기 위하여, 서로 동일 선상에 있게 된다.
- <13> 전자 구성 요소들이 점점 작아져서 전자 구성 요소들 상의 단자들 간의 공간이 점점 더 밀집되거나 혹은 퍼치가 점점 더 미세해지면, 전자 구성 요소의 단자로의 전기적 접속이 이루어지도록 하기 위해 적합한 스프링 접촉 소자를 포함하는 상호 접속체를 제조하는 것이 점점 더 어려워진다. 동시 계류 중이며 공유인, 발명의 명칭이 "마이크로 전자 접촉 구조체 및 이를 제조하는 방법"인 미국 특허 출원 제08/802,054호는 리소그래피(lithography) 기술을 통해서 스프링 접촉 소자를 제조하는 방법에 대해 개시하고 있다. 그것의 일 실시예를 살펴보면, 상기 출원은 희생 기판 상에 (외팔보 빔인 스프링 접촉 소자를 포함하는) 스프링 접촉 소자를 형성하고 이어서 이 접촉 소자를 전자 구성 요소의 단자 쪽으로 옮겨서(transfer) 장착시키는 것에 대하여 개시하고 있다. 그 개시 내용을 보면, 스프링 접촉 소자는 애칭 기술을 통해서 기판 자체에 형성된다. 동시 계류 중이며 공유인, 발명의 명칭이 "마이크로 전자 스프링 접촉 소자"인 미국 특허 출원 제08/852,152호에 있어서는, 스프링 접촉 소자를 위해 구체화한 형상에 상응하는 개구를 형성하기 위하여 다수의 마스킹(masking) 층을 증착(deposition) 및

패턴화하고, 이 패턴화된 마스킹 층에 의해 이루어진 개구 내에 전도성 재료를 중착시키고, 자립형 스프링 접촉 소자를 형성하기 위하여 마스킹 층을 제거함으로써, 전자 구성 요소인 기판을 포함한 기판 상에 스프링 접촉 소자를 형성시키고 있다.

<14> 동시에 계류 중이며 공유인, 발명의 명칭이 "마이크로 전자 접촉 구조체 및 그 제조 방법"인 미국 특허 출원 제 09/023,859호는, 기부 단부 부분(지주 요소)과 중간 부분(빔 요소)과 접촉 단부 부분(팁 요소)을 구비하는 접촉 소자, 그리고 상기 각 부분을 개별적으로 형성하여 상기 지주 부분을 전자 구성 요소 상에서 소망하는 대로 서로 결합시키는 방법에 대하여 설명하고 있다.

발명의 내용

해결 하고자하는 과제

<15> 현재 요구되고 있는 것은, 장래의 기술에서는 축소가 가능할 수도 있는 현재의 미세 피치 전기적 상호 접속에 적합한 상호 접속체를 제조하는 방법이다. 또한 요구되고 있는 것은, 접촉 소자를 제조하는 향상된 방법으로서 특히 반복 재현이 가능하며 일관되며 저렴한 방법이다.

과제 해결수단

<16> 본 발명은, 스프링 접촉 소자를 포함한 상호 접속체를 리소그래피 기술에 의해 형성하는 방법을 제공한다. 일 실시 태양에 있어서, 본 발명 방법은 스프링 구조체의 제1 부분을 한정하는 개구를 구비하는 마스킹 재료를 기판의 제1 부분 위에 인가하는 단계와; 상기 개구 내에 구조 재료(일례로, 전도성 재료)를 중착시키는 단계와; 상기 개구를 상기 구조 재료로 넘치게 충진시키고(overfilling) 구조 재료의 일부를 제거하며 마스킹 재료의 제1 부분을 제거하는 단계를 포함한다. 이 실시 태양에 있어서, 스프링 구조체의 상기 제1 부분의 적어도 일부분에는 마스킹 재료가 없다. 본 발명의 일 실시예에 있어서, 상기 방법은 구조 재료를 제거하기 위하여 마스킹 재료 층과 구조 재료를 평탄화하는 단계를 포함한다. 또 다른 실시예에 있어서, 형성된 스프링 구조체는 지주 부분, 빔 부분, 및 팁 구조 부분 중 어느 하나를 포함한다.

<17> 본 명세서에서 제시되는 기술들은 세라믹계 또는 반도체계 구성 요소와 같은 전자 구성 요소를 포함한 기판 상에, 예를 들어, 스프링 접촉 소자를 포함한 접촉 소자를 형성시키는 데 이용된다. 접촉 소자는, 전자 구성 요소에 바로 전체적으로 혹은 부분적으로 형성되거나 혹은 희생 기판과 같은 것에 별도로 형성되어서 전자 구성 요소로 옮겨진다.

<18> 본 명세서에 제시된 방법은 접촉 소자를 제조하는 향상된 방법을 제공한다. 접촉 소자를 제조하기 위하여 리소그래피 기술을 이용하는 것은 마이크로 전자 구성 요소의 미세 피치 및 긴밀 공차 분야에서 아주 적합하다. 본 발명은 단자들(부착 패드들)이 미세 피치로 배치된 전자 구성 요소로 상호 접속이 이루어지게 하는 것에 대해 다루는 것으로 특히 그러한 것에 아주 적합하기도 하다. 본 명세서에서 사용되는 용어인 "미세 피치(fine-pitch)"는 $63.5\mu\text{m}$ 「2.5밀(mil)」 또는 $65\mu\text{m}$ 처럼 적어도 $127\mu\text{m}$ 「5밀(mil)」 미만인 간극으로 배치된 단자들을 구비하는 전자 구성 요소들을 칭하는 것이다. 이하의 설명에서 분명히 알 수 있겠지만, 위와 같은 미세 피치는 접촉 소자들을 제조하기 위해서 기계적인 기술보다는 리소그래피 기술을 사용함으로써 쉽게 실현될 수 있는 긴밀 공차의 이점을 취함으로써 바람직하게 달성된다. 본 발명의 방법의 실시 태양에 평탄화 단계를 결합시키면 다중 접촉 소자가 기판 상에 최소의 공차로 제조될 수 있다. 따라서, 예를 들어 전술한 바와 같은 구조를 갖는 다수의 스프링 접촉 소자들은, 이들 각각의 팁 부분이 유사한 높이를 가지며 일례로 제2 전자 구성 요소에 의해 접촉되었을 때에는 유사한 거리로 배치되도록, 전자 구성 요소 상에서 제조되거나 혹은 전자 구성 요소로 옮겨질 수 있다. 이와 같은 방식으로, 본 발명의 방법에 의해 형성된 접촉 소자들은 종래의 구조체에 비해 보다 신뢰할 수 있는 접촉 높이와 접촉력을 제공한다.

<19> 본 발명은 또한 접촉 소자에 대해서도 개시한다. 본 발명의 일 실시 태양에 있어서, 접촉 소자는, 제1 축 주위에서 연장되며 제2 표면에 대해 실질적으로 평행한 표면을 구비한 긴 빔 부분과, 제1 표면에 결합되며 제2 축에 의하여 제1 방향으로 연장되는 지주 부분과, 제2 표면에 결합되며 제2 축 위에서 제2 방향으로 연장되는 팁 부분을 포함하는 외팔보 형태의 탄성 접촉 소자 또는 스프링 접촉 소자이다. 지주 부분은 전자 구성 요소에, 예를 들어 세라믹계 또는 반도체계 전자 구성 요소 상의 단자들에 결합되기에 적합하다. 빔 부분은 팁 부분이 제2 단부에 결합된 상태에서 한 단부가 지주 부분에 지지된 외팔보를 형성한다.

<20> 본 발명의 접촉 소자는 PCB 및 시험 중인 칩과 같은 전자 구성 요소의 단자들 사이의 임시 또는 영구적인 전기 접속이 이루어지도록 하기에 적합하다. 접촉 소자는 프로브 카드 조립체의 스페이스 트랜스포머(space

transformer)와 같은 전자 구성 요소 상에 바로 영구 소자로서 제조될 수 있다. 선택적으로, 본 발명의 접촉 소자는 회생 기관 상에 별도로 제조되어 그 지주 단부가 예를 들어 납땜에 의해 전자 구성 요소에 부착될 수 있다.

- <21> 임시 접속이 이루어지도록 하기 위해, 접촉 소자가 위에 제조되어 있는 전자 구성 요소가 다른 전자 구성 요소와 함께 맺어지도록 하여서 스프링 접촉 소자의 텁 단부가 다른 전자 구성 요소의 단자와 가압 접촉되도록 한다. 접촉 소자는 두 구성 요소들 간의 접촉 압력과 임의의 전기 접속을 유지하기 위해 탄성적으로 반작용한다.
- <22> 영구 접속이 이루어지도록 하기 위해서는, 접촉 소자가 위에 제조 또는 부착되어 있는 전자 구성 요소가 다른 전자 구성 요소와 함께 맺어지도록 하여 접촉 소자의 텁 단부가 일례로 납땜, 브레이징(brazing), 또는 전도성 접착제에 의해 다른 전자 구성 요소의 단자에 결합 또는 부착되게 한다. 일 실시예에 있어서, 접촉 소자는 두 전자 구성 요소들 간의 다른 열 팽창에 적응성이 있으며 그를 수용한다.
- <23> 앞에서 주지하는 바와 같이, 본 발명의 접촉 소자는 다른 다수의 접촉 소자와 함께 반도체 장치와 같은 장치의 표면 또는 반도체 웨이퍼 상에 있는 다수의 반도체 장치의 표면에 바로 제조된다. 이와 같은 방식에 있어서, 반도체 웨이퍼 상에 있는 다수의 장치는 반도체 웨이퍼로부터 개별화(singulate)되기 전에 벤인(burn-in) 및/또는 시험을 위해 준비될 수 있다. 선택적으로, 본 발명의 접촉 소자는 통상적으로 다수의 다른 접촉 소자를 가지고 회생 기관 상에 제조되어서 전자 구성 요소로 이동될 수 있다.
- <24> 본 발명의 다른 실시 태양, 특징 및 이점들은 다음의 도면을 참고하면 명확해질 것이다.

효과

- <25> 본 발명은, 스프링 접촉 소자를 포함한 상호 접속체를 리소그래피 기술에 의해 형성하는 방법을 제공한다. 본 명세서에서 제시되는 기술들은 세라믹계 또는 반도체계 구성 요소와 같은 전자 구성 요소를 포함한 기관 상에, 예를 들어, 스프링 접촉 소자를 포함한 접촉 소자를 형성시키는 데 이용된다. 접촉 소자는, 전자 구성 요소에 바로 전체적으로 혹은 부분적으로 형성되거나 혹은 회생 기관과 같은 것에 별도로 형성되어서 전자 구성 요소로 옮겨진다.
- <26> 본 명세서에 제시된 방법은 접촉 소자를 제조하는 향상된 방법을 제공한다. 접촉 소자를 제조하기 위하여 리소그래피 기술을 이용하는 것은 마이크로 전자 구성 요소의 미세 피치 및 긴밀 공차 분야에서 아주 적합하다. 본 발명은 단자들(부착 패드들)이 미세 피치로 배치된 전자 구성 요소로 상호 접속이 이루어지게 하는 것에 대해 다루는 것으로 특히 그러한 것에 아주 적합하기도 하다. 본 발명의 방법에 의해 형성된 접촉 소자들은 종래의 구조체에 비해 보다 신뢰할 수 있는 접촉 높이와 접촉력을 제공한다.

발명의 실시를 위한 구체적인 내용

- <27> 본 발명의 특징, 실시 태양, 이점들은 이하의 설명과 특히 청구의 범위와 하기와 같은 첨부 도면으로부터 아주 명확해질 것이다.
- <28> 본 발명은 접촉 소자를 포함하는 상호 접속 소자를 리소그래피 기술로 형성하는 방법에 관한 것이다. 본 발명은 접촉 소자, 특히 마이크로 전자 구성 요소들을 상호 접속시키는 데 사용되는 접촉 소자를 제조하는 향상된 기술을 제공한다. 또한, 본 발명은 접촉 소자에 관한 것이기도 하다. 본 발명의 한 실시 태양에 따르면, 본 발명의 접촉 소자 또는 본 발명의 방법에 의해 형성된 접촉 소자의 크기 및 피치에 대한 제한은 포토리소그래피 (photolithography) 기술의 한 요소이다. 본 발명에서는, 평탄화 단계를 포토리소그래피 기술에 결합시킴으로써, 외팔보 스프링 접촉 소자를 포함하며 크기와 기계적 특성(예, 변위)이 유사한 접촉 소자들을 일관되게 형성하는 것을 기대할 수 있다.
- <29> 적절한 전자 구성 요소들은 활성 반도체 장치, 메모리 칩, 반도체 웨이퍼의 일 부분, 스페이스 트랜스포머, 프로브 카드, 칩 캐리어(chip carrier) 및 소켓을 포함하는데, 이에 제한되지는 않는다. 전자 구성 요소는 하나 이상의 전자 접속체를 지지하는 활성 장치(active device) 또는 부동 장치(passive device)가 될 수도 있다. 또한, 개별적인 제조에 의하면 전자 구성 요소가 접촉 소자를 형성하는 것과 관련된 공정에 노출되는 것을 피할 수 있다.
- <30> 본 발명의 접촉 소자 또는 소자들은 전자 구성 요소 상에서 제조되거나 혹은 전자 구성 요소와 별도로 제조되어서 그 전자 구성 요소에 결합된다. 별도로 제조되는 경우, 본 발명은 상기 접촉 소자 또는 소자들이 전자 구성

요소의 제조에 관련된 재료와 레이아웃에 대한 고려 사항들에 의하여 제한되지 않는 형상, 크기 및 야금술로 제조되게 한다.

<31> 접촉 소자들이 프로브 카드 조립체의 스페이스 트랜스포머와 같은 전자 구성 요소에 배치되는 경우, 본 발명의 접촉 소자들은 최소의 피치 또는 이격 공차를 갖는 전자 구성 요소의 접촉부 또는 단자를 수용하도록 설계된다. 또한, 본 발명의 접촉 소자들에는 이들의 지주 부분들 사이의 피치가 텁 부분에서보다 더 크도록 하기 위하여 교호하는 배향(alternating orientation)(예, 좌측으로-우측으로-좌측으로-우측으로)이 채용된다. 다른 실시태양에서, 본 발명의 접촉 소자들에는 이들의 지주 부분들 사이의 피치가 인접하는 접촉 소자들의 텁 부분에서 보다 더 크도록 하기 위하여 교호하는 길이(예, 짧게-길게-짧게-길게)가 채용된다. 이와 유사하게, 접촉 소자들은 이들의 텁 부분에서의 피치가 이들의 지주 부분에서의 피치보다 더 크도록 하기 위해서 교호적으로(번갈아서) 제조될 수 있다. 요약하면, 본 발명의 접촉 소자들은, 전자 구성 요소 상에서 제조되거나 혹은 전자 구성 요소와 별도로 제조되어서 그 전자 구성 요소에 결합되는지 여부에 무관하게, 그 접촉 소자들이 접촉하게 되는 전자 구성 요소와 관련된 여러 가지 구성을 수용하도록 하는 다양한 배향을 채용한다.

<32> 도1a 및 도1b는 본 발명의 접촉 소자의 일 실시예를 도시하는 도면이다. 도1a는 지주 부분(13), 빔 부분(14) 및 텁 부분(16)을 포함하는 접촉 소자(10)를 도시하고 있다. 지주 부분(13)은 전자 구성 요소(9)의 단자(11)에 배치된다. 지주 부분(13)의 높이는 h_2 이다. 빔 부분(14)은 지주 부분(13)의 한 단부에 결합된다. 빔 부분(14)의 높이는 h_B 이고 길이는 l_B 이다. 빔 부분(14)의 타 단부, 즉 지주 부분(13)에 대향하는 측에는 텁 부분(16)이 결합된다. 텁 부분의 높이는 h_T 이다.

<33> 도1b는 시험 시에 기판을 수용한 때와 같은 하중 하에서의 접촉 소자(10)를 도시하고 있다. 이 경우, 단자(21)를 구비하는 기판(20)은 접촉 소자(10)와 접촉하게 되고, 하향력 F가 접촉 소자(10)의 텁 부분(16)에 인가되어서 접촉 소자(10)가 하향으로 쳐진다. 본 실시예에서, 빔 부분(16)의 길이 l_B 는 접촉 소자(10)의 최대 오버트래블(overtravel)을 결정한다. 적절한 오버트래블은 일례로 76.2 내지 203.2 μm [3 내지 8밀(mil)]이다. 적절한 오버트래블을 수용하기 위해서는, 지주 부분(13)의 높이 h_2 는 텁 부분(16)의 높이 h_1 보다 커야 한다. 이와 같은 경우에, 보다 큰 높이 차는 전자 구성 요소(9)의 표면에 대한 접촉 소자(10)의 가능한 바닥 도달(bottoming-out)을 최소화한다. 도1b는 텁 부분의 단부에서 높이 h_3 만큼 벌어지게 쳐진 접촉 소자(10)를 도시하고 있다. 지주 부분(13)의 높이는 또한 전자 구성 요소(9)의 표면에 결합되는 커페시터 또는 기타 다른 구조체의 높이 보다 크게 구성될 수 있다. 도1a는 지주 부분(13)의 높이 h_2 보다 작은 높이 h_c 를 갖는 커페시터(18)를 도시하고 있다.

<34> 본원의 도1b는 전자 구성 요소(제1 전자부품)를 기판(제2 전자부품)에 접속시키기 위한 장치를 도시한다. 도1b는 또한 지주 부분(13)의 높이와 빔 부분(14)의 높이, ($h_2 + h_B$)가 기판(20)에 의하여 힘 F가 인가될 때의 접촉 소자(10)의 오버트래블을 다시 더 한정하는 것을 도시하고 있다. 빔 부분(14)의 지주 부분 단부에 대한 기판(20)의 바닥 도달(bottoming-out)은 접촉 소자(10)에 인가되는 최대 압축을 제한하고 접촉 소자(10)에 대한 손상을 제한하는 하나의 방편으로서의 역할을 한다.

<35> 빔 부분(14)은, 기판(20)과 접촉하게 되는 때와 같은 하중 하에서, 도1b에서 X로 나타낸 양만큼 쳐진다. 스프링 상수는 이와 같은 쳐짐에 대해서 다음과 같이 계산된다.

$$k = F/x$$

<37> 일 실시예에서, 상기 스프링 상수 k는 빔 부분(14)의 두께에 비례한다.

$$\text{즉, } k \propto h_B^3 \text{이다.}$$

<39> 따라서, 상기 관계식에 기초한 빔 부분(14)의 두께 조절은 스프링 상수의 엄격한 조절을 마련한다. 프로브 카드 조립체의 스페이스 트랜스포머와 같은 전자 구성 요소의 각 접촉 소자에 대한 스프링 상수의 조절은 시험 시의 기판(예를 들어, 기판(20))의 단자(21)와 같은 각 단자에 인가되는 접촉력을 일관되게 한다.

<40> 도2 내지 도13c는 본 발명의 제1 실시예에 따라서 전자 구성 요소 상의 접촉 소자인 상호 접속체를 형성하는 방법을 예시하는 것이다. 그 실시예에서는 지주 부분, 빔 부분 및 텁 부분을 구비하는 외팔보인 접촉 소자가 형성된다. 소정의 시간에 다수의 접촉 소자들이 기판 상에 형성될 수 있음을 이해할 수 있을 것이다. 이하에서 설명하는 상기 방법은 하나의 접촉 소자를 형성시키는 것에 초점이 맞추어져 있다. 그러한 논의는 전자 구성

요소와 같은 기판 상에 다수의 접촉 소자를 소정의 시간에 제조하는 것에 대해서도 똑같이 적용될 수 있음을 이해할 수 있을 것이다. 통상적으로, 기판 상에 제조되는 각각의 접촉 소자들은 실질적으로 유사한 특성(예, 치수, 형상 등)을 가질 것이다. 그러나, 기판의 접촉 소자들의 특성은 소정의 적용 요건에 따라 개별적으로 조절되고 결정될 수 있다는 것도 이해될 것이다.

<41> 도2는 전자 구성 요소(100)의 측단면도를 도시하고 있다. 전자 구성 요소(100)는 일례로, 프로브 카드 조립체의 스페이스 트랜스포머 또는 접적 회로이다. 전자 구성 요소(100)는 일례로, 기판(105)의 양 표면에 접촉부 또는 단자(110, 115)를 구비하는 반도체계 혹은 세라믹계 기판(105)을 포함한다. 일례로, 상용으로 입수할 수 있는 세라믹계 전자 구성 요소(100)의 경우, 전자 구성 요소(100)는 기판(105)의 양 표면 상에 단자(110, 115)를 포함한다. 단자(110, 115)는 일례로, 몰리브덴 또는 텉스텐 및 몰리브덴/텅스텐 회로(120)와 같은 것을 예로 들을 수 있는 전자 구성 요소(100)를 통과하여 연장되는 전도성 회로(120)를 통하여 접속된다. 기판(105) 상의 단자(110, 115)의 예로는, 전도성 재료의 증착을 통해서 형성된 접촉 소자에 예를 들어 납땜으로 접속시키기에 적합한 동(Cu), 니켈(Ni) 및 금(Au)이 있다. 일 실시예에서, 동은 전기 도금 공정을 용이하게 하며 상부 층이 된다. 니켈은 금과 동 간의 배리어(barrier)로서 작용한다. 도2는 또한 기판(105)의 하측면 상의 단락 층(short layer)(117)도 도시하고 있다. 예를 들어 티타늄-텅스텐(Ti-W)과 같은 단락 층(117)은 본 실시예에서는 기판(105) 상에 접촉 소자를 제조하는 동안에 단자(115)를 단락시키는 역할을 한다. 이하의 설명으로부터 분명히 알 수 있는 바와 같이, 단락 층(117)의 그와 같은 단락 특성은 기판(105) 상에 접촉 소자를 제조하기 위한 전해 공정(예, 전기 도금 공정)에 적절한 전위를 확립하는 데 있어 유용하게 활용된다. 단락 층(117)은 접촉 소자들이 기판(105)의 양 표면 상에 일단 형성된 후에 일례로 스퍼터링 또는 화학적 에칭 공정에 의해 제거될 수 있다.

<42> 접촉 소자들이 도금에 의해 형성되고 그리고 기판을 통과하여 연장되는 것으로서 단락 층이 기판의 배면에 형성되게 하는 관통 회로(through-circuit)가 없는 적용례에 있어서는, 시드 층(seed layer)과 같은 전도성 층이 후속하는 도금을 이루는 데 있어 일반적으로 요구된다. 따라서, 상기와 같은 공정의 제1 단계에 있어서는, 전도성 층이 기판(105)의 표면 위에 증착된다. 적절한 전도성 층의 예로는 티타늄, 텉스텐, 또는 티타늄-텅스텐(Ti-W) 층이 있는데, 이들은 기판(105)의 표면 위에 순응되게 증착된다. 이 방식에 있어서, "블랭킷(blanket)" 층 증착도 함께 기판(105)의 표면 상에 노출된 모든 단자(110)를 전기적으로 단락시킨다.

<43> 도3은 기판(105) 위에 제1 마스킹 재료 층(125)을 증착시키는 추가의 공정 단계를 거친 후의 도2의 전자 구성 요소(100)를 도시하고 있다. 양호한 일 실시예에서, 제1 마스킹 재료 층(125)은 기판(105)의 표면 상에 회전 도포(spin coat)되고 종래 기술로 패턴화된 포토레지스트(photoresist)이다.

<44> 도3에 도시된 바와 같이, 제1 마스킹 재료는 제1 마스킹 재료 층(125)을 통과하여 연장되는 개구(122)를 포함하도록 증착 및 패턴화된다. 개구(122)는 단자(110)의 일 부분 바로 위에 있는 위치에 위치되거나, 혹은 경우에 따라서는 단자(110)로부터 떨어진 위치에 위치된다. 개구(122)를 단자(110)로부터 떨어진 위치에 위치시키게 되면, 다수의 접촉 소자들이 전자 구성 요소의 단자들의 레이아웃과는 다른 레이아웃으로 전자 구성 요소 상에 제조될 수 있다. 그 구성의 일례로는, 개구(122)를 위치시키되 그 위에 제조되는 접촉 소자들이 볼 그리드 배열(ball grid array)에 필적하는 영역 배열(area array)로 배치된 텁 부분을 구비하도록 위치시키는 것이다. 개구들은 일례로 주변 패드로서 배치된 전자 구성 요소 상의 단자들과 접속된다. 접촉 소자들은 단자(110)들로부터의 변위를 제외하고는 실질적으로 동일하게 제조하는 것이 바람직하다. 이 경우, 개구(122)는 접촉 소자들의 텁 부분의 배열에 대응하는 영역 배열로 위치시키는 것이 유용하다.

<45> 개구(122)를 중심으로 한 제1 마스킹 재료 층(125)의 측벽은, 개구(122)의 크기가 전도성 재료 층(112)에서보다 제1 마스킹 재료 층(125)의 표면에서 더 커지도록 테이퍼지게, 즉 양(+)의 테이퍼로 형성될 수 있다. 적절한 테이퍼 각은 60도 내지 90도를 포함하는데, 이에 제한되지는 않는다. 당해 기술 분야에서 통상의 기술을 가진 자라면 제1 마스킹 재료 층(125) 내에 개구를 테이퍼지게 형성시키는 방법을 쉽게 이해할 수 있을 것이다. 개구(122)는 임의의 적절한 방식으로 형성될 수 있는데, 역 계단형의 절두 피라미드형과 같이 계단지게 형성될 수 있다.

<46> 제1 마스킹 재료 층(125)은, 지주 부분을 이루게 되는 재료의 후속하는 성형(예, 평탄화)을 고려하여, 접촉 소자의 지주 부분의 소정 높이인 두께로 증착된다. 즉, 제1 마스킹 재료 층(125)의 두께는 본체 부분(즉, 빔 부분과 텁 부분)이 전자 구성 요소의 표면으로부터 이격되는 거리를 일차적으로 결정한다. 일례로 탄성이 요구되는 접촉 소자의 실시예에 있어서, 지주 부분과 빔 부분과 텁 부분의 치수들은, 텁 부분이 일례로 전자 구성 요소의 단자와 접촉하는 접촉력을 최대화하고 처진 빔 부분의 잠재적 "바닥 도달(bottoming-out)"을 최소화하도록

조화시킬 수 있다. 이와 같은 조화는 도1a 및 도1b와 그에 수반되는 본문을 참고하여 위에서 상세히 논의되었다. 현재의 기술로는, 제1 마스킹 재료 층(125)의 적절한 높이는 약 127 내지 $762\mu\text{m}$ 「5 내지 30밀(mil)」가 된다.

<47> 도3은 단자(110)에 인접한 개구(122)를 구비하는 제1 마스킹 재료 층(125)을 도시하고 있다. 개구(122)는 실질적인 직사각형, 원통형, 또는 전도성 층(112)에서의 노출 표면이 더 넓은 개구를 갖도록 한 것과 같은 피라미드형(역 피라미드형) 혹은 원추형 등을 포함하는 다양한 형상을 구비할 수 있는데, 이에 제한되지는 않는다.

<48> 이어서, 도4에 도시된 바와 같이, 제1 전도성 재료(130)가 제1 마스킹 재료 층(125) 내의 개구(122) 내에 단자(110) 쪽으로 증착된다. 적절한 증착 기술은 전기 도금, 화학 증착(CVD), 스퍼터 증착 및 무전해 도금을 포함하는데, 이에 한정되지는 않는다. 본 실시예에서 제1 전도성 재료(130)는 동과 같은 전기 도금 합금 또는 니켈-코발트와 같은 니켈 합금이다. 먼저, 전도성 재료(130)는 상용으로 입수 가능한 전기 도금 용액 또는 도금조의 형태로 해서 통상적으로 인가된다. 이어서, 단자(110)와 전기 도금 셀(도시되지 않음)의 양극 사이에 전류가 가해진다. 단자(110) 상에 쌓인 음(-)의 전하는 전기 도금 용액으로부터 나오는 금속 이온이 금속 상태로 치환되게 하고, 이에 따라 일례로 니켈-코발트와 같은 제1 전도성 재료(130)가 단자(110) 상에 증착된다. 본 실시예에서, 제1 전도성 재료(130)는 적어도 제1 마스킹 재료 층(125)의 두께로 증착되는데, 바람직하기로는 제1 마스킹 재료 층(125)보다 큰 두께로 증착 「과도금(overplate)」된다.

<49> 도5는 본 발명의 일 실시예에 따라서 제1 전도성 재료(130)와 제1 마스킹 재료 층(125)을 평탄화하는 추가의 공정 단계를 거친 후의 기판(105)을 도시하고 있다. 평탄화는 일례로 그라인딩 처리 또는 적절한 혼탁액(slurry)으로 행하는 화학-기계적 연마에 의해 달성된다. 화학-기계적 연마를 위한 적절한 혼탁액의 예로는 pH가 조정된 혼탁액 내의 이산화 규소, 산화 알루미늄, 및 산화 세슘이 있다.

<50> 도5의 평탄화 단계는 기판(105)에 결합된 접촉 소자의 지주 부분의 높이를 한정한다. 평탄화 단계는 접촉 소자의 지주 부분에 대한 주어진 높이를 확립함으로써 접촉 소자의 치수 조절을 마련해준다. 주지하는 바와 같이, 지주 부분의 높이는 접촉 소자가 일례로 전자 구성 요소의 단자로 전하게 되는 접촉력을 결정하는 데 있어 중요한 역할을 한다. 지주 부분의 높이는 또한 쳐지는 범 부분의 "바닥 도달"을 최소화하는 역할도 한다. 따라서, 접촉 소자의 지주 부분의 높이를 조절할 수 있는 능력은 아주 유익하다.

<51> 본 발명의 평탄화 단계는 또한 일례로 단위 센티미터 당 약 1미크론(micron)[또는 단위 인치 당 0.1밀(mil)]과 같은 적절한 중지 점까지 진행되어야 한다. 기판 상의 다수의 접촉 소자들 간의 공차는 응용례에 따라 달라지는데, 당해 분야의 숙련자들에 의해 결정될 수도 있다. 단위 센티미터 당 5미크론 미만인 양호한 공차와 단위 센티미터 당 2미크론 미만인 보다 바람직한 공차가 예상된다.

<52> 도5는 접촉 소자의 지주 부분이 일단 형성되고 나서 제1 마스킹 재료 층(125)의 표면 상의 한 영역이 전기 도금 공정을 위한 적절한 전극으로 작용할 수 있도록 전도성을 띄게 하는 추가의 공정 단계를 거친 후의 기판(105)을 도시하고 있다. 일 실시예에서, 제1 마스킹 재료 층(125) 위의 한 영역의 일부는 티타늄, 티타늄-텅스텐 합금 층, 또는 티타늄/금 이중 층과 같은 전도성 금속 또는 금속 합금의 얇은 부착/시드 층(135)으로 피복된다. 시드 층(135)은 스퍼터 증착(sputter deposition)과 같은 블랭킷 증착(blanket deposition)을 거쳐서 증착될 수 있다. 전기 도금된 니켈-코발트 층에 있어서, 예를 들어 두께가 약 5000옹스트롬(angstrom)인 시드 층이 제1 마스크가 재료 층(125)의 표면 위에 일례로 블랭킷 스퍼터 증착 공정에 의해 적절히 증착될 수 있다. 선택적으로, 시드 층(135)은, 범 부분이 제조되게 하는 전기 주조가 한 방편으로 소용될 수 있도록 하기 위하여, 접촉 소자의 범 부분이 형성되는 제1 마스킹 재료 층(125) 위의 한 영역에 각각이 대응하는 다수의 트레이스로서 증착시킬 수 있다.

<53> 또 다른 실시예에서는, 제1 마스킹 재료 층(125)의 표면 위에 스텐실(섀도우 마스크)이 증착될 수 있다. 스텐실은 통상적으로, 접촉 소자의 범 부분을 형성하는 영역을 한정할 수 있도록 대응하는 지주 부분 위의 영역(제1 전도성 재료(130)로 나타냄)으로부터 측방향으로 연장되는 다수의 개구를 구비한다. 스텐실은 개구를 구비하도록 천공 또는 에칭된 스테인레스강 박막(thin foil)(예, 두께가 약 2밀(mil))이 적절하다. 스텐실은, 시드 층(135)이 제1 마스킹 재료 층(125) 상에 스텐실의 개구의 형상에 대응하는 전도성 트레이스의 패턴으로 증착되게 하는 임의의 적절한 두께를 가지는 임의의 적절한 재료로 구성할 수도 있다. 스텐실을 적소에 배치하면, 시드 층(135)이 스퍼터링 등에 의해 제1 마스킹 재료 층(125)의 노출 표면에 증착된다. 이어서 스텐실은 제거된다.

<54> 제1 마스킹 재료 층(125)을 위한 재료의 선택과 시드 층(135)의 증착을 위한 공정은 함께 고려되어야 한다. 마스킹 재료는 증착법의 분위기에서 안정적일 필요가 있다. 일례로, 통상적인 포지티브형의 포토레지스트 재료는

고 진공 조건 하에서 기체가 빠지는 일부 용제를 함유한다. 이 경우에는, 마스킹 재료를 가교시키거나 아니면 강화시키기 위하여 재료를 일례로 소부시키거나 혹은 노광시킴으로써 개질시키는 것이 바람직할 수 있다. 폴리 이미드가 유용한 마스킹 재료인데, 이는 현저한 열화가 없이 스퍼터링 환경을 견뎌낸다. 증착은 또한 화학 증착(CVD)이나 전자 빔 공정에 의할 수 있다. 여기서 필요한 진공도는 스퍼터링보다 낮다. 이와 같은 공정들을 위해, 가교가 다소 적당할 수 있는 전통적인 노볼락(Novolac) 포토레지스트가 사용될 수 있다. 또 다른 고려 사항은, 진공 하에서 안정되게 하기 위하여 마스킹 재료를 임의의 변형하게 되면 공정 중에 그 마스킹 재료를 제거하기가 더 어려워질 수 있다는 점이다. 적절한 재료와 공정은 당해 기술 분야에서 숙련된 자에 의해 선택될 수 있다. 한가지 특정 공정은 노볼락 포토레지스트를 사용하는 것인데, 위에서 설명한 바와 같이 패턴화되고 이어서 열에 의해 부분적으로 가교된다. 시드 층(135)의 증착은 화학 증착(CVD)을 이용하여 달성된다.

<55> 이어서, 도6에 도시된 바와 같이, 기판(100) 상의 영역은, 전도성 층에 직면하여 다수의 마스킹 재료를 사용하는 고려 사항을 염두에 두고서 다시 포토레지스트와 같은 제2 마스킹 재료 층(140)으로 회복된다. 제2 마스킹 재료 층(140)은, 접촉 소자의 빔 부분을 위한 영역을 한정하는, 기판(100) 위의 영역(132)이 노출되도록 패턴화된다.

<56> 도8은 기판의 상부 면 위에 제2 전도성 재료(145)를 증착시키는 추가의 공정 단계를 거친 후의 기판(100)을 도시하고 있다. 일 실시예에서, 제2 전도성 재료(145)는 니켈-코발트와 같은 전기 도금 합금으로 전기 도금하는 공정을 통해서 증착된다. 도8에서, 제2 전도성 재료(145)는 제2 마스킹 재료 층(140)의 두께보다 큰 두께로 증착된다. 제2 전도성 재료(145)는 접촉 소자의 빔 부분으로서 역할을 한다. 제2 전도성 재료(145)의 증착되는 양과 그에 따른 두께는 빔 부분의 소망하는 두께에 부분적으로 의존하게 된다는 것을 알 수 있다.

<57> 도9에 도시된 바와 같이, 제2 전도성 재료(145)가 기판(105) 위에 증착된 후에 제2 전도성 재료(145)와 제2 마스킹 재료 층(140)이 상기한 바와 같은 그라인딩 공정 또는 화학-기계적 연마에 의해 평탄화되어서 기판(105) 상에 접촉 소자의 빔 부분이 형성된다. 앞에서 주지된 바와 같이, 외팔보형 스프링 접촉 소자의 경우, 빔 부분의 두께는 스프링 상수에 직접적으로 비례한다($k \propto h_B^3$). 제2 전도성 재료(145)와 제2 마스킹 재료 층(140)의 평탄화는 접촉 소자의 빔 부분의 두께의 긴밀한 조절(즉, 제2 전도성 재료(145)의 두께의 조절)을 마련해주게 되는데, 이에 따라 결정 가능하고 일관된 접촉력이 각 접촉 소자에 의해 적용될 수 있게 된다.

<58> 위에서 설명한 바와 같은, 마스킹 재료 층을 패턴화하고 시드 층을 증착시키고 전도성 재료를 증착시키고 이어서 평탄화하는 공정은 복잡한 구조를 제조하기 위해서 수회 반복될 수 있다. 일부 실시예에 대해서는 본 명세서에서 나중에 상세히 설명된다.

<59> 도10a 내지 도11b는 기판(105) 상에 형성된 접촉 소자의 빔 부분에 대한 여러 가지의 대표적이고 유용한 형상을 도시하는 것이다. 본 발명의 접촉 소자의 특정 응용례에 적절한 여러 가지의 다른 형상이 있을 수 있음을 알 수 있다. 도10a 내지 도11b는 이러한 여러 가지 형상의 대표적인 것을 도시하는 것이다.

<60> 도10a 내지 도10f는 기판(105) 상에 형성된 접촉 소자의 빔 부분의 여러 가지 형상을 xy 평면에서의 평면도로 도시하고 있다. 도10a는 제1 전도성 재료(130) 위에서 빔 부분으로 패턴화되어서 제1 전도성 재료(130) 위의 영역으로부터 측방향으로 연장된 실질적으로 직사각형 모양의 제2 전도성 재료(145a)를 도시하고 있다. 도10b는 제2 전도성 재료(145b)가 y방향의 테이퍼("y-테이퍼")를 가지고서 제1 전도성 재료(130)의 표면 위의 영역으로부터 측방향(x-방향)으로 연장되도록 구성된 제2 구성을 도시하고 있다. 이와 같은 구성은 접촉 소자의 빔 부분(예, 외팔보)의 말단의 크기를 줄임으로써 접촉 소자 상의 응력을 보다 더 균일하게 분포시킨다. 도10b에서, 제2 전도성 재료(145b)의 측방향으로 연장하는 부분은 실질적으로 직선인 가장자리로 도시되어 있다. 그 가장자리는 실질적으로 직선일 필요는 없고 일례로 오목한 방식으로 만곡되게 할 수 있다.

<61> 도10c는 본 발명의 제1 실시예에 따른 접촉 소자의 빔 부분의 제3 구성을 도시하는 것이다. 이 구성에 있어서, 제2 전도성 재료(145c)는 지주 부분(130)으로부터 측방향(x-방향)과 횡단 방향(y-방향)으로 연장되어 만곡형 빔 부분을 형성하고 있다. 도10d 및 도10e는 (제2 전도성 재료(145d, 145e) 각각의) 빔 부분이 측방향과 횡단 방향으로 연장된 제4 구성과 제5 구성을 각각 도시하는 것이다. 측방향과 횡단 방향으로 연장되는 빔 부분은 일례로 인접하는 접촉 소자들 사이의 피치가 특히 최소화될 수 있도록 접촉 소자를 제조하는 경우에 바람직하다. 도10f는 제2 전도성 재료(145f)가 지주 부분(130)을 부분적으로 둘러싸는 제6 구성을 도시하는 것이다.

<62> 도11a 및 도11b는 본 발명의 제1 실시예에 따른 접촉 소자의 빔 부분의 제4 구성과 제5 구성을 xz 평면에서 도시하는 것이다. 도11a는 평탄한 상부 면과 오목한 하부 면을 구비하는 제2 전도성 재료(145g)를 도시하고 있다. 도11b는 평탄한 하부 면과 말단을 향해서 선형적으로 감소하는 상부 면을 구비하는 제2 전도성 재료

(145h)를 도시하고 있다. 전도성 재료(145g, 145h)는 이와 같은 방식으로, 마스킹 재료를 형성하는 하층의 인접하는 포토레지스트를 성형하도록 광원을 변화시키는 단계와 전기 도금된 재료를 소망하는 곳으로 분포시키기 위해 비전도성 마스크의 면전에서 전기 도금하는 단계를 포함하는 여러 방법에 의해 형성될 수 있다.

<63> 도12a 및 도12b는 본 발명의 일 실시예의 한 양태를 도시하는 것이다. 이 양태에 있어서, 전자 구성 요소(105)에 접촉 소자를 위한 구성 요소를 리소그래피 기술에 의해 제조하는 것은 제1 전도성 재료(130)의 주 부분과 제2 전도성 재료(145)의 범 부분을 구비하는 스프링 접촉 소자를 형성함으로써 실질적으로 완료된다. 도12a는 제1 마스킹 재료 층(125)과 제2 마스킹 재료 층(140)을 제거하는 추가의 공정 단계를 거친 후의 기판(100)을 도시하고 있다. 제1 마스킹 재료 층(125)과 제2 마스킹 재료 층(140)이 포토레지스트인 실시예에 있어서, 제1 마스킹 재료 층(125)과 제2 마스킹 재료 층(140)을 제거하는 공정은 산소 플라즈마 에칭(예, 산소 회분화(oxygen ashing))에 의해 달성된다. 마스킹 재료 층을 제거하는 다른 방법은 레이저 애블레이션(laser ablation) 및 습식 화학 에칭을 포함하는데, 이에 한정되지는 않는다. 시드 층(135)의 과도하거나 바람직하지 않은 부분을 제거하기 위해서 추가의 에칭을 필요로 한다. 그러나, 시드 층(135)은 통상적으로 얇기 때문에(예, 약 5000온스트롬), 과도하거나 혹은 바람직하지 않은 시드 층은 통상적으로 마스킹 층 재료를 제거함으로써 제거된다. 이러한 방식에 있어서, 도12a는 단자(110)에서 전자 구성 요소(105)에 부착되는 것으로서, 제1 전도성 재료(130)에 의해 나타낸 주 부분과 제2 전도성 재료(145)로 나타낸 측방향 및/또는 횡단 방향으로 연장되는 범 부분을 구비하는 자립형 접촉 소자를 도시하고 있다. 이와 같은 구조는 일례로 범 부분의 일부를 적절한 접촉 재료로 피복시킴으로써 유용한 접촉 구조체로서의 역할을 한다.

<64> 양호한 일 실시예에 있어서, 별도로 형성된 텁 부분(1500)은 일례로 브레이징, 납땜, 용접(예, 점 용접), 전도성 에폭시, 태킹(tacking) 등에 의해 범 부분의 말단부에 부착시켜서 도12b에 도시된 접촉 소자를 형성하도록 한다. 텁 부분을 형성시키는 한 방법은 여기서는 도14 내지 도18b와 그에 부속하는 본문을 참고하여 설명한다. 텁 부분을 형성하고 옮기는 기타 다른 방법에 대해서는 공유인 미국 특허 제5,829,128호 및 PCT 출원 제PCT/US97/08606호(1997년 11월 20일, 국제공개 제W097/43653호)에 상세히 설명되어 있다. 일례로 PCT 출원 제PCT/US97/08606호에는, 서로 간에 비교적 정밀한 위치 관계를 가지는 다수의 접촉 텁 부분을 실리콘 웨이퍼와 같은 희생 기판 상에 제조하는 방법에 대하여 기재되어 있다. 접촉 텁 부분은 종래의 반도체 처리 기술(예, 포토리소그래피, 증착 등)에서 주어진 공차를 아주 긴밀하게 하고 서로 간의 공간 관계가 정해지도록 희생 기판 상에 용이하게 제조된다. 접촉 텁이 희생 기판 상에 존재하는 한, 공간 관계의 공차는 유지된다. 동시 계류 중인 출원에 기재되어 있는 본 발명은 다수의 접촉 텁 부분을 대응하는 다수의 상호 접속 소자들(예, 접촉 소자의 범 부분)에 결합시킴으로써 접촉 소자의 구성을 용이하게 한다. 텁 부분들은 희생 기판 상에 여전히 존재하는 텁 부분을 접촉 소자와 접촉하게 함으로써 접촉 소자에 결합되고 일례로 브레이징 및 그에 후속하여 희생 기판을 제거함으로써 결합된다. 이러한 기술은 텁 부분을 도12a의 구조로 옮기는 데 사용될 수 있다.

<65> 도13a 내지 도13c는 리소그래피 기술을 또 다시 사용하여 접촉 소자의 텁 부분을 기판(105) 상에 제조한 본 발명의 제1 실시예의 제2 양태를 도시하는 것이다. 도13a는 기판(105) 위에 제3 마스킹 재료 층(150)을 증착시킨다. 제2 전도성 재료(145)의 말단부에서(즉, 제1 전도성 재료(130)의 위치에 대한 말단부에서) 제2 전도성 재료(145) 쪽으로의 개구(155)를 패턴화하는 추가의 공정 단계를 거친 후의 전자 구성 요소(100)를 도시하고 있다. 개구(155)는 접촉 소자의 소망하는 텁 부분을 형성하기에 적절한 직경을 갖는다. 적절한 구멍의 직경은 일례로 $152.4\mu\text{m}$ [6밀(mi1)]이다. 직사각형 및/또는 경사진 개구도 결합될 수 있다.

<66> 도13b는 접촉 소자의 텁 부분을 제3 마스킹 재료 층(150)의 개구(155)에 형성하는 추가의 공정 단계를 거친 후의 전자 구성 요소(100)를 도시하는 것이다. 스프링 접촉 소자의 텁 부분은 제3 전도성 재료(160)로 이루어진다. 일 실시예에서, 제3 전도성 재료(160)는 전기 도금 공정을 통해서 형성된 다층 재료이다. 일례로, 제3 전도성 재료(160)는 약 25.4 내지 $38.1\mu\text{m}$ 「 1.0 내지 1.5 밀(mi1)」의 두께를 갖는 니켈 층에 이은 로듐과 같은 귀금속의 선택적 박층에 이어지는 약 $25.4\mu\text{m}$ 「 1 밀(mi1)」의 금속 층으로 이루어진다.

<67> 어떤 응용례에서는 제2 전자 구성 요소와 궁극적으로 접촉하기 위한 외부 접촉 층을 포함하는 것이 바람직할 수 있다. 이것은 텁 구조를 구성하는 단부에 증착되는 층의 형태로 할 수 있다. 이 층은 응용례와 설계 기준에 따라 달라지는 것으로서, 단연코 선택적인 것이다. 그 층은 도13b의 텁과 같은 최종 구조체에 도금된다.

<68> 원하는 경우에는, 접촉 금속의 층이 접촉 구조체 상에 최종 층으로서 도금될 수 있다. 팔라듐(Pd), 팔라듐-코발트(PdCo), 금(Au)(연성 금 또는 경성 금) 및 로듐(Rh)이 특히 유용하다. 이들 재료, 그 특성 및 증착 방법은 일렉트로닉스용 접촉 구조체의 기술 분야에 공지되어 있다. 특히 바람직한 재료로는 팔라듐과 코발트의 합금(PdCo)이다. 유용한 두께는 약 0 내지 5 미크론 「 0 내지 200 마이크로인치(microinch)」인데, 미크론의 10 배 이

상도 또한 사용할 수 있다. 한가지 선택적 설계에 있어서, 접촉 구조체 층 전체가 이 재료로 구성된다. 특히 양호한 실시예에 있어서, 최종 접촉 구조체의 일부 부분이 이 재료로 구성된다.

<69> 제3 전도성 재료(160)의 상부 또는 최상부 면은 제3 전도성 재료(160)의 제어식 에칭에 의해 도13b에 도시된 것과 같이 일례로 역 피라미드 형상으로 산출되도록 뾰족하게 된 형상으로 할 수 있다.

<70> 도13c는 제1 마스킹 재료 층(125)과 제2 마스킹 재료 층(140)과 제3 마스킹 재료 층(150)을 제거하여 기판(105) 상에 자립형 접촉 소자가 형성되도록 하는 추가의 공정 단계를 거친 후의 전자 구성 요소(100)를 도시하는 것이다. 제1 마스킹 재료 층(125)과 제2 마스킹 재료 층(140)과 제3 마스킹 재료 층(150)이 각각 포토레지스트인 실시예에 있어서, 이들 마스킹 재료 층들은 앞서 설명한 바와 같은 산소 회분화(oxygen ashing)를 통해서 제거된다. 레이저 애블레이션(laser ablation) 및 습식 화학 에칭을 포함하지만 이에 제한되지 않는 기타 다른 기술도 마스킹 재료 층을 제거하는 데 적용될 수 있다. 도13c는 기판(105) 위에 놓이며 기판(105)의 단자(110)에 부착된 자립형 접촉 소자(101)를 도시하고 있다. 이 때, 임의의 단락 층(예, 단락 층(117))은 제거될 수 있다.

<71> 위의 설명은, 접촉 소자가 프로브 카드 조립체의 스페이스 트랜스포머와 같은 전자 구성 요소 상에 바로 제조되게 하는 본 발명의 공정의 제1 실시예를 나타내고 있다. 전자 구성 요소에 특히 유용한 기판으로는 세라믹계 기판이 있다. 본 발명의 일 실시 태양에 있어서, 세라믹계 전자 구성 요소로는, 일례로 다중 접적 회로 또는 칩을 한번에 시험할 수 있도록, 예를 들어 대응하는 접촉 소자를 수용하는 것으로 전술한 공정에 의해 형성된 단자를 구비하는 것이 선택될 수 있다. 그와 같은 전자 구성 요소는 1500개 이상의 접촉부(단자)를 쉽게 구비할 수 있다. 앞서 주지된 바와 같이, 하나의 접촉 소자를 형성하기 위한 것으로 기재된 방법이 추가의 접촉 소자들을 형성하는 데 사용될 수 있다.

<72> 전자 구성 요소로 유용한 제2의 기판은 반도체 기판이다. 금속 기판도 활용될 수 있다. 반도체 기반 기술의 한가지 이점은, 일례로 "칩 크기의" 전자 구성요소의 경우에, 하나의 세라믹계 전자 구성 요소 상에 접촉 소자들을 형성함에 있어 제한이 있을 수 있다고 생각될 수 있는 세라믹계 전자 구성 요소에 비해서 다수의 접촉 소자들을 구비하는 보다 많은 전자 구성 요소들을 한번에 제조할 수 있는 능력이 제공된다는 것이다.

<73> 도13c에서 분명한 바와 같이, 길거나 혹은 외팔보형의 접촉 소자(101)와 같은 다수의 접촉 소자들이 표면에 다수의 단자들을 구비하는 전자 구성 요소에 부착된다. 본 실시예의 이러한 양태에 있어서, 각 접촉 소자(101)는 지주 부분(130), 빔 부분(145), 및 지주 부분(130)에 대향된 텁 부분(160)을 구비하며 전자 구성 요소(100)의 대응하는 단자에 그 지주 부분이 부착된다. 각 접촉 소자의 텁 부분(160)은 자립형 외팔보 구조를 형성하는 지주 부분(130)으로부터 측방향 및/또는 횡단 방향으로 편위된 위치를 통해서 기판(105)의 표면 위에서 연장된다.

<74> 일 실시예에서, 접촉 소자(101)는 탄성을 가지며 스프링 접촉 소자이다. 접촉 소자(101)는 유효 높이 L1을 갖는데, 이는 텁 부분(160)의 최고점 부분과 지주 부분이 기판(105)에 부착되는 가장 내측의 위치 사이의 거리가 된다. 실제 높이 h₁은 텁 부분(160)의 최고점 부분이 기판(105)으로부터 연장되는 거리를 나타낸다. 빔 부분(145)의 하부측과 기판(105) 사이의 거리는 h₂로 나타내고 있는데, 이는 접촉 소자(101)가 이것의 텁 부분(160)에 가해지는 압축력에 따라서 쳐질 수 있는 거리를 나타내는 것이다.

<75> 도14 내지 도21c는 본 발명에 따른 접촉 소자를 제조하는 제2 실시예를 도시하는 것이다. 도14는 예를 들어 반도체 기판과 같은 희생 기판인 기판(410)을 포함하는 구조체(400)를 도시하고 있다. 예시의 목적으로, 기판(410)은 도1a 내지 도13c에 나타낸 접촉 소자와 같은 배향을 가지는 최종 접촉 소자를 나타낼 수 있도록 배향되어 있다.

<76> 기판(410)의 표면에는 피라미드형의 형상이 형성된다. 피라미드형의 형상을 형성하는 방법은 공유인 계류 중 PCT 출원 제PCT/US97/08606호(1997년 11월 20일, 국제 공개 제W097/43653호)에 상세하게 기재되어 있다. 상기 PCT 출원 제PCT/US97/08606호에는, 반도체 기판 위의 한 측면에 약 25.4 μ m 내지 100 μ m 「1 내지 4밀(mil)」의 정방형 개구를 바람직하게 구비하는 마스킹 재료를 패턴화함으로써 피라미드형의 형상을 형성하는 방법에 대해 기재되어 있다. 이어서, 기판이 에칭되어 피라미드형 함몰부를 형성하게 된다. 특정의 실리콘 반도체에 있어서, 실리콘은 결정면을 따라서 에칭이 수행될 때에 실리콘에 대해서 약 54.74°로 자체 제한 되는 경향이 있다. 즉, 함몰부는 마스크 개구의 크기와 기판의 고유 성질에 의해 규정되는 깊이까지 연장된다. 일례로, 한 변이 63.5 μ m(2밀)인 정방형 개구에 있어서, 함몰부의 깊이는 약 63.5 μ m(2밀)가 된다.

<77> 피라미드형의 형상을 형성하는 또 다른 방법은 공유의 미국 특허 제5,809,128호와 발명의 명칭이 "마이크로 전자 접촉 구조체 및 그 제조 방법"인 동시 계류 중인 공유의 미국 특허 출원 제08/802,054호에 설명되고 있다.

- <78> 기판(410)의 표면에는 릴리스 층(release layer)(425)이 위에 적층된다. 릴리스 층(425)은 일례로 종래의 증착 기술을 이용하여 약 5000옹스트롬(Å)의 두께로 증착된다. 기판(410)의 표면 위에 적층되는 릴리스 층(425)은 시드 층(430)이다. 시드 층(430)은 일례로 동 전기 도금 공정을 용이하게 하는 동이다. 일 실시예에 있어서, 동인 시드 층(430)은 종래의 증착 기술을 이용하여 약 5000옹스트롬(Å)의 두께로 증착된다.
- <79> 도15는 기판(410) 위에 제1 마스킹 재료 층(435)을 증착시키고 평탄화하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하는 것이다. 제1 마스킹 재료 층(435)은, 일례로 도2 내지 도13d 및 그에 수반하는 본문을 참고하여 앞에서 설명한 실시예에서 사용된 것과 같은 포토레지스트이고, 텁 부분 재료를 가지는 제1 마스킹 재료 층(435)의 일부가 평탄화될 가능성을 고려하여 접촉 소자의 텁 부분의 소정의 높이인 두께로 증착된다.
- <80> 이어서, 도16에 도시된 바와 같이 제1 마스킹 재료 층(435) 내의 개구에 제1 전도성 재료(440)가 증착된다. 제1 전도성 재료(440)는 본 실시예에서는 도2 내지 도13d를 참고하여 설명한 실시예에서 참고하여 설명된 전기 도금 합금과 유사한 니켈-코발트 합금과 같은 전기 도금 합금이다. 도13b 및 그에 수반하는 본문과 관련하여 앞에서 주지한 바와 같이, 상기 제1 전도성 재료는 외부 접촉 층을 포함하는 것이 바람직하다. 따라서, 필요한 경우에는 접촉 금속의 층을 일례로 릴리스 층(425) 위에 도금시킬 수 있다. 적절한 재료로는 팔라듐(Pd), 팔라듐-코발트(PdCo), 금(Au) 및 로듐(Rh)이 있다. 특히 양호한 재료는 약 0 내지 5미크론의 두께로 증착된 PdCo인데, 미크론의 10배 이상도 또한 사용할 수 있다. 제2의 양호한 실시예에 있어서, 접촉 소자 전체가 이 재료로 구성된다. 또 다른 양호한 실시예에 있어서는, 최종의 접촉 구조체층만 이 재료로 구성된다. 특히 양호한 실시예에 있어서, 최종 접촉 구조체 층의 일부 부분이 이 재료로 구성된다.
- <81> 일 실시예에 있어서, 제1 전도성 재료(440)가 적어도 제1 마스킹 재료 층(435)의 높이의 두께로 증착되는데, 바람직하기로는 그 높이보다 크게(과도금) 할 수 있다.
- <82> 도17은 본 발명의 일 실시예에 따라서 제1 전도성 재료(440)와 제1 마스킹 재료 층(435)을 평탄화하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하는 것이다. 평탄화는 그라인딩 처리 또는 도5 및 그에 수반하는 본문을 참고하여 앞에서 설명한 바와 같은 적절한 혼탁액(slurry)으로 행하는 화학-기계적 연마에 의해 달성된다. 도17의 평탄화 단계는 접촉 소자의 텁 부분의 높이를 한정한다.
- <83> 본 발명의 제2 실시예의 제1 양태에 있어서, 제1 전도성 재료(440)의 텁 부분은 제거되고, 일례로 도12a의 전자 구성 요소 상에 형성되고 도12b에 도시된 텁 부분과 브레이징되거나 납땜되거나 혹은 기타 다른 방법으로 결합된 접촉 소자와 같은 접촉 소자에 별도로 부착된다. 도18a는 제1 마스킹 재료 층(435)을 제거하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 제1 마스킹 재료 층(435)이 포토레지스트인 실시예에 있어서, 제1 마스킹 재료 층(435)은 산소 회분화, 레이저 애블레이션 또는 습식 에칭에 의해 제거된다. 제1 마스킹 재료 층(435)이 일단 제거되면, 제1 전도성 재료(440)의 텁 부분이 릴리스 층(425)에서 기판(410)으로부터 분리된다. 릴리스 층(425)이 알루미늄인 실시예에 있어서, 제1 전도성 재료(440)는 릴리스 층(425)을 당해 기술 분야에 공지된 수산화나트륨(NaOH)을 이용하여 용해시킴으로써 기판(410)으로부터 제거된다. 또 다른 분리 방법으로는, 화학 에칭을 제한적이지 않은 것으로 포함하는데, 가열도 또한 적절할 수 있다.
- <84> 제1 전도성 재료(440)가 기판(410)으로부터 분리되기 전에, 텁 부분을 일례로 브레이징, 납땜, 또는 용접에 의해 도18b에 도시된 바와 같이 지주 부분과 빔 부분과 결합시킬 수 있다. 도18b는 전자 구성 요소(4000)에 결합된 접촉 소자(4001)의 일례를 도시하는 것이다. 접촉 소자(4001)는 전자 구성 요소(4000)의 단자(4010)에 결합된 지주 부분(4650)과, 빔 부분(4550)과, 빔 부분(4550)에 고정된 텁 부분(440)을 포함한다.
- <85> 도19a는 본 발명의 제2 실시예의 제2 양태를 도시하는 것이다. 도19a는, 도17에 도시된 바와 같은 구조체(400)로부터 출발하여, 전기 도금 공정에서 형성되는 접촉 소자의 빔 부분을 위한 전극 영역이 한정되도록 제1 마스킹 재료 층(435)의 일부가 전도성을 띠게 하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 앞에서 주지한 바와 같이(도6 및 그에 수반하는 본문 참고), 빔 부분을 형성하는 기타 다른 적절한 방법도 있다.
- <86> 도19a는 제1 마스킹 재료 층(435)의 표면 상의 한 영역이 전도성을 띠게 하여 그 영역이 전기 도금 공정용의 전극으로서 적절하도록 하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 일 실시예에서, 제1 마스킹 재료 층(435)의 한 영역의 일 부분은 티타늄 층, 티타늄-텅스텐 합금 층, 또는 티타늄 혹은 티타늄-텅스텐/금 이중 층과 같은 전도성 금속 또는 금속 합금의 시드 층(445)으로 피복된다. 전기 도금 니켈/코발트 층에 있어서, 일례로 시드 층(445)은 약 5000옹스트롬(Å)의 두께를 갖는다. 도6 및 그에 수반하는 본문과 관련하여 앞에서 주지한 바와 같이, 시드 층(445)은 블랭킷 층이나 혹은 선택적으로는 트레이스로서 증착될 수 있다.

- <87> 이어서, 도19b에 도시된 바와 같이, 기판(400) 위의 한 영역은 역시 포토레지스트와 같은 제2 마스킹 재료 층(450)으로 폐복된다. 제2 마스킹 재료 층(450)은, 시드 층(445)의 한 영역을 노출시키고 접촉 소자의 빔 부분을 한정시키도록 하기 위하여 패턴화된다.
- <88> 도19c는 구조체의 상부 면 위에 제2 전도성 재료(455)를 증착시키는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 일 실시예에서, 제2 전도성 재료(455)는 니켈-코발트와 같은 전기 도금 합금을 가지고 전기 도금 공정을 통해서 증착된다. 양호한 실시예에서, 제2 전도성 재료(455)는 적어도 제2 마스킹 재료 층(450)의 두께와 같은 두께로 증착되고, 일반적으로는 제2 마스킹 재료 층(450)의 두께보다는 큰 두께로 증착된다(과도금).
- <89> 도19d에 도시된 바와 같이, 구조체(400) 위에 제2 전도성 재료(455)가 증착된 후에, 기판(410) 상에 접촉 소자의 빔 부분이 형성되도록 하기 위하여 제2 전도성 재료(455)와 제2 마스킹 재료 층(450)이 앞에서 설명한 바와 같은 그라인딩 공정 또는 화학-기계적 연마에 의해 평탄화되는데, 상기 빔 부분은 평탄화 단계에 의하여 한정된 주어진 두께를 갖는다. 이 시점에서, 전자 구성 요소 상에 형성된 접촉 소자의 빔 부분에 대한 여러 가지 형상을 도시하는 도10a 내지 도11b와 그에 수반되는 본문이 참고가 된다. 희생 기판(410) 상에 여러 가지 형상을 갖는 빔 부분을 형성함에 있어서는 동일한 기술이 사용될 수 있음을 알 수 있다.
- <90> 도20a 및 도20b는 본 발명의 제2 실시예의 제3 양태를 도시하는 것이다. 이 양태에 있어서, 인접하는 접촉 소자의 텁 부분과 빔 부분이 희생 기판(410)으로부터 제거되어 전자 구성 요소 상에 별도로 형성된 지주 부분에 부착된다. 제1 전도성 재료(440)의 텁 부분과 제2 전도성 재료(455)의 빔 부분을 분리시키기 위해서는, 제1 마스킹 재료 층(435)과 제2 마스킹 재료 층(450)을 제거하기 위하여 산소 플라즈마, 레이저 애블레이션, 또는 습식 에칭을 이용한다. 선택된 기술에 의하면, 과잉 시드 층 재료가 대체적으로 제거되거나 혹은 그 과잉 재료가 앞에서 주지한 바와 같이 별도로 분리되기도 한다.
- <91> 이 시점에서 제1 전도성 재료(440)는 릴리스 층(425)에서 희생 기판(410)으로부터 분리된다. 릴리스 층(425)이 알루미늄인 실시예에서, 제1 전도성 재료(440)를 희생 기판(410)으로부터 분리하는 방법은 릴리스 층(425)을 NaOH 용액과 작용시키는 것에 의한다. 도20a는 희생 기판(410)으로부터 분리되는 제1 전도성 재료(440)인 텁 부분과 제2 전도성 재료(455)인 빔 부분을 도시하는 것이다. 제2 전도성 재료(455)의 빔 부분은 전자 구성 요소(4010)의 단자에서 전자 구성 요소(4010)에 결합되는 지주 부분(4650)이 별도로 제조되도록 부착된다. 지주 부분(4650)은 도2 내지 도4와 그에 수반되는 본문을 참고하여 설명한 기술에 의하여 전자 구성 요소에 바로 형성된다. 제2 전도성 재료(455)인 빔 부분은 제1 전도성 재료(440)인 텁 부분을 희생 기판(410)으로부터 분리한 후에, 바람직하기로는 분리하기 전에 지주 부분(4650)에 부착된다. 도20b는 일례로 납땜, 브레이징, 또는 용접 등에 의한 결합을 도시하고 있다.
- <92> 제1 전도성 재료(440)인 텁 부분과 제2 전도성 재료(455)인 빔 부분을 포함하는 접촉 소자를 희생 기판(410)으로부터 분리하는 대신에 본 발명의 방법의 제2 실시예에서는 선택적으로 접촉 소자용의 지주 부분을 형성하는 공정 단계를 고려해 볼 수 있다. 도21a 내지 도21c는 이러한 공정을 예시하는 것이다.
- <93> 도21a는 티타늄 또는 티타늄/금 이중 층을 제한적이지 않은 것으로 포함하는 전도성 금속 또는 금속 합금의 시드 층(458)을 증착시키는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다.
- <94> 도21a는 또한 구조체(400) 위에 제3 마스킹 재료 층(460)을 패턴화하고 제2 전도성 재료(455)의 말단부(즉, 제1 전도성 재료(440)의 위치에 대한 말단부)에 제2 전도성 재료(455) 쪽으로의 개구를 패턴화하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 제3 마스킹 재료 층(460)은 일례로 제1 마스킹 재료 층(435)과 제2 마스킹 재료 층(450)과 유사한 포토레지스트 재료이다. 제3 마스킹 재료 층은, 지주 부분의 높이가 한정될 수 있도록 하기 위하여, 후속하는 평탄화 단계를 고려하여 접촉 소자의 지주 부분에 적절한 높이로 패턴화된다. 접촉 소자의 지주 부분을 위한 높이 고려 사항에 대한 철저한 논의는 도3 및 그에 수반되는 본문을 참고하여 본 명세서에 제공되어 있다.
- <95> 도21b는 제3 전도성 재료(465)를 제3 마스킹 재료 층(460) 내의 개구에 일례로 전기 도금 공정을 거쳐서 증착시키는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다. 일 실시예에 있어서, 제3 전도성 재료(465)는 제1 전도성 재료(440)와 제2 전도성 재료(455)와 유사한 니켈-코발트이다. 제3 전도성 재료(465)는 적어도 제3 마스킹 재료 층(460)의 두께로 바람직하게 증착되고, 일반적으로는 제3 마스킹 재료 층(460)의 두께보다 큰 두께로 증착된다(과도금된다). 도21b는 또한 제3 전도성 재료(465)와 제3 마스킹 재료 층(460)을 평탄화하

고 평탄화 단계에 의하여 한정된 두께를 갖는 제3 전도성 재료(465)의 지주 부분이 한정될 수 있도록 하는 추가의 공정 단계를 거친 후의 구조체(400)를 도시하고 있다.

<96> 제1 마스킹 재료 층(435)과 제2 마스킹 재료 층(450)과 제3 마스킹 재료 층(460)이 포토레지스트인 실시예에 있어서는, 마스킹 재료 층을 제거하기 위하여 산소 회분화, 레이저 애플레이션, 또는 습식 화학적 에칭 단계가 우선 이용된다. 이 때, 접촉 소자(470)는 릴리스 층(425)에서 희생 기판(410)으로부터 분리된다. 릴리스 층(425)이 알루미늄인 실시예에서, 알루미늄은 일례로 NaOH 용액과 반응하여 접촉 소자(470)가 희생 기판(410)으로부터 분리되게 한다.

<97> 도21c는 프로브 카드 조립체의 스페이스 트랜스포머와 같은 전자 구성 요소(480)에 결합된 접촉 소자(470)를 도시하고 있다. 접촉 소자(470)는 그 지주 부분(제3 전도성 재료(465)인 지주 부분)에서 일례로 납땜, 브레이징, 용접, 전도성 에폭시, 태킹(tacking), 또는 기타 다른 기술에 의해 전자 구성 요소(480)의 단자에 결합된다.

<98> 도21c의 접촉 소자(470)는 도20b의 접촉 소자(469)와 비교될 수 있다. 도20b에서, 빔 부분(455)은 별도로 제조된 지주 부분(4650)에 일례로 브레이징 또는 납땜에 의해 고정된다. 도21c에서, 접촉 소자(470)는 일련의 중착 단계를 거쳐서 지주 부분, 빔 부분 및 텁 부분을 포함하는 단일의 유닛으로 형성된다. 이들 각각의 경우에서, 치수와 탄성 특성은 평탄화 단계를 포함하는 리소그래피 기술을 활용함으로써 정확하게 조절될 수 있다.

<99> 도22a는 희생 기판 상에 제조된 접촉 소자를 전자 구성 요소에 장착시키는 제2의 양호한 기술을 예시하는 것이다. 도22a는 접촉 소자(471)를 일례로 도14 내지 도21b와 그에 수반되는 본문을 참고하여 앞에서 설명한 방법으로 희생 기판(410) 상에 제조하는 기술을 예시하고 있다. 도22a는 텁 부분에서 희생 기판(410)에 결합된 접촉 소자(471)를 도시하고 있다. 접촉 소자를 폐던화하는 데 사용된 제1 마스킹 재료 층과 제2 마스킹 재료 층과 제3 마스킹 재료 층은 제거된다. 도22a에 도시된 바와 같이, 접촉 소자(471)의 지주 부분은 전자 구성 요소(480) 상의 대응하는 단자(486)와 접촉하게 되는데, 여기서 지주 부분은 단자(486)에 적절히 납땜, 브레이징, 또는 용접된다. 접촉 소자(471)의 지주 부분을 전자 구성 요소의 단자에 부착시키기 위한 것으로서, 접촉 소자를 단자에 다음 중 어느 한 적절한 방식으로 브레이징, 용접(예, 접용접), 납땜, 전도성 에폭시, 또는 태킹(tacking)하고 접촉 소자를 단자에 도금(예, 전기 도금) 등에 의해 견고하게 부착시키는 것을 포함하는 임의의 적절한 기술 및/또는 재료는 전술한 실시예 각각에 활용된다.

<100> 접촉 소자(471)가 일단 전자 구성 요소(480)에 부착되면, 희생 기판(410)이 전술한 바와 같은 적절한 방식(예, 화학적 에칭, 가열, 릴리스 층의 용해 등)으로 제거되고, 이 결과 도22b에 도시된 바와 같이 접촉 소자(471)가 부착된 전자 구성 요소(480)가 형성된다. 도22b로부터 명확한 바와 같이, 전술한 바와 같은 다수의 길거나 혹은 외팔보형인 접촉 소자들이 표면 위에 다수의 단자들을 구비하는 전자 구성 요소에 부착된다. 본 실시예에서, 접촉 소자 각각은 지주 부분, 빔 부분, 및 지주 부분에 대향하는 텁 부분을 구비한다. 각 접촉 소자는 그 지주 부분에서 전자 구성 요소의 대응하는 단자에 부착된다. 각 접촉 소자의 텁 부분은 자립형의 외팔보 구조체를 형성하는 지주 부분으로부터 측방향 및/또는 횡단 방향으로 편위된 위치를 통해서 전자 구성 요소의 표면 위에서 연장된다.

<101> 일 실시예에서, 접촉 소자는 탄성적이고 스프링 접촉 소자이다. 본 발명의 접촉 소자가 전자 구성 요소에 부착되었을 때에, 접촉 소자는 유효 처짐 높이 L_2 를 갖는데, 이는 텁 부분의 최고점 부분과 지주 부분이 전자 구성 요소(480)에 부착되는 가장 내측의 위치 사이의 거리가 된다. 실제 높이 h_1 은 텁 부분의 최고점 부분(160)이 전자 구성 요소(480)로부터 연장되는 거리를 나타낸다. 빔 부분의 하부측과 전자 구성 요소(480)의 표면 사이의 거리는 h_2 로 나타내는데, 이는 접촉 소자가 이것의 텁 부분(예, 텁 단부)에 가해지는 압축력에 따라서 처질 수 있는 거리를 나타내는 것이다.

<102> 도23은 본 발명의 접촉 소자의 일 실시예, 특히 탄성 접촉 소자 또는 스프링 접촉 소자에 대한 적용례를 예시하는 것이다. 도23에서, 접촉 소자(471, 472)는 일례로 도13c 또는 도22b와 관련하여 설명한 방식으로 프로브 카드 조립체의 스페이스 트랜스포머에 부착되어서, 텁 부분의 단부(4711, 4721)가 반도체 장치와 같은 전자 구성 요소(490)의 단자(492)와 가압 접속되거나 혹은 다수의 반도체 장치들을 포함하는 반도체 웨이퍼(도시되지 않음)의 한 영역에 가압 접속되도록 한다.

<103> 도24는, 접촉 소자들의 텁 단부들이 주변에 배열된 단자 또는 본드 패드(bond pad)를 구비하는 반도체 장치의 본드 패드와 접촉하기에 적합한 방식으로 배치되도록 전술한 바와 같은 다수의 접촉 소자(500)가 프로브 카드 조립체의 스페이스 트랜스포머와 같은 기판 상에 배열되어서 전술한 바와 같은 방식으로 그 기판 상에 부착된 적용례를 예시하는 것이다. 이 적용례는, 발명의 명칭이 "마이크로 전자 접촉 구조체 및 그 제조 방법"인 동시

계류 중인 공유의 미국 특허 출원 제08/802,054호에 설명되어 있는 적용례와 유사하다. 도24에서, 각각의 접촉 소자(500)는 지주 부분(502)과 텁 부분(504)을 포함하고 프로브 카드 조립체의 스페이스 트랜스포머(점선(510)으로 개략적으로 도시함)와 같은 전자 구성 요소에 장착된다. 텁 부분(504)의 단부는 반도체 장치와 같은 전자 구성 요소(점선(520)으로 개략적으로 도시함)의 본드 패드(522)(원으로 개략적으로 도시함)의 패턴과 경상화(mirroring)하는 패턴으로 배열된다. 접촉 소자(500)는 이들의 텁 부분(504)으로부터 부채꼴로 퍼지므로, 지주 부분(502) 각각은 텁 부분(504)보다는 큰 피치로(서로 이격되어서) 배치된다.

<104> 도25는, 접촉 소자들의 텁 부분들이 중심선을 따라서 일렬로 배열된 본드 패드(bond pad) 또는 단자를 구비하는 반도체 장치의 본드 패드 또는 단자와 접촉하기에 적합한 방식으로 배치되도록 전술한 바와 같은 다수의 접촉 소자(600)가 프로브 카드 조립체의 스페이스 트랜스포머와 같은 기판 상에 배열되어서 전술한 바와 같은 방식으로 그 기판 상에 부착된 적용례(동시 계류 중인 공유의 미국 특허 출원 제08/802,054호에 기재된 것과 유사)를 예시하는 것이다. 도25에서, 각각의 접촉 소자(일반적으로 도면 부호 600으로 나타냄)는 지주 부분(602)과 텁 부분(604)을 포함하고 프로브 카드 조립체의 스페이스 트랜스포머(점선(610)으로 개략적으로 도시함)와 같은 전자 구성 요소에 장착된다. 텁 부분(604)은 반도체 장치와 같은 전자 구성 요소(점선(620)으로 개략적으로 도시함)의 본드 패드(622)(원으로 개략적으로 도시함)의 패턴과 경상화(mirroring)하는 패턴으로 배열된다. 접촉 소자(600)는 다음과 같은 순서로 배열된다. 우선, 비교적 짧은[예, x방향 길이가 약 1.52mm(60mil)] 제1 접촉 소자(600a)가 전자 구성 요소(620)의 한 측면(관용적으로는, 우측)을 향해 연장되도록 배치된다. 제1 접촉 소자(600a)에 인접하며 비교적 짧은[예, x방향 길이가 약 1.52mm(60mil)] 제2 접촉 소자(600b)가 전자 구성 요소(620)의 대향 측면(관용적으로는, 좌측)을 향해서 연장되도록 배치된다. 제2 접촉 소자(600b)에 인접하며 비교적 긴[예, x방향 길이가 약 2.03mm(80mil)] 제3 접촉 소자(600c)가 전자 구성 요소(620)의 한 측면(관용적으로는, 우측)을 향해서 연장되도록 배치된다. 마지막으로, 제3 접촉 소자(600c)에 인접하며 비교적 긴[예, x방향 길이가 약 2.03mm(80mil)] 제4 접촉 소자(600d)가 전자 구성 요소(620)의 대향 측면(관용적으로는, 좌측)을 향해서 연장되도록 배치된다. 이와 같은 방식에 있어서, 텁 부분(604)들은 본드 패드(622)의 피치와 같은 크기의 미세한 피치로 배치되고, 지주 단부(602)는 서로 간의 피치가 상당히 크게 배치된다.

<105> 전술한 바와 같은 포토리소그래피 기술을 사용함으로써 본 발명에 따른 접촉 소자들은 최소의 피치로 제조된다. 따라서, 본 발명에 다른 접촉 소자들은 마이크로 전자 구성 요소의 미세 피치와 긴밀한 공차 환경에 아주 적합하다. 도26a 내지 도26b는 인접하는 접촉 소자들 간의 피치가 더욱 더 최소화 된 레이아웃의 일 예를 예시하는 것이다. 도26a 및 도26b는 인접하는 접촉 소자(740A, 740B)를 두 가지의 다른 도면으로 도시하고 있는 것이다. 인접하는 접촉 소자(740A, 740B)는 특히 도2 내지 도13c와 관련하여 앞에서 설명한 방법에 따라서 전자 구성 요소 상에 바로 제조될 수 있다. 이 방식에 있어서, 인접하는 접촉 소자들의 각 부분을 형성하기 위하여 각각의 마스킹 재료 층이 패턴화된다. 일례로, 앞의 도3을 참고하면, 제1 마스킹 재료 층(125)이 일례로 2개의 지주 부분을 위한 하나의 개구를 가지고 패턴화된다. 제1 전도성 재료(130)는 지주 부분(730A, 730B)용의 재료로서 역할을 한다. 선택적으로, 접촉 소자(740A, 740B)는 희생 기판 상에 제조되어서 도14 내지 도22b와 그에 수반하는 본문과 관련하여 전술한 공정 단계와 유사하게 전자 구성 요소로 읊겨진다.

<106> 접촉 소자(740A)는 지주 부분(730A), 빔 부분(745A), 및 텁 부분(760A)을 포함한다. 보다 향상된 것으로서, 접촉 소자(740A)는 또한 본 실시예에서는 접촉 소자(740A)의 빔 부분(745A)을 아래에 놓인 접촉 소자(740B)로부터 분리될 수 있도록 하는 스페이서 부분(731A, 732A)도 포함한다. 접촉 소자(740A, 740B)가 동시에 형성되는 방식에 있어서, 스페이서 부분(731A)은 접촉 소자(740B)의 빔 부분(745B)과 동시에 패턴화되어 형성된다. 본 실시예에서 스페이서 부분들은, 접촉 소자들의 지주 부분과 빔 부분을 제조하기 위하여 설명된 기술에 따라서(예, 본 발명의 제1 실시예에서는, 일례로 접촉 소자(740B)의 지주 부분(730A) 위의 개구와 접촉 소자(740B)용의 빔 부분을 한정하는 제2 개구를 구비하는 마스킹 층 및 마스크를 이용하여) 제조된다.

<107> 접촉 소자(740B)는 지주 부분(730B), 빔 부분(745B), 및 텁 부분(760B)을 포함한다. 접촉 소자(740B)는 또한 이 접촉 소자(740B)를 접촉 소자(740A)와 유사한 높이(y방향의 높이)로 정렬시키는 스페이서 부분(732B, 733B)을 더 포함한다. 접촉 소자(740A, 740B)가 동시에 형성되는 방식에 있어서, 스페이서 부분(732A, 732B)은 동일한 마스킹 재료 층(예, 도2 내지 도13c와 그에 수반하는 본문을 참고하면, 마스킹 재료 층들의 순서에 따른 제3 마스킹 재료 층) 내에 패턴화된다. 이어서, 스페이서 부분(732A, 732B)은 동일한 전도성 재료「예, 도2 내지 도13c와 그에 수반하는 본문을 참고하면, 제3 전도성 재료(160)」의 중착으로 형성된다. 이와 유사하게, 접촉 소자(740A)의 이격 부분(733B)과 접촉 소자(740B)의 빔 부분(745A)이 (일례로, 제4 전도성 재료로) 패턴화되어 형성된다.

<108> 본 실시예에서는, 포토리소그래피 기술을 이용하여 인접하는 접촉 소자(740A, 740B)의 직사각형 빔 부분(745A,

745B)의 길이를 변화시킨다. 인접하는 접촉 소자(740A, 740B)는 이들의 지주 부분(730A, 730B)에서 동일 축선(예, x축)을 따라서 그리고 이들의 텁 부분(760A, 760B)에서 제2 축선(예, z축)을 따라서 제조된다. 주지하는 바와 같이, 접촉 소자(740A)의 빔 부분(745A)은 접촉 소자(740B)의 지주 부분(730B) 바로 위에서 패턴화된다. 따라서, 지주 부분(730A, 730B)은 x방향에서 축 방향으로 정렬된다. 각 접촉 소자의 텁 부분(760A, 760B)에서, 접촉 소자(740A, 740B)는 y축을 따라서 축 방향으로 정렬된다. 따라서, 도26a 및 도26b는 텁 부분과 지주 부분 사이의 퍼치가 큰 인접하는 접촉 소자들을 도시하고 있는 것이다. 이와 같은 구성은, 일례로, 본드 패드 또는 단자들이 그 주변을 따라서 배열되고 초미세 퍼치를 구비하는 제2 전자 구성 요소를 검사하기 위한 다수의 접촉 소자들을 구비하는 전자 구성 요소가 생성되게 하는 데 있어 적합하다.

<109> 도27a 내지 도27b는 본 발명의 일 실시예에 따른 인접하는 접촉 소자들의 제2 배향을 도시하는 것이다. 접촉 소자(840A)는 지주 부분(830A), 빔 부분(845A), 및 텁 부분(860A)을 포함한다. 접촉 소자(840A)는 또한 지주 부분(830A) 위에 형성된 스페이서 부분(831A, 832A)도 포함한다. 스페이서 부분(831A, 832A)은 본 실시예에서 빔 부분(845A)을 아래에 놓인 접촉 소자(840B)로부터 분리한다. 접촉 소자(840B)는 지주 부분(830B), 빔 부분(845B), 및 텁 부분(860B)을 포함한다. 접촉 소자(840B)는 또한 텁 부분(860B)을 y축을 따라서 접촉 소자(840A)의 텁 부분(860A)과 정렬시키는 스페이서 부분(832B, 833B)도 포함한다. 도27a 및 도27b에서, 접촉 소자(840A, 840B)는 이들의 지주 부분과 텁 부분 모두에서 축방향으로 정렬된다.

<110> 도27a 및 도27b에 도시된 인접하는 접촉 소자(840A, 840B)는 이들의 지주 부분과 텁 부분 모두에서 축 방향으로 정렬된다. 리소그래피 기술을 이용하여 각 접촉 소자의 직사각형 빔 부분이 거의 동일한 길이로 제조되고, 최종의 접촉 소자는 동일 축선을 따라서 지주 부분들 간의 거리만큼 편위된다. 이와 같은 구성은, 일례로, 본드 패드 또는 단자들이 중심선을 따라서 초미세 퍼치의 열로 배열된 제2 전자 구성 요소를 검사하기 위한 다수의 접촉 소자들을 구비하는 전자 구성 요소가 생성되게 하는 데 있어 적합하다.

<111> 도28a 및 도28c는 도26a 내지 도27b를 참고하여 설명한 것과 같이 접촉 소자를 형성하기 위한 유사한 적층 패턴화 기술을 이용한 또 다른 배열을 예시하는 것이다. 도28a는 이상에서 설명한 기술에 따라서 형성되어서 전자 구성 요소(도시되지 않음) 상에 배열된 다수의 접촉 소자를 도시하고 있다. 접촉 소자(900A, 900B, 900C, 900D)는, 이들의 대응하는 텁 부분(960A, 960B, 960C, 960D) 각각이 y방향으로 정렬되고 기부 부분(930A, 930B, 930C, 930D)이 x방향으로 서로 엇걸리도록 배열된다. 도28b는 다수의 접촉 소자(980A, 980B, 980C, 980D)를 전자 구성 요소(도시되지 않음) 상에 배열하되 이들의 대응하는 기부 부분(990A, 990B, 990C, 990D)이 각각 서로 엇걸리는 것과 마찬가지로 그들의 대응하는 텁 부분(985A, 985B, 985C, 985D) 각각이 x방향으로 엇걸리도록 배열한 제2의 구성을 도시하는 것이다.

<112> 도24 내지 도28b는 본 발명의 접촉 소자를 이용하는 전자 구성 요소의 레이아웃에 관한 것이다. 도24 내지 도28b에서 설명한 예들은 단지 예시적인 것으로, 하나의 공동 구성 요소 상에 배치된 2 이상의 다른 길이를 갖는 접촉 소자들을 포함하는 기타 다른 다수의 구성들도 고려될 수 있음을 알 수 있다. 또한, 도24 내지 도28b에 예시된 기술들은 주변 장치나 혹은 리드 온 센터(LOC: lead-on-center) 장치의 검사에 필요한 임의의 장치에 다수의 접촉 소자를 구비하는 전자 구성 요소를 생성시키는 데 사용될 수도 있음을 알 수 있다.

<113> 이상의 상세한 설명에서는 특정 실시예를 참고하여 본 발명을 설명했다. 그러나, 특히 청구의 범위에서 밝히는 본 발명의 광의의 기술 사상 및 범위로부터 벗어나지 않으면서 본 발명을 여러 가지로 수정 및 변경할 수 있음을 명백하다. 따라서, 본 명세서와 도면은 제한적인 의미가 아닌 예시적인 것으로 파악되어야 한다.

도면의 간단한 설명

<114> 도1a는 전자 구성 요소에 결합된 본 발명의 접촉 소자의 일 실시예를 도시하는 축단면도이다.

<115> 도1b는 본 발명의 일 실시예에 따라 제2 전자 구성 요소와 접촉하는 도1a의 접촉 소자를 도시하는 도면이다.

<116> 도2는 본 발명의 제1 실시예에 따라서 전기 접촉자 또는 단자들이 양쪽 면에 형성되어서 접속되어 있는 기판의 축단면도이다.

<117> 도3은 본 발명의 제1 실시예에 따라서 제1 마스킹 재료 층을 기판 상에 증착시키고 그 표면 상에 개구를 통해 단자를 노출시키는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.

<118> 도4는 본 발명의 제1 실시예에 따라서 제1 마스킹 재료 층 내의 개구 내에서 제1 전도성 재료를 기판 상의 단자에 증착시키는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.

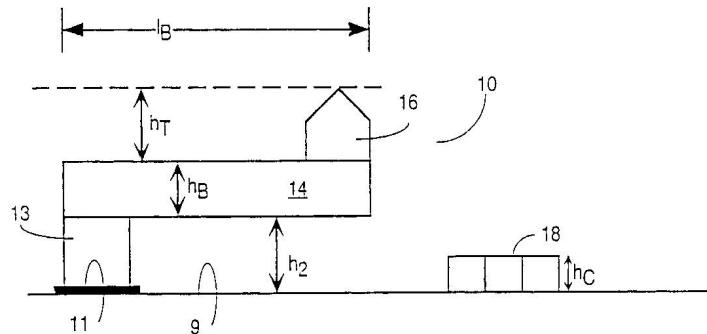
- <119> 도5는 본 발명의 제1 실시예에 따라서 제1 마스킹 재료 층과 제1 전도성 재료를 평탄화하는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <120> 도6은 본 발명의 제1 실시예에 따라서 평탄화 된 표면 위에 시드(seed) 재료를 증착시키는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <121> 도7은 본 발명의 제1 실시예에 따라서 제1 전도성 재료 쪽으로의 개구로서 기판 위에서 제1 전도성 재료로부터 측방향으로 그리고/또는 횡단 방향으로 연장되는 개구를 구비하는 기판 위에 제2 마스킹 재료 층을 패터닝(patterning)하는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <122> 도8은 본 발명의 제1 실시예에 따라서 제2 마스킹 재료 층의 개구 내에 제2 전도성 재료 층을 증착시키는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <123> 도9는 본 발명의 제1 실시예에 따라서 제2 마스킹 재료 층과 제2 전도성 재료를 평탄화하는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <124> 도10a는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제1 예시 레이아웃의 평면도이다.
- <125> 도10b는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제2 예시 레이아웃의 평면도이다.
- <126> 도10c는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제3 예시 레이아웃의 평면도이다.
- <127> 도10d는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제4 예시 레이아웃의 평면도이다.
- <128> 도10e는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제5 예시 레이아웃의 평면도이다.
- <129> 도10f는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제6 예시 레이아웃의 평면도이다.
- <130> 도11a는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제4 예시 레이아웃의 측단면도이다.
- <131> 도11b는 본 발명의 제1 실시예에 따른 기판 위의 제2 전도성 재료의 제5 예시 레이아웃의 측단면도이다.
- <132> 도12a는 본 발명의 제1 실시예의 한 양태에 따라서 제1 마스킹 재료 층과 제2 마스킹 재료 층을 제거하여 지주 부분과 빔 부분을 포함하는 자립형 접촉 소자를 형성하는 추가의 공정 단계를 거친 이후의 도2의 기판을 도시하는 도면이다.
- <133> 도12b는 본 발명의 제1 실시예의 한 양태에 따라서 별도로 제조된 텁 부분을 접촉 소자의 빔 부분에 부착하는 추가의 공정 단계를 거친 이후의 도12a의 기판을 도시하는 도면이다.
- <134> 도13a는 본 발명의 제1 실시예의 제2 양태에 따라서 기판 위에서 제3 마스킹 재료 층을 증착시켜서 제2 전도성 재료 층으로의 개구를 형성하는 추가의 공정 단계를 거친 이후의 것으로서 도8에서와 같은 제2 전도성 재료의 예시 레이아웃을 포함하는 도2의 기판을 도시하는 도면이다.
- <135> 도13b는 본 발명의 제1 실시예의 제2 양태에 따라서 제3 마스킹 재료 층 내의 개구에 제3 전도성 재료를 증착시켜서 접촉 소자의 텁 부분을 형성하는 추가의 공정 단계를 거친 이후의 도13a의 기판을 도시하는 도면이다.
- <136> 도13c는 본 발명의 제1 실시예의 제2 양태에 따라서 제3 마스킹 재료 층을 제거하여 지주 부분, 빔 부분 및 텁 부분을 포함하는 자립형 접촉 소자를 형성하는 추가의 공정 단계를 거친 이후의 도13b의 기판을 도시하는 도면이다.
- <137> 도14는 본 발명의 제2 실시예에 따라서 표면에 전도성 층이 적층된 기판의 표면에 삼각형 형상부가 형성된 기판과 이 삼각형 형상부를 도시하는 측단면도이다.
- <138> 도15는 본 발명의 제2 실시예에 따라서 기판의 표면 위에 제1 마스킹 재료 층을 증착시키고 제1 마스킹 재료 층 내의 개구를 통하여 삼각형 형상부를 노출시키는 추가의 공정 단계를 거친 후의 도14의 기판을 도시하는 도면이다.
- <139> 도16은 본 발명의 제2 실시예에 따라서 제1 마스킹 재료 층 내의 개구에 제1 전도성 재료를 증착시키는 추가의 공정 단계를 거친 후의 도14의 기판을 도시하는 도면이다.
- <140> 도17은 본 발명의 제2 실시예에 따라서 제1 마스킹 재료 층과 제1 전도성 재료를 평탄화하는 추가의 공정 단계를 거친 후의 도14의 기판을 도시하는 도면이다.

- <141> 도18a는 본 발명의 제2 실시예의 한 양태에 따라서 제1 마스킹 재료 층을 제거하여서 텁 부분을 포함하는 자립형 접촉 소자를 형성하는 추가의 공정 단계를 거친 후의 도17의 기판을 도시하는 도면이다.
- <142> 도18b는 본 발명의 제2 실시예의 한 양태에 따라서 별도로 제조된 접촉 소자의 빔 부분에 제조된 텁 부분을 부착시키는 추가의 공정 단계를 거친 후의 도18a의 텁 부분을 도시하는 도면이다.
- <143> 도19a는 본 발명의 제2 실시예의 제2 양태에 따라서 평탄화된 표면의 일부 위에 시드 재료를 증착시키는 추가의 공정 단계를 거친 후의 도17의 기판을 도시하는 도면이다.
- <144> 도19b는 본 발명의 제2 실시예의 제2 양태에 따라서 제1 전도성 재료 쪽으로의 개구로서 기판 위에서 제1 전도성 재료로부터 측방향으로 그리고/또는 횡단 방향으로 연장되는 개구를 구비하는 기판 위에 제2 마스킹 재료 층을 패터닝(patterning)하는 추가의 공정 단계를 거친 이후의 도17의 기판을 도시하는 도면이다.
- <145> 도19c는 본 발명의 제2 실시예의 제2 양태에 따라서 제2 마스킹 재료 층의 개구 내에 제2 전도성 재료 층을 증착시키는 추가의 공정 단계를 거친 이후의 도17의 기판을 도시하는 도면이다.
- <146> 도19d는 본 발명의 제2 실시예의 제2 양태에 따라서 제2 마스킹 재료 층과 제2 전도성 재료를 평탄화하는 추가의 공정 단계를 거친 이후의 도17의 기판을 도시하는 도면이다.
- <147> 도20a는 본 발명의 제2 실시예의 제3 양태에 따라서 제1 마스킹 재료 층과 제2 마스킹 재료 층을 제거하여서 빔 부분과 텁 부분을 포함하는 접촉 소자를 형성하는 추가의 공정 단계를 거친 후의 도19d의 기판을 도시하는 도면이다.
- <148> 도20b는 본 발명의 제2 실시예의 제3 양태에 따라서 별도로 제조된 지주 부분에 빔 부분을 부착시켜서 자립형 접촉 소자를 형성하는 추가의 공정 단계를 거친 후의 도20a의 빔 부분과 텁 부분을 도시하는 도면이다.
- <149> 도21a는 본 발명의 제2 실시예의 제4 양태에 따라서 기판 위에 제3 마스킹 재료 층을 증착시키고 제2 전도성 재료 쪽으로의 개구를 형성시키는 추가의 공정 단계를 거친 이후의 도19d의 기판을 도시하는 도면이다.
- <150> 도21b는 본 발명의 제2 실시예의 제4 양태에 따라서 제3 마스킹 재료 층의 개구 내에 제3 전도성 재료 층을 증착시키고 제3 마스킹 재료 층과 제3 전도성 재료를 평탄화하는 추가의 공정 단계를 거친 이후의 도19d의 기판을 도시하는 도면이다.
- <151> 도21c는 본 발명의 제2 실시예의 제4 양태에 따라서 구성 요소에 접촉 소자를 부착시키는 추가의 공정 단계를 거친 후의 전자 구성 요소를 도시하는 도면이다.
- <152> 도22a는 본 발명의 제2 실시예의 제4 양태에 따라서 형성된 접촉 소자를 전자 구성 요소에 부착시키는 제2 방법으로서 접촉 소자를 희생 기판에 부착된 채로 있게 하면서 전자 구성 요소에 부착되게 하는 제2 방법을 도시하는 도면이다.
- <153> 도22b는 희생 기판으로부터 접촉 소자를 분리시키는 추가의 공정 단계를 거친 후의 도22a의 구조를 도시하는 도면이다.
- <154> 도23은 전자 구성 요소에 부착되어서 제2 전자 구성 요소의 단자와 접촉하는 본 발명의 접촉 소자의 일 실시예를 적용한 것에 대한 측면도이다.
- <155> 도24는 다수의 접촉 소자가 전자 구성 요소에 부착되고 제2 전자 구성 요소의 가장자리를 따라서 배치된 다수의 단자와 접촉하는 본 발명의 접촉 소자의 일 실시예를 적용한 것에 대한 평면도이다.
- <156> 도25는 다수의 접촉 소자가 전자 구성 요소에 부착되고 제2 전자 구성 요소 상의 한 줄로 배치된 단자와 접촉하는 본 발명의 접촉 소자의 일 실시예의 제2 적용예의 평면도이다.
- <157> 도26a는 본 발명의 일 실시예에 따라서 기판 상에 최소의 이격 공차로 제조된 인접 접촉 소자들의 레이아웃에 대한 측단면도이다.
- <158> 도26b는 본 발명의 일 실시예에 따른 도26a의 접촉 소자들의 레이아웃에 대한 상부 사시도이다.
- <159> 도27a는 본 발명의 일 실시예에 따라서 기판 상에 최소의 이격 공차로 제조된 인접 접촉 소자들의 레이아웃에 대한 측단면도이다.
- <160> 도27b는 본 발명의 일 실시예에 따라 제조된 도27a의 접촉 소자들의 레이아웃에 대한 상부 사시도이다.

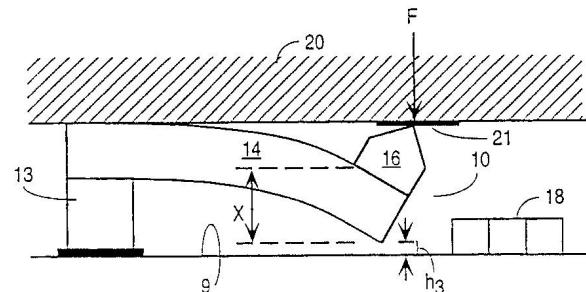
- <161> 도28a는 본 발명의 일 실시예에 따라서 텁 부분이 정렬되도록 전자 구성 요소에 피복된 형태로 부착된 다수의 접촉 소자의 평면도이다.
- <162> 도28b는 본 발명의 일 실시예에 따라서 텁 부분들이 서로 엇갈리도록 전자 구성 요소에 피복된 형태로 부착된 다수의 접촉 소자의 평면도이다.

도면

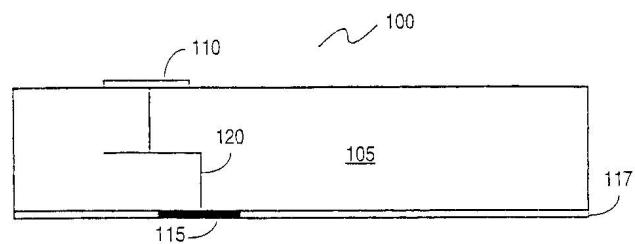
도면1a



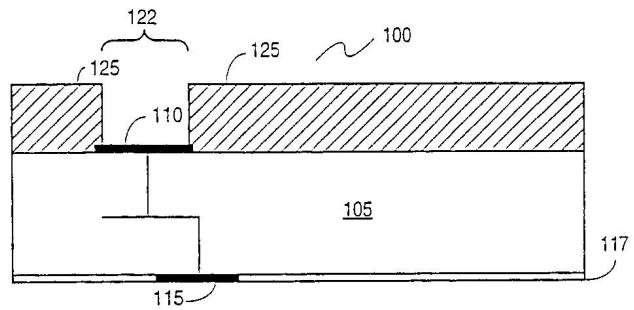
도면1b



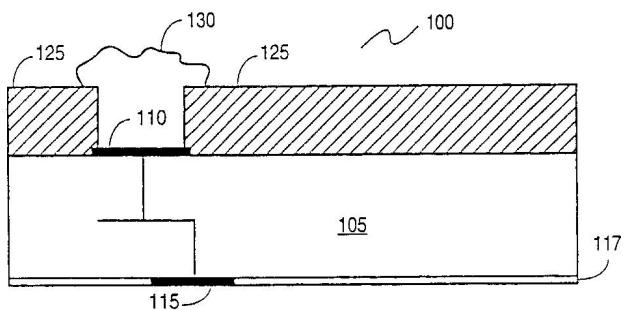
도면2



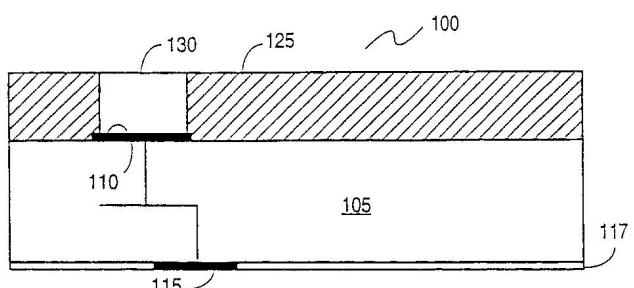
도면3



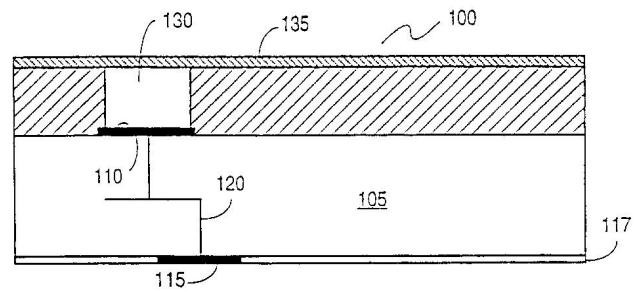
도면4



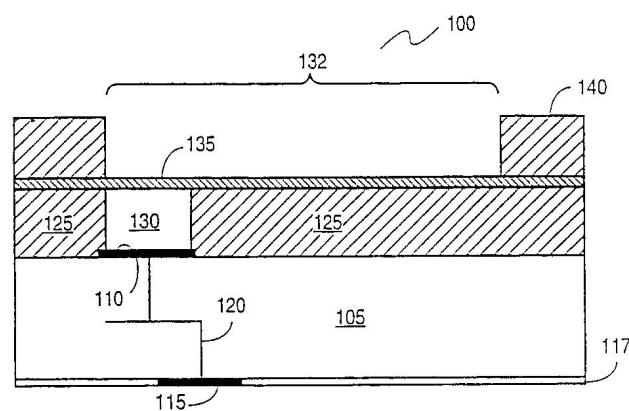
도면5



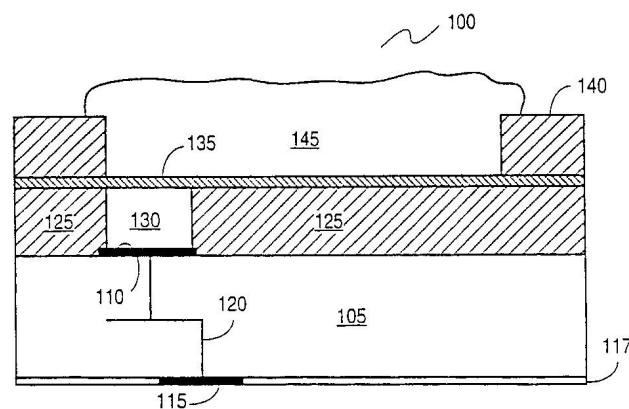
도면6



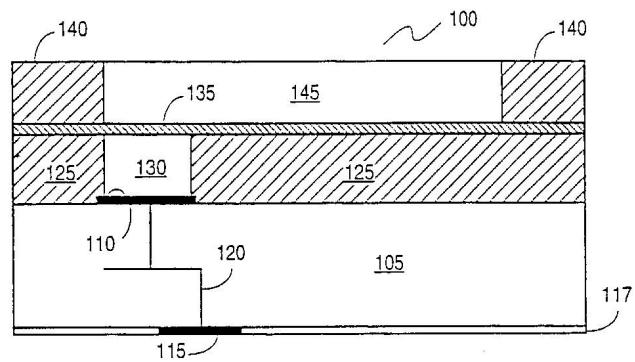
도면7



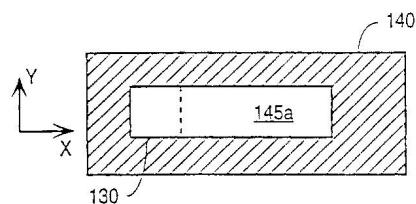
도면8



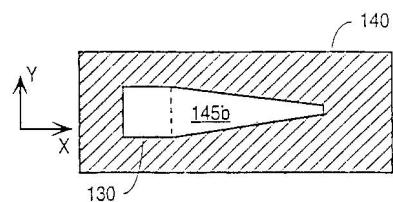
도면9



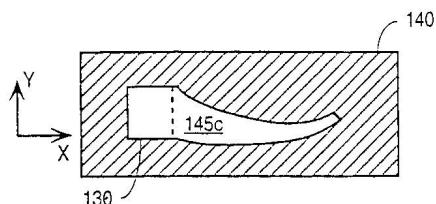
도면10a



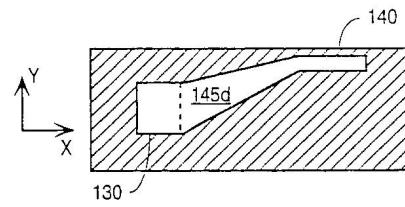
도면10b



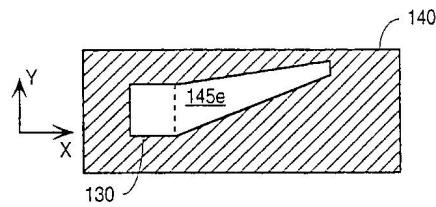
도면10c



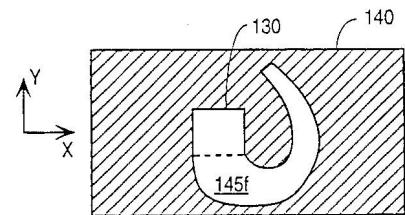
도면10d



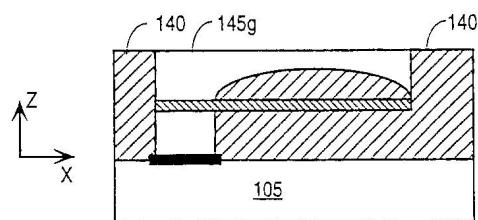
도면10e



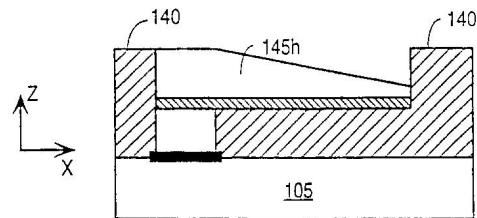
도면10f



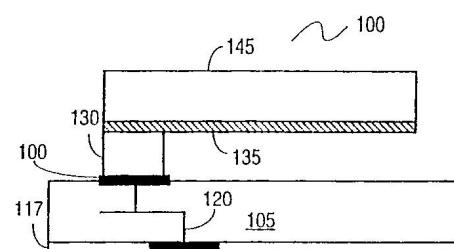
도면11a



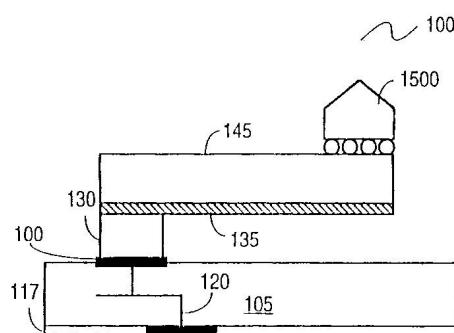
도면11b



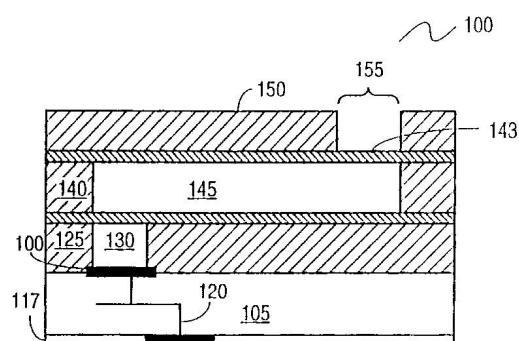
도면12a



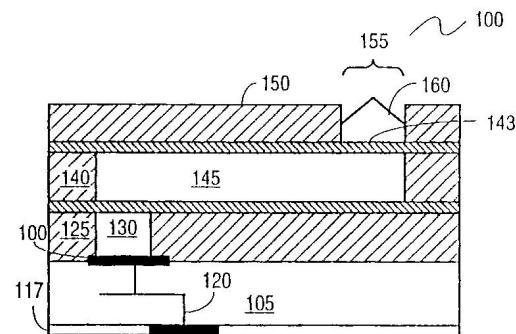
도면12b



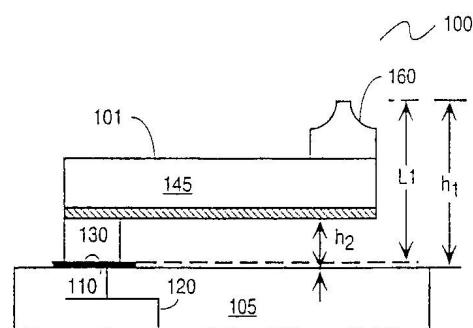
도면13a



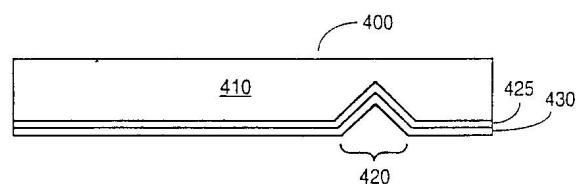
도면13b



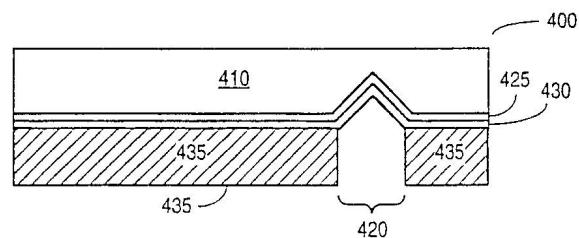
도면13c



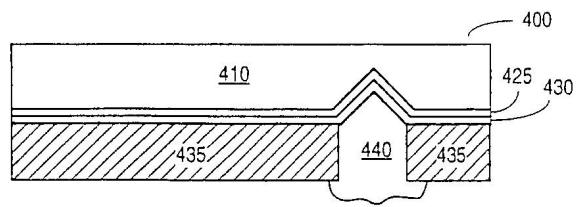
도면14



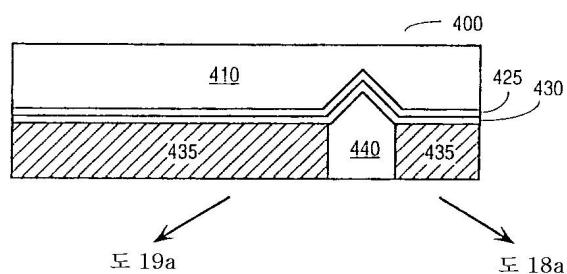
도면15



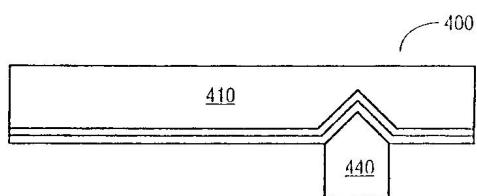
도면16



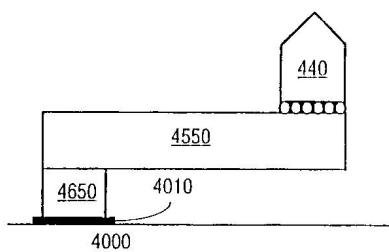
도면17



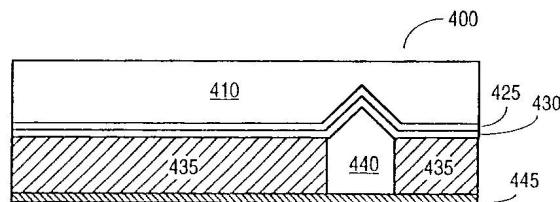
도면18a



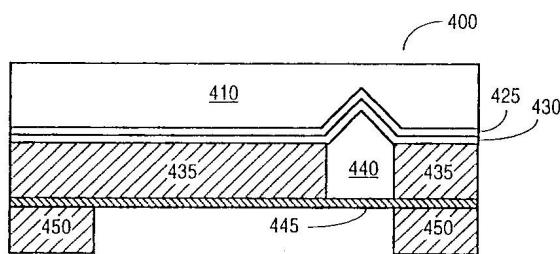
도면18b



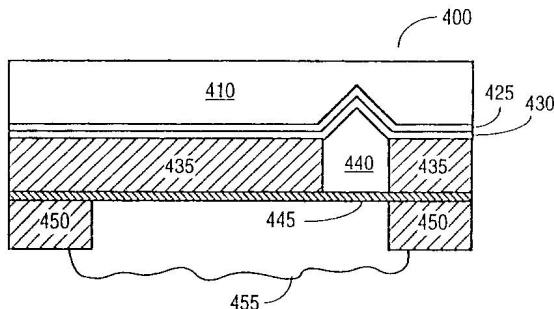
도면19a



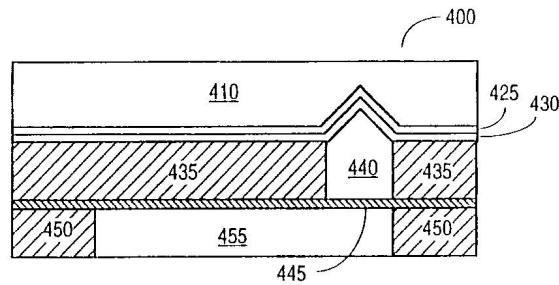
도면19b



도면19c



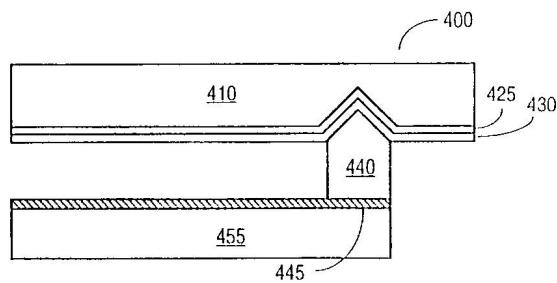
도면19d



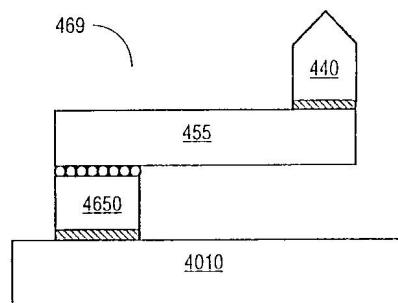
도 21a

도 20a

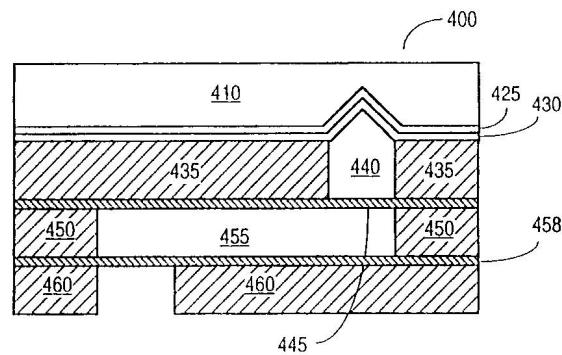
도면20a



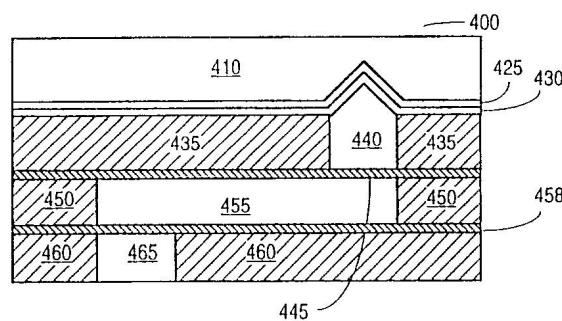
도면20b



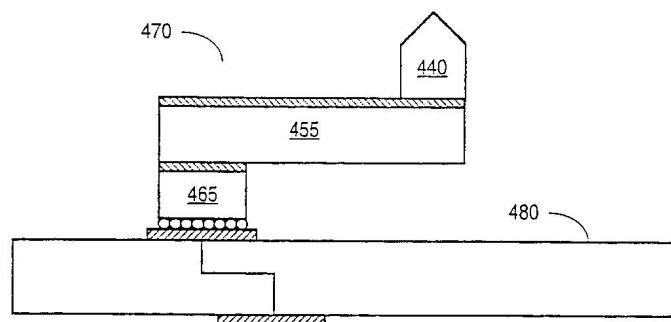
도면21a



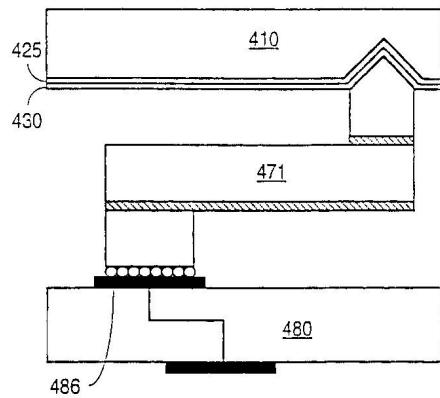
도면21b



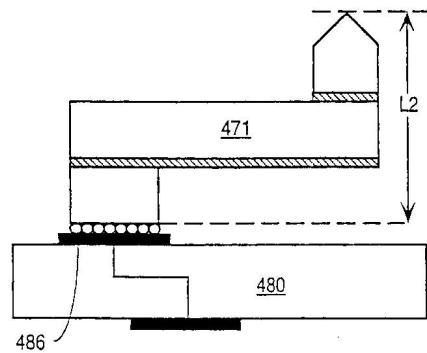
도면21c



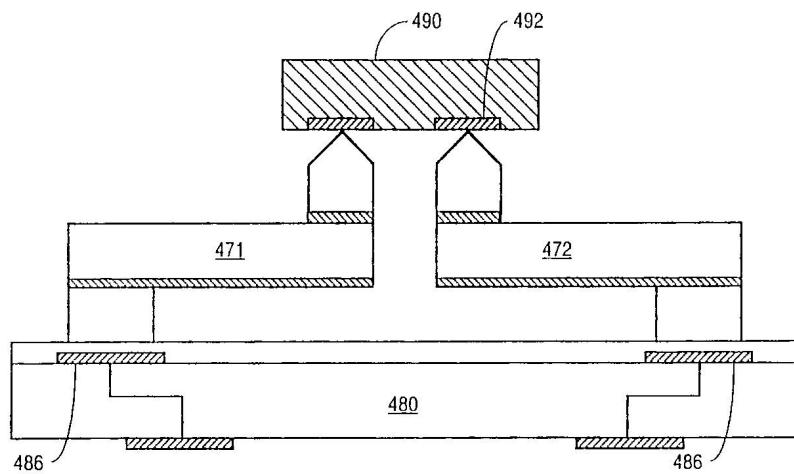
도면22a



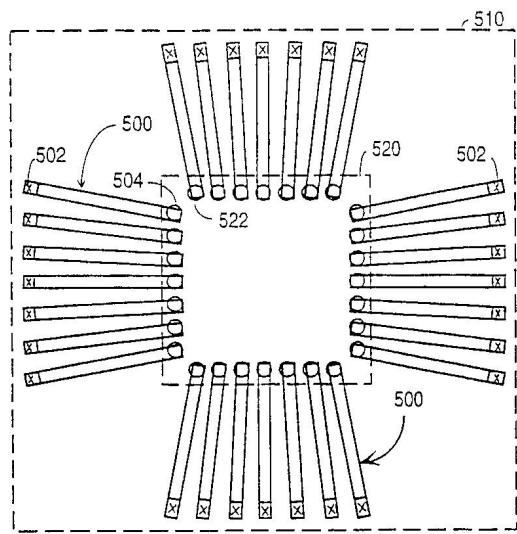
도면22b



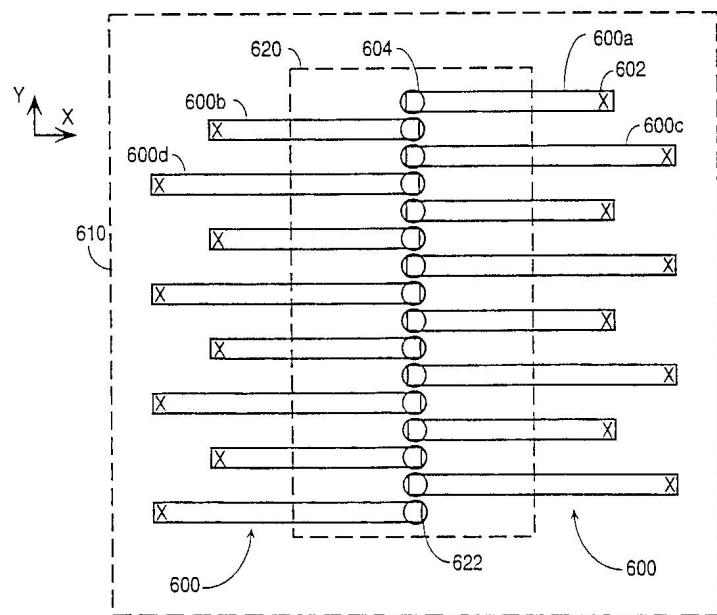
도면23



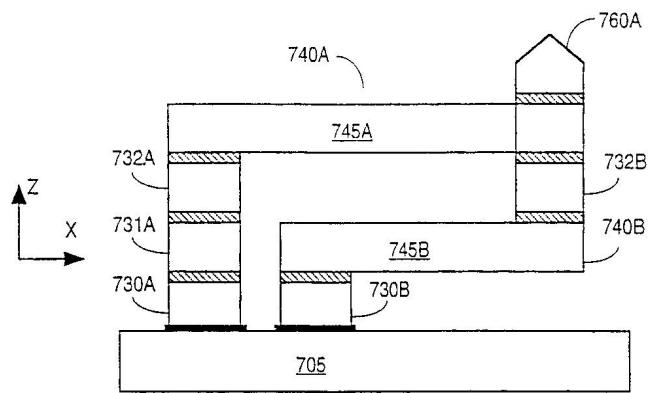
도면24



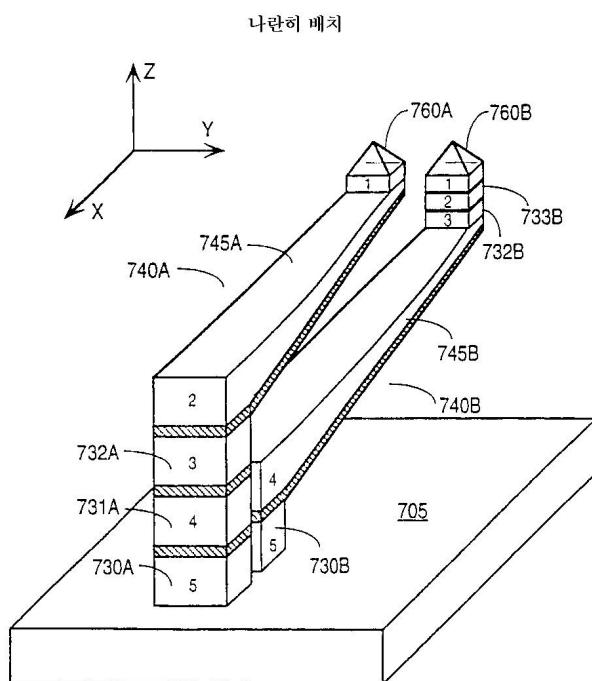
도면25



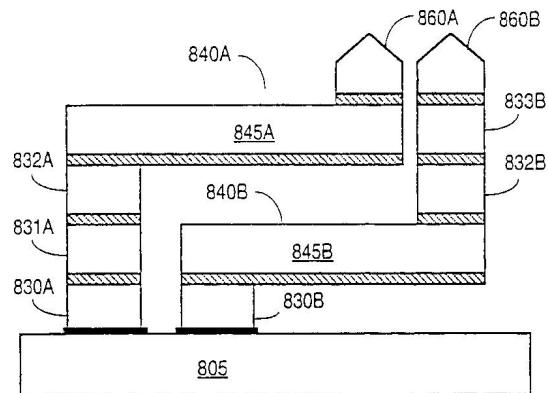
도면26a



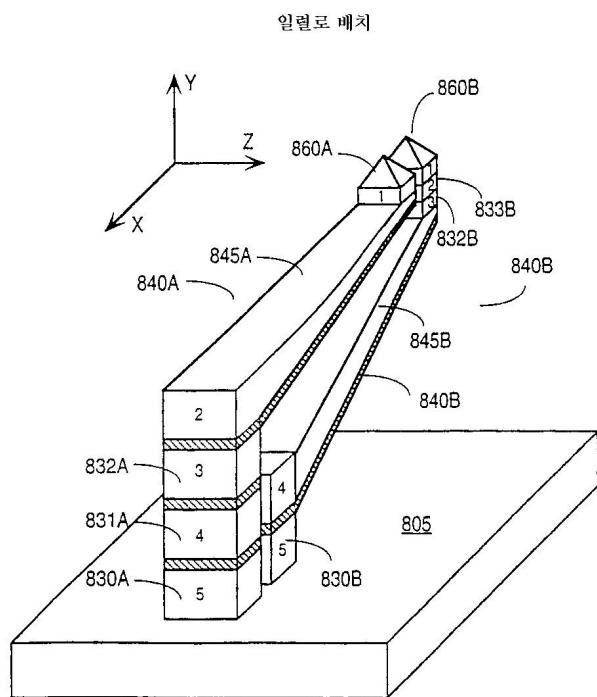
도면26b



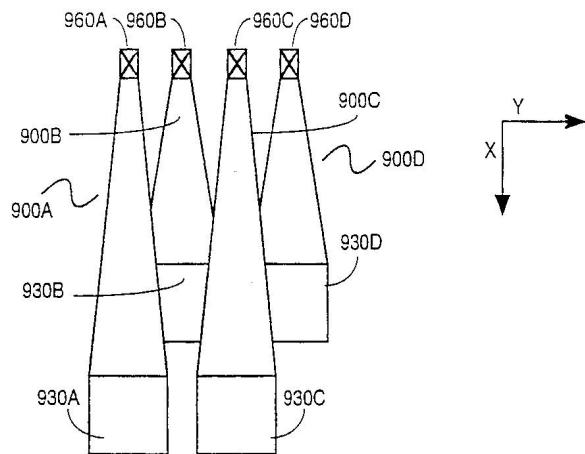
도면27a



도면27b



도면28a



도면28b

