(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 2 月 28 日 (28.02.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/037306 A1

(51) 国际专利分类号:
G09G 3/3233 (2016.01)

(21) 国际申请号: PCT/CN2017/111428

(22) 国际申请日: 2017 年 11 月 16 日 (16.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710730988.0 2017年8月23日 (23.08.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 周学兵(ZHOU, Xuebing); 中国广东省深圳光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 陈小龙(CHEN, Xiaolong); 中国广东省深圳光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** PIXEL DRIVE CIRCUIT AND DRIVING METHOD THEREOF

(54) 发明名称: 像素驱动电路及其驱动方法

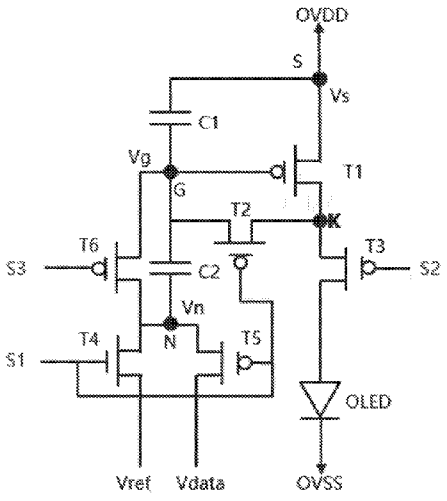


图2

(57) **Abstract:** A pixel drive circuit and a driving method thereof, using an internal sensing method to eliminate the effect of non-uniform brightness caused by the change of drive TFT threshold voltage Vth. The pixel drive circuit comprises: a first thin film transistor (T1), connected to a first node (G) and a second node (K); a second thin film transistor (T2), connected to a first control signal (S1), the first node (G) and the second node (K); a third thin film transistor (T3), connected to a second control signal (S1) and the second node (K); a fourth thin film transistor (T4), connected to the first control signal (S1), a third node (N) and a reference voltage (Vref); a fifth thin film transistor (T5), connected to the first control signal (S1), the third node (N) and a data signal (Vdata); a sixth thin film transistor (T6), connected to a third control signal (S3); a first capacitor (C1) and a second capacitor (C2); the electric potential of the reference voltage (Vref) being less than that of the data signal (Vdata).

(57) 摘要: 一种像素驱动电路及其驱动方法, 采用内部感测方法来消除驱动TFT阈值电压Vth变化所带来的亮度不一致的影响。像素驱动电路包括: 第一薄膜晶体管(T1), 连接第一节点(G)和第二节点(K); 第二薄膜晶体管(T2), 连接第一控制信号(S1), 第一节点(G)和第二节点(K); 第三薄膜晶体管(T3), 连接第二控制信号(S2)和第二节点(K); 第四薄膜晶体管(T4), 连接第一控制信号(S1), 第三节点(N)和参考电压(Vref); 第五薄膜晶体管(T5), 连接第一控制信号(S1), 第三节点(N)和数据信号(Vdata); 第六薄膜晶体管(T6), 连接第三控制信号(S3); 第一电容(C1)和第二电容(C2); 参考电压(Vref)的电位小于数据信号(Vdata)。

WO 2019/037306 A1

[见续页]

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

像素驱动电路及其驱动方法

技术领域

本发明涉及显示技术领域，尤其涉及一种像素驱动电路及其驱动方法。

背景技术

作为新一代显示技术，有机发光二极管（OLED）显示面板具有低功耗、高色域、高亮度、高分辨率、宽视角、高响应速度等优点，因此备受市场的青睐。

OLED 显示装置按照驱动方式可以分为无源矩阵型 OLED(Passive Matrix OLED，PMOLED)和有源矩阵型 OLED(Active Matrix OLED，AMOLED)两大类。其中，AMOLED 具有呈阵列式排布的像素，属于主动显示类型，发光效能高，通常用作高清晰度的大尺寸显示装置。 AMOLED 是电流驱动器件，亮度由流过 OLED 自身的电流决定，大部分已有芯片（IC）都只传输电压信号，故 AMOLED 像素驱动电路要完成将电压信号转变为电流信号的任务。

参见图 1，其为传统 2T1C 像素驱动电路示意图，2T1C 指电路主要包括两个薄膜晶体管（TFT）和一个电容（C），其中一个薄膜晶体管 T2 为开关 TFT，由扫描信号 SCAN 控制，用于控制数据信号（DATA）的进入，是控制电容 Cst 的充电开关，另一个薄膜晶体管 T1 为驱动 TFT，用于驱动 OLED，控制通过 OLED 的电流，电容 Cst 主要是用来存储 DATA 信号进而控制 T1 对 OLED 的驱动电流。扫描信号 SCAN 可以来自于栅极驱动器，对应于某一行扫描线，数据信号 DATA 可以来自于源极驱动器，对应于某一列数据线。OVDD 为电源高电位，OVSS 为电源低电位。

AMOLED 面板（2T1C 像素电路）其驱动 TFT（图 1 中为 T1）阈值电压 Vth 将随工作时间及驱动电流的变化而发生漂移现象或者电子迁移率的变化；驱动 TFT 阈值电压 Vth 的漂移或老化将导致流过 OLED 的电流 Id 存在明显的差异；OLED 电流的差异直接导致 AMOLED 面板的亮度不均匀与不一致；影响 AMOLED 面板显示质量与画面效果。

发明内容

因此，本发明的目的在于提供一种像素驱动电路，消除驱动 TFT 阈值电压 Vth 变化所带来的亮度不一致的影响。

本发明的另一目的在于提供一种像素驱动电路的驱动方法，消除驱动TFT 阈值电压 Vth 变化所带来的亮度不一致的影响。

为实现上述目的，本发明提供了一种像素驱动电路，包括:

第一薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接电源高电位和第二节点;

第二薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第一节点和第二节点;

第三薄膜晶体管，其栅极连接第二控制信号，源极和漏极分别连接第二节点和 OLED 的阳极;

OLED，其阴极连接电源低电位;

第四薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点和参考电压;

第五薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点和数据信号;

第六薄膜晶体管，其栅极连接第三控制信号，源极和漏极分别连接第三节点和第一节点;

第一电容，其两端分别连接第一节点和电源高电位;

第二电容，其两端分别连接第一节点和第三节点;

该参考电压的电位小于数据信号。

其中，该第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管，第五薄膜晶体管，以及第六薄膜晶体管为 P 型晶体管，该第四薄膜晶体管为 N 型晶体管。

其中，所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段。

其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号保持高电平，第三控制信号保持低电平。

其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

其中，在发光阶段，所述第一控制信号保持高电平，第二控制信号保持低电平，第三控制信号保持高电平。

本发明还提供了上述像素驱动电路的驱动方法，包括：所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段。

其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号

保持高电平，第三控制信号保持低电平。

其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

其中，在发光阶段，所述第一控制信号保持高电平，第二控制信号保持低电平，第三控制信号保持高电平。

本发明还提供一种像素驱动电路，包括:

第一薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接电源高电位和第二节点;

第二薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第一节点和第二节点;

第三薄膜晶体管，其栅极连接第二控制信号，源极和漏极分别连接第二节点和 OLED 的阳极;

OLED，其阴极连接电源低电位;

第四薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和参考电压;

第五薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和数据信号;

第六薄膜晶体管，其栅极连接第三控制信号，源极和漏极分别连接第三节点 和第一节点;

第一电容，其两端分别连接第一节点和电源高电位;

第二电容，其两端分别连接第一节点和第三节点;

该参考电压的电位小于数据信号;

其中，该第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管，第五薄膜晶体管，以及第六薄膜晶体管为 P 型晶体管，该第四薄膜晶体管为 N 型晶体管;

其中，所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段;

其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号保持高电平，第三控制信号保持低电平;

其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

综上，本发明的像素驱动电路及其驱动方法，基于 6T2C 像素驱动电路，采用内部感测方法来消除驱动 TFT 阈值电压 Vth 变化所带来的亮度不一致的影响。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为传统 2T1C 像素驱动电路示意图；

图 2 为本发明像素驱动电路一较佳实施例的电路示意图；

图 3 为本发明像素驱动电路一较佳实施例的时序示意图；

图 4 为本发明像素驱动电路一较佳实施例在初始化阶段的工作状态示意图；

图 5 为本发明像素驱动电路一较佳实施例在阈值电压感测阶段的工作状态示意图；

图 6 为本发明像素驱动电路一较佳实施例在发光阶段的工作状态示意图。

具体实施方式

参见图 2 及图 3，图 2 为本发明像素驱动电路一较佳实施例的电路示意图，图 3 为其时序示意图。该较佳实施例的电路为 6T2C 像素驱动电路，其中薄膜晶体管 T1、T2、T3、T5、T6 为 P 型（P-type）晶体管，而 T4 为 N 型（N-type）晶体管，并且 T1 为驱动晶体管；S1、S2、S3 为像素驱动电路控制端口，用于输入控制信号以控制像素驱动电路的驱动。

本发明提出一种新颖的 6T2C 像素驱动电路及驱动 TFT 阈值电压 Vth 补偿驱动方法。该像素驱动电路主要包括：薄膜晶体管 T1，栅极连接节点 G，源极和漏极分别连接电源高电位 OVDD 和节点 K；薄膜晶体管 T2，栅极连接控制信号 S1，源极和漏极分别连接节点 G 和 K；薄膜晶体管 T3，其栅极连接控制信号 S2，源极和漏极分别连接节点 K 和 OLED 的阳极；OLED 的阴极连接电源低电位 OVSS；薄膜晶体管 T4，其栅极连接控制信号 S1，源极和漏极分别连接节点 N 和参考电压 Vref；薄膜晶体管 T5，其栅极连接控制信号 S1，源极和漏极分别连接节点 N 和数据信号 Vdata；薄膜晶体管 T6，其栅极连接控制信号 S3，源极和漏极分别连接节点 N 和节点 G；电容 C1，其两端分别连接节点 G 和电源高电位 OVDD；电容 C2，其两端分别连接节点 G 和 N；在此较佳实施例中，该参考电压 Vref 的电位小于数据信号 Vdata。

参见图 3，本发明的像素驱动电路的像素驱动过程，可分为三个阶段：

第一阶段为驱动电路初始化阶段(Initialize); 第二阶段为 Vth 感测阶段(Vth Sensing); 第三阶段为 OLED 发光阶段 (Emitting)。

参见图 4，其为该较佳实施例在初始化阶段的工作状态示意图。在此阶段中，S1 保持高电平，同时 S2 保持高电平，S3 保持低电平。在初始化阶段，T4、T6 导通，而 T1、T2、T3、T5 保持截止；在初始化阶段，G 点电位 Vg = Vref；N 点电位 Vn = Vref；S 点电位 Vs = OVDD。

参见图 5，其为该较佳实施例在阈值电压感测阶段的工作状态示意图。在此阶段中，S1 变为低电平，S2 仍保持高电平，S3 转变为高电平。在 Vth 感测阶段，T2、T5 导通，T4、T6 变为截止；T1 导通直至 Vg 电位为 OVDD － Vth 后再次截止； T3 仍保持截止，OLED 不能发光；实现对 T1 阈值电压 Vth 的感测；N 点电位 Vn = Vdata；Vs = OVDD；而 G 点电位将变成 Vg = OVDD – Vth。

参见图 6，其为该较佳实施例在发光阶段的工作状态示意图。在此阶段中，S1 变回高电平，S2 变为低电平，S3 保持高电平。在 OLED 发光阶段，T1、T3、T4 导通，T2、T5、T6 截止。

在此阶段，N 点电位归为 Vn = Vref；而 G 点电位因电容 C1、C2 耦合作用 Vg = OVDD － Vth － dV；其中 dV = (Vdata － Vref) * C2/(C1 + C2);

Vg = (OVDD － Vth) － (Vdata － Vref) * C2/(C1 + C2);

Vs = OVDD;

则流经 OLED/QLED 器件的电流 Id 为:

$$Id=K(Vsg - Vth)^2$$

$$=K(OVDD - (OVDD - Vth - dV) - Vth)^2$$

$$=K(dV)^2$$

$$=K((Vdata - Vref) * C2 / (C1 + C2))^2$$，其中 K 为常数。

由 OLED 的 Id 电流公式可知，Id 只与 Vdata、Vref 及 C1、C2 有关，与 Vth 无关；特别的是，当 Vref、C1、C2 参数固定时，电流 Id 只与 Vdata 有关；因此达到消除 Vth 变化的目的，实现对 Vth 的补偿。

本发明还相应提供了上述像素驱动电路的驱动方法，通过将所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段的控制信号，可以实现平面显示器、面板的驱动控制。

综上，本发明的像素驱动电路及其驱动方法，基于 6T2C 像素驱动电路，采用内部感测方法来消除驱动 TFT 阈值电压 Vth 变化所带来的亮度不一致的影响。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种像素驱动电路，包括:

第一薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接电源高电位和第二节点;

第二薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第一节点和第二节点;

第三薄膜晶体管，其栅极连接第二控制信号，源极和漏极分别连接第二节点和 OLED 的阳极;

OLED，其阴极连接电源低电位;

第四薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和参考电压;

第五薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和数据信号;

第六薄膜晶体管，其栅极连接第三控制信号，源极和漏极分别连接第三节点 和第一节点;

第一电容，其两端分别连接第一节点和电源高电位;

第二电容，其两端分别连接第一节点和第三节点;

该参考电压的电位小于数据信号。

2、如权利要求 1 所述的像素驱动电路，其中，该第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管，第五薄膜晶体管，以及第六薄膜晶体管为 P 型晶体管，该第四薄膜晶体管为 N 型晶体管。

3、如权利要求 1 所述的像素驱动电路，其中，所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段。

4、如权利要求 3 所述的像素驱动电路，其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号保持高电平，第三控制信号保持低电平。

5、如权利要求 3 所述的像素驱动电路，其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

6、如权利要求 3 所述的像素驱动电路，其中，在发光阶段，所述第一控制信号保持高电平，第二控制信号保持低电平，第三控制信号保持高电

平。

7、一种如权利要求 1 所述像素驱动电路的驱动方法，包括：所述第一控制信号，第二控制信号，以及第三控制信号的时序配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段。

8、如权利要求 7 所述的像素驱动电路的驱动方法，其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号保持高电平，第三控制信号保持低电平。

9、如权利要求 7 所述的像素驱动电路的驱动方法，其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

10、如权利要求 7 所述的像素驱动电路的驱动方法，其中，在发光阶段，所述第一控制信号保持高电平，第二控制信号保持低电平，第三控制信号保持高电平。

11、一种像素驱动电路，包括:

第一薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接电源高电位和第二节点;

第二薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第一节点和第二节点;

第三薄膜晶体管，其栅极连接第二控制信号，源极和漏极分别连接第二节点和 OLED 的阳极;

OLED，其阴极连接电源低电位;

第四薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和参考电压;

第五薄膜晶体管，其栅极连接第一控制信号，源极和漏极分别连接第三节点 和数据信号;

第六薄膜晶体管，其栅极连接第三控制信号，源极和漏极分别连接第三节点 和第一节点;

第一电容，其两端分别连接第一节点和电源高电位;

第二电容，其两端分别连接第一节点和第三节点;

该参考电压的电位小于数据信号;

其中，该第一薄膜晶体管，第二薄膜晶体管，第三薄膜晶体管，第五薄膜晶体管，以及第六薄膜晶体管为 P 型晶体管，该第四薄膜晶体管为 N 型晶体管;

其中，所述第一控制信号，第二控制信号，以及第三控制信号的时序

配置为包括初始化阶段，阈值电压感测阶段，以及发光阶段;

其中，在初始化阶段，所述第一控制信号保持高电平，第二控制信号保持高电平，第三控制信号保持低电平;

其中，在阈值电压感测阶段，所述第一控制信号保持低电平，第二控制信号保持高电平，第三控制信号保持高电平。

12、如权利要求 11 所述的像素驱动电路，其中，在发光阶段，所述第一控制信号保持高电平，第二控制信号保持低电平，第三控制信号保持高电平。

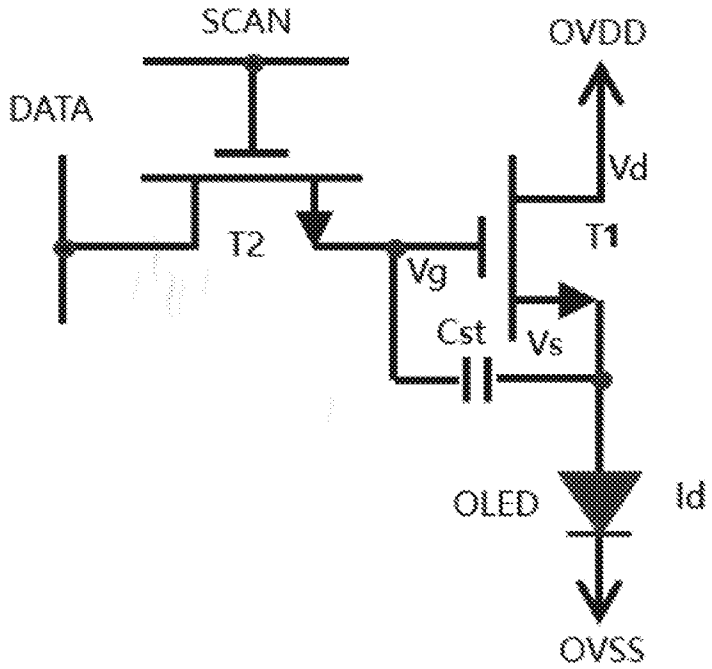


图1

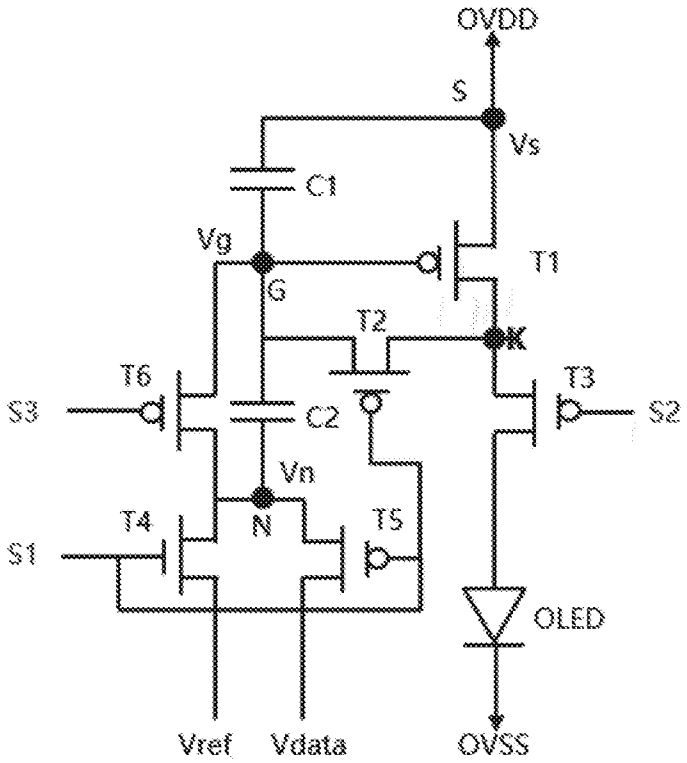

OVDD
S
Vs
C1
Vg
G
T1
T2
T6
T3
S3
C2
S2
Vn
T4
N
T5
S1
OLED
Vref
Vdata
OVSS

图2

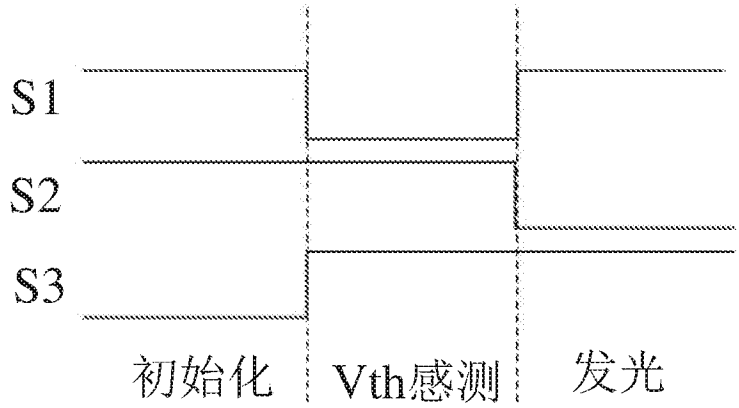

S1
S2
S3
初始化
Vth感测
发光

图3

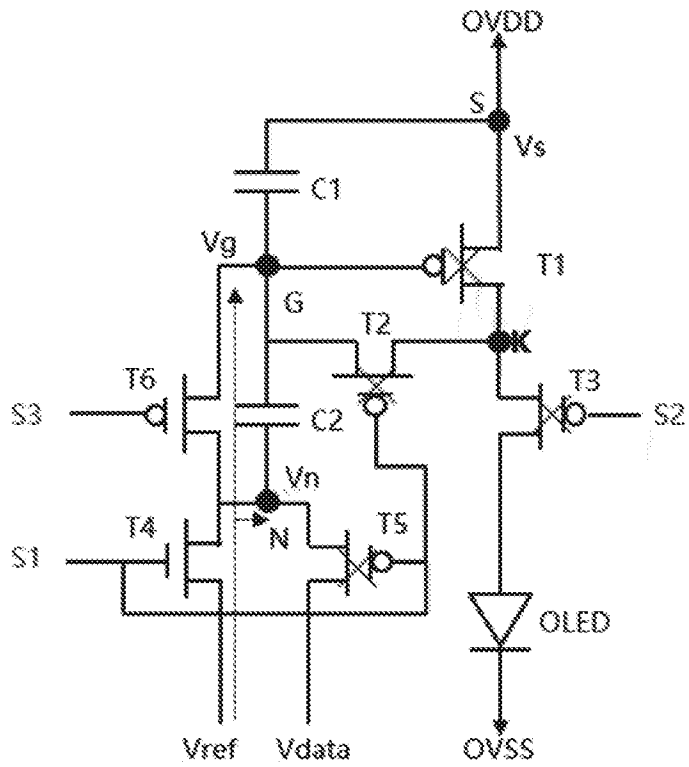

OVDD
S
Vs
C1
Vg
T1
G
T2
K
T6
T3
S3
C2
S2
Vn
T4
N
T5
S1
OLED
Vref
Vdata
OVSS

图4

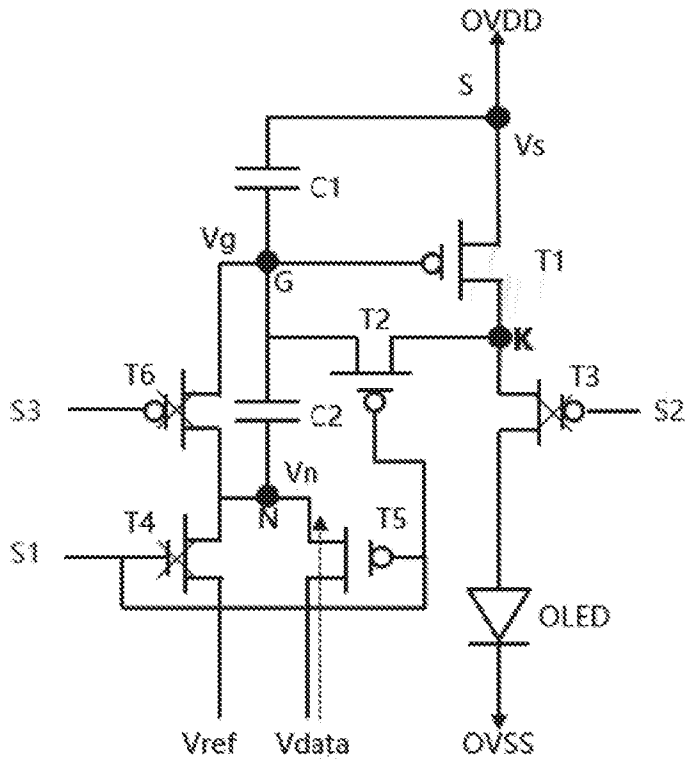

OVDD
S
Vs
C1
Vg
G
T1
T2
K
T6
T3
S3
C2
S2
Vn
N
T4
T5
S1
OLED
Vref
Vdata
OVSS

图5

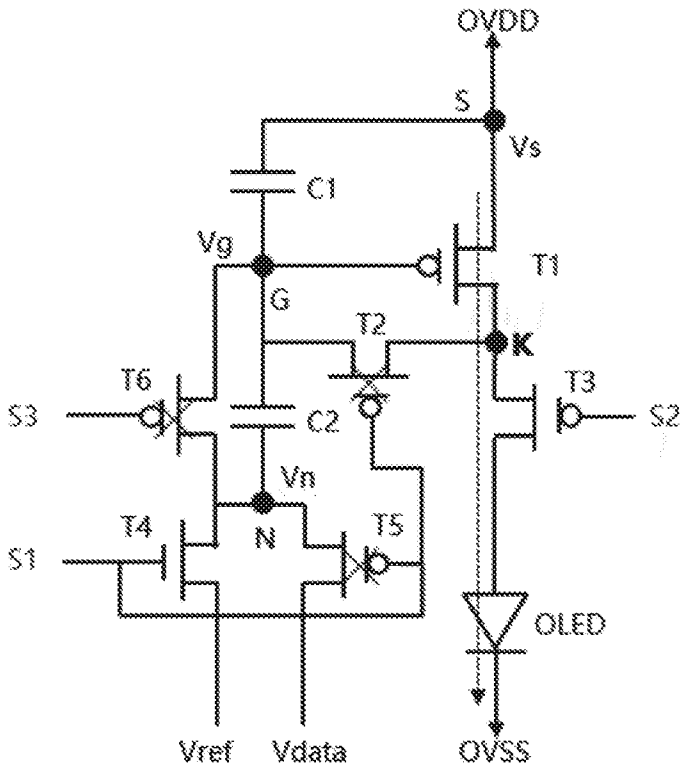

OVDD
S
Vs
C1
Vg
G
T1
T2
K
T6
T3
S3
C2
S2
Vn
N
T4
T5
S1
OLED
Vref
Vdata
OVSS

图6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/111428

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 周学兵, 詹川逸, 刘炳麟, 晶体管, 开关, 阈值电压, 电容, 参考, 电压, 重置, 初始, 栅极, 减少, 节省, 省略, 保持, 节点, 放电, P 型, N 型, OLED, AMOLED, 6T2C, 6T1C, transistor, switch, TFT, threshold, Vth, node, vref?, ref?, reference, voltage, discharg+, type, capacit+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101075410 A (TOPPOLY OPTOELECTRONICS CORPORATION) 21 November 2007 (21.11.2007), description, page 4, line 6 to page 6, line 6, and figures 2 and 3	1-12
A	CN 102800273 A (CHI MEI OPTOELECTRONICS CORPORATION et al.) 28 November 2012 (28.11.2012), entire document	1-12
A	CN 102930824 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 February 2013 (13.02.2013), entire document	1-12
A	CN 104715716 A (LG DISPLAY CO., LTD.) 17 June 2015 (17.06.2015), entire document	1-12
A	CN 105702214 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 June 2016 (22.06.2016), entire document	1-12

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 April 2018	24 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer PENG, Hailiang Telephone No. (86-10) 53962513

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/111428

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106782322 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 May 2017 (31.05.2017), entire document	1-12
A	KR 20130010936 A (LG DISPLAY CO., LTD.) 30 January 2013 (30.01.2013), entire document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/111428

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101075410 A	21 November 2007	CN 101075410 B	18 July 2012
		EP 1857998 A1	21 November 2007
CN 102800273 A	28 November 2012	CN 102800273 B	21 January 2015
CN 102930824 A	13 February 2013	CN 102930824 B	15 April 2015
CN 104715716 A	17 June 2015	US 2015170569 A1	18 June 2015
		EP 2884484 A1	17 June 2015
		KR 20150069288 A	23 June 2015
		CN 104715716 B	05 September 2017
		KR 101702429 B1	03 February 2017
		ES 2647817 T3	26 December 2017
		EP 2884484 B1	16 August 2017
CN 105702214 A	22 June 2016	WO 2017177501 A1	19 October 2017
		CN 105702214 B	06 March 2018
		US 2018082636 A1	22 March 2018
CN 106782322 A	31 May 2017	None	
KR 20130010936 A	30 January 2013	None	

国际检索报告

国际申请号 PCT/CN2017/111428

A. 主题的分类

G09G 3/3233(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,WPI,EPODOC: 华星光电,周学兵,詹川逸,刘炳麟,晶体管,开关，阈值电压，电容，参考,电压，重置,初始,栅极,减少,节省,省略,保持,节点,放电,P型,N型, OLED, AMOLED, 6T2C, 6T1C, transistor, switch, TFT, threshold, Vth, node, vref?, ref?, reference, voltage, discharg+, type, capacit+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101075410 A (统宝光电股份有限公司) 2007年 11月 21日 (2007-11-21) 说明书第4页第6行-第6页第6行，附图2-3	1-12
A	CN 102800273 A (奇美电子股份有限公司 等) 2012年 11月 28日 (2012-11-28) 全文	1-12
A	CN 102930824 A (京东方科技集团股份有限公司) 2013年 2月 13日 (2013-02-13) 全文	1-12
A	CN 104715716 A (乐金显示有限公司) 2015年 6月 17日 (2015-06-17) 全文	1-12
A	CN 105702214 A (深圳市华星光电技术有限公司) 2016年 6月 22日 (2016-06-22) 全文	1-12
A	CN 106782322 A (深圳市华星光电技术有限公司) 2017年 5月 31日 (2017-05-31) 全文	1-12
A	KR 20130010936 A (LG DISPLAY CO., LTD.) 2013年 1月 30日 (2013-01-30) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 4月 28日	2018年 5月 24日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 彭海良 电话号码 86-(10)-53962513

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/111428

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101075410	A	2007年 11月 21日	CN	101075410	B	2012年 7月 18日
				EP	1857998	A1	2007年 11月 21日
CN	102800273	A	2012年 11月 28日	CN	102800273	B	2015年 1月 21日
CN	102930824	A	2013年 2月 13日	CN	102930824	B	2015年 4月 15日
CN	104715716	A	2015年 6月 17日	US	2015170569	A1	2015年 6月 18日
				EP	2884484	A1	2015年 6月 17日
				KR	20150069288	A	2015年 6月 23日
				CN	104715716	B	2017年 9月 5日
				KR	101702429	B1	2017年 2月 3日
				ES	2647817	T3	2017年 12月 26日
				EP	2884484	B1	2017年 8月 16日
CN	105702214	A	2016年 6月 22日	WO	2017177501	A1	2017年 10月 19日
				CN	105702214	B	2018年 3月 6日
				US	2018082636	A1	2018年 3月 22日
CN	106782322	A	2017年 5月 31日		无		
KR	20130010936	A	2013年 1月 30日		无		