

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55697

(P2010-55697A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 Z	5 L 1 0 6
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 A	5 M 0 2 4

審査請求 未請求 請求項の数 13 O L (全 14 頁)

(21) 出願番号	特願2008-220570 (P2008-220570)	(71) 出願人	500174247
(22) 出願日	平成20年8月28日 (2008. 8. 28)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100110881
			弁理士 首藤 宏平
		(72) 発明者	吉田 宗一郎
			東京都中央区八重洲二丁目2番1号 エル
			ピーダメモリ株式会社内
		Fターム(参考)	5L106 AA01 DD31
			5M024 AA91 BB40 CC90 MM10 PP01
			PP02 PP03 PP07

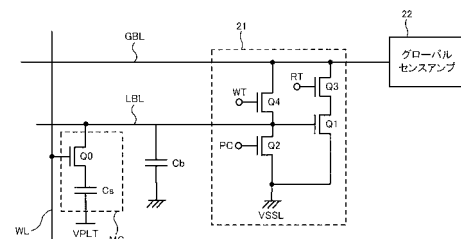
(54) 【発明の名称】 半導体記憶装置及びそのテスト方法

(57) 【要約】

【課題】 シングルエンド型の複数のセンスアンプ回路を流れる電流を測定し、そのしきい値電圧のばらつきを容易に判別可能な半導体記憶装置とそのテスト方法を提供する。

【解決手段】 本発明の半導体記憶装置は、選択されたメモリセルMCから読み出された信号を伝送する第1のビット線L B Lと、第1のビット線L B Lの信号電圧を増幅して出力電流に変換する増幅素子Q 1を含むシングルエンド型の第1のセンスアンプ回路2 1と、第1のセンスアンプ回路を流れる電流（独立の接地電位V S S Lを経由する電流）を、他の回路部分を流れる電流とは独立に測定するテスト動作を制御する制御回路とを備えている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のメモリセルを含むメモリセルアレイを備える半導体記憶装置であって、

前記メモリセルアレイのうちの選択されたメモリセルから読み出された信号を伝送する第 1 のビット線と、

前記第 1 のビット線の信号電圧を増幅して出力電流に変換する増幅素子を含むシングルエンド型の第 1 のセンスアンプ回路と、

前記第 1 のセンスアンプ回路を流れる電流を、他の回路部分を流れる電流とは独立に測定するテスト動作を制御する制御回路と、

を備えることを特徴とする半導体記憶装置。

10

【請求項 2】

複数の前記第 1 のビット線と、複数の前記第 1 のセンスアンプ回路とが設けられ、前記制御回路は、複数の前記第 1 のセンスアンプ回路を流れる総電流を測定する前記テスト動作を制御することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記複数の第 1 のセンスアンプ回路は、他の回路部分に接続される接地電位とは独立した第 1 の接地電位に接続され、当該第 1 の接地電位が端子を介して外部と接続可能に構成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記増幅素子は、ゲートが前記第 1 のビット線に接続され、ソースが前記第 1 の接地電位に接続された NMOS トランジスタであり、前記出力電流として前記第 1 のビット線の電位に応じたドレイン電流が流れることを特徴とする請求項 3 に記載の半導体記憶装置。

20

【請求項 5】

各々の前記第 1 のセンスアンプ回路は、前記第 1 のビット線を前記第 1 の接地電位にプリチャージする第 1 のプリチャージ回路を含むことを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 6】

各々の前記第 1 のセンスアンプ回路は、前記第 1 のビット線を所定の制御電圧にプリチャージする第 2 のプリチャージ回路を含み、

前記制御回路は、前記第 1 のビット線が前記所定の制御電圧にプリチャージされた状態で前記テスト動作を制御することを特徴とする請求項 1 に記載の半導体記憶装置。

30

【請求項 7】

前記第 1 のセンスアンプ回路を介して前記第 1 のビット線と選択的に接続される第 2 のビット線をさらに備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】

前記出力電流を供給された状態の前記第 2 のビット線の信号電圧のレベルを判定する第 2 のセンスアンプ回路をさらに備えることを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】

前記制御回路に入力されるテスト信号が活性化されたとき、前記第 2 のビット線を所定電位の電源にプリチャージする第 3 のプリチャージ回路を含むことを特徴とする請求項 7 に記載の半導体記憶装置。

40

【請求項 10】

前記制御回路に入力されるテスト信号が活性化されたとき、前記第 2 のビット線を前記増幅素子に接続して前記出力電流が流れる状態にするスイッチ回路を含むことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 11】

複数のメモリセルを階層化して配置したメモリセルアレイが構成され、

前記第 1 のビット線としての所定数のローカルビット線が、前記第 2 のビット線としてのグローバルビット線の区分に対応して配置され、

50

各々の前記ローカルビット線に接続される前記第 1 のセンスアンプ回路としての複数のローカルセンスアンプと、各々の前記グローバルビット線に接続される前記第 2 のセンスアンプ回路としてのグローバルセンスアンプとが設けられていることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 1 2】

複数のメモリセルを含むメモリセルアレイのうちの選択されたメモリセルから読み出された信号を伝送する複数の第 1 のビット線と、前記第 1 のビット線の信号電圧を増幅して出力電流に変換する増幅素子を含むシングルエンド型の複数の第 1 のセンスアンプ回路と、前記複数の第 1 のセンスアンプ回路を流れる電流を、他の回路部分を流れる電流とは独立に測定するテスト動作を制御する制御回路とを備える半導体記憶装置のテスト方法であって、

10

N (N は 2 以上の整数) 個の前記メモリセルから読み出した各信号を N 本の前記第 1 のビット線に伝送させ、当該 N 本の第 1 のビット線の各信号電圧を N 個の前記第 1 のセンスアンプ回路により増幅し、当該 N 個全ての第 1 のセンスアンプ回路を流れる総電流を測定し、測定された総電流値に基づいて前記増幅素子のしきい値電圧の平均値を算出する、ことを特徴とする半導体記憶装置のテスト方法。

【請求項 1 3】

請求項 6 に記載の半導体記憶装置のテスト方法であって、

N 本の前記第 1 のビット線をそれぞれ前記第 2 のプリチャージ回路により前記所定の制御電圧にプリチャージし、当該 N 本の第 1 のビット線の各信号電圧を N 個の前記第 1 のセンスアンプ回路により増幅し、当該 N 個全ての前記第 1 のセンスアンプ回路を流れる総電流を測定し、測定された総電流値に基づいて前記増幅素子のしきい値電圧の平均値を算出する、ことを特徴とする半導体記憶装置のテスト方法。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、データを保持する複数のメモリセルを含むメモリセルアレイと、選択されたメモリセルから読み出されてビット線を伝送される信号を増幅するセンスアンプ回路とを備えた半導体記憶装置に関し、特に、センスアンプ回路に含まれる MOS トランジスタのしきい値電圧を測定するためのテストを実行する半導体記憶装置とそのテスト方法に関するものである。

30

【背景技術】

【0 0 0 2】

近年、DRAM 等の半導体記憶装置の大容量化に伴い、メモリセルアレイ内の各々のビット線に接続されるメモリセル数が膨大になり、ビット線の寄生容量や寄生抵抗の増加に起因する性能上の問題が生じている。こうした問題への対策として、ビット線構成が階層化されたメモリセルアレイの採用が提案されている (例えば、特許文献 1 ~ 4 参照)。このように階層化されたメモリセルアレイを採用すれば、ビット線の長さを短縮して接続されるメモリセル数を抑え、寄生容量や寄生抵抗を低減するために有利な構成を実現できる。また、ビット線に接続されるメモリセル数が少なくなるため、差動構成のセンスアンプ回路を用いることなく、シングルエンド型のセンスアンプ回路を採用できるので、回路規模の増加を抑制することができる。

40

【0 0 0 3】

一方、シングルエンド型のセンスアンプ回路では、ビット線を増幅素子としての MOS トランジスタのゲートに接続してドレイン電流に変換する構成が一般的であるため、MOS トランジスタのしきい値電圧の変動による影響を受けやすい。例えば、製造プロセスの変動などにより、センスアンプ回路の増幅素子のしきい値電圧がばらつく場合、動作マージンの低下などの問題を生じる。よって、製造時において、それぞれのセンスアンプ回路の増幅素子のしきい値電圧を求め、良品を選別しておくことが重要となる。そのためには

50

、多数のセンスアンプ回路について、増幅素子となるMOSトランジスタのしきい値電圧の平均値を求め、それを基準に各々の増幅素子の個別のしきい値電圧が適切か否かを判断すればよい。

【特許文献1】特許第3521979号公報

【特許文献2】特許第3529534号公報

【特許文献3】特表平10-512085号公報

【特許文献4】特開2000-57761号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

シングルエンド型のセンスアンプ回路を採用する場合、メモリセルアレイに配置されたビット線の本数に対応する多数のセンスアンプ回路が設けられる。大容量のDRAMのテストの際には、多数のセンスアンプ回路に対し、増幅素子しきい値電圧のばらつきの基準として、その平均値を求める必要がある。例えば、1個から数個のセンスアンプ回路に対し、増幅素子のしきい値電圧を求めたとしても正確な平均値を得ることはできない。一方、多数のセンスアンプ回路に対し、増幅素子のしきい値電圧を求める場合、そのための構成と制御が複雑になり、現実的なテストとして実行することは困難である。このように、シングルエンド型のセンスアンプ回路を多数設けたDRAMに対し、その増幅素子のしきい値電圧の正確な平均値を得るための現実的なテストが困難であるという問題があった。

【0005】

20

そこで、本発明はこれらの問題を解決するためになされたものであり、簡単な構成と制御により、多数のシングルエンド型のセンスアンプ回路に対し、各々の増幅素子のしきい値電圧のばらつきの基準となる平均値を求めることが可能な半導体記憶装置及びそのテスト方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える半導体記憶装置であって、前記メモリセルアレイのうちの選択されたメモリセルから読み出された信号を伝送する第1のビット線と、前記第1のビット線の信号電圧を増幅して出力電流に変換する増幅素子を含むシングルエンド型の第1のセンスアンプ回路と、前記第1のセンスアンプ回路を流れる電流を、他の回路部分を流れる電流とは独立に測定するテスト動作を制御する制御回路と、を備えて構成される。

30

【0007】

本発明の半導体記憶装置によれば、テスト動作を実行する際、例えばN個のメモリセルを選択し、N本の第1のビット線を介して読み出した各信号をN個の第1のセンスアンプ回路を増幅するときに流れるトータルの電流を、他の回路部分を流れる電流とは独立して測定することができる。よって、このときの測定された電流値から、各々の増幅素子に流れる平均電流を求め、これにより増幅素子のしきい値電圧のばらつきの基準を得ることができる。従って、複雑な構成と制御が不要であって、チップ面積を増加させることなく、多数のシングルエンド型の第1のセンスアンプ回路に対し、その増幅素子のしきい値電圧の分布を判別し、製造時に良品を的確に選別可能となる。

40

【0008】

本発明において、上記のテスト動作を制御するために、例えば、複数の第1のセンスアンプ回路に接続される第1の接地電位を、他の回路部分の接地電位と独立に設けてもよい。これにより、第1の接地電位用の端子を経由する電流経路に流れる電流を測定すれば、容易に上記テスト動作を実現することができる。

【0009】

また、本発明において、第1のセンスアンプ回路に第1のプリチャージ回路を設け、ビット線を第1の接地電位にプリチャージする構成を採用してもよい。あるいは、第1のセンスアンプ回路に第2のプリチャージ回路を設け、ビット線を所定の制御電圧にプリチャ

50

ージする構成を採用してもよい。後者の構成によれば、メモリセルから第1のビット線に信号を読み出すことなく、所望のテスト動作を行うことが可能となる。

【発明の効果】

【0010】

本発明によれば、半導体記憶装置のテスト動作として、複数の第1のセンスアンプ回路を流れる電流を、他の電流とは独立に測定し、その電流値に基づき複数の第1のセンスアンプ回路に流れる平均電流を求めることができる。よって、シングルエンド構成の第1のセンスアンプ回路に対し、その増幅素子のしきい値電圧のばらつきを容易に判別することができ、簡単な構成と制御でチップ面積の増加を招くことなく、製造時に良品を的確に判別可能となる。

10

【発明を実施するための最良の形態】

【0011】

本発明の実施形態について図面を参照しながら説明する。以下では、例えば、半導体記憶装置としてのDRAM(Dynamic Random Access Memory)に対して本発明を適用する場合についての2つの実施形態を説明する。

【0012】

〔第1実施形態〕

図1は、第1実施形態のDRAM1の全体構成を示している。図1においては、複数のメモリセルアレイ10と、複数のローカルセンスアンプ列11と、1つのグローバルセンスアンプ列12と、制御回路13とを含んで構成されるDRAM1と、DRAM1に対するテストを実行するテスト2が示されている。

20

【0013】

各々のメモリセルアレイ10は、複数のワード線WLとそれに交差する複数のローカルビット線LBL(本発明の第1のビット線)との全ての交点に形成された複数のメモリセルMCを含んでいる。図1では、一部のメモリセルMCのみを例示しているが、例えば、1つのメモリセルアレイ10内にM本のワード線WLとN本のローカルビット線LBLを配列する場合、 $M \times N$ 個のメモリセルMCを含むメモリセルアレイ10が構成される。また、図1の全体には、L個のメモリセルアレイ10が含まれ、その全体に跨ってN本のグローバルビット線GBL(本発明の第2のビット線)が配置されるとともに、各々のグローバルビット線GBLの区分に対応してL本のローカルビット線LBLが各々のグローバルビット線GBLと平行に配置される。

30

【0014】

ローカルセンスアンプ列11は、各々のメモリセルアレイ10に隣接して配置され、N本のローカルビット線LBLに接続されるN個のローカルセンスアンプ21(本発明の第1のセンスアンプ回路)を含んで構成される。メモリセルアレイ10とローカルセンスアンプ列11はペアとなって、ビット線方向に繰り返し配置されている。それぞれのローカルセンスアンプ21は、選択されたワード線WLに対応するメモリセルMCから読み出されてローカルビット線LBLを伝送する信号を増幅する。

【0015】

グローバルセンスアンプ列12は、ビット線方向に並ぶ複数のメモリセルアレイ10と複数のローカルセンスアンプ列11に対し、その一端に配置される。グローバルセンスアンプ列12は、N本のグローバルビット線GBLに接続されるN個のグローバルセンスアンプ22(本発明の第2のセンスアンプ回路)を含んで構成される。それぞれのグローバルセンスアンプ22は、ローカルセンスアンプ21からグローバルビット線GBLに伝送する信号をさらに増幅する。

40

【0016】

このように、第1実施形態のDRAM1においては、階層ビット線構成及び階層センスアンプ構成が採用される。すなわち、1本のグローバルビット線GBLにはL本のローカルビット線LBLが対応付けられ、1個のグローバルセンスアンプ22にはL個のローカルセンスアンプ21が対応付けられる。これにより、1本のローカルビット線LBLに接

50

続されるメモリセル数の増加を抑えることができ、回路規模の小さいシングルエンド型のローカルセンスアンプ21を採用することができる。各々のグローバルビット線GBLは、選択されたメモリセルアレイ10の所定のメモリセルMCのデータの読み出し又は書き込みを制御することができる。

【0017】

一方、制御回路13は、複数のメモリセルアレイ10、複数のローカルセンスアンプ列11、複数のグローバルセンスアンプ列12のそれぞれの動作を制御する。制御回路13は、DRAM1の各部に制御信号を送出するとともに、テスト2との間でテストモード時に必要となる各種信号をやり取りする。テスト2は、DRAM1の製造時にテストモードを起動し、DRAM1の制御回路13に対し所定のコマンドを、必要なアドレス及びデータとともに送付する。第1実施形態では、DRAM1に対して実行されるテストとして、ローカルセンスアンプ21に含まれる後述のMOSトランジスタのしきい値電圧の測定テストがあるが、詳しくは後述する。

【0018】

次に、図1のローカルセンスアンプ21とその周辺部の具体的な構成について説明する。図2は、図1の構成のうち、1本のワード線WLと1本のローカルビット線LBLと、それらの交点に配置される1つのメモリセルMCと、1つのローカルセンスアンプ21と、1本のグローバルビット線GBLと、グローバルセンスアンプ22を含む範囲の回路構成の一例を示している。図2に示すように、メモリセルMCは、NMOSトランジスタQ0とキャパシタCsから構成され、ローカルセンスアンプ21は、4つのNMOSトランジスタQ1、Q2、Q3、Q4から構成される。

【0019】

メモリセルMCのNMOSトランジスタQ0は、ゲートがワード線WLに接続され、ソースがローカルビット線LBLに接続され、ドレインがキャパシタCsの一方の端子に接続されている。キャパシタCsの他方の端子は、セルプレート電位VPLTの配線に接続されている。図2では1つのメモリセルMCのみを示しているが、実際には各々のローカルビット線LBLに複数のメモリセルMCが接続される。これにより、各々のローカルビット線LBLには、図2に示すように寄生容量Cbが形成される。

【0020】

ローカルセンスアンプ21において、2つのNMOSトランジスタQ3、Q1は、グローバルビット線GBLと接地電位VSSL（本発明の第1の接地電位）の間に直列接続されている。NMOSトランジスタQ1（本発明の増幅素子）は、ゲートにローカルビット線LBLが接続され、ローカルビット線LBLの信号電圧を増幅してドレイン電流に変換する。NMOSトランジスタQ3（本発明のスイッチ回路）は、ゲートに入力された制御信号RTに応じて、NMOSトランジスタQ1のドレインとグローバルビット線GBLとの間の接続を切り換え制御する。

【0021】

また、2つのNMOSトランジスタQ4、Q2もグローバルビット線GBLと接地電位VSSLの間に直列接続され、両者の中間ノードがローカルビット線LBLに接続されている。NMOSトランジスタQ2（本発明の第1のプリチャージ回路）は、ゲートに入力されたプリチャージ信号PCに応じてローカルビット線LBLをプリチャージする。プリチャージ信号PCがハイに制御されると、ローカルビット線LBLが接地電位VSSLにプリチャージされる。NMOSトランジスタQ4は、ゲートに入力された制御信号WTに応じて、ローカルビット線LBLとグローバルビット線GBLの間の接続を切り換え制御する。

【0022】

第1実施形態においては、ローカルセンスアンプ21に含まれるNMOSトランジスタQ1、Q2の各ソースを接地電位VSSLに接続し、他の回路部分の接地電位（例えば、図3の接地電位VSS）とは分離している点が特徴的である。接地電位VSSLは、チップ内で他の接地電位のパッド（端子）とは異なるパッドに接続され、独立して外部接続が

10

20

30

40

50

可能となっている。そして、テスト動作に際しては、接地電位 V_{SSL} を通るパスを流れる電流を測定することにより、ローカルセンスアンプ 21 のしきい値電圧のばらつきを判別しているが、詳しくは後述する。なお、図 2 では 1 つのローカルセンスアンプ 21 のみ示しているが、実際にはメモリセルアレイ 10 内に N 個のローカルセンスアンプ 21 が設けられているので、これら N 個のローカルセンスアンプ 21 の NMOS トランジスタ Q_1 、 Q_2 の各ソースを共通に上記接地電位 V_{SSL} に接続し、トータルの電流を測定可能な構成となっている。

【0023】

図 3 は、図 1 のグローバルセンスアンプ 22 の回路構成の一例を示している。図 3 に示すようにグローバルセンスアンプ 22 は、PMOS トランジスタ Q_{10} と、2 つの NMOS トランジスタ Q_{11} 、 Q_{12} と、信号電圧判定ラッチ 22a とを含んで構成される。また、グローバルセンスアンプ 22 と読み出し信号線 $RBUS$ の間には、2 つの NMOS トランジスタ Q_{17} 、 Q_{18} が設けられ、グローバルセンスアンプ 22 と書き込み信号線 $WBUS$ の間には、2 つの NMOS トランジスタ Q_{19} 、 Q_{20} が設けられている。

【0024】

PMOS トランジスタ Q_{10} は、電源電圧 V_{ARY} とグローバルビット線 GBL との間に接続され、ゲートに入力されたプリチャージ信号 PCG に応じてグローバルビット線 GBL をプリチャージする。プリチャージ信号 PCG がローに制御されると、グローバルビット線 GBL が電源電圧 V_{ARY} にプリチャージされる。NMOS トランジスタ Q_{11} は、ゲートに印加される制御信号 LTC に応じて、グローバルビット線 GBL とノード N_1 との間の接続を制御する。NMOS トランジスタ Q_{12} は、ゲートに印加される制御信号 RES に応じて、グローバルビット線 GBL とノード N_2 との間の接続を制御する。

【0025】

信号電圧判定ラッチ 22a は、センス用インバータを構成する PMOS トランジスタ Q_{13} 及び NMOS トランジスタ Q_{14} と、ラッチ用インバータを構成する PMOS トランジスタ Q_{15} 及び NMOS トランジスタ Q_{16} からなる。信号電圧判定ラッチ 22a は、グローバルビット線 GBL から NMOS トランジスタ Q_{11} を通ってノード N_1 に伝送された信号電位を 2 値で判定してラッチし、グローバルビット線 GBL の論理を反転した出力信号 SD をノード N_2 に出力する。信号電圧判定ラッチ 22a において、PMOS トランジスタ Q_{13} 、 Q_{15} の各ソースが電源電圧 V_{ARY} に接続され、NMOS トランジスタ Q_{14} 、 Q_{16} の各ソースが接地電位 V_{SS} に接続されている。

【0026】

読み出し動作時は、制御信号 LTC がハイ、かつ選択信号 YS がハイになり、ノード N_2 の出力信号 SD が NMOS トランジスタ Q_{17} のゲートに inputs され、直列接続された NMOS トランジスタ Q_{17} 、 Q_{18} を通って読み出し信号線 $RBUS$ に出力される。読み出し動作後のメモリセル MC への再書き込み動作時は、制御信号 LTC がロー、制御信号 RES がハイとなり、出力信号 SD は NMOS トランジスタ Q_{12} を介してグローバルビット線 GBL に出力される。

【0027】

一方、書き込み動作時は、選択信号 YS がハイ、制御信号 WE がハイになり、書き込み信号線 $WBUS$ から書き込みデータが入力される。この書き込みデータは、NMOS トランジスタ Q_{20} 、 Q_{19} を通ってノード N_1 に達し、信号電圧判定ラッチ 22a の上述のセンス用インバータにより反転され、MOS トランジスタ Q_{12} を介してグローバルビット線 GBL に出力される。

【0028】

次に、第 1 実施形態の DRAM 1 の動作について、図 4 及び図 5 を用いて説明する。図 4 は、DRAM 1 の通常時の読み出し動作の信号波形を示し、図 5 は、DRAM 1 のテスト動作時の信号波形を示している。まず、図 4 の初期時点において、メモリセル MC にハイが保持されている状態で、プリチャージ信号 PC がハイに保持され、ローカルビット線 LBL が接地電位 V_{SSL} にプリチャージされている。そして、制御回路 13 に ACT コ

10

20

30

40

50

マンドが入力されると、プリチャージ信号 P C がローに制御され、ローカルビット線 L B L のプリチャージ状態が解除される。次いで、選択されたワード線 W L が駆動されてハイになると、メモリセル M C に保持されているハイ情報がローカルビット線 L B L に読み出される。このとき、ローカルビット線 L B L は、キャパシタ C s の容量とローカルビット線 L B L の寄生容量 C b との比で定まる電位まで上昇する。これにより、ローカルセンスアンプ 2 1 の N M O S トランジスタ Q 1 がオンする。

【0029】

このとき、制御信号 R T がハイに制御されるとともに、プリチャージ信号 P C G がハイに制御され、電源電圧 V A R Y にプリチャージされているグローバルビット線 G B L のプリチャージ状態が解除される。これにより、グローバルビット線 G B L に充電されている電荷は、N M O S トランジスタ Q 3、Q 1 を介して引き抜かれ、グローバルビット線 G B L の電位が低下していく。そして、グローバルセンスアンプ 2 2 の信号電圧判定ラッチ 2 2 a の動作により、ノード N 2 の出力信号 S D は、ローが反転されたハイに変化する。以上の動作により、メモリセル M C のハイ情報を読み出すことができる。

【0030】

次に、図 5 のテスト動作においては、あらかじめ読み出し対象の N 個のメモリセル M C にハイ情報が書き込まれる。そして、テストモードに移行し、制御回路 1 3 にテスト用のコマンドが入力されると、プリチャージ信号 P C がローに制御され、ローカルビット線 L B L のプリチャージ状態が解除される。次いで、選択されたワード線 W L が駆動されてハイになると、読み出し対象の N 個のメモリセル M C に保持されているハイ情報が読み出されて N 本のローカルビット線 L B L に伝送される。これにより、N 個のローカルセンスアンプ 2 1 の各 N M O S トランジスタ Q 1 がオンする。

【0031】

このとき、制御信号 R T がハイに制御されるが、プリチャージ信号 P C G はローの状態に保たれる。そのため、P M O S トランジスタ Q 1 0 を介して電源電圧 V A R Y が供給されている状態のグローバルビット線 G B L から、N M O S トランジスタ Q 3、Q 1 を介して接地電位 V S S L に電流が流れる。ここで、ローカルビット線 L B L から N M O S トランジスタ Q 1 のゲートに十分高い電圧が印加されるので、N M O S トランジスタ Q 1 のオン抵抗は、P M O S トランジスタ Q 1 0 及び N M O S トランジスタ Q 3 のオン抵抗に比べて十分小さくなる。よって、電源電圧 V A R Y から、P M O S トランジスタ Q 1 0、N M O S トランジスタ Q 3、Q 1 を介して接地電位 V S S L に流れる電流は、N M O S トランジスタ Q 1 の駆動能力に律速される。その結果、N 個のローカルセンスアンプ 2 1 の全体において、電源電圧 V A R Y から接地電位 V S S L に流れるトータルの電流は、各々の N M O S トランジスタ Q 1 のドレイン電流 I d の N 倍となる。

【0032】

このとき、接地電位 V S S L のパッドに接続されるテスト 2 では、この際のトータルの電流が測定され、その電流値の $1/N$ がドレイン電流 I d として算出される。ここで、ドレイン電流 I d に対し、以下の関係が成り立つ。

【数 1】

$$I_d = K \cdot (W_g / L_g) \cdot (V_{gs} - V_t)^2$$

ただし、K：プロセスに依存する係数

W g：実効ゲート幅

L g：実効ゲート長

V t：しきい値

V g s：ゲートソース間電圧

【0033】

従って、しきい値電圧 V t は、次式で求められる。

10

20

30

40

【数 2】

$$V_t = V_{gs} - \sqrt{I_d \cdot \sqrt{(1/K) \cdot (L_g/W_g)}}$$

【0034】

以上から、NMOSトランジスタQ1のしきい値電圧のばらつきの基準となる値を得ることができる。なお、第1実施形態においては、接地電位VSSL用のパッドを経由して流れる電流を測定する場合を説明したが、接地電位VSSLと他の接地電位が共通のパッドに接続される場合であっても本発明の適用が可能である。この場合、N個のローカルセンスアンプ21に関し、増幅動作を行わない場合の電流値に対し、増幅動作を行う場合の電流値の増加分を求めることにより、上記と同様のしきい値電圧Vtを算出することができる。

10

【0035】

次に、図4及び図5の動作を制御するための制御回路13の構成と動作について説明する。図6は、制御回路13における要部の回路構成の一例を示す図であり、図7は、図4の読み出し動作に対応する図6の各部の動作波形を示す図であり、図8は、図5のテスト動作に対応する図6の各部の動作波形を示す図である。図6に示すように、制御回路13は、インバータ、NANDゲート、NORゲート、ディレイ素子Dを組み合わせた論理回路と、2つの信号ラッチ30、31とを含んでいる。図5の構成においては、入力されたアドレスデコード信号、制御信号R1ACT、R2ACT、テスト信号に基づき、ワード線制御信号WLC、プリチャージ信号PC、PCG、制御信号RT、LTCを生成して出力する。

20

【0036】

図7に示すように読み出し動作時には、図6のアドレスデコード信号が入力されてハイになり、同時に制御信号R1ACTがハイに制御される。これにより、ローカルセンスアンプ21のプリチャージ状態を解除するためにプリチャージ信号PCがハイからローに変化する。その後、制御信号R2ACTがハイに制御されると、グローバルセンスアンプ22のプリチャージ状態を解除するためにプリチャージ信号PCGがローからハイに変化する。同時にワード線制御信号WLCに連動してワード線WLがハイになり、制御信号RTがハイになる。そして、図6のディレイ素子Dの遅延に応じた所定時間の経過後に、制御信号RTがローに戻り、制御信号LTCがハイからローに変化する。

30

【0037】

一方、図8に示すようにテスト動作時には、図6のアドレスデコード信号が入力されてハイになるとともに、テスト信号が入力されてハイになる。これにより、図7と同様、プリチャージ信号PCがハイからローに変化するが、プリチャージ信号PCGはローを保持する。従って、図5により説明したテスト動作が実現される。このとき、ワード線WLはハイになるとともに、制御信号RTがローからハイに変化し、かつ制御信号LTCがハイからローに変化する。これ以降、テスト動作の終了まで、上記各信号の状態が保たれる。

【0038】

[第2実施形態]

40

次に、第2実施形態のDRAM1について説明する。第2実施形態のDRAM1の全体構成については、第1実施形態の図1と共通であるので、説明を省略する。図9は、第2実施形態のローカルセンスアンプ21とその周辺部の具体的な構成を示している。図9における回路構成は、ほぼ第1実施形態と共通しているが、ローカルセンスアンプ21のNMOSトランジスタQ2（本発明の第2のプリチャージ回路）のソースが制御電圧VPLCに接続されている点が変更されている。なお、他の点については図2と同様であり、グローバルセンスアンプ22の回路構成についても図3と同様であるため、説明を省略する。

【0039】

第2実施形態においては、プリチャージ信号PCがハイに制御されたとき、ローカルビ

50

ット線 L B L が制御電圧 V P L C にプリチャージされる。この場合、制御電圧 V P L C は、第 1 実施形態の場合とは異なり、任意の電圧値に設定することができる。従って、第 2 実施形態においては、ワード線 W L を駆動してローカルビット線 L B L にメモリセル M C を読み出すことなく、制御電圧 V P L C に依存する所望の電圧を N M O S トランジスタ Q 1 のゲートに印加することができ、所望の条件でローカルセンスアンプ 2 1 のしきい値電圧のテストを実行することができる。

【0040】

図 10 は、第 2 実施形態の D R A M 1 におけるテスト動作時の信号波形を示している。図 10 に示すように、D R A M 1 はスタンバイ状態に維持され、プリチャージ信号 P C がハイ、プリチャージ信号 P C G がロー、制御信号 R E S、W T がともにローにそれぞれ保たれる。また、初期時点では、制御電圧 V P L C がロー（接地電位 V S S L）に制御されているので、ローカルビット線 L B L は、接地電位 V S S L にプリチャージされている。この状態から、所定のタイミングで制御電圧 V P L C が電位 V x に制御されると、ローカルビット線 L B L が電位 V x に上昇し、N M O S トランジスタ Q 1 のゲートに電位 V x が印加される。その後、制御信号 R T はハイに制御され、かつ制御信号 L T C がローに制御される。これにより、電源電圧 V A R Y から、P M O S トランジスタ Q 10、N M O S トランジスタ Q 3、Q 1 を介して接地電位 V S S L に電流が流れる。その結果、N 個のローカルセンスアンプ 2 1 の全体において、電源電圧 V A R Y から接地電位 V S S L に流れるトータルの電流は、各々の N M O S トランジスタ Q 1 のドレイン電流 I d の N 倍となる。このときのテスト 2 における測定と算出に関しては、第 1 実施形態の場合と共通し、上記の数 1、数 2 に基づいて行われる。

【0041】

次に、図 10 の動作を制御するための制御回路 1 3 の構成と動作について説明する。図 1 1 は、制御回路 1 3 における要部の回路構成の一例を示す図である。図 1 1 に示すように、制御回路 1 3 は、インバータ、N A N D ゲート、N O R ゲート、ディレイ素子 D ' を組み合わせた論理回路と、2 つの信号ラッチ 3 2、3 3 とを含んでいる。図 1 1 の構成においては、入力されたアドレスデコード信号、制御信号 R 1 A C T、R 2 A C T、テスト信号に基づき、ワード線制御信号 W L C、プリチャージ信号 P C、P C G、制御信号 R T、L T C を生成して出力する。図 1 1 において、図 10 のテスト動作を開始するタイミングで、ハイのテスト信号が入力され、制御信号 R T がハイに、制御信号 L T C がローにそれぞれ制御される。

【0042】

以上、2 つの実施形態に基づいて本発明の内容を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更を施すことができる。例えば、上記実施形態においては、階層化されたメモリセルアレイ 10 において所定数のローカルビット線 L B L がグローバルビット線 G B L と選択的に接続される構成を示したが、第 1 のビット線がシングルエンド型の第 1 のセンスアンプ回路に接続される多様な構成に対して、広く本発明を適用することができる。

【図面の簡単な説明】

【0043】

【図 1】第 1 実施形態の D R A M 1 の全体構成を示す図である。

【図 2】図 1 のローカルセンスアンプ 2 1 とその周辺部の具体的な構成を説明する図である。

【図 3】図 1 のグローバルセンスアンプ 2 2 の回路構成の一例を示す図である。

【図 4】第 1 実施形態の D R A M 1 の通常の読み出し動作時の信号波形を示す図である。

【図 5】第 1 実施形態の D R A M 1 のテスト動作時の信号波形を示す図である。

【図 6】第 1 実施形態の制御回路 1 3 における要部の回路構成の一例を示す図である。

【図 7】図 4 の読み出し動作に対応する図 6 の各部の動作波形を示す図である。

【図 8】図 5 のテスト動作に対応する図 6 の各部の動作波形を示す図である。

【図 9】第 2 実施形態のローカルセンスアンプ 2 1 とその周辺部の具体的な構成を説明す

10

20

30

40

50

る図である。

【図 1 0】第 2 実施形態の D R A M 1 のテスト動作時の信号波形を示す図である。

【図 1 1】第 2 実施形態の制御回路 1 3 における要部の回路構成の一例を示す図である。

【符号の説明】

【 0 0 4 4 】

1 … D R A M

2 … テスタ

1 0 … メモリセルアレイ

1 1 … ローカルセンスアンプ列

1 2 … グローバルセンスアンプ列

1 3 … 制御回路

2 1 … ローカルセンスアンプ

2 2 … グローバルセンスアンプ

2 2 a … 信号電圧判定ラッチ

3 0 ～ 3 3 … ラッチ回路

D、D' … ディレイ素子

M C … メモリセル

W L … ワード線

G B L … グローバルビット線

L B L … ローカルビット線

Q 0、Q 1 ～ Q 5、Q 1 1、Q 1 2、Q 1 4、Q 1 6 ～ Q 2 0 … N M O S トランジスタ

Q 1 0、Q 1 3、Q 1 5 … P M O S トランジスタ

V S S L … 接地電位

V D D、V A R Y … 電源電圧

V P L T … セルプレート電位

P C、P C G … プリチャージ信号

R T、W T、L T C、R E S、W E、R 1 A C T、R 2 A C T … 制御信号

Y S … 選択信号

S D … 出力信号

R B U S … 読み出し信号線

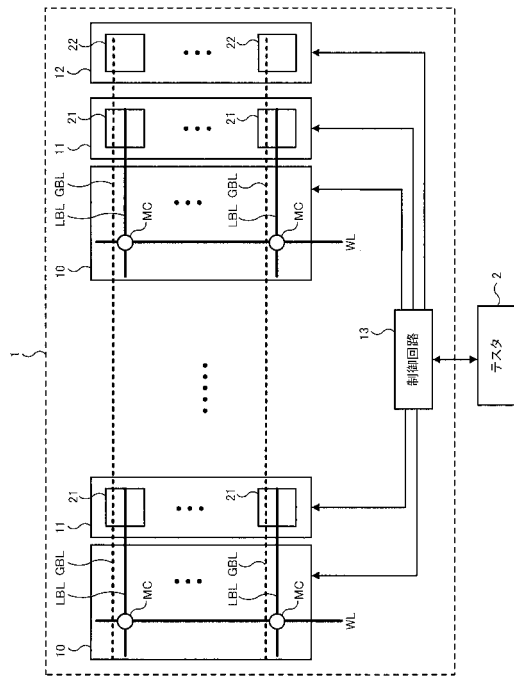
W B U S … 書き込み信号線

10

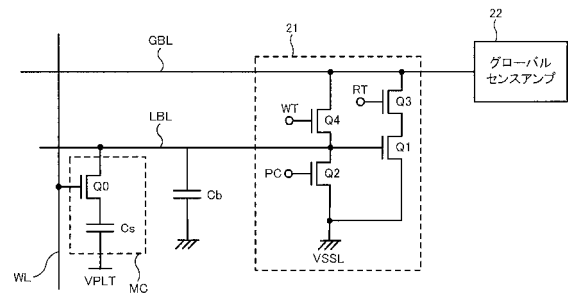
20

30

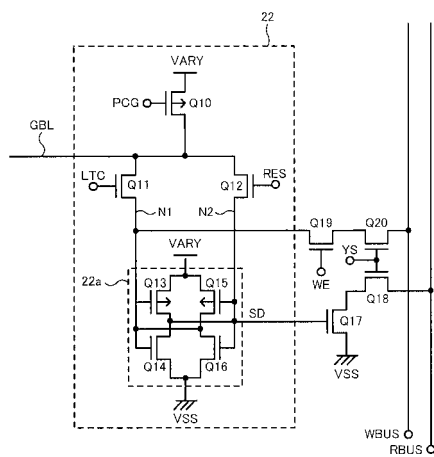
【図 1】



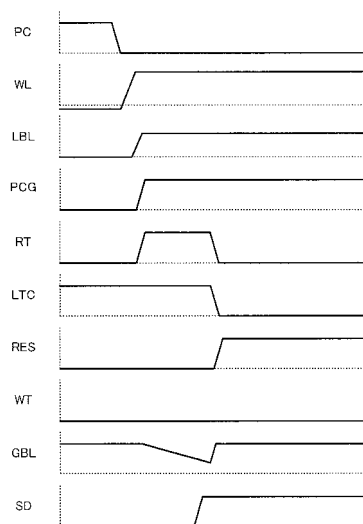
【図 2】



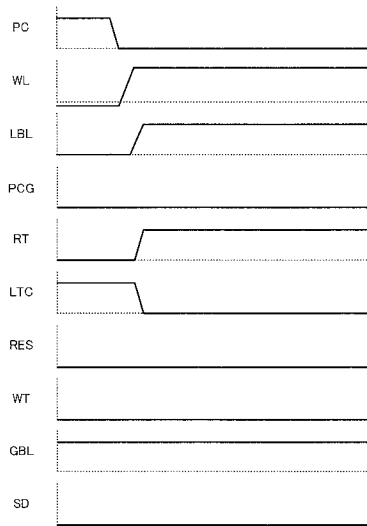
【図 3】



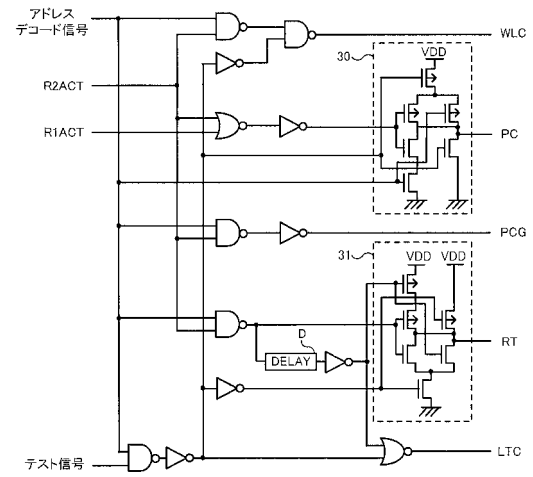
【図 4】



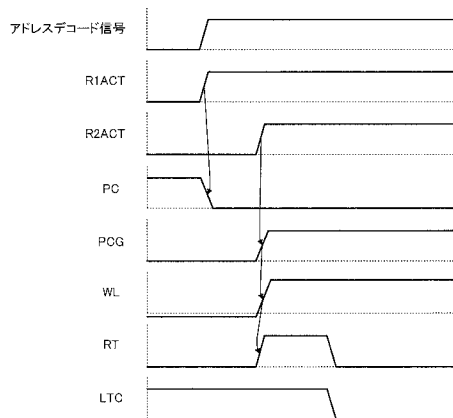
【図 5】



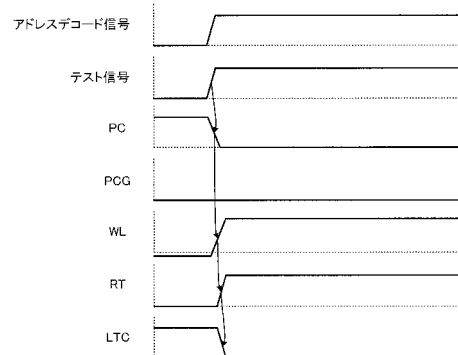
【図 6】



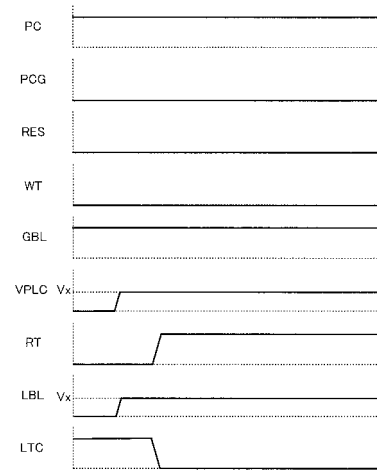
【図 7】



【図 8】



【 図 1 0 】



【 図 1 1 】

