

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2011年9月9日(09.09.2011)



(10) 国際公開番号

WO 2011/108664 A1

PCT

(51) 国際特許分類:

H01L 33/58 (2010.01) H01L 23/32 (2006.01)  
H01L 21/60 (2006.01) H01L 33/48 (2010.01)  
H01L 23/12 (2006.01)

(21) 国際出願番号:

PCT/JP2011/054966

(22) 国際出願日:

2011年3月3日(03.03.2011)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2010-067051 2010年3月3日(03.03.2010) JP  
特願 2010-181455 2010年7月28日(28.07.2010) JP

(71) 出願人(米国を除く全ての指定国について): 有限会社 M T E C (MTEC Corporation) [JP/JP]; 〒4801101 愛知県愛知郡長久手町熊張真行田14-2 Aichi (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 宇佐見 保 (USAMI Tamotsu) [JP/JP]; 〒4910131 愛知県一宮市 笹野1570 Aichi (JP).

(74) 代理人: 小島 清路(KOJIMA Seiji); 〒4560031 愛知県名古屋市熱田区神宮三丁目8番20号 神宮東熱田ビル4階 Aichi (JP).

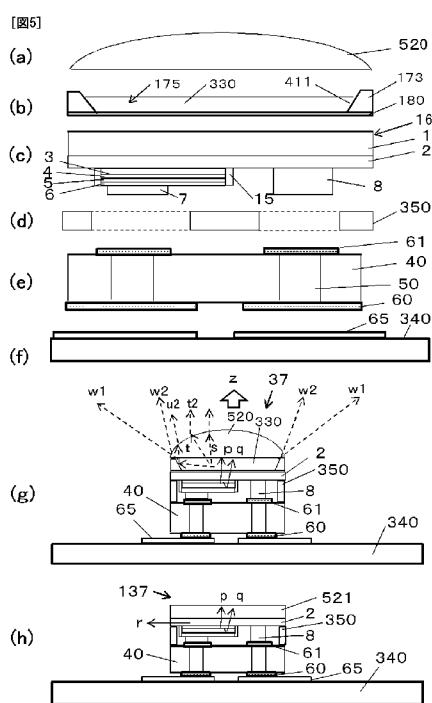
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[統葉有]

(54) Title: OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 光半導体装置



(57) **Abstract:** Disclosed is a chip-size optical semiconductor device, whereby the light collection rate is improved, and spread of a radiated luminous flux is adjusted. In the optical semiconductor device, each of the light emitting elements is provided with: one or more light emitting sections which are formed of a compound semiconductor layer, said light emitting sections being formed on the element substrate surface; and an element electrode on the surface on the reverse side of the light emitting surface, from which light is extracted. On the light emitting surface side of each of the light emitting elements, a transparent member having the size equivalent to that of the element substrate is provided. The transparent member is disposed in the state wherein the light emitting elements are formed on a wafer, then the wafer is divided into the light emitting elements. A package substrate having the size equivalent to that of each light emitting element is provided, and the optical semiconductor device, i.e., a chip size package, is formed. As the transparent member, a lens can be formed.

(57) **要約:** 集光率が高く、放射される光束の広がりを調整することができるチップサイズの光半導体装置を提供する。発光素子は、素子基板面上に化合物半導体層により形成された1又は2以上の発光部と、光を取り出す発光面とは反対側の面に素子電極とを具備する。発光素子の発光面側に素子基板と同一サイズの透明部材を備え、発光素子がウエーハに形成された状態において透明部材が配設され、その後に発光素子ごとに分離される。発光素子と同一サイズのパッケージ基板を備え、チップサイズパッケージの光半導体装置とすることができる。透明部材として、レンズを形成することができる。



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

## 明 細 書

### 発明の名称：光半導体装置

### 技術分野

[0001] 本発明は、化合物半導体により発光した光を取り出すための反射及び集光構造を備え、ウエーハ状態で形成可能なチップサイズの光半導体装置に関する。

### 背景技術

[0002] 従来、発光ダイオードの構造についてさまざまな形態が知られている（例えば、特許文献1～3を参照）。図1は、従来の発光ダイオードの構造の例を説明するための断面図である。図1(a)において、発光素子9の発する光は集光方向zに取り出される。この発光ダイオードは、サファイア基板1、N+型半導体2、N型半導体3、活性層4、P型半導体5、導電反射膜6、及びフリップチップ電極7、8からなる発光素子9を備えている。また、発光素子を実装するパッケージ基板10、外部と接続するための電極11、傾斜した側壁12、蛍光体13、及びキャップ14を備えている。P型及びN型半導体層の間の活性層において発光する光の進む方向を、図中p、qで示す。活性層で発生する光のうち集光方向zへ向かう光は、そのまま放出される(p)。集光方向zとは反対側へ向かう光は、反射膜6により反射されて集光方向zへ向かう(q)。P型半導体の電極は、導電反射膜経由でフリップチップ電極7へ接続されている。N型半導体の電極は、N+型半導体を経由してフリップチップ電極8に接続される。図1は断面図であるのでフリップチップ電極は2つのみ表わされている。上記発光素子のパッケージは、図1(b)に示すように、マザーボード340に設けられた電極65上に搭載される。白色用の発光ダイオードの場合には、特に静電気等の高電圧サーチに弱いため、除電された環境で取扱う必要がある。静電気対策のために、発光ダイオードのパッケージ内にサーチ吸収素子が実装される場合も多い。

[0003] 上記のような構造の場合には体積が大きく、高密度実装が必要な用途には

適さない。デバイスを小型化するために、半導体ダイをデバイス基板上に設けられたボンディングパッドに接合して構成される発光素子も知られている（例えば、特許文献4を参照）。しかし、ウエーハから切出した半導体チップをデバイス基板上に搭載してボンディングするため、半導体チップのサイズに比べて大きなデバイス面積が必要となってしまうという問題があった。また、半導体を形成したウエーハ状態のままでパッケージング工程を行うことができないという問題があった。

## 先行技術文献

### 特許文献

[0004] 特許文献1：特開平10-93146号

特許文献2：特開2006-303547号

特許文献3：WO2006-126330号

特許文献4：特開2009-49408号

## 発明の開示

### 発明が解決しようとする課題

[0005] 光半導体装置を小型化するため、パッケージを用いずにベアチップのまま使用する場合、図2に示すように光半導体装置を構成することが考えられる。図2（a）は発光素子16の断面、（b）は発光素子16を下方から見た平面、（c）はマザーボード340への実装、をそれぞれ説明するための図である。図2（a）に示すように、発光素子16は、サファイア基板200、N+型半導体2、N型半導体3、活性層4、P型半導体5、導電反射膜層6、及びフリップチップ電極7、8を備えている。P型半導体及びN型半導体の界面と活性層を汚れから保護するために、酸化膜15が側面に設けられている。活性層4において発光（1次発光）する光の進む方向を、図中p、qで示している。活性層で発生する光のうち集光方向zへ向かう光は、そのまま放出される（p）。集光方向zとは反対側へ向かう光は、導電反射膜6により反射されて集光方向zへ向かう（q）。白色用の発光ダイオードの

場合には蛍光体330を備え、1次発光した波長の短い光により蛍光体中で波長の長い光が励起される（2次発光）。2次発光した光は集光方向zに沿った方向s、斜め方向t、側面方向u及びサファイア基板側に放出される。また1次発光の光のうち側面方向の光（図2（c）のr）は、多くは内部で散乱されてしまい一部が外部に洩れる。また、図2（b）に示すように、フリップチップ電極として、発光素子のP型層の上に3つのP電極7が形成され、N型層の上に1つのN電極8が形成されている。マザーボード上には電極65が設けられており、半導体とマザーボードとはフリップチップ電極を介して接続される。このような構造により、発光素子のチップのサイズで、小さな面積に実装することができる。

[0006] 図3は、フリップチップ電極と発光部のレイアウトに自由度を持たせる構成を説明するための図である。N型半導体3、活性層4及びP型半導体5からなる化合物半導体膜層（発光部）84とフリップチップ電極7及び8との間に電源配線層90が設けられている。この構造によれば、フリップチップ電極と発光セルの配置が自由になり、1つの発光素子を複数個の発光部により構成することも可能になる。図3に示す発光部のP型半導体5及びN+型半導体2と、フリップチップのP電極8及びN電極7との間は、電源配線層90においてそれぞれ相互配線がなされている。活性層にて1次発光する光及び蛍光体330にて2次発光する光がそれぞれ進む方向は、図2に示した場合と同様である。

[0007] 上記いずれのベアチップ実装の場合においても、チップサイズでの超小型の実装が可能である。しかし、図2（c）に示したように、フリップチップ電極を用いたベアチップ実装において、1次発光した光により蛍光体で波長の長い光を2次発光させる場合、2次発光して側面方向に向かう光uと1次発光のうち側面方向へ洩れる光rを集光するためには側面反射板150等が必要になるという問題がある。また、光の広がりは側面反射板の傾きや位置により調整されるが、これに代わる集光機構を発光素子に組み込みたいというニーズがある。

[0008] また、いずれの発光素子にも共通する課題として、1次発光の光量のばらつきや蛍光体において励起される光量のばらつきが大きく、一定の輝度を得るためにには発光素子を光出力のクラス別に選別する必要があった。この選別を含む組立ての総費用が大きくなり、コスト低減に大きな障害となっているため、輝度のばらつきを小さくする手段が望まれている。

[0009] 発光ダイオードの用途が拡大するにつれて、コスト低減、省エネルギーのための高効率化、輝度ばらつきの低減、パッケージの小型化のニーズが高まっている。コスト低減の為には小型で簡素なパッケージ構造とすること、光の広がりを調整する機能を持つこと、発光効率の向上により素子サイズを小さくすること、輝度ばらつきを少なくすることによる調整工数の低減などが必要である。高効率化のためには、発光部で発光するあらゆる方向の光を補足して集光方向に集め、集光方向にはできるだけ遮蔽物を置かない構造とする必要がある。高効率化は、省エネルギーだけではなく、素子サイズの小型化や素子数の削減、駆動回路の簡素化を促進して、コスト低減にも効果が大きい。輝度ばらつきの低減は、照明品質の向上のために必要であるだけではなく、製品適用時の組立工数の低減に寄与し、コスト低減にも効果が大きい。小型化のためには、チップサイズと同じ大きさのパッケージ（チップサイズパッケージ）とすることである。また、レンズのような光の広がりの調整機能をもウエーハ状態で作りこむことができれば、小型化だけではなくパッケージのコストを飛躍的に低減することができる。

[0010] 本発明は、この様な事情に鑑みなされたものであり、発光した光をできるだけ多く外部へ集光することができ、照射される光の分布の調整することができ、輝度ばらつきを低減することができる光半導体装置であって、しかも、ウエーハ状態すなわち発光素子が個別に分離される前の状態でチップサイズパッケージングが可能な光半導体装置を提供することを目的とする。

## 課題を解決するための手段

[0011] 本発明は、以下の通りである。

1. 素子基板面上に区画されて化合物半導体層により形成された1又は2

以上の発光部と、該発光部からの光を取り出す発光面とは反対側の素子電極面に該発光部に電源を供給する素子電極とを具備し、該発光面に垂直な集光方向に光を取り出す発光素子と、前記発光素子の前記発光面側に、前記素子基板の外周と外周が同一サイズの透明部材と、を備え、複数の前記発光素子が前記素子基板となるウエーハに形成された状態において、前記透明部材が配設され、その後に該発光素子ごとに分離されて形成されることを特徴とする光半導体装置。

2. 前記発光素子の外周と外周が同一サイズの基板であって、前記発光素子を搭載する素子搭載面に該発光素子の前記素子電極に対応した内部電極と、該素子搭載面とは反対面に該内部電極と接続された外部電極と、を具備するパッケージ基板を更に備え、前記発光素子の前記素子電極面と前記パッケージ基板の前記素子搭載面とを対向させて貼り合わせることにより、前記素子電極と前記内部電極とが電気的に接続される前記1. 記載の光半導体装置。

3. 前記発光素子の前記素子電極面と前記パッケージ基板の前記素子搭載面とを接合材を用いて貼り合わせることにより、前記素子電極と前記内部電極とが電気的に接続されるとともに、前記素子電極面と前記素子搭載面との間が該接合材により密閉される前記2. 記載の光半導体装置。

4. 前記透明部材は、前記発光素子から取り出す光束を前記集光方向に向けて狭める凸レンズである前記1. 乃至3. のいずれかに記載の光半導体装置。

5. 前記発光素子の前記発光面上に載置される枠体であって、該枠体の外周は前記素子基板の外周と同一サイズであり、該枠体の内側壁面は前記発光面から前記集光方向に向けて広がるように傾斜して形成されているキャビティ部材と、前記キャビティ部材の前記内側壁面に囲まれた空洞部に充填される蛍光体と、を更に備え、前記キャビティ部材の前記内側壁面は前記発光部及び前記蛍光体で発光した光を前記集光方向に反射し、前記発光素子の前記発光面上に前記キャビティ部材及び前記透明部材が順に積層されて形成され

る前記 1. 乃至 4. のいずれかに記載の光半導体装置。

6. 前記発光部ごとにその側面を囲む側面反射膜を更に備え、前記側面反射膜は前記発光部で発光して前記素子基板と略平行に進む光を前記集光方向に反射する前記 1. 乃至 5. のいずれかに記載の光半導体装置。

7. 前記キャビティ部材の前記内側壁面は、シリコン基板をエッティングすることにより形成される前記 5. 又は 6. に記載の光半導体装置。

8. 前記キャビティ部材は金属で形成されている前記 5. 又は 6. に記載の光半導体装置。

9. 前記発光素子と前記パッケージ基板とが貼り合わされた後に、該発光素子の前記素子基板が除去されて形成される前記 2. 乃至 8. のいずれかに記載の光半導体装置。

10. 前記発光素子は複数の前記発光部を備え、前記素子基板の前記素子電極面又は前記パッケージ基板の前記外部電極が設けられる面には、各前記発光部に供給する電源を選択的に接続又は切断するための給電選択部を備え、前記給電選択部により前記発光素子ごとの輝度を調整可能とした前記 1. 乃至 9. のいずれかに記載の光半導体装置。

11. 前記素子基板は透明基板である前記 1. 乃至 10. のいずれかに記載の光半導体装置。

12. 前記素子基板はシリコン基板である前記 1. 乃至 10. のいずれかに記載の光半導体装置。

[0012] 本発明において、少なくとも素子基板とその上に形成された発光層及び電極を備えて構成される素子（その中間工程の状態にあるものを含む）を「発光素子」という。発光素子は、1又は2以上の区画された発光部を備えて構成される。この1つの発光部を「発光セル」という。各発光セルと不可分にその側面を囲む側面反射膜（「マイクロミラー」ともいう。）を設け、このマイクロミラーによって囲まれた構造の発光セルを「光マイクロセル」という。また、内側側面が傾斜した反射面とされたチップサイズの枠体を「マイクロキャビティ」と呼び、光の広がりを調整するチップサイズのレンズを「

「マイクロレンズ」と呼ぶ。マイクロレンズには凸レンズ及び凹レンズを含み、凸レンズとしたものを「マイクロ凸レンズ」と呼ぶ。発光素子をパッケージングした状態、又はマザーボードに実装可能な状態に加工したものを、「発光ダイオード」又は「光半導体装置」と呼ぶ。

## 発明の効果

[0013] 本発明の光半導体装置によれば、素子基板面上に化合物半導体層により形成された1又は2以上の発光部と、発光部からの光を取り出す発光面とは反対側の素子電極面に素子電極とを具備し、発光面に垂直な集光方向に光を取り出す発光素子と、発光素子の発光面側に、素子基板と同一サイズの透明部材とを備えるため、発光素子のチップサイズで発光ダイオードを構成することができる。これにより、ペアチップで実装される発光ダイオードや、チップサイズパッケージの発光ダイオードを実現することができる。発光素子は、1又は2以上の光マイクロセルを備えるため、発光ダイオードの高効率化を図ることができる。また、発光素子の電極は発光面とは反対側に備えられるため、集光方向に光を遮るものもなく、効率良く光を取り出すことができる。発光面側に備える透明部材をマイクロレンズとすることにより、発光素子から放射される光束の広がりを調整することができ、外部で出射光の拡散や方位分布の均一化等を容易に行うことも可能になる。また、透明部材を透明プラスチック板等とすることにより、発光素子を保護することができる。本光半導体装置は、複数の発光素子が素子基板となるウエーハに形成された状態において透明部材が配設され、その後に発光素子ごとに分離されて形成されるため、超小型で高輝度の発光ダイオードを、簡素な工程により低コストで実現することができる。本光半導体装置の構成は、白色用だけでなく、赤色その他すべての発光ダイオードに適用することできる。

[0014] 前記発光素子と同一サイズの基板であって、発光素子を搭載する素子搭載面に素子電極に対応した内部電極と、その反対面に外部電極と、を具備するパッケージ基板を更に備え、発光素子の素子電極面とパッケージ基板の素子搭載面とを対向させて貼り合わせることにより、素子電極と内部電極とが電

気的に接続される場合は、チップサイズパッケージの発光ダイオードとすることができる。この貼り合わせにより、素子電極と内部電極との電気的接続を確実にすることができます。また、複数の発光素子がウェーハに形成された状態において、発光素子とパッケージ基板とが貼り合わされ、その後に発光素子ごとに分離されるため、パッケージをすべてウェーハ状態で形成することができ、極めて簡素な工程により製造することができる。電気的検査や光学的検査もウェーハ状態で可能になる。そして、発光ダイオードを個別に分離した後もエキスバンドした状態等で扱うことができるため、そのままマザーボードに実装することができ、静電気の影響を受けにくい製造と取扱が可能になり、パッケージ内にサージ対策素子を特に備える必要もなくなる。

前記発光素子と前記パッケージ基板の素子搭載面とを接合材を用いて貼り合わせる場合は、素子電極と内部電極との電気的接続を確実にするとともに、発光素子とパッケージ基板を貼り合わせた端面が接合材により封じられるため、内部の化合物半導体層等を湿気や異物等から保護することができる。また、用途や使用環境に応じて、パッケージ基板の材料や接合材の材料を適宜に選択して用いることができる。

前記透明部材は、前記発光素子から取り出す光束を集光方向に向けて狭める凸レンズである場合は、発光素子から放射される光束を集光方向に向けて絞ることができるために、発光ダイオードに集光機能を備え、更に、外部で出射光の拡散や方位分布の均一化等を容易に行うことが可能になる。

[0015] 前記発光素子の前記発光面上に載置される枠体であって、その枠体の外周は前記素子基板の外周と同一サイズであり、枠体の内側壁面は発光面から集光方向に向けて広がるように傾斜して形成されているキャビティ部材と、キャビティ部材の内側壁面に囲まれた空洞部に充填される蛍光体と、を更に備える場合は、発光素子からの光で蛍光体を励起することにより白色発光ダイオードを構成することができ、キャビティ部材の内側壁面により発光部及び蛍光体で発光した光を反射させることによって集光方向への集光率を高めることができる。キャビティ部材から集光方向に前記透明部材が配設されるこ

ととなるため、キャビティ部材を介して放射される全ての光の広がり等を透明部材により調整することが可能になる。また、複数の発光素子が素子基板となるウエーハに形成された状態において、キャビティ部材及び透明部材が順に積層され、その後に発光素子ごとに分離されるため、簡素な工程により白色用の発光ダイオードを実現することができる。

- [0016] 前記発光部ごとにその側面を囲む側面反射膜（マイクロミラー）を更に備え、発光部で発光して素子基板と略平行に進む光を集光方向に反射する場合は、従来利用することが困難であった発光部から側面方向に進む光を取り出すことができ、発光ダイオードの輝度を高めることができる。
- [0017] 前記キャビティ部材の内側壁面は、シリコン基板をエッティングすることにより形成される場合は、シリコンの面方位によるエッティング速度の差を利用して、傾斜した反射面を容易に形成することができる。  
キャビティ部材を金属で形成する場合は、銅等の薄板を使用し、鍛造、エッチング加工等によりキャビティ部材を形成することができ、反射率の高い内側壁面とすることができます。
- [0018] 前記発光素子と前記パッケージ基板とが貼り合わされた後に、発光素子の素子基板が除去される場合は、透明な素子基板であっても通過光の損失を無くすことができ、光を通さない基板も使用することが可能になる。また、発光素子とパッケージ基板の熱膨張率の違いに起因するストレスを無くし、基板の反りを避けることができる。
- [0019] 前記発光素子は複数の発光部を備え、素子基板の素子電極面又は前記パッケージ基板の外部電極が設けられる面には、各発光部に供給する電源を選択的に接続又は切断するための給電選択部を備える場合は、ウエーハ状態において発光素子の輝度を計測し、その輝度に応じて各発光部への給電を設定することができる。これによって発光素子ごとの輝度のばらつきを減らすことができるため、従来必要であった選別を不要とし、製造コストを低減することができるようになる。
- [0020] 前記素子基板が透明基板である場合は、従来一般に用いられているサファ

イア基板等を用いて発光素子を形成し、ペアチップで実装される発光ダイオード又はチップサイズパッケージの発光ダイオードを構成することができる。

素子基板がシリコン基板である場合は、サファイア基板に比べてはるかに容易に低温でエッチング加工することができるため、発光素子に与えるストレスを低減することができる。また、素子基板をそのまま利用して、キャビティ部材を形成することができる。

## 図面の簡単な説明

[0021] 本発明について、本発明による典型的な実施形態の例を挙げ、言及された複数の図面を参照しつつ以下の詳細な記述にて説明する。同様の参照符号は図面のいくつかの図を通して同様の部品又は構成を示す。

[図1]従来の発光ダイオードの構造を説明するための断面図

[図2]発光素子をペアチップで実装する場合を説明するための断面図

[図3]複数の発光セルを配設した発光素子を説明するための断面図

[図4]透明部材及びキャビティを備える発光素子の概念を説明するための断面図

[図5]透明部材及びキャビティを備えるチップサイズパッケージの概念を説明するための断面図

[図6]マイクロキャビティの構造及びその制作工程を説明するための断面図

[図7]マイクロミラー及び光マイクロセルの構成を説明するための断面図

[図8]複数の発光部への給電を選択するために素子基板の素子電極面に設けた給電選択部を説明するための図

[図9]透明部材により、放射される光の広がりの調整手法等を説明するための断面図

[図10]シリコン基板上に半導体層を形成する工程を説明するための断面図

[図11]シリコン基板上に光マイクロセルを形成する工程を説明するための断面図

[図12]図11の工程により形成された光マイクロセルの構造を説明するため

## の断面図及び平面図

[図13]ベアチップ実装可能な発光ダイオード全体の構成を示す図

[図14]図11の工程により作成された発光素子を説明するための断面図及び斜視図

[図15]サファイア基板上に光マイクロセルを形成する工程を説明するための断面図

[図16]図15の工程により作成された発光素子を説明するための断面図及び斜視図

[図17]サファイア基板を用いたチップサイズパッケージの発光ダイオードの組立を説明するための断面図

[図18]図17の発光ダイオードの製造手順を説明するための断面図

[図19]シリコン基板を使用し、パッケージ基板に給電選択部を備えた発光ダイオードの組立を説明するための図

[図20]複数の発光セルから構成される発光素子を説明するための断面図

[図21]サファイア基板を使用し、パッケージ基板に給電選択部を備えた発光ダイオードの組立を説明するための図

[図22]発光素子の各種形態を説明するための断面図

[図23]図22(d)の発光素子と各種パッケージ基板を用いたチップサイズパッケージの構造を説明するための断面図

[図24]図22(c)の発光素子と熱可塑性基板を用いたチップサイズパッケージの製造手順を説明するための断面図

[図25]図24のチップサイズパッケージの具体的な製造工程を説明するための断面図

[図26]図22(d)の発光素子と熱可塑性基板を用いたチップサイズパッケージの具体的な製造工程を説明するための断面図

[図27]図22(a)の発光素子と熱可塑性基板を用いたチップサイズパッケージの製造手順を説明するための断面図

[図28]図22(c)の発光素子とガラスエポキシ基板を用いたチップサイズ

### パッケージの製造手順を説明するための断面図

[図29]図28のチップサイズパッケージの具体的な製造工程を説明するための断面図

[図30]図22(d)の発光素子とガラスエポキシ基板を用いた別のチップサイズパッケージの具体的な製造工程を説明するための断面図

[図31]図22(a)の発光素子とガラスエポキシ基板を用いたチップサイズパッケージの製造手順を説明するための断面図

[図32]シリコンのウェーハと発光素子及び発光ダイオードの関係を説明する図

[図33]図32の発光素子部の構造を説明するための平面図及び断面図

[図34]図32のパッケージ基板に設けられた給電選択部を説明するための断面図及び平面図

[図35]ウェーハ状態の発光素子及び発光ダイオードの関係を説明する図

### 発明を実施するための形態

[0022] 前記のとおり、本願発明の課題は、発光した光をできるだけ多く外部へ集光することができ、照射される光の方位分布の調整することができ、しかも、ウェーハ状態すなわち発光素子が分離される前の状態でチップサイズパッケージングが可能な光半導体装置を提供することである。また、その光半導体装置は、輝度ばらつきを低減することができるが好ましい。更に、サージが発生しない扱いが可能であり、必要な場合にはサージ吸収機能を備えることが好ましい。

発光素子で発光した光をできるだけ多く外部へ集光するためには、発光セルの発光層近傍にマイクロミラーを組み込み、発光層にて発生する光（1次発光）のうち発光層に沿った方向の光を集光するようにすることができる。また、蛍光体を備えて白色用の発光ダイオードとする場合には、その1次発光した光、及びそれに励起されて蛍光体で発光する光（2次発光）を集光するために、側面反射機能を有するマイクロキャビティを備えるようにすることができる。また、照射される光の方位分布の調整のためには、マイクロレ

ンズを組み込むことができる。また、輝度のばらつきの低減のためには、発光素子を複数個の発光セルに分離して形成し、所望の輝度に応じて必要な発光セルだけに通電する手段を持つ構成とすることができる。そして、チップサイズパッケージの手段としては、超小型のパッケージングを発光素子がウエーハ状態の時に行うことである。したがって、ウエーハ状態において、必要に応じて上記のマイクロミラー、マイクロキャビティ、蛍光体、マイクロレンズ等を形成可能であり、複数の発光セルの選択的な通電手段を備えることができることが好ましい。更に、電気サージからの保護のために、発光ダイオードの取り扱いが全てウエーハ状態で可能であり、必要な場合にはパッケージ基板に電気サージを吸収するバリスタ基材を用いる等の方法を採用可能であることが好ましい。

[0023] 図4及び図5に、前記課題を解決する光半導体装置の構造の概念を示す。ここでは、マイクロミラーを有しない1つの発光セルを備えた発光素子を使用する場合を例示する。図4は、その発光素子をペアチップで使用する場合の概念図であり、図5は、その発光素子をチップサイズパッケージに実装して使用する場合の概念図である。光を取り出す集光方向側の発光素子の表面を「発光面」と呼ぶ。

[0024] 図4(a)は、図2に示した発光素子16の発光面に、内側の側壁が傾斜した鏡面であるマイクロキャビティ175を貼り合わせ、そのマイクロキャビティ175内に蛍光体330を充填した構造を表わす断面図である。図4(b)は、透明部材として、放射される光束を狭角に絞るためのマイクロ凸レンズ520を示す。図4(c)は、(a)の発光素子に(b)のマイクロ凸レンズを貼り合わせて形成した発光ダイオード35の断面を表わしている。マイクロキャビティ175及びマイクロ凸レンズ520の外周は、発光素子の外周と同一サイズに形成されている。すなわちマイクロキャビティ及びマイクロ凸レンズを上面視した形状及び大きさは、前記発光面の形状及び大きさと同じである。

図4(a)中p、q及びrは、活性層で1次発光した光が進む方向を示し

ている。活性層から集光方向  $z$  に向かう光はそのまま進む（ $p$ ）。集光方向  $z$  とは反対向きの光は、反射膜 6 で反射されて集光方向  $z$  へ進む（ $q$ ）。集光方向  $z$  と略垂直すなわち活性層にほぼ平行な方向に向かう光（ $r$ ）は、多くは散乱され一部が側面方向へ洩れる。1次発光は波長が短く、1次発光した光のうち蛍光体 330 に入射した光は蛍光物質を励起して、波長の長い2次発光が生じる。2次発光した光が進む方向を、図中  $s$ 、 $t$  及び  $u$  等で示す。2次発光の光は、集光方向  $z$  に対して平行な方向  $s$ 、斜め方向  $t$ 、垂直な側面方向  $u$ 、及び集光方向とは反対の発光層方向、の全方向へ放出される。集光方向  $z$  への光  $s$  及び斜め方向への光  $t$  はそのまま放出され、側面方向への光  $u$  はマイクロキャビティの内側壁面により反射して集光方向  $z$  へ向けられる。発光層方向への光は導電反射層により反射され集光方向へ戻る。このようにして、1次発光及び2次発光した光はマイクロキャビティの集光方向  $z$  側の開口から放出される。図 4（c）に示すようにマイクロキャビティ上にマイクロ凸レンズ 520 を貼り合わせた場合には、2次発光する斜め方向の光  $t$  や、マイクロキャビティにより反射された光  $u$  は、マイクロ凸レンズ 520 により屈折されて集光方向  $z$  寄りに出射される（ $t_2$ 、 $u_2$ ）。マイクロ凸レンズは、1次発光の光も2次発光の光も屈折させて、全体として光束を  $w_1 - w_1$  間から  $w_2 - w_2$  間へ狭くするために設けられている。この様に出射光の方向を狭くすることにより、その後に光路を広げたり、より絞ったりすることが容易になる。尚、以下の図面において、1次発光及び2次発光の光が進む方向は本図と同様の参照符号を付して表示する。

[0025] 図 5 はチップサイズパッケージとした光半導体装置の概念図（断面図）である。図 5（c）はサファイア基板 200 上に形成した前記発光素子 16、（d）は接合材（インターポーラ）350、（e）はパッケージ基板 40 を示している。パッケージ基板 40 及びインターポーラ 350 の外周は、発光素子の外周と同一サイズに形成されている。パッケージ基板 40 には、発光素子の素子電極（フリップチップ電極）7 及び 8 と接続するための内部電極 61、外部との接続用の外部電極 60、及び内部電極 61 と外部電極 60 と

を接続するビア 50 が設けられている。発光素子 16 がウエーハ状態のままで、そのウエーハサイズで形成されたインターポーザ 350 及びパッケージ基板 40 と貼り合わせることにより、パッケージングと電極間接続を同時に行うことができる。その後、サファイア基板 200 はリフトオフ技術にて除去される。サファイア基板が除去された発光素子を用いて構成される発光ダイオードの態様を、図 5 (g) 及び (h) に例示する。先ず、図 5 (h) に示す発光ダイオード 137 は、上記発光素子の発光面上に、透明部材として透明プラスチック板 521 を貼り合わせたものである。透明プラスチック板により、サファイア基板が除去された後の発光部を保護することができる。透明部材は透明プラスチック板に限られず、凸レンズ、凹レンズ等とともにできる。さらに、透明部材に蛍光体を含浸させることにより、発光素子の 1 次発光と透明部材における 2 次発光とを合わせて白色光とすることもできる。次に、図 5 (g) に示す発光ダイオード 37 は、上記発光素子の発光面上に、マイクロキャビティ及びその空洞部に充填された蛍光体 330 と、透明部材（マイクロ凸レンズ 520）とを備えている。この発光ダイオード 37 は、以下のような手順で作ることができる。サファイア基板が除去された発光素子と、図 5 (b) に示すマイクロキャビティ 175 を形成したシリコン基板 173 とをウエーハ状態で貼り合わせる。シリコン基板 173 の底面には、予めシリコン酸化膜 180 が形成されている。マイクロキャビティ 175 を囲む側壁面 411 は、傾斜した鏡面である。白色発光ダイオード用途では、マイクロキャビティ 175 内に蛍光体 330 が充填される。更に、図 5 (a) に示すマイクロ凸レンズ 520 を貼り合わせて、ウエーハ状態で発光ダイオードの構造を完成させる。その後、発光素子ごとに分割することにより、図 5 (g) に示すような発光ダイオード 37 が完成し、マザーボード 340 に実装することができる。マイクロキャビティ 175 及びマイクロ凸レンズ 520 の作用効果は図 4 の場合と同様であり、1 次発光及び 2 次発光した光を集光方向に取り出すことができ、放射する光束の広がる角度が狭められた発光ダイオードが実現できる。白色発光ダイオードの場合には蛍光

体330により2次発光をさせるが、本光半導体装置の構成は、蛍光体を用いない発光ダイオードにも適用できる。また、透明部材として、マイクロ凸レンズ520の代わりに凹レンズとしてもよいし、透明プラスチック板を用いてもよい。また、マイクロキャビティを使用しないで、蛍光体が実装されてもよい。その場合、外周が発光素子の素子基板の外周と同一サイズの板状の蛍光体を、上記のマイクロキャビティの代わりに発光素子の発光面上に貼り付ければよい。そして、発光面上に載置した蛍光体の上に、マイクロ凸レンズ等透明部材を備えることができる。

上例の発光ダイオード137、37のいずれの場合も、発光ダイオードを外部に接続するための電極はフリップチップではなく、パッケージ基板（普及しているプリント基板等）に設けられた外部電極60であるため、マザーボードへの実装を汎用機で行うことができる。

[0026] 上記光半導体装置の概念について、更に具体的に説明する。図4に示した発光ダイオード35は、サファイア基板200を用いた発光素子16の上へマイクロキャビティを貼り合わせ、蛍光体を充填し、更にマイクロ凸レンズを貼り合わせて形成されている。その工程はウエーハ状態で行われ、電気的検査及び光学的検査を経て個別の発光ダイオードに分割することができる。このような構造の課題は、サファイア基板が存在するため、サファイア基板から横方向へ光が漏れる（ $r'$ ）という点である。この解決策の1つは、図5に示した発光ダイオードのようにサファイア基板200を除去することである。別の解決策として、発光素子の基板にシリコン基板を用いる方法がある。シリコン基板を用いることにより、シリコン基板自身にマイクロキャビティを形成することができる（詳しくは後述）。それによって、別のマイクロキャビティ用の基板を貼り合わせる工程が不要となると共に、基板の横方向への光の漏れを解消できる。更に、素子基板であるシリコンの多くの部分がキャビティとして空洞になるため、フリップチップ接続によって発光素子とマザーボードとの間に生じる応力が緩和されるという重要な効果も得られる。これにより、フリップチップ実装時のアンダーフィルと呼ばれる樹脂で

強度を増加させる工程が、多くの用途で不要になる。

[0027] 図5（c）に示した発光素子に備えられるフリップチップ電極7及び8は、例えば、スタッドバンプで約30μmの高さに形成し、高さの均一化のためのレベリングを行って約20μmの高さとすることができる。その他、フリップチップ電極は金メッキで形成することも可能である。図5（d）のインターポーラ350は、厚さ約50μm程度で、PEEK（ポリ・エーテル・エーテル・ケトン）材及びPEI（ポリ・エーテル・イミド）材等をベースとする熱可塑性の材料からなり、400°Cでは液状となるため約300°Cで貼り合わせを推奨される材料を用いることができる。図5（e）に示したパッケージ基板40として、耐熱性材料からなるプリント基板等を用いることができる。パッケージ基板にはビア50が作り込まれており、ビア50により銅等からなる外部電極60と内部電極61とが接続されている。ビア50には銀又は銅等を主材料とする金属を用いることができる。発熱が大きい用途では、できるだけ多数のビアを設けることにより熱抵抗を下げることができる。図5（c）～（e）の部材をウエーハの状態で合体させて約300°Cの真空中で加圧し、その後冷却して硬化させることによりウエーハ状態でパッケージを完成させることができる。この状態でサファイア基板200をリフトオフ技術で除去する。そしてマイクロキャビティを貼り合わせ、蛍光体を充填し、マイクロ凸レンズを貼り合わせる各工程と、電気検査及び光学検査をウエーハ状態で行い、その後に個別の発光ダイオードに分割することができる。

[0028] 前記発光素子16は、サファイア基板200、N+型半導体2、N型半導体3、活性層4、P型半導体5、反射導電膜6、フリップチップ電極7及び8からなっている。発光素子として、図3に示したような発光セルが複数個に分割されて構成されている発光素子を用いることも可能である。その場合、各フリップチップ電極と各発光セルとの接続は、電源配線層90を設けることにより自由に行うことができる。また、パッケージの土台となるパッケージ基板40として、熱可塑性の材料を用いた基板を使用することができる

。熱可塑性のパッケージ基板40と、サファイア基板を素子基板とする発光素子とは、熱可塑性の材料からなるインターポーザ350を介して貼り合わせることができ、該材料の軟化温度である300°C程度で真空中において接着されることにより密着性が確保される。また、その接着部の端部は熱可塑のインターポーザにより封止されるため、インターポーザは素子分割後の保護材としての役割を果たしている。パッケージ基板の内部電極61を構成する導体の表面が銅であり、フリップチップ電極の材料が金である場合、これらの金と銅との間が共晶温度以上である300°C程度で貼り合わされるため、フリップチップの金とパッケージ基板側の銅とは共晶結合して、強度と導電性が確保される。

化合物半導体により発光層が形成された発光素子とパッケージ基板とが貼り合わされた後に、発光層の基板であるサファイア基板はリフトオフ手法等により除去される。サファイア基板の除去は前記理由の他、サファイアの硬度が高く、発光素子ごとに分割する際のフルカットに障害ともなるからである。サファイア基板が除去された状態では、化合物半導体を支える基板はパッケージ基板40となる。この状態で、発光面であるN+型半導体2の上に、シリコン酸化膜180を形成したシリコンウエーハ173を貼り合わせる。そのシリコンをエッチングすることによりマイクロキャビティ175を形成することができる。

[0029] 前記発光ダイオード35、37、137等を実現するには次のような課題がある。マイクロキャビティの形成方法、1次発光し側面方向に向かう光の捕捉方法、マイクロ凸レンズ等透明部材の形成方法、発光ダイオードから出射された光束の広がりを所望の広がりに調整する方法、光の輝度のばらつきの低減方法、静電気等のサージ対策である。また、図5に示したような発光素子とパッケージとを一体化するパッケージング方法である。

図6は、マイクロキャビティの構造及びその製造手順を説明するための断面図である。図6(b2)に示すマイクロキャビティ175は、厚さ約百μmのシリコンウエーハ173に内側壁面が傾斜した凹部を設けて、その凹部

の底面は光を通過し、凹部の側壁面は光を反射する構造である。上記凹部は、(110)面方位のシリコン基板173を用いて、KOH液等でエッティングすることにより形成することができる。そのエッティングがシリコンの(111)面で停止することを利用して、54°に傾斜した内側壁面411を形成することができる。シリコン基板173の底面には、光学的には透明なシリコン酸化膜180がシリコンのエッティングストップーを兼ねて設けられている。シリコンの内側壁面411は54度の傾斜角度を持った鏡面となり、光の反射面となる。図6(a2)は、シリコン基板173の下面にシリコン酸化膜180を形成し、上面にフォトレジスト265を形成した状態を表わす。フォトレジスト265をマスクとしてKOH水溶液でシリコンをエッティングすることができ、破線410の位置がエッティングの終止面である。図6(b2)はエッティング後にフォトレジストを除去した状態を示し、マイクロキャビティ175が形成されている。エッティング後の内側壁面411が、シリコン結晶面で決まる54°の角度となる。フォトレジストの代わりにシリコン酸化膜を用いてもよい。すなわち、シリコン基板上面にシリコン酸化膜を形成し、そのシリコン酸化膜をエッティングすることによりフォトレジスト265と同様のパターンを形成する。形成されたシリコン酸化膜をマスクとして、シリコン基板をエッティングすることができる。図6(a2)及び(b2)に示したシリコン基板を用いるマイクロキャビティの形成法は、発光素子の基板がサファイアである場合には、サファイア基板を除去した後に適用することができる。発光素子の基板がシリコンである場合には、素子基板のシリコンをそのままマイクロキャビティの母材とすることができますため、より簡素な構造とすることができる。図6(a1)は、シリコン基板170を素子基板として化合物半導体層(発光部)84が形成された状態を示している。シリコン基板170と化合物半導体層84の間にはシリコン酸化膜180が設けられている。シリコン基板170をエッティングするためのマスクとして、フォトレジストの代わりにシリコン酸化膜185が形成してあり、シリコン基板170はKOH水溶液等を用いてエッティングされる。図6(b1)

) は、そのエッティングによってマイクロキャビティ 175 が形成された状態を示す。以上に説明した例ではいずれもシリコンを用いてマイクロキャビティを形成したが、マイクロキャビティはシリコンに限らず金属を用いて形成することもできる。図 6 (a 3) 及び (b 3) は、銅のスタッドフレームを用いる例を示す断面図である。図 6 (a 3) に示されるマイクロキャビティの母材 540 は、板厚 0.2 mm 程度の銅板を用いて、鍛造技術により底部 541、傾斜した側壁 544 が成形されている。この状態から、全面等方エッティングにより全体を上部からエッティングして、図 6 (b 3) に示すスタッドフレームの形状にすることができる。底部 542 は金属がエッティングで取り去られ、光が通過する部分となる。この後にニッケルメッキ、銀メッキ等をすることにより、高反射率の内側壁面 544 を実現することができる。この様な銅のフレームは、半導体パッケージで多く用いられているリードフレームと同様な技術で製作することができる。スタッドフレームをウェーハと同じ大きさの領域に形成することにより、化合物半導体のウェーハと貼り合わせることができる。貼り合わせには透明接着剤等を用いることができる。

[0030] 図 7 は、1 次発光した側面方向の光を捕捉するために、発光素子内にマイクロミラーを設ける概念を説明する断面図である。図 7 (a) に示す発光素子は、サファイア基板 200 の上に N 型半導体 3、活性層 4、P 型半導体 5 からなる半導体層を備えている。活性層 4 から発生する光のうち、集光方向 z に向かう光はそのまま放出され (p)、反対方向への光は背面反射膜 6 で集光方向へ反射されて放出され (q)、側面方向の光は発光層の近傍に設けられたマイクロミラー 70 により反射され集光方向へ向けて放出される (r)。ここで、マイクロミラーの傾斜角  $\alpha$  は 0 度から 90 度以内の値である。本発明においては、発光セルの側面を囲んでマイクロミラー 70 を形成することができる。図 7 (b) はこの概念に基づいて構成する発光素子の例を表す。この発光素子は 1 つのサファイア基板 200 上に形成されており、複数の発光セル 80 を備えている。本図の発光素子は、横方向に 4 つ、奥方向に 2 つ (図示せず)、の合計 8 つの発光セルを備えている。各発光セル 80 は

、図7（a）と同様の半導体層を備える。そして、各発光セル80は側面をマイクロミラー71によって囲まれ、それぞれ光マイクロセルを構成している。発光セルの側面方向に向かう光はマイクロミラー71により反射され、集光方向へ向けて放出される（r）。また、各光マイクロセルの下側には導電反射膜（背面反射膜）275が形成されている。各光マイクロセル内の半導体層には、フリップチップ電極7及び8から配線層90を経て電源が供給される。後述するように、シリコン基板を用いても同様の構造を形成することができる。

[0031] 次に、図8を参照し、発光素子の輝度のばらつきの低減方法を説明する。図8（a）は、8個の光マイクロセルからなる発光素子を表わす斜視図である。各光マイクロセルは、発光セル80とそれを囲むマイクロミラー71を備えて構成されている。発光素子は、マイクロミラーを有しない発光セルを用いて構成されていてもよい。電源配線層310とフリップチップ電極との間に薄膜配線層315が設けられている。この薄膜配線層には、図8（c）に示す電源配線パターンからなる給電選択部が形成されている。8個の光マイクロセル1～8の発光部の面積は、例えば、図8（b）に示すような重み付けがしてある。すなわち、各光マイクロセルの発光部の面積は、光マイクロセル1（421）をAとして、光マイクロセル5（425）がA、光マイクロセル3（423）がA/2、光マイクロセル6（426）がA/4、光マイクロセル4（424）がA/8とされている。発光素子から出力される光量は発光部の面積に対応するため、通電する光マイクロセルの個数を変えることによって発光素子から放出される光の総量を調整することができる。例えば、当初に8個の光マイクロセルの全てに電源を供給して、全体の輝度を測定する。このときの光量すなわち発光部の総面積は（5+7/8）Aである。この状態で測定された輝度に応じて選択的に光マイクロセルへの電源供給を接続又は遮断することにより、（1/8）Aを最小単位として光量を調整することができる。図8（c）により電源接続の例を説明する。フリップチップN電極322と全ての光マイクロセルのN電極とは接続されている

。フリップチップP電極321からは、図8（b）にP0と表示された全ての光マイクロセル（1、2、7及び8）のP電極に接続されている。また、P1、P2、P3、P4と表示された各光マイクロセル（5、3、6、4）のP電極には、それぞれ配線441、442、443、444によりフリップチップP電極321が接続されている。当初には、それらの配線によりP0～P4の全ての光マイクロセルへ電源が供給される。そして、全体の輝度を測定した後に、必要な光マイクロセル以外には電源を供給しないようにすることができる。すなわち、各光マイクロセルへ電源を供給する各配線部に電源切断部（445）を設け、光量に応じて配線441～444を選択的に切断する。本例では、最大使用面積（5+7/8）Aと最小使用面積4Aとの間で、発光面積すなわち出力される光量を適宜選択することができる。より広い範囲ではらつきを調整したい場合には、同様の考え方で発光セルの数や面積比等を設定し、それに応じた配線部を設けることにより可能である。また、各光マイクロセルへ電源を供給する各配線部を選択的に接続するようにもよい。また、各光マイクロセルの発光部の面積に重み付けをしていないで、各光マイクロセルへ供給する電源を選択的に接続又は切断するようにしてもよい。

[0032] 図9により、放射される光の広がりの調整手法を説明する。図9（a）はマザーボード340に実装された発光ダイオード37を示す。光は、マイクロ凸レンズ520がなければ広い角度範囲（w1-w1間）に放出されるところ、マイクロ凸レンズ520によって集光方向zを中心とする狭い角度範囲（w2-w2間）に絞られる。狭い角度範囲で光を照射する用途に適している。図9（b）は、上記発光ダイオードから集光方向に光拡散板又は光拡散レンズ600を設ける例を示す。発光ダイオードのマイクロ凸レンズ520により狭い角度範囲（w2-w2間）に絞られた光束は、光拡散レンズ600により広い角度（w3-w3間）に広げられる。このようにマイクロ凸レンズ520と拡散レンズ600とを組み合わせることによって、光の照射角度を精度よく設定することができる。この様な構成は、液晶テレビのバッ

クライトのような広角で広い面積を均質に照射する用途に最適である。具体例として、図1に示したようなパッケージ内に発光ダイオード37を収容する場合を、図9(c)に示す。このパッケージの上面は、キャップの代わりに拡散レンズとして凹レンズ601が用いられている。このような構造にすれば、凹レンズ601と発光ダイオード37に備えられた凸レンズ520との組み合わせにより、所望の広がりをもった光束を作り出すことができる。

[0033] なお、静電気に関しては、特にGaN系の発光素子はサージに弱いため配慮が必要である。本発光素子及びそのチップサイズパッケージは、ウエーハ状態での加工や実装が可能であり、またウエーハ状態からエキスバンドテープに貼りつけた状態で取扱うこともできるため、ハンドリング中などに静電気にさらされる機会を減少させることができる。更なる静電気対策が必要な用途には、パッケージ基板に非直線性抵抗特性をもつ基材(バリスタ基板)を用いることにより、静電気吸収機能を持たせることができる。

[0034] 発光素子の製造工程及び構造を、図10～12を参照しつつ説明する。図10は、素子基板としてシリコン基板を使用し、シリコン基板上に半導体層を形成する製造方法を示す。発光層はサファイア基板上に形成されることが多いが、シリコン基板上に単に化合物半導体を形成することは困難である。サファイア基板ではなくシリコン基板上に半導体層を設ける意味は、後にシリコン基板をエッチングにより除去することが容易である点にある。サファイアの場合、極めて硬いために部分的除去は困難であり、また、レーザ等を用いて界面を部分的ながら高温で剥離するリフトオフ手法が必要になる。これに対し、シリコンの場合には、KOH液等を用いたエッチングにより100°C以下で容易に除去できる。図10(a)に示すように、公知の手法を用いて、サファイア基板201上に半導体層としてP型GaN層240、活性層230、N型GaN層220を形成する。その上に、新規の手法として、酸化インジウム膜190を形成し、更にその上にシリコン酸化膜180を形成する。酸化インジウム膜190は、N型半導体層を低抵抗にする目的、及び半導体エッチング時の終点管理の目的で備えられる。シリコン

酸化膜 180 は、シリコン基板との貼り合わせ用に備えられる。貼り合わせの事前処理として CMP (ケミカル・メカニカル・ポリッシング) 加工することも可能である。しかし、本例の構成では、シリコン酸化膜の下地がすべて平坦であり、シリコン酸化膜も平坦な膜となるため、CMP 加工は必ずしも要しない。図 10 (b) は、後に発光素子の基板となるシリコン基板 170 を示す。図 10 (c) に示すように、半導体層、酸化インジウム膜及びシリコン酸化膜が形成されたサファイア基板とシリコン基板 170 とを貼り合わせる。その後、図 10 (d) に示すように、サファイア基板 201 をリフトオフして除去する。図 10 (c) に示す状態では金属及び有機物が含まれていないため温度的制約が緩和され、容易にサファイアをリフトオフすることができる。図 10 (d) に示す状態で、シリコン基板 170 が発光素子用の基板となる。

[0035] 図 11 は、光マイクロセルの製造工程の例を表わす断面図である。図 11 (a) は、図 10 (d) に示した基板上の表面にフォトレジスト 260 のパターンを形成した状態を表している。図 11 (b) は、P 型半導体層 240 、活性層 230 及び N 型半導体層 220 を、テーパエッチング技術で傾斜面 (テーパ部) 250 を設けるようにウェットエッチングした状態を示している。その後フォトレジスト 260 を除去し、導電反射膜 270 を全面に積層する。図 11 (c) は、フォトリソグラフィ技術により、その導電反射膜 270 が P 型半導体層 240 部の上面に残るように加工した状態を示している。図 11 (d) は、その状態からシリコン酸化膜 280 を全面に形成した状態を示している。図 11 (e) は、その状態にフォトレジストを設け、電極部 281 及び 282 をテーパエッチング加工した後、フォトレジストを除去した状態を示している。電極部 282 の側面は、テーパエッチングにより傾斜面になっている。図 11 (f) は、全面に金属薄膜を積層した後、フォトリソグラフィ技術を用いて上記電極部に P 型電極 290 及び N 型電極 291 を形成した状態を示している。以上によって光マイクロセルが形成されている。

[0036] 図12は、上記のように形成された光マイクロセルの構造を説明する図である。図12(a)は、上記光マイクロセルの断面を表わしている。テーパエッチングにより側面が傾斜して形成された半導体層が発光セル80となる。その半導体層の傾斜部を覆うシリコン酸化膜280上に形成されたN型電極291の金属膜が鏡面となり、マイクロミラー71が構成されている。このマイクロミラー71により発光セル80の全周が囲まれ、光マイクロセルが構成される。図12(a)において、集光方向zは下方となる。この状態ではシリコン基板170が光を通さないが、シリコン基板が除去された後に、光マイクロセルの活性層230で発生する光が進む方向をp、q及びrで表わしている。活性層230から集光方向zに向かう光はそのまま放出され(p)、集光方向zとは反対方向に向かう光は、導電反射膜270により反射されて集光方向zに放出される(q)。活性層230に沿った方向の光は、マイクロミラー71により反射されて集光方向に放出される(r)。図12(b)は、上記光マイクロセルが並べて形成されている平面図である。図中にP型電極290及びN型電極291の領域が示されている。また、各発光セルの活性層230の領域は境界231で示されている。これらの境界は、電界が集中しないように4隅が丸みを持つように形成されている。

[0037] 図13は発光素子全体を説明するための図である。図13(a)は発光素子の斜視図であり、(b)は断面図である。分かり易くするために、ウエーハ状態で形成されている発光素子のうちの1つを描いた図である。1つの発光素子は、素子基板上に1又は2以上の区画された発光部(発光セル)80を備えて構成される。1つの発光部は、図12に示したように、1つずつ区画して形成された半導体層からなる。そして1つの発光セルの側面をマイクロミラーによって囲むことにより、1つの光マイクロセルが構成されている。すなわち、1つの発光素子は1又は2以上の光マイクロセルから構成される。図13に示した発光素子は、横方向4×奥行方向2の計8つの光マイクロセルを備えている。この発光素子は、シリコン基板170の上に、複数の発光セル80とマイクロミラー71を備えた光マイクロセル層300が形成

されており、その上に導電反射膜層 275 が形成されている。1つの発光セル 80 とその全周囲に設けられたマイクロミラー 71 とにより、1つの光マイクロセルが構成されている。各発光セル 80 の P 型電極及び N 型電極に接続される電源は配線層 310において配線され、フリップチップ電極 321 及び 322 を具備するフリップチップ電極層 320 から各電源が供給される。フリップチップ電極は図 11 に示した工程には示されていないが、ウェーハ状態で金の薄膜を形成してメッキにより厚くし、エッティング加工することにより形成することができる。また、ウェーハ状態でスタッドバンプ手法により金バンプを設け、その後に平坦化して形成してもよい。また、配線層 310 とフリップチップ電極層 320との間には薄膜配線層 315 が設けられている。薄膜配線層 315 は、図 8 で言及した給電選択部が設けられている。図 13 (a) 及び (b) に示すシリコン基板 170 の集光方向側の面には、マイクロキャビティを形成するためのシリコン酸化膜 185 が形成されている。また、シリコン酸化膜 180 は、シリコンを KOH 水溶液等によりエッティングする際のストッパーとなる。図 13 (c) は、エッティングにより形成されたシリコンの側壁面 411 に囲まれたキャビティ部に蛍光体 330 を充填し、更にマイクロ凸レンズ 520 を貼り合わせた状態を示している。図中に示す光の進行方向については前述のとおりである。図 13 (c) の状態までをウェーハ状態で形成した後、個別の発光素子として切り分ければ、ベアチップ実装可能な発光ダイオード 34 が完成する。

[0038] 図 14 は、図 11 の工程により作成した発光素子を表す図であり、この発光素子 19 は後述するチップサイズパッケージに実装される。断面を表した図 14 (a)において、p、q 及び r は発光層からの光の方向を示しているが、この状態ではシリコン基板 170 が光を通さないため、参考までに示したものである。後の工程でシリコン基板 170 をエッティングすることによりマイクロキャビティが形成され、光が通過するようにされる。図 14 (b) は発光素子 19 の斜視図である。本例では、8 つの発光セルに給電するための素子電極としてフリップチップ電極 321 及び 322 が計 6 個具備されて

おり、このフリップチップ電極は後にパッケージ用のパッケージ基板と接続される。

[0039] 図15はサファイア基板200上に光マイクロセルを形成する手順を示す。図11に示した工程とほぼ同様である。図15（b）に示す半導体層のテープエッティングにおいて、N+型半導体膜210を化合物半導体エッティングのストッパーとすることができる。

[0040] 図16は、図15の工程により作成された発光素子18の断面図及び斜視図である。素子基板にサファイア基板を用いていることを除き、図14に示した発光素子とほぼ同様である。

[0041] 図17は、前記発光素子18（図16）、前記発光素子19（図14）等を用いるチップサイズパッケージの基本構成を説明するための断面図である。図17（c）に示すサファイア基板を用いた発光素子18と、図17（e）に示すパッケージ基板40とが、図17（d）に示すインターポーラ350を介して貼り合わされる。それにより、発光素子18のフリップチップ電極320（前記321及び322）と、パッケージ基板40に設けられた内部電極61とが接し、電気的に接続される。その後に、発光素子18のサファイア基板をリフトオフ手法により除去し、代わりにマイクロキャビティの母材となるシリコン基板173（図17（b1））を透明接着剤480で貼り合わせる。発光素子として、シリコン基板を用いた発光素子19を用いる場合には、上記リフトオフ工程とシリコン基板173の貼り合わせは不要である。図17（b1）のシリコン基板173にはシリコン酸化膜180が形成されているが、発光素子19のシリコン基板170上には既にシリコン酸化膜180が形成されているため、シリコン基板173と同じ構成となる（以下、マイクロキャビティ用の「シリコン基板170又は173」をまとめて「シリコン基板173」という。）。いずれの発光素子を用いた場合にも、これ以降の工程は共通となる。この段階では、発光素子18を用いた場合には、パッケージ基板40と、サファイア基板が除去された発光素子と、シリコン基板173とが貼り合わされた状態である。また、発光素子19を用

いた場合には、パッケージ基板 40 と、シリコン基板 170 上に形成された発光素子とが貼り合わされた状態である。いずれの場合も、この状態では、化合物半導体から集光方向にはシリコン酸化膜 180 及びシリコン基板 173 が存在する。図 17 (b 1) に示すシリコン酸化膜 185 は、シリコン基板 173 をエッチングする為のマスクとなる部分である。シリコンのエッチングを KOH 水溶液中で行うときには、パッケージ基板側を保護するために、ウエーハより大きなパッケージ基板にワックス等を塗布して耐アルカリ性とし、KOH 液がエッチングすべきシリコン面だけに触れるようにする。以上は、シリコン基板 173 を用いてマイクロキャビティを形成する例を説明したが、マイクロキャビティとして図 6 で説明した銅のスタッドフレーム 540 を用いてもよい。図 17 (b 2) に示す銅スタッドフレーム 540 を、サファイア基板がリフトオフにより除去された化合物半導体面に、透明接着剤 480 を用いて貼り合わせる。銅のエッチングを塩酸等で行うときには、パッケージ基板側を保護するために、ウエーハより大きなパッケージ基板にワックス等を塗布して耐酸性とし、塩酸等がエッチングすべき銅フレーム面だけに触れるようにする。これらのエッチング終了後にワックス等を取り除き、更に、ウエーハ状態で図 17 (a) に示すマイクロ凸レンズ 520 を透明接着剤 480 により貼り合わせる。これによりチップサイズパッケージがウエーハ状態で完成され、電気的検査及び光学的検査を行うことができる。そして発光素子ごとに分離すれば、個々の発光ダイオードが得られる。

前記のとおり、マイクロキャビティ及び蛍光体を用いないで発光ダイオードを構成することもできる。その場合、素子基板が除去された発光素子上にマイクロ凸レンズを貼り合わせればよい。また、マイクロ凸レンズに代わり、凹レンズや透明プラスチック板等を用いることができる。また、パッケージ基板の外部電極 60 をパッケージ基板 P 電極 331 及び N 電極 332 として形成し、図 8 において説明した給電選択部と同様な配線パターンにより給電選択部を設けておくことができる。

また、マイクロキャビティを使用しないで、蛍光体が実装されてもよい。

この場合、図17（b3）に示すような蛍光体330を、上記のマイクロキヤビティの代わりに発光素子の発光面上に貼り付ければよい。この蛍光体の外周は、発光素子の素子基板の外周と同一サイズとすることができる。発光面上に載置した蛍光体の上に、マイクロ凸レンズ等透明部材を備えることができる。

[0042] 図17に示した構成において、発光素子、パッケージ基板及び接合材（インターポーザ）の種類や材料は、適宜に選択して組み合わせることが可能である。発光素子の基板として、サファイア等の透明基板を用いてもよいし、シリコン等の光を通さない基板を用いることもできる。1つの発光素子に備えられる発光セルの数は、1つでもよいし2以上でもよい。また、各発光セルの周間にマイクロミラーを備えて光マイクロセルが構成されてもよいし、マイクロミラーを備えないで構成されてもよい。パッケージ基板としては、熱可塑性プリント基板、非直線性抵抗特性をもつ基板（バリスタ基板）、ガラスエポキシプリント基板、セラミックス基板、金属基板（金属ベース基板）等を選択することができる。接合材（インターポーザ）としては、使用するパッケージ基板に応じて、熱可塑性材料、異方性導電接着剤等を用いることができる。例えば、熱可塑性プリント基板や金属基板を用いる場合には、熱可塑性材料を接合材に使用することができる。また、ガラスエポキシプリント基板を用いる場合には、異方性導電接着剤を接合材に使用することができる。なお、発光素子、パッケージ基板及び接合材の材料、組み合わせ等は、ここに挙げた例に限定されない。

熱可塑性プリント基板と発光素子とは、熱可塑性のインターポーザを用いて貼り合わせることができる。この場合、約300°Cで貼り合わせるため、発光素子のフリップチップ電極を構成する金バンプと、パッケージ基板の内部電極の銅とが共晶結合し、理想的な金属接続が得られる。熱可塑性プリント基板の代わりに金属基板を用いる場合も同様である。特にアルミニウムや銅を素材に含む基板は熱伝導性に優れるため、高輝度の白色発光ダイオード等、高い放熱性が求められるチップサイズパッケージに適する。パッケージ

基板として、普及しているガラスエポキシ基板を用いることもできる。但し、ガラスエポキシ基板はその耐熱温度が約200°C以下と低いため、前記熱可塑性のインターポーザを使うことができない。そこで、ウエーハ状態の発光素子とガラスエポキシ基板とを、異方性導電接着剤を介して貼り合わせる。これにより約100°Cで貼り合わせを行うことができる。電極間の接続は、直径10μm程度の金粒子により行われる。この接合材料は、液晶におけるガラス基板と回路基板との接続に用いられているヒートシール材料と同じである。この電気接合は、金粒子を介するため0.1Ω程度の接触抵抗となり、大電流が必要な用途には適さないが、駆動電流が数十mA程度である用途（例えば、面発光の液晶バックライト等）では十分に用いることができる。この構成の特徴は、技術的には既存材料の組み合わせにより本チップサイズパッケージを形成できる点にある。また、発光素子の基板としてシリコン基板を用いる場合には、シリコンはKOH水溶液中で100°C以下と低い温度で除去できるため、耐熱性に劣るガラスエポキシ基板を用いても本チップサイズパッケージを容易に形成することができる。

[0043] 図18は、図17に示した構成で、マイクロキャビティを形成するためのシリコンのエッチング工程を説明するための断面図である。図18(a)は、前記発光素子18とパッケージ基板40とがインターポーザ350により貼り合わされた状態を示す。図18(b)は、その後サファイア基板200が除去された状態を示す。図18(c)は、その後、片方の全面にシリコン酸化膜180が形成されたシリコン基板173を貼り合わせた状態を示す。図18(d1)は、次いでシリコンをエッチングするパターンに合わせてフォトレジスト265を形成した状態を示す。発光素子にシリコン基板170を用いている場合には、パッケージ基板との貼り合わせの前に、シリコン酸化膜185でこのマスクパターンを形成しておく方が便利である。図において、シリコンのエッチング終止面410が示されている。図18(e)は、シリコンのエッチング終了後、マスクの機能を果たしたフォトレジスト又はシリコン酸化膜を除去した状態を示している。このように、シリコンを用い

て、傾斜した内側壁面411を備えたマイクロキャビティ175を形成することができる。前記のとおり、マイクロキャビティとして銅スタッドフレーム540を用いることも可能である。図18(d2)は、図18(b)の状態にスタッドフレーム540を透明接着剤480で貼り合わせた状態を示している。この状態から銅を塩酸などで等方エッチングすることによりマイクロキャビティ175を形成することができる。銅の傾斜した内側壁面に銀メッキを施すことにより反射率の高い側壁面を容易に形成できる。

- [0044] 図4、5及び17に示したマイクロ凸レンズ520は、透明樹脂材料を使用し、ウェーハ上に配列された発光素子に対応した位置に適宜の凸レンズ形状となるように樹脂成型することにより、ウェーハと同じサイズで作ることができます。透明部材を凸レンズとする代わりに凹レンズとしたり、透明プラスチック板としたりする場合も同様である。
- [0045] 以上の様にして、図4及び5により説明した基本概念を実現するための基本的要素であるマイクロキャビティの形成、発光素子の発光面上又はマイクロキャビティ上への透明部材の貼り合わせ、マイクロミラーの形成、チップサイズパッケージの構造、及び複数の発光セルによる輝度の調整手段等が実現される。
- [0046] 本チップサイズパッケージにより、完成品の持ち運びはウェーハ状態若しくはパッケージ基板が分離されていない状態、又はエキスパンションシートに貼った状態で行うことができる、また、マザーボードへの実装も同様な状態で行うことができる。これにより、静電気が極めて発生し難い状態でマザーボードへの実装までを行うことができるため、パッケージ内に静電気対策用の素子は必ずしも必要とされない。マザーボードに予め双方向ツェナーダイオードのような保護素子を実装しておけばよい。特に、液晶のバックライト用途の様に面発光で多数の発光ダイオードをマザーボードに実装するような用途ではこの手法がコスト面でもメリットが大きい。静電気対策が必要な場合には、チップサイズパッケージの基板にバリスタ基板を用いることにより、静電気吸収機能をバリスタ基板に持たせることができる。これにより、静電

気に強いチップサイズパッケージとすることができます。

[0047] 図19に、本発明の実施例として、チップサイズパッケージによる基本構成を示す。図19(e)に示す発光ダイオード39は、図18で説明した工程により、シリコン基板170を用いた発光素子19(図19(b))とパッケージ基板40(図19(d))とが貼り合わされ、その後シリコン基板170にマイクロキャビティが形成され、更にマイクロ凸レンズ520(図19(a))が貼り合わされて構成されている。発光素子19は、複数の光マイクロセルが形成された光マイクロセル層300を備えている。上記で、発光素子19とパッケージ基板40とは、インターポーラ350(図19(c))を挟んで、真空中で約300°Cの温度に約30分間保つことにより貼り合わされる。その後、シリコン基板170をエッチング加工してマイクロキャビティ175が形成される。シリコンのエッチング手順については、図18により説明したとおりである。この後、マイクロキャビティ175の部分に蛍光体330を充填し、更にマイクロ凸レンズ520を貼り合わせる。マイクロ凸レンズは、近年普及した樹脂レンズをウェーハサイズで加工することにより形成できる。このように発光ダイオード39を形成する工程は、ウェーハ状態にて行うことができる。図19(f)はパッケージ基板40を下面視した図である。この下面には、外部から給電を受けるP電極331及びN電極332と、所定の光マイクロセルのP電極に接続されている電極(P0、P1、P2、P3、P4)が設けられている。P電極331(P0)と上記電極(P1、P2、P3、P4)との間の配線は、各光マイクロセルに供給する電源を選択的に接続又は切断するための給電選択部である。発光素子を所望の輝度とすると、どの光マイクロセルに給電するかを選択することができる。例えば、発光素子の輝度に応じて、電源を供給しない光マイクロセルに対しては、切断ライン445において該当する配線をレーザ等により切断する。この給電選択部により、図8において説明した輝度の調整と同様の輝度の調整が可能になる。これらの加工工程の後、発光素子ごとに分離することにより発光ダイオード39が得られる。マイクロキャビティ1

75は、前記のとおり銅のスタッドフレームを用いて形成されてもよい。すなわち、発光素子から素子基板（シリコン基板170又はサファイア基板200）を除去した後、露出した化合物半導体面に図18（d2）に示したようにスタッドフレーム540を透明接着剤により貼り合わせる。そして、スタッドフレームの底面部が無くなるまでエッティングすることによりマイクロキャビティ175の形状を作ることができ、図19（e）と同様の構造を得ることができる。また、マイクロキャビティ及び蛍光体を備えない発光ダイオードの構成とすることができます。その場合には、発光素子のシリコン基板をエッティングにより除去し、その除去した面にマイクロ凸レンズを貼るようすればよい。また、マイクロ凸レンズの代わりに、凹レンズや透明プラスチック板等を用いることができる。

[0048] 本発明による発光ダイオードは、チップサイズパッケージとすることなく、発光素子をペアチップとして用いるように構成することもできる。その場合、上記の輝度の調整は、図8において説明したように、薄膜配線層315に設けた給電選択部により行うことができる。

[0049] チップサイズパッケージに組み込む発光素子は、図19（b）に示したような光マイクロセルを備えるものに限られない。図20は、マイクロミラーを備えない複数の発光セルから構成される発光素子の例を示す。各発光セルは、化合物半導体層84によって構成されている。この場合にも、シリコン基板170により前記同様にマイクロキャビティを形成することができる。エッティング用のマスクとしてシリコン酸化膜185が設けられ、キャビティの内側壁面となるエッティング終止面410の位置を決めている。

[0050] この様にしてパッケージの大きさが発光ダイオードの大きさとなり、発光層の近傍のマイクロミラー71、マイクロキャビティの側壁411及びマイクロ凸レンズ520により光が集光され、効率のよい発光ダイオードが実現できる。シリコン基板の多くの部分がマイクロキャビティとして割りぬかれているため、シリコンの熱膨張係数がパッケージ基板の熱膨張係数と異なっていても、マザーボードへの実装時に応力が緩和されるという効果も大きい

。また、ウエーハ状態で輝度を計測し、必要に応じて、薄膜配線層315又はパッケージ基板40に設けられた給電選択部により、ウエーハレベルで各発光ダイオードの輝度のバラツキを低減できる。

[0051] 図21に、本発明の別の実施例を示す。図21(f)に示す発光ダイオード38は、図18で説明した工程により、サファイア基板200を用いた発光素子18(図21(c))とパッケージ基板40(図21(e))とが貼り合わされ、その後サファイア基板200が除去され、更に、マイクロキャビティ175を形成したシリコン基板173(図21(b1))及びマイクロ凸レンズ520(図21(a))が貼り合わされて構成されている。発光素子18は、複数の光マイクロセルが形成された光マイクロセル層300を備えている。上記で、発光素子18とパッケージ基板40とは、インターポーザ350(図21(d))を挟んで、真空中で約300°Cの温度に約30分間保つことにより密着される。サファイア基板除去後の発光素子18と、シリコン酸化膜180を片面に備えるシリコン基板173とは、透明接着剤を用いて貼り合わせることができる。シリコン基板173にマイクロキャビティ175を形成する手順は、図18により説明したとおりである。マイクロキャビティ175は、発光素子18と貼り合わせる前に形成してもよい。その後、マイクロキャビティ175の部分に蛍光体330を充填し、更にマイクロ凸レンズ520を貼り合わせる。銅のスタッドフレーム540(図21(b2))を用いてもマイクロキャビティを形成できること、マイクロ凸レンズは樹脂をウエーハサイズで加工することにより形成できること、発光ダイオード38を形成する工程はウエーハ状態にて行うことができることは、前記発光ダイオード39の場合と同様である。また、図21(g)は、発光ダイオード39の場合と同様に、パッケージ基板40の下面に設けられている電極及び配線を表わす図である。この発光ダイオードにおいても、マイクロキャビティ及び蛍光体を備えない構成とすることができます。その場合には、発光素子のサファイア基板を除去した後、その除去した面にマイクロ凸レンズを貼るようにすればよい。また、マイクロ凸レンズの代わりに、凹

レンズや透明プラスチック板等を用いることができる。

[0052] 図22は、本発明による発光ダイオードを構成することができる各種態様の発光素子の断面を示している。これらは、ベアチップで用いることができ、又はチップサイズパッケージに実装することができる。図22(a)はサファイア基板に1つの発光セルを設けた前記発光素子16、(b)はシリコン基板に1つの発光セルを設けた発光素子17を示す。また、図22(c)はサファイア基板に複数の光マイクロセルを設けた前記発光素子18、(d)はシリコン基板に複数の光マイクロセルを設けた前記発光素子19を示す。各図中p、q及びrは、発光層からの光の方向を示している。シリコン基板を用いた発光素子では、この状態ではシリコンが光を透過しないため光の方向は参考までに示されている。後の工程にてシリコンが除去された後に光は透過するようになる。上記4種類の発光素子において、発光ダイオードを構成するための基本概念は同じである。発光素子の態様は上記4種類に限定されない。例えば、図20に示したような、マイクロミラーを有しないで複数の発光セルを備えた発光素子が挙げられる。また、1つの光マイクロセルを設けた発光素子が挙げられる。

[0053] 図23は、前記発光素子19を例にとり、発光素子とパッケージ基板とをパッケージ基板に適合するインターポーヴを用いて貼り合せることにより構成されるチップサイズパッケージの断面を示す。パッケージ基板として、熱可塑性プリント基板、金属基板、ガラスエポキシプリント基板等を使用することができる。図23(a)は発光素子19と熱可塑性プリント基板41とを熱可塑性インターポーヴ42により貼り合わせた構成、(b)は発光素子19と金属基板43とを熱可塑性インターポーヴ42により貼り合わせた構成、(c)は発光素子19とガラスエポキシプリント基板45とを異方性導電接着剤370により貼り合わせた構成である。いずれも、シリコン基板170側が集光方向であり、パッケージ基板側がチップサイズパッケージの電極側である。構造上の重要な点は、発光する光をできるだけ多く集光方向へ取り出すこと、パッケージ基板の内部電極61とフリップチップ電極321等

との電気的接続が確実であること、発光素子の表面とパッケージ基板の表面との密着性を確保して熱可塑性インポーラ<sup>42</sup>や異方性導電接着剤<sup>370</sup>が湿気や異物などに対する保護機能を果たすこと、である。

[0054] 図<sup>24</sup>は、前記発光素子<sup>18</sup>及び熱可塑性プリント基板を用いる発光ダイオードの製造手順の例を示す。図<sup>24</sup>(a)は、発光素子<sup>18</sup>と熱可塑性プリント基板<sup>41</sup>とが熱可塑性のインター<sup>ポーラ<sup>42</sup></sup>により貼り合わされた状態の断面を示している。図<sup>24</sup>(b)は、その状態から、サファイア基板<sup>200</sup>をレーザリフトオフ手法にて除去して露出した化合物半導体面に、貼り合せ側の面にシリコン酸化膜<sup>180</sup>を形成したシリコン基板<sup>173</sup>を、透明接着剤<sup>480</sup>で貼り合わせた状態を示している。素子基板としてシリコン基板を用いた発光素子の場合には、この状態から工程が開始される。図<sup>24</sup>(b)のシリコン基板<sup>173</sup>にはシリコン酸化膜<sup>180</sup>が形成されているが、素子基板としてシリコン基板<sup>170</sup>を用いた発光素子の場合には、シリコン基板<sup>170</sup>上に既にシリコン酸化膜<sup>180</sup>が形成されているため、シリコン基板<sup>173</sup>と同じ構成となる(以下、マイクロキャビティ用の「シリコン基板<sup>170</sup>又は<sup>173</sup>」をまとめて「シリコン基板<sup>173</sup>」という。)。図<sup>24</sup>(c)は、シリコン基板<sup>173</sup>の表面に、マイクロキャビティをエッチングにより形成するためのフォトレジスト<sup>265</sup>を設けた状態を示している。シリコン基板を用いた発光素子の場合には、パッケージ基板と貼り合わせる前の工程で、上記フォトレジスト<sup>265</sup>の位置にシリコン酸化膜<sup>185</sup>を予め形成しておくことにより、この工程は不要となる。図<sup>24</sup>(c)の状態から、フォトレジスト<sup>265</sup>又はシリコン酸化膜<sup>185</sup>をマスクとしてシリコン基板<sup>173</sup>をエッチングすることによりマイクロキャビティ<sup>175</sup>が形成される。その後、フォトレジスト又はシリコン酸化膜を除去して、マイクロキャビティ<sup>175</sup>に蛍光体<sup>330</sup>を充填した状態が図<sup>29</sup>(d)である。この状態でチップサイズパッケージの発光ダイオード<sup>28</sup>が得られる。必要な場合には、更にマイクロ凸レンズ<sup>520</sup>を透明接着剤<sup>480</sup>で貼り合わせる。そして、ウェーハ状態で輝度の選別や電気的検査等を行い、フルカットし

て個別発光ダイオードに分離し、エキスパンドテープの状態で完成することができる。

[0055] 図24に示した例ではパッケージ基板として熱可塑性プリント基板を用いたが、熱可塑性プリント基板の代わりにバリスタ基板又は金属基板を使用し、熱可塑性インターポーラを用いて発光素子と貼り合わせる場合も手順は全く同様である。また、マイクロミラーを有しない複数の発光セルを備えた発光素子を用いる場合も、全く同様な手順とすることができます。また、図24(b)の工程においては、エッチングによりマイクロキャビティを形成する際のマスクとなるシリコン酸化膜185を、シリコン基板173又は170に予め形成しておいてもよい。このマスクパターンは、パッケージ基板との合体前のシリコン基板のみの状態の方が容易に形成できる。

[0056] 図25は、図24に示した手順の詳細である。図25(d)は、ウエーハ状態の発光素子18(図25(a))と熱可塑性プリント基板41(図25(b))との間に、熱可塑性インターポーラ42(図25(c))を挟んだ状態を示している。この状態で真空中にて約300°Cで約30分、発光素子18側とプリント基板41側から加圧して保持することにより接着が完了する。熱可塑性材料の為に両者は密着すると共に、プリント基板の電極の銅と発光素子のフリップチップ材料の金とが共晶状態で接合する。その後、サファイア基板200が除去されて露出した化合物半導体の面に、シリコン酸化膜180を形成したシリコン基板173を透明接着剤480で貼り合わせ、フォトレジストパターン265を形成したのが図25(e)の状態である。その後、シリコン基板173をエッチングして、フォトレジストを除去する。それによって形成されたマイクロキャビティ175部に蛍光体330を充填したのが図25(g)に示す状態である。必要な場合には、更にマイクロ凸レンズ520を透明接着剤480で貼り合わせることができる。そして、図に示す分割線510に沿ってフルカットすれば、個別に分離された発光ダイオードが得られる。

[0057] 図26は、シリコン基板の前記発光素子19を用いる場合の製造手順の詳

細を示す。図26(d)は、ウエーハ状態の発光素子19(図26(a))と熱可塑性プリント基板41(図26(b))との間に、熱可塑性インターポーザ42(図26(c))を挟んだ状態を示している。前図と同様に、高温・真空中で加圧保持することにより貼り合わせることができる。図26(e)に示すように、すでに形成されているシリコン酸化膜185をマスクとしてシリコン基板170をエッティングする。想定するエッティング終止面は破線410で示されている。これにより、マイクロキャビティ175が形成される。その後、マスクとして使用していたシリコン酸化膜185はフッ酸にて除去される。その後、前図の場合と同様に、蛍光体330を充填し(図26(f))、必要な場合には更にマイクロ凸レンズ520を貼り合せ、分割線510に沿ってフルカットすれば、個別に分離された発光ダイオードが得られる。

[0058] 図27は、前記発光素子16及び熱可塑性プリント基板を用いる発光ダイオードの製造手順の例を示す。図27(a)は、発光素子16と熱可塑性プリント基板41とが熱可塑性のインターポーザ42により貼り合わされた状態の断面を示している。図27(b)は、その状態から、サファイア基板200をリフトオフ手法にて除去して露出した化合物半導体面に、貼り合せ側の面にシリコン酸化膜180を形成したシリコン基板173を、透明接着剤480で貼り合わせた状態を示している。シリコン基板を用いた発光素子の場合には、この状態から工程が開始される。図27(c)は、シリコン基板173の表面に、マイクロキャビティをエッティングにより形成するためのフォトレジスト265を設けた状態を示している。素子基板としてシリコン基板を用いた発光素子の場合には、パッケージ基板と貼り合わせる前の工程で、上記フォトレジスト265の位置にシリコン酸化膜185を予め形成しておくことにより、この工程は不要となる。図27(c)の状態から、フォトレジスト265又はシリコン酸化膜185をマスクとしてシリコンをエッティングすることによりマイクロキャビティ175が形成される。その後、フォトレジスト又はシリコン酸化膜を除去して、マイクロキャビティ175に蛍

光体330を充填した状態が図27(d)である。この状態でチップサイズパッケージの発光ダイオード22が得られる。必要な場合には、更にマイクロ凸レンズ520を透明接着剤480で貼り合わせることができる。そして、ウエーハ状態で輝度の選別や電気的検査等を行い、フルカットして個別発光ダイオードに分離し、エキスパンドテープの状態で完成することができる。

[0059] 図27に示した例ではパッケージ基板として熱可塑性プリント基板41を用いたが、熱可塑性プリント基板の代わりにバリスタ基板又は金属基板を使用し、熱可塑性インターポーザを用いて発光素子と貼り合わせる場合も手順は全く同様である。また、複数の発光セルを備えた発光素子を用いる場合も、全く同様な手順とすることができます。また、図27(b)の工程においては、エッチングによりマイクロキャビティを形成する際のマスクとなるシリコン酸化膜185を、シリコン基板173又は170に予め形成しておいてもよい。

図27に示した手順の詳細は、発光素子の形態が異なる点を除き、図25及び26に示した製造手順と同様である。

[0060] 図28は、前記発光素子18及びガラスエポキシプリント基板を用いる発光ダイオードの製造手順の例を示す。図28(a)は、発光素子18と接着剤バッファ部375が設けられたガラスエポキシプリント基板45とが、異方性導電接着剤370により貼り合わされた状態の断面を示している。図28(b)は、その状態から、サファイア基板200をリフトオフ手法にて除去して露出した化合物半導体面に、貼り合せ側の面にシリコン酸化膜180を形成したシリコン基板173を、透明接着剤480で貼り合わせた状態を示している。素子基板としてシリコン基板を用いた発光素子の場合には、この状態から工程が開始される。図28(c)は、シリコン基板173の表面に、マイクロキャビティをエッチングにより形成するためのフォトレジスト265を設けた状態を示している。シリコン基板170を用いた発光素子の場合には、パッケージ基板と貼り合わせる前の工程で、上記フォトレジスト

265の位置にシリコン酸化膜185を予め形成しておくことにより、この工程は不要となる。図28(c)の状態から、フォトレジスト265又はシリコン酸化膜185をマスクとしてシリコンをエッティングすることによりマイクロキャビティ175が形成される。その後、フォトレジスト又はシリコン酸化膜を除去して、マイクロキャビティ175に蛍光体330を充填した状態が図28(d)である。この状態でチップサイズパッケージの発光ダイオード32が得られる。必要な場合には、更にマイクロ凸レンズ520を透明接着剤480で貼り合わせる。そして、ウエーハ状態で輝度の選別や電気的検査等を行い、フルカットして個別の発光ダイオードに分離し、エキスパンドテープの状態で完成することができる。

[0061] 図28に示した例では複数の光マイクロセルを備えた発光素子を用いたが、マイクロミラーを有しない複数の発光セルを備えた発光素子を用いる場合も、全く同様な手順とすることができます。また、図28(b)の工程においては、エッティングによりマイクロキャビティを形成する際のマスクとなるシリコン酸化膜185を、シリコン基板173又は170に予め形成しておいてもよい。

[0062] 図29は、図28に示した手順の詳細を説明するための断面図である。図29(a)はウエーハ状態の発光素子18、(b)はガラスエポキシプリント基板45を示している。ガラスエポキシプリント基板45には、異方性導電接着剤の逃げ空間として接着剤バッファ部375が設けられている。図29(c)は、異方性導電接着剤370がガラスエポキシプリント基板45にシート状に貼り付けられた状態を示す。図29(d)は、その異方性導電接着剤370を挟んで発光素子18とガラスエポキシプリント基板45とが貼り合わされた状態を示している。約100°Cで約30分、発光素子側とプリント基板側から加圧して保持することにより接着が完了する。異方性導電接着剤370の引張り応力により、両者が密着されると共に、プリント基板上の内部電極の銅と発光素子のフリップチップ材料の金とが直径約10μの金粒子を介して電気的に接合される。その後、サファイア基板200が除去さ

れて露出した化合物半導体の面に、酸化膜 180 を形成したシリコン基板 173 を透明接着剤 480 で貼り合わせ、フォトレジストパターン 265 を形成したのが図 29 (e) の状態である。想定するエッティング終止面は破線 410 で示されている。次いで、シリコン基板 173 をエッティングした後、フォトレジストを除去する。それによって形成されたマイクロキャビティ 175 に蛍光体 330 を充填したのが図 29 (f) に示す状態である。そして、必要な場合には更にマイクロ凸レンズ 520 を透明接着剤 480 で貼り合わせることができる。その後、図に示す分割線 510 に沿ってフルカットすれば、個別の発光ダイオードに分離することができる。

[0063] 図 30 は、シリコン基板の前記発光素子 19 を用いる場合の製造手順を示す。図 30 (d) は、ウエーハ状態の発光素子 19 (図 30 (a)) と接着剤バッファ部 375 が設けられたガラスエポキシプリント基板 45 (図 30 (b)) とを、異方性導電接着剤 370 を介して接着した状態を示している。前図の場合と同様に、高温で加圧保持することにより貼り合わせができる。そして図 30 (e) に示すように、すでにパターンが形成されているシリコン酸化膜 185 をマスクとして、シリコン基板 170 をエッティングする。想定するエッティング終止面は破線 410 で示されている。これにより、マイクロキャビティ 175 を形成した後、マスクとして使用していたシリコン酸化膜 185 をフッ酸により除去する。その後、前図の場合と同様に、蛍光体 330 を充填し (図 30 (f)) 、必要な場合には更にマイクロ凸レンズ 520 を貼り合せることができる。その後、図に示す分割線 510 に沿ってフルカットすれば、個別の発光ダイオードに分離することができる。

[0064] 図 31 は、前記発光素子 16 及びガラスエポキシプリント基板を用いる発光ダイオードの製造手順の例を示す。図 31 (a) は、発光素子 16 とガラスエポキシプリント基板 45 とが異方性導電接着剤 370 により貼り合わされた状態の断面を示している。余分な異方性導電接着剤が内部に閉じ込められて貼り合わせの支障にならないように、ガラスエポキシ基板には接着剤バッファ部 375 が設けてある。図 31 (b) は、その状態から、サファイア

基板 200 をリフトオフ手法にて除去して露出した化合物半導体面に、貼り合せ側の面にシリコン酸化膜 180 を形成したシリコン基板 173 を、透明接着剤 480 で貼り合わせた状態を示している。素子基板としてシリコン基板を用いた発光素子の場合には、この状態から工程が開始される。図 31 (c) は、シリコン表面に、マイクロキャビティをエッティングにより形成するためのフォトレジスト 265 を設けた状態を示している。シリコン基板 170 を用いた発光素子の場合には、パッケージ基板と貼り合わせる前の工程で、上記フォトレジスト 265 の位置にシリコン酸化膜 185 を予め形成しておくことにより、この工程は不要となる。図 31 (c) の状態から、フォトレジスト 265 又はシリコン酸化膜 185 をマスクとしてシリコンをエッチングすることによりマイクロキャビティ 175 が形成される。その後、フォトレジスト又はシリコン酸化膜を除去して、マイクロキャビティ 175 に蛍光体 330 を充填した状態が図 31 (d) である。この状態でチップサイズパッケージの発光ダイオード 26 が得られる。必要な場合には、更にマイクロ凸レンズ 520 を透明接着剤 480 で貼り合わせる。そして、ウェーハ状態で輝度の選別や電気的検査等を行い、フルカットして個別の発光ダイオードに分離し、エキスピンドテープの状態で完成することができる。

[0065] 図 31 に示した例では、マイクロミラーを有しない 1 つの発光セルを備えた発光素子を用いたが、1 つの光マイクロセルを備えた発光素子を用いる場合も、全く同様な手順とすることができます。図 31 (b) の工程においては、エッティングによりマイクロキャビティを形成する際のマスクとなるシリコン酸化膜 185 を、シリコン基板 173 又は 170 に予め形成しておいてよい。

図 31 に示した手順の詳細は、発光素子の形態が異なる点を除き、図 29 及び 30 に示した製造手順と同様である。

[0066] 以上の例に挙げた異方性導電接着剤 370 を用いたヒートシール技術は、ガラス基板とフレキシブル基板との接続に多く使用されている技術であるが、ウェーハ状態の発光素子とパッケージ基板のように広い面積での接続に使

用するためには、ヒートシール材の量が最適化される必要がある。すなわち、両者の電極間に必要な実装上の寸法は金粒子の寸法であり、それを超える樹脂成分の厚みは接触に障害となる。これを解決するため、以上に挙げた実施例においては、樹脂の逃げの部分としてプリント基板の一部に窪み（接着剤バッファ部375）を設けている。プリント基板の電極の銅と発光素子の電極の金は共晶結合されていないため接触抵抗はゼロではないが、数mΩと小さい。100°Cの温度で加熱及び加圧することにより容易に接続できるため、駆動電流の小さい用途向けの発光ダイオードのパッケージとして、低コストに適用することができる。

- [0067] 以上では、パッケージ基板として熱可塑性プリント基板、金属基板、バリスタ基板、ガラスエポキシプリント基板を使用し、発光素子とパッケージ基板との接合材として熱可塑性のインターポーザ、異方性導電接着剤を使用する例を挙げた。パッケージ基板の材質や、接合材との組み合わせはこれに限定されない。例えば、金属基板と異方性導電接着剤との組み合わせ、セラミックス基板と熱可塑性のインターポーザとの組み合わせ、セラミックス基板と異方性導電接着剤との組み合わせ等によっても、チップサイズパッケージを構成することができる。各材料の熱伝導率、要求される電極間の接続抵抗値、作りやすさ等を考慮して適宜選択することができる。
- [0068] シリコン基板を用いたマイクロキャビティは、シリコンをKOH水溶液等でエッチングしてその内側面にできる傾斜角54°の壁面を利用したが、光の反射率を一層高める為に、当該壁面に銀の薄膜等を設けることが有効である。マイクロキャビティ底面が絶縁物のシリコン酸化膜であり、側壁面は導電性のあるシリコンであることを利用して、そのまま電気メッキ技術により、銀薄膜又は銀を含む多層薄膜を形成して反射率を高めることが可能である。
- [0069] また、図6(a3)において言及したように、銅など金属の薄板を用いてマイクロキャビティを形成することも可能である。厚さ100μm程度の金属板をエッチング加工して、マイクロキャビティの内側面となる壁面の傾斜が約45°となるように鍛造することができる。更に、当該側壁面に銀メッキ

を形成することもできる。このような加工は、ICのリードフレームの作成と同様な設備や材料によって可能である。ウエーハと同じ大きさで、薄板に各発光素子に対応したマイクロキャビティを形成し、ウエーハ状態の発光素子と透明接着剤を用いて貼り合わせることができる。本チップサイズパッケージではパッケージ基板がパッケージの基板になっているため、安定に貼り合わせができる。又この工程以降は高温度とされることはないので構造的にも問題はない。銅のスタッドフレーム又はシリコンを用いたマイクロキャビティは、蛍光体を用いない発光ダイオードにも適用可能である。

[0070] また、以上に挙げた事例において、発光ダイオードの輝度の調整の為に光マイクロセルへの給電を選択する手法を説明した。一般には、定電圧で輝度を一定にするというニーズと、定電流で輝度を一定にするというニーズの両方がある。すなわち、定電圧で複数個の発光ダイオードを駆動する用途では、一定の駆動電圧で輝度を一定の公差にすることが求められる。一方、定電流で複数個の発光ダイオードを駆動する用途では、一定の駆動電流での輝度を一定の公差にすることが求められる。本発明における発光ダイオードの輝度調整はその発光面積を調整する方法であるため、一定電圧の下での輝度に応じた調整に向いている。一定電圧を印加したときの輝度は、発光面積に比例して調整可能である。一方、一定電流で駆動する場合には、輝度に応じて発光面積を変更することは発光セルに流れる電流密度を変更することになり、大幅な調整は期待できない。したがって、定電流駆動の用途では、ウエーハ上の発光セルについて一定電流の下での輝度マップを作成して層別を行う必要がある。その層別の幅を減らすために、本手法による輝度調整は役立つ。

[0071] 図32は、ウエーハと、ウエーハ状態の発光素子と、1つの発光ダイオードとの関係の例を示す図である。素子基板であるシリコン基板として、例えば図32(a)に示すような3インチウエーハ400を使用することができる。図32(b)の断面図に示すように、1つの発光素子は0.5mm×0.5mm程度とすることができる。ここでは発光素子として前記発光素子19を例示している。発光素子19はシリコン基板上に設けた光マイクロセル

構造のものであり、例えば、横方向に4、奥行方向（図示せず）に2、の計8個の光マイクロセルから構成することができる。発光素子は、光マイクロセル層300、導電反射膜層275、電源配線層310、及びフリップチップ電極322を具備したフリップチップ電極層を備えている。光マイクロセル層300には断面視4つの光マイクロセルが形成されており、各光マイクロセルは、発光セル80とその側面を囲むマイクロミラー71を備えている。また、発光素子は熱可塑性のプリント基板41と貼り合わされ、シリコン基板170部にマイクロキャビティ175が形成されている。そしてマイクロキャビティ175に蛍光体330が充填され、更にマイクロ凸レンズ520が貼り合わされている。図32(c)は、上記のウエーハ状態から個別に分離された発光ダイオード39の断面を示している。図32(c)には、活性層で発生する光（1次発光）の進行方向がまとめて示されている(pqr)。前述のとおり、活性層から集光方向zに向かう光pはそのまま放出され、集光方向zと反対向きの光qは反射膜層275で反射され、活性層に沿った側面方向の光rはマイクロミラー71により反射され、いずれも蛍光体330に向けて放出される。蛍光体330内では、半導体層から到来する波長の短い1次発光の光により蛍光物質が励起され、波長の長い2次発光が生じる。図示されるように、2次発光のうち集光方向zに向かう光s1は、直進して発光ダイオードから放出される(s2)。斜め方向に向かう光t1は、マイクロ凸レンズにより集光方向に屈折されて放出される(t2)。集光方向zとは垂直の方向の光u0は、マイクロキャビティの側壁面411によって反射され(u1)、更にマイクロ凸レンズにより集光方向に屈折されて放出される(u2)。このように、2次発光した光は集光方向に向けられ、効率よく集光することができる。白色発光ダイオードの場合には、1次発光及び2次発光の波長と強度の組み合わせにより白色光が生成される。

[0072] 本発光ダイオードの透明部材としてマイクロ凸レンズを用いる場合には、マイクロ凸レンズの効果により発光素子からの光は集光方向に集光され、図9(a)に示したように光束を大幅に絞ることができる。そして、図9(b)

) に示したように、更に別の拡散レンズにより所望の角度範囲に光束を拡散することができる。例えば、図9 (c) に示したようにパッケージのキャップ部を凹レンズとすることによって、その凹レンズと発光ダイオード備えられたマイクロ凸レンズとの組み合わせにより、所望の広がりをもった光束を作り出すことができる。

[0073] 以上に述べた手法により、輝度、色ムラ等の特性が総合的に優れた発光ダイオードを得ることができる。輝度については、特に発光層に沿った光をマイクロミラーにより反射させ、発光層で発光した全ての方向の光を集光方向に取り出すことができる。また、蛍光体で励起された光はマイクロキャビティにより集光方向に取り出すことができ、更にマイクロ凸レンズにより集束させて取り出すことができる。色ムラについては、波長の短い1次発光と波長の長い2次発光の光を合わせて集光方向に集めることにより、均質な白色光を得ることができる。更にその光を拡散させることにより、広がりを持ち且つ均質な白色光を得ることができる。

[0074] 図33 (a) は、図32 (b) に示した発光素子部の光マイクロセルの配設を表す平面図である。発光素子は、横方向に4、縦方向に2の計8個の光マイクロセルから構成されており、各光マイクロセルの領域は破線81で示されている。図33 (b) は、その発光素子を用いた発光ダイオードの断面を表している。発光素子は光マイクロセル層300、導電反射膜層275、電源配線層310、及びフリップチップ電極321、322を具備したフリップチップ層(320)からなる。光マイクロセル層300には上記8個の光マイクロセルが設けられ、各光マイクロセルにはマイクロミラー71で囲まれた発光セル80が形成されている。フリップチップ層には、図20 (a) に示された各光マイクロセルに共通のN電極に接続されたフリップチップN電極322と、各光マイクロセルのP電極をP0～P4に分けてそれぞれと接続されたフリップチップP電極321とを具備している。

[0075] 図34 (a) は前図と同じ発光ダイオードの断面であり、図34 (b) はその下面すなわちパッケージ基板41の外部電極60側の面を表わしている

。8個の光マイクロセルは図8（b）にP0～P4で示したような発光面積の重みづけがなされている。プリント基板41の下面に設けられた基板N電極332は、各光マイクロセルのN電極に接続されている。また、基板P電極331は、光マイクロセルP0のP電極に接続されている。また、プリント基板41の下面で基板P電極331に接続されている端子P1～P4は、それぞれ光マイクロセルP1～P4のP電極に接続されている。そして、各配線を切断部445で選択的に切断することにより、それに対応する光マイクロセルへ給電しないようにし、発光ダイオードの輝度を調整することができる。チップサイズの本発光ダイオードのパッケージング、電気的検査、光学的検査、輝度の選別や調整等は、ウエーハ状態すなわち発光ダイオードを個別に分離する前に行うことができる。ウエーハ状態で取扱うことができるため、発光ダイオード内のサージ対策素子を不要とすることもできる。

[0076] 尚、図32～34においては発光素子の基板としてシリコン基板を用いたが、既に説明したとおり、サファイア基板を使用しても同様の構成・作用を得ることができる。その場合、サファイア基板はそのまま残されてもよいし、除去されてもよい。また、マイクロキャビティやチップサイズパッケージを構成する部材も種々の選択が可能である。また、以上においては、マイクロキャビティ及び蛍光体を備える白色発光ダイオードの構成例を主として示したが、本発光ダイオードは白色用だけでなく、赤色その他すべての発光ダイオードに適用できる。その場合には、マイクロキャビティ（170又は173）及び蛍光体330は不要であり、その他の構成は全く同様となる。

[0077] 図35は、マイクロキャビティを用いない場合の本発光ダイオードの構成例を表わす図であり、ウエーハと、ウエーハ状態の発光素子と、1つの発光ダイオードとの関係を表わしている。発光素子の素子基板であるサファイア基板又はシリコン基板として、例えば図35（a）に示すような3インチウエーハ400を使用することができる。図35（b）の断面図に示すように、1つの発光素子は0.5mm×0.5mm程度とすることができる。ここではシリコン基板を用いる前記発光素子19を示しているが、これまでに例

示したすべての発光素子を使用することができる。すなわち、素子基板はサファイア基板でもシリコン基板でもよく、1つの発光素子には1又は2以上の発光セル80を備えることができ、その発光セルはマイクロミラーを備えていなくてもよいし、マイクロミラーを備えて光マイクロセルを構成してもよい。図35(b)及び(c)に示した発光素子19の場合には、発光セル80及びその側面を囲むマイクロミラー71からなる光マイクロセルが、横方向に4、奥行方向(図示せず)に2、の計8個備えられている。そして、発光素子19は、光マイクロセルが形成された光マイクロセル層300、導電反射膜層275、電源配線層310、及びフリップチップ電極321及び322を具備したフリップチップ電極層を備えている。このような発光素子の発光面側に、透明部材521を貼り合わせ、その後個別の発光ダイオードに分離することができる。透明部材521として、マイクロ凸レンズや凹レンズの他、素子基板が除去された後の発光部の保護のための透明プラスチック板等を、適宜用いることができる。また、発光素子の発光面と透明部材521との間に、板状の蛍光体を挟んで構成することもできる。例えば、発光面上に蛍光体とマイクロ凸レンズを順に積層した場合には、発光素子からの1次発光及び蛍光体で励起される2次発光により白色光を生成し、マイクロ凸レンズによって集光方向に向かって光束を狭めることができる。また、発光素子が上記ウエーハに形成された状態において、その素子電極面側にパッケージ基板を貼り合わせて発光ダイオードを構成することができる。図35では、発光素子と熱可塑性のプリント基板41とを接合材42を介して貼り合わせて発光ダイオードを構成する例を示している。図35(c)は、ウエーハ状態から個別に分離された発光ダイオード139の断面を示している。ウエーハ状態では硬いサファイア基板を素子基板に用いた場合であっても、素子基板が除去されているため、容易にフルカットで各素子を分離することができる。図35(c)には、活性層で発生する光(1次発光)の進行方向が示されている。前述のとおり、活性層から集光方向zに向かう光pはそのまま放出され、集光方向zと反対向きの光qは反射膜層で反射されて放

出され、活性層に沿った側面方向の光  $r$  はマイクロミラーにより反射されて放出される。このように、活性層で発生した各方向の光（ $p$ 、 $q$  及び  $r$ ）は、いずれも発光面から集光方向  $z$  へ放出される。透明部材 521 としてマイクロ凸レンズや凹レンズが形成されている場合には、上記発光面から放出された光の広がりを調整することができる。

[0078] 本発明の発光ダイオードは、発光素子をベアチップでマザーボード上に実装することもできるし、チップサイズパッケージに構成して実装することもできる。液晶のバックライト用途では、発光ダイオードが数十mmピッチで縦横に敷き詰められる。このような場合、本発明の発光ダイオードは0.5 mm × 0.5 mm程度とごく小さいため、ウェーハ状態からスクライブし、そのままエキスパンドした状態又は同様なシート面に実装した状態でピックアップしてマザーボードに装着することが好ましい。この様にすれば静電気などのサージが最小限に抑えられ、マザーボードにサージ吸収素子を備えるだけでよい。また、本発光ダイオードから集光方向に光拡散板を設ければ、照射光を均等化することができる。

[0079] 上記光拡散板等がない状態でも、発光ダイオードからの方向によらず照射光ができるだけ均一とすることが好ましい。例えば、発光ダイオードをマザーボード上に格子状に配列して使用する場合、個々の発光ダイオードからはマザーボード上のある高さでは限られた範囲に光が照射される。このため、例えば上記格子の対角線上の中間点で、照度が小さくなってしまう場合がある。この対策として、発光ダイオードから放射される光の方向分布を意図的に変更したいというニーズがある。このような場合、本発明の発光ダイオードにおいては、光源である発光部の形状やレイアウト、マイクロ凸レンズの形状や曲率等を工夫することにより、光の方向分布を均一化したり変えたりすることが容易に可能である。

[0080] 尚、本発明は以上で詳述した実施形態に限定されず、本発明の請求項に示した範囲で様々な変形または変更が可能である。

## 産業上の利用可能性

[0081] 本発明の発光ダイオードは、灯具、液晶バックライト、食物工場の照明等、広範な分野で使用することができる。本発明は白色用だけではなく全ての発光ダイオードに適用することができる。

### 符号の説明

[0082] 1 ; サファイア基板、2 ; N+型半導体 (GaN) 膜、3 ; N型半導体 (GaN) 膜、4 ; 活性層、5 ; P型半導体 (GaN) 膜、6 ; 導電反射膜 (背面反射膜) 、7 ; フリップチップ (P) 電極、8 ; フリップチップ (N) 電極、9 ; 発光素子、10 ; パッケージ基板、11 ; パッケージ基板電極部、12 ; パッケージ内側壁、13 ; 蛍光体、14 ; キャップ、15 ; シリコン酸化膜、16～19 ; 発光素子、22～39 ; 発光ダイオード (光半導体装置) 、40 ; パッケージ基板、41 ; 熱可塑性プリント基板、42 ; 熱可塑性インターポーラ、43 ; 金属基板、45 ; ガラスエポキシプリント基板、50 ; ビア、60 ; 外部電極、61 ; 内部電極、65 ; マザーボード電極、70、71 ; マイクロミラー (側面反射膜) 、80 ; 発光セル、81 ; 発光セルの境界、84 ; 化合物半導体層 (発光部) 、85 ; 導電反射膜、90 ; 配線層、137、139 ; 発光ダイオード (光半導体装置) 、150 ; 外部反射板、170 ; シリコン基板 (素子基板) 、173 ; シリコン基板 (マイクロキャビティ用) 、175 ; マイクロキャビティ、180 ; シリコン酸化膜、185 ; エッチング用シリコン酸化膜 (マスクパターン) 、190 ; 酸化インジウム膜、200 ; サファイア基板 (素子基板) 、201 ; サファイア基板、210 ; N+型半導体 (GaN) 膜、220 ; N型半導体 (GaN) 膜、230 ; 活性層、231 ; 活性層 (発光セル) の境界、240 ; P型半導体 (GaN) 膜、250 ; 傾斜部 (テーパエッチ部) 、260 ; フォトレジスト、265 ; マイクロキャビティ形成用フォトレジスト、270 ; 導電反射膜、275 ; 導電反射膜、280 ; シリコン酸化膜、281, 282 ; 傾斜 (テーパ) 付き電極部、290 ; P型電極、291 ; N型電極、300 ; 光マイクロセル層、310 ; 光マイクロセルへの電源配線層、315 ; 薄膜配線層、320 ; フリップチップ電極層、

321；フリップチップP電極、322；フリップチップN電極、330；蛍光体、331；パッケージ基板P電極、332；パッケージ基板N電極、340；マザーボード、350；インターポーザ、370；異方性導電接着材、375；接着材バッファ部、400；ウエーハ、410；シリコンのエッティング終正面、411；マイクロキャビティ（シリコン）の内側壁面、421～428；光マイクロセル、441～444；電源配線（給電選択部）、445；電源切斷線、480；透明接着剤、510；素子分割線、520；マイクロ凸レンズ、521；透明部材、540；スタッドフレーム、541；スタッドフレーム底部、542；エッティング後のスタッドフレーム底部、543；スタッドフレームの上部、544；スタッドフレームの内側壁面、600；光拡散レンズ、601；凹レンズ。

## 請求の範囲

- [請求項1] 素子基板面上に区画されて化合物半導体層により形成された1又は2以上の発光部と、該発光部からの光を取り出す発光面とは反対側の素子電極面に該発光部に電源を供給する素子電極とを具備し、該発光面に垂直な集光方向に光を取り出す発光素子と、  
前記発光素子の前記発光面側に、前記素子基板の外周と外周が同一サイズの透明部材と、  
を備え、  
複数の前記発光素子が前記素子基板となるウエーハに形成された状態において、前記透明部材が配設され、その後に該発光素子ごとに分離されて形成されることを特徴とする光半導体装置。
- [請求項2] 前記発光素子の外周と外周が同一サイズの基板であって、前記発光素子を搭載する素子搭載面に該発光素子の前記素子電極に対応した内部電極と、該素子搭載面とは反対面に該内部電極と接続された外部電極と、を具備するパッケージ基板を更に備え、  
前記発光素子の前記素子電極面と前記パッケージ基板の前記素子搭載面とを対向させて貼り合わせることにより、前記素子電極と前記内部電極とが電気的に接続されるとともに、前記素子電極面と前記素子搭載面との間が該接合材により密閉される請求項1記載の光半導体装置。
- [請求項3] 前記発光素子の前記素子電極面と前記パッケージ基板の前記素子搭載面とを接合材を用いて貼り合わせることにより、前記素子電極と前記内部電極とが電気的に接続されるとともに、前記素子電極面と前記素子搭載面との間が該接合材により密閉される請求項2記載の光半導体装置。
- [請求項4] 前記透明部材は、前記発光素子から取り出す光束を前記集光方向に向けて狭める凸レンズである請求項1乃至3のいずれかに記載の光半導体装置。
- [請求項5] 前記発光素子の前記発光面上に載置される枠体であって、該枠体の外周は前記素子基板の外周と同一サイズであり、該枠体の内側壁面は

前記発光面から前記集光方向に向けて広がるように傾斜して形成されているキャビティ部材と、

前記キャビティ部材の前記内側壁面に囲まれた空洞部に充填される蛍光体と、

を更に備え、

前記キャビティ部材の前記内側壁面は前記発光部及び前記蛍光体で発光した光を前記集光方向に反射し、

前記発光素子の前記発光面上に前記キャビティ部材及び前記透明部材が順に積層されて形成される請求項 1 乃至 4 のいずれかに記載の光半導体装置。

[請求項6] 前記発光部ごとにその側面を囲む側面反射膜を更に備え、

前記側面反射膜は前記発光部で発光して前記素子基板と略平行に進む光を前記集光方向に反射する請求項 1 乃至 5 のいずれかに記載の光半導体装置。

[請求項7] 前記キャビティ部材の前記内側壁面は、シリコン基板をエッチングすることにより形成される請求項 5 又は 6 に記載の光半導体装置。

[請求項8] 前記キャビティ部材は金属で形成されている請求項 5 又は 6 に記載の光半導体装置。

[請求項9] 前記発光素子と前記パッケージ基板とが貼り合わされた後に、該発光素子の前記素子基板が除去されて形成される請求項 2 乃至 8 のいずれかに記載の光半導体装置。

[請求項10] 前記発光素子は複数の前記発光部を備え、

前記素子基板の前記素子電極面又は前記パッケージ基板の前記外部電極が設けられる面には、各前記発光部に供給する電源を選択的に接続又は切断するための給電選択部を備え、

前記給電選択部により前記発光素子ごとの輝度を調整可能とした請求項 1 乃至 9 のいずれかに記載の光半導体装置。

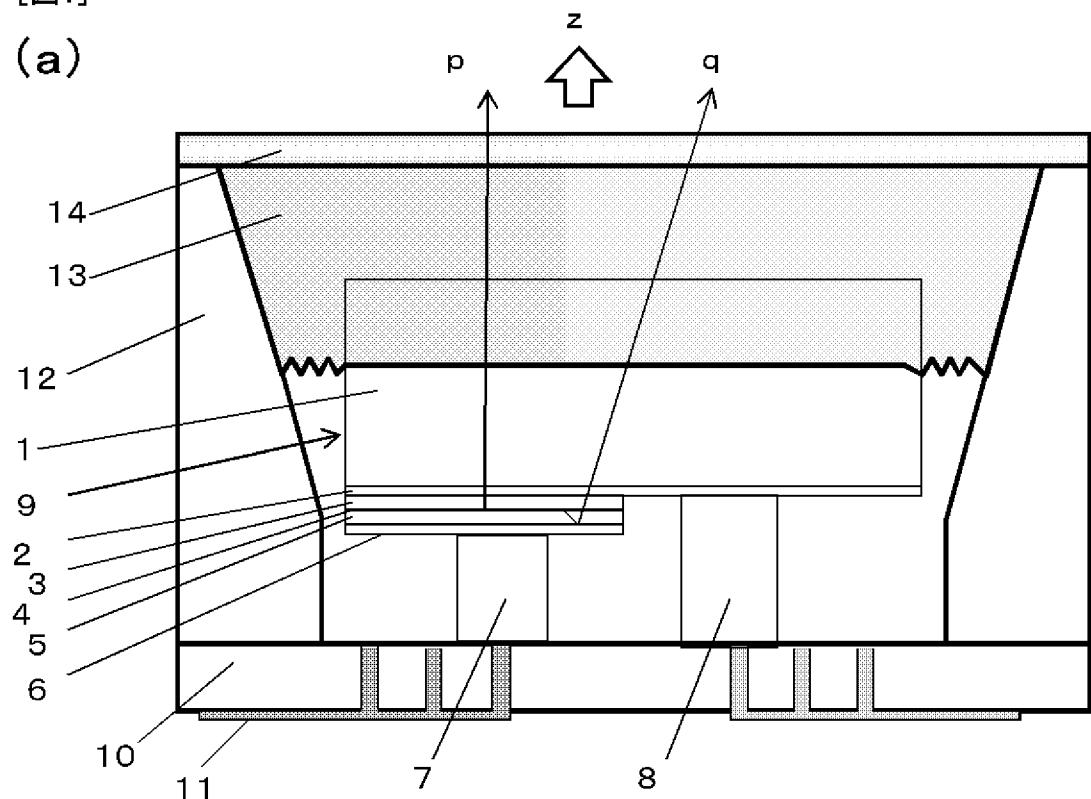
[請求項11] 前記素子基板は透明基板である請求項 1 乃至 10 のいずれかに記載

の光半導体装置。

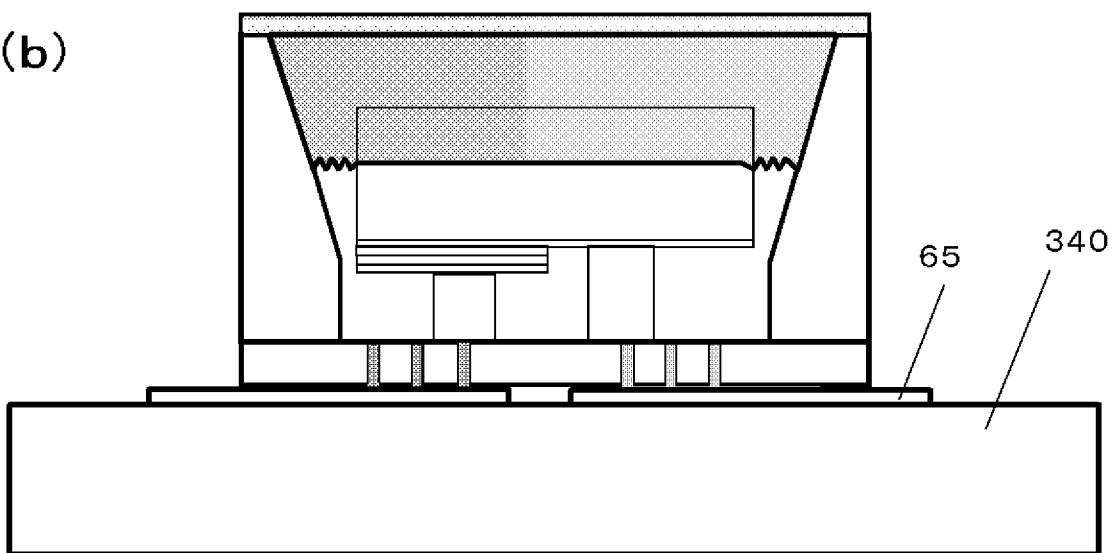
[請求項12] 前記素子基板はシリコン基板である請求項1乃至10のいずれかに記載の光半導体装置。

[図1]

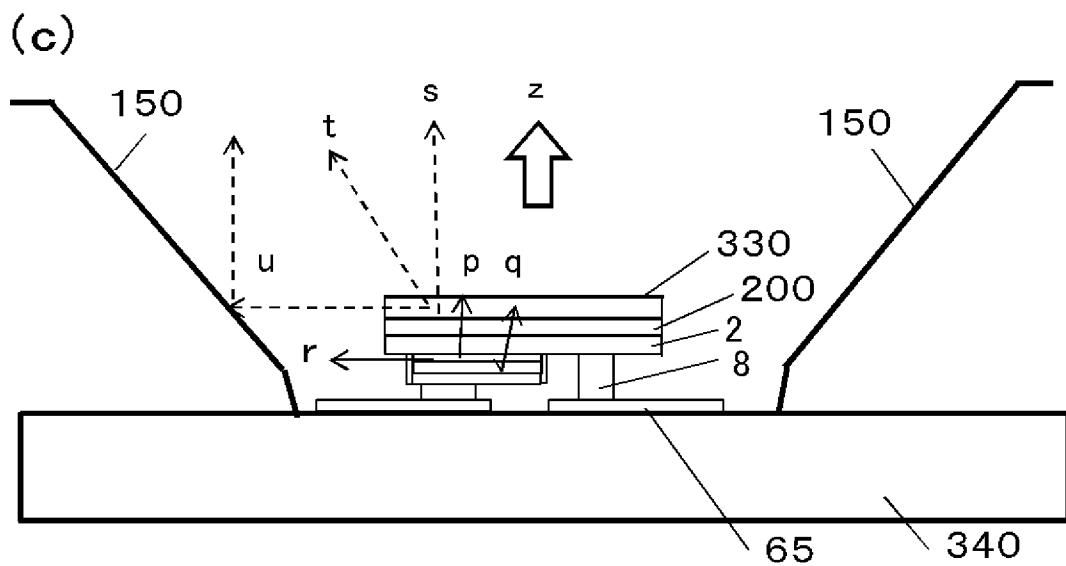
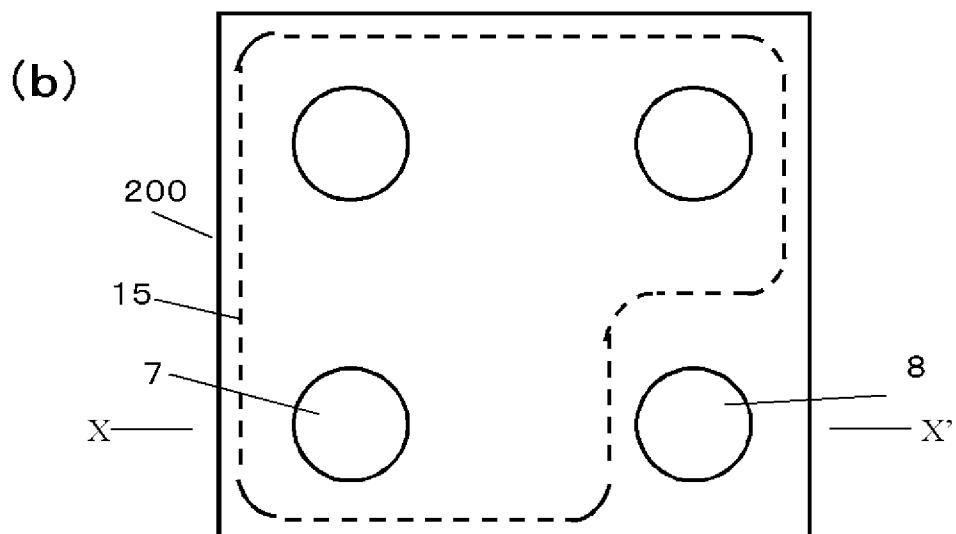
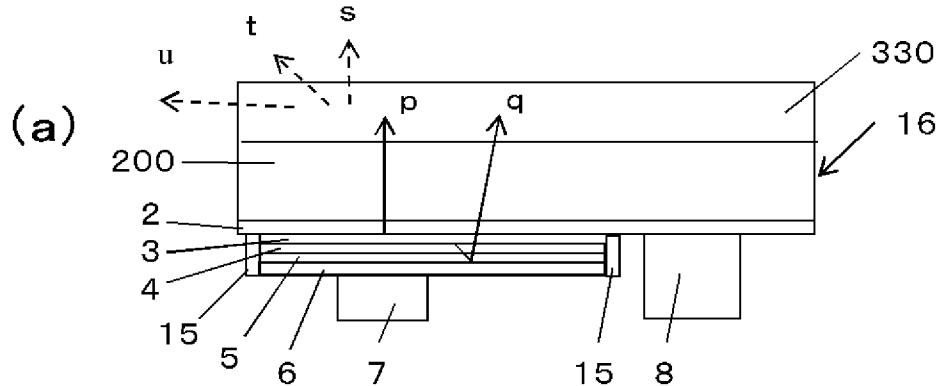
(a)



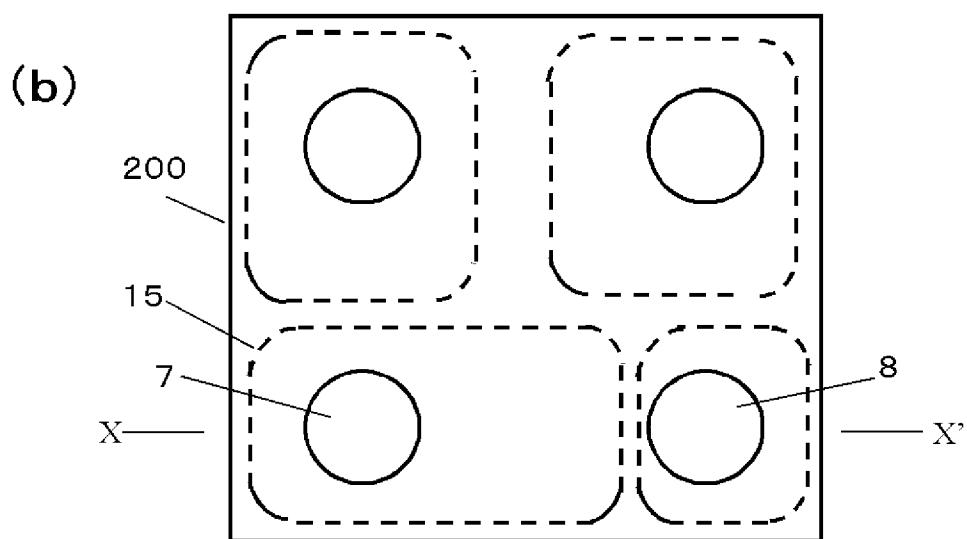
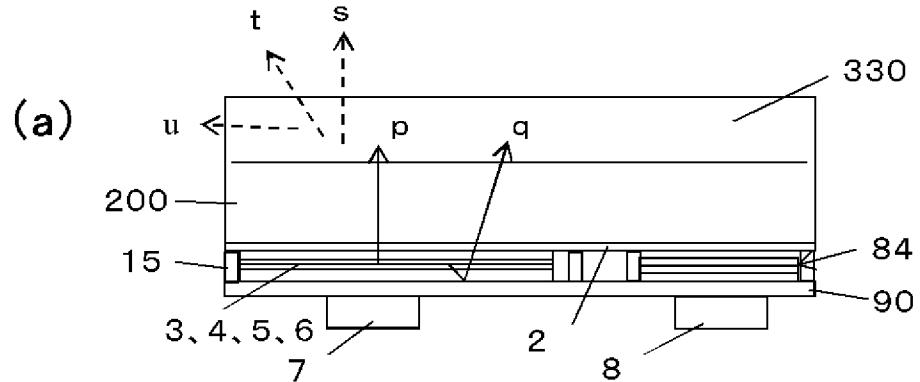
(b)



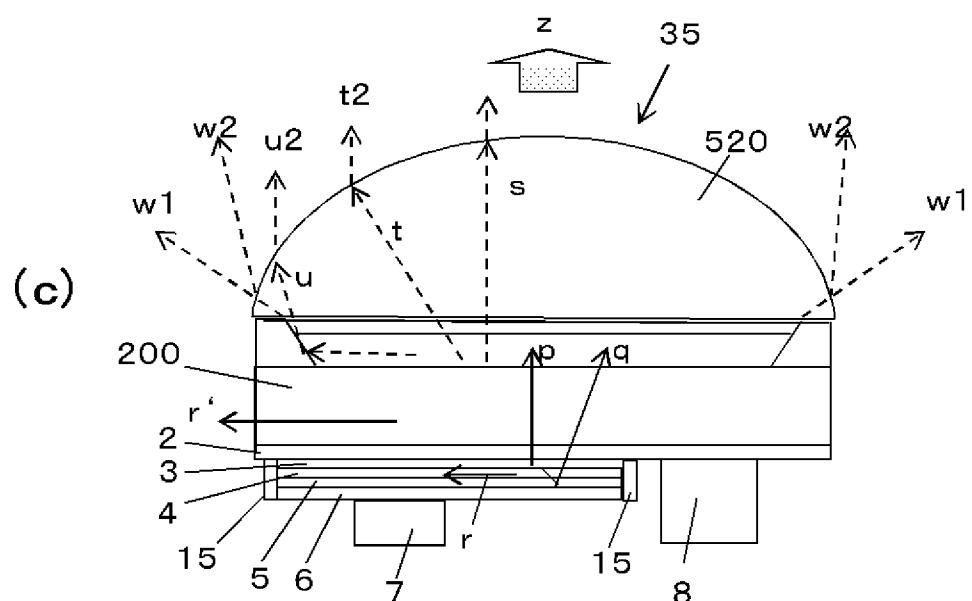
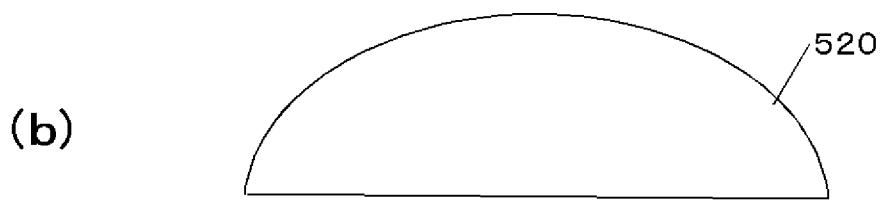
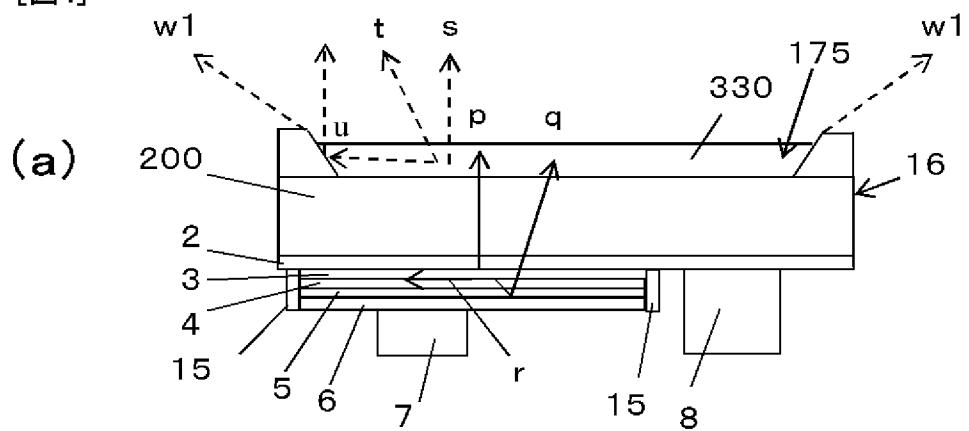
[図2]



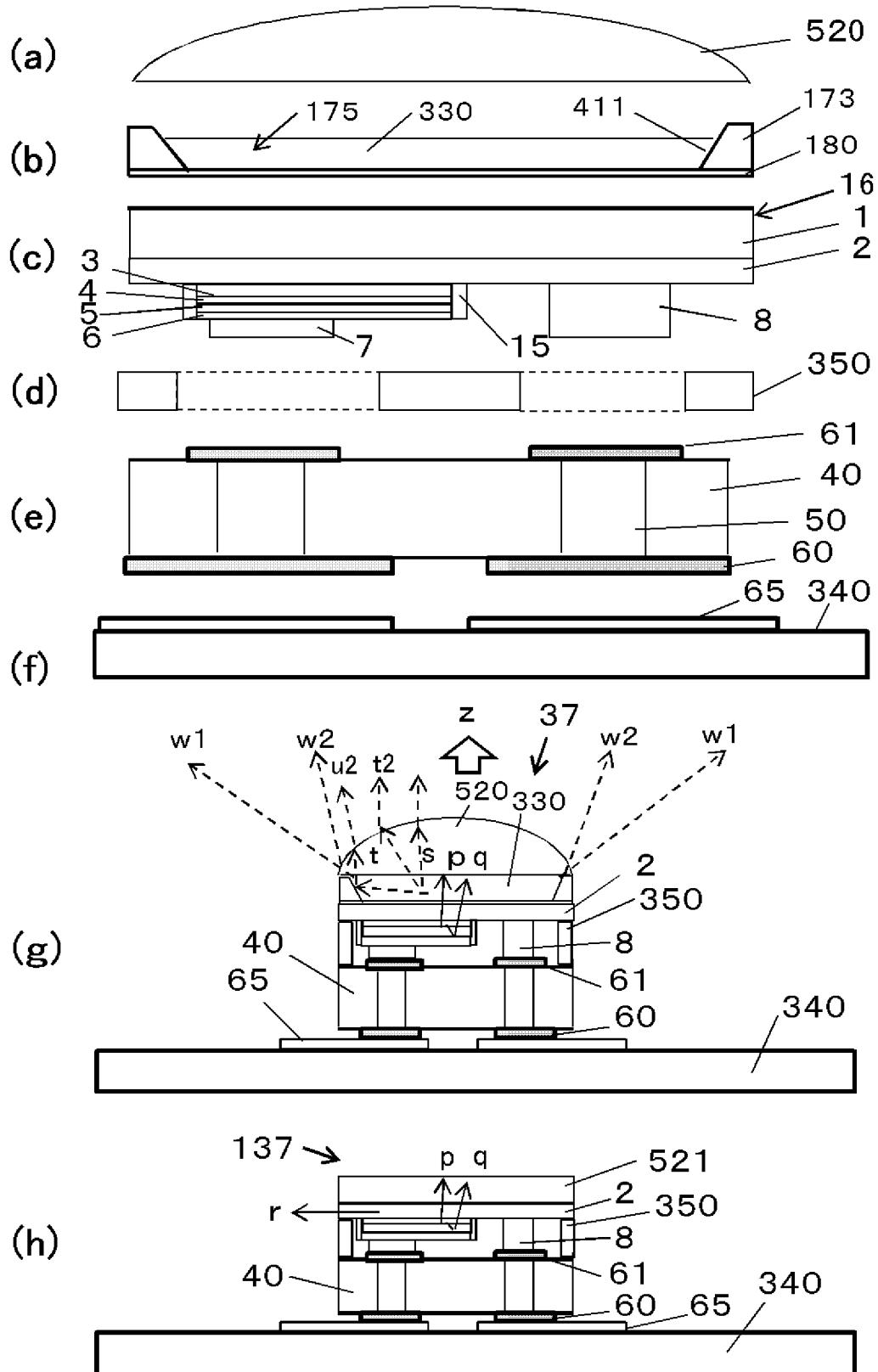
[図3]



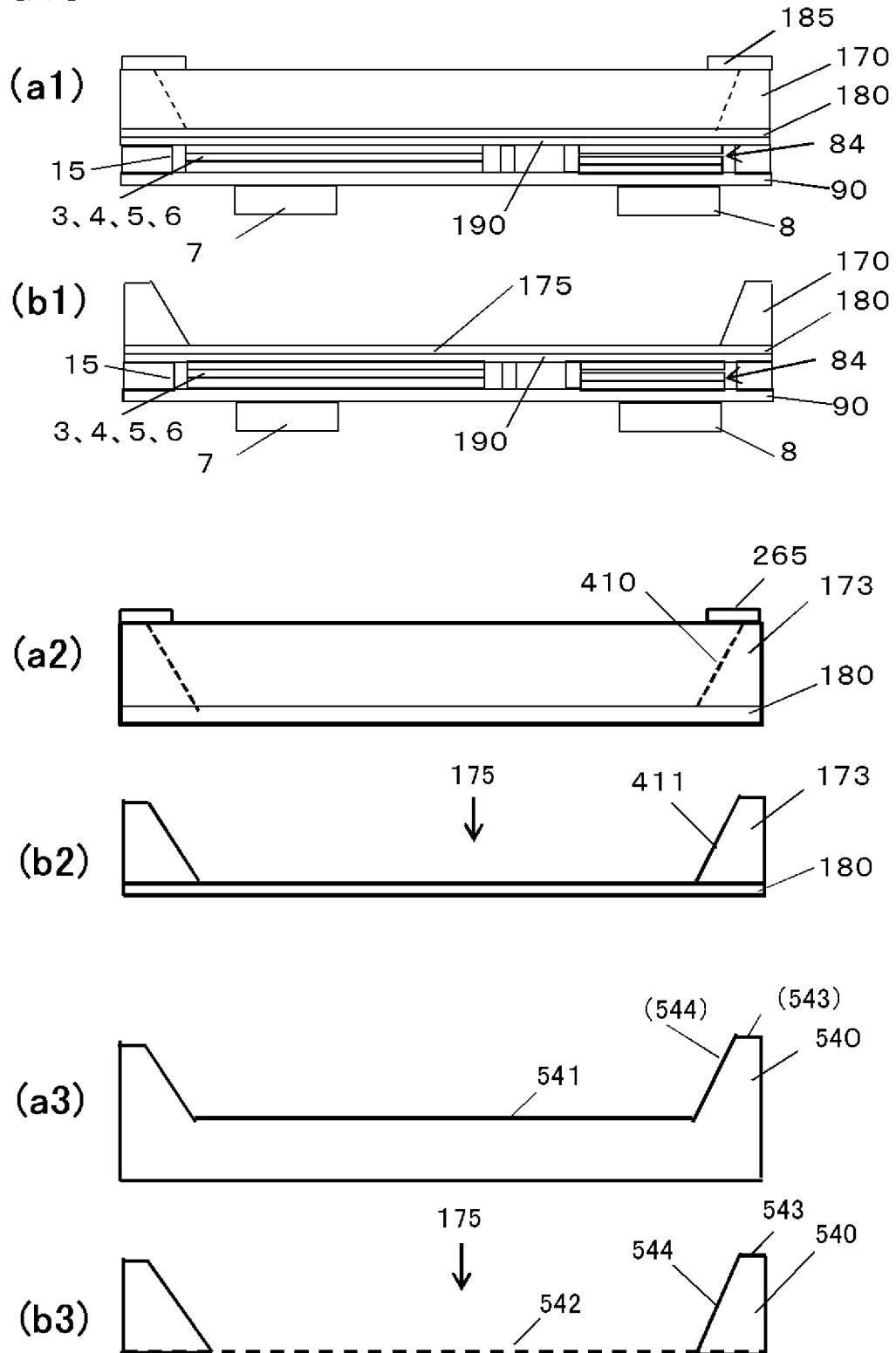
[図4]



[図5]

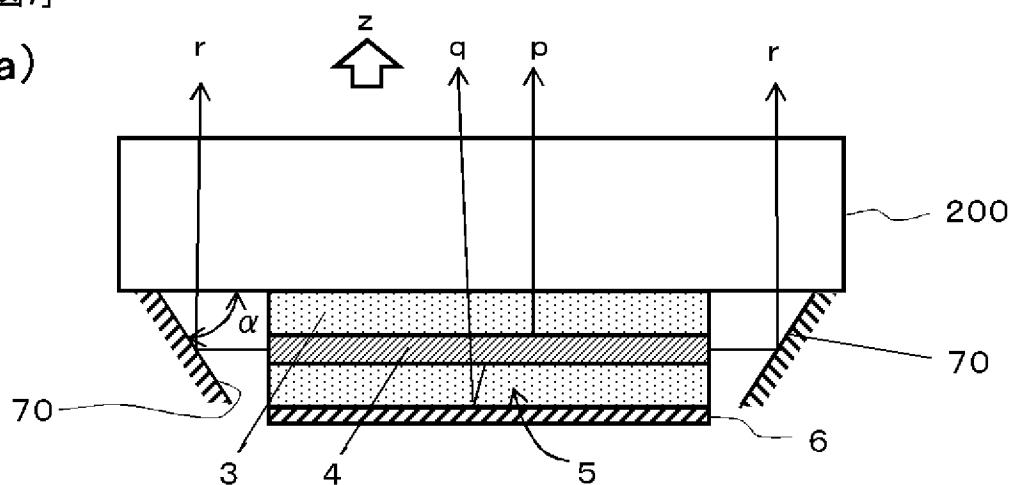


[図6]

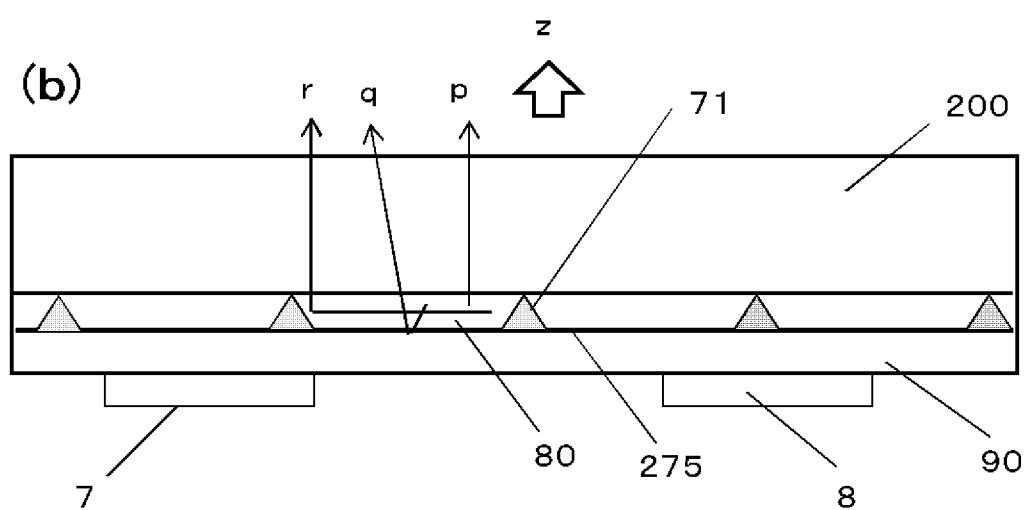


[図7]

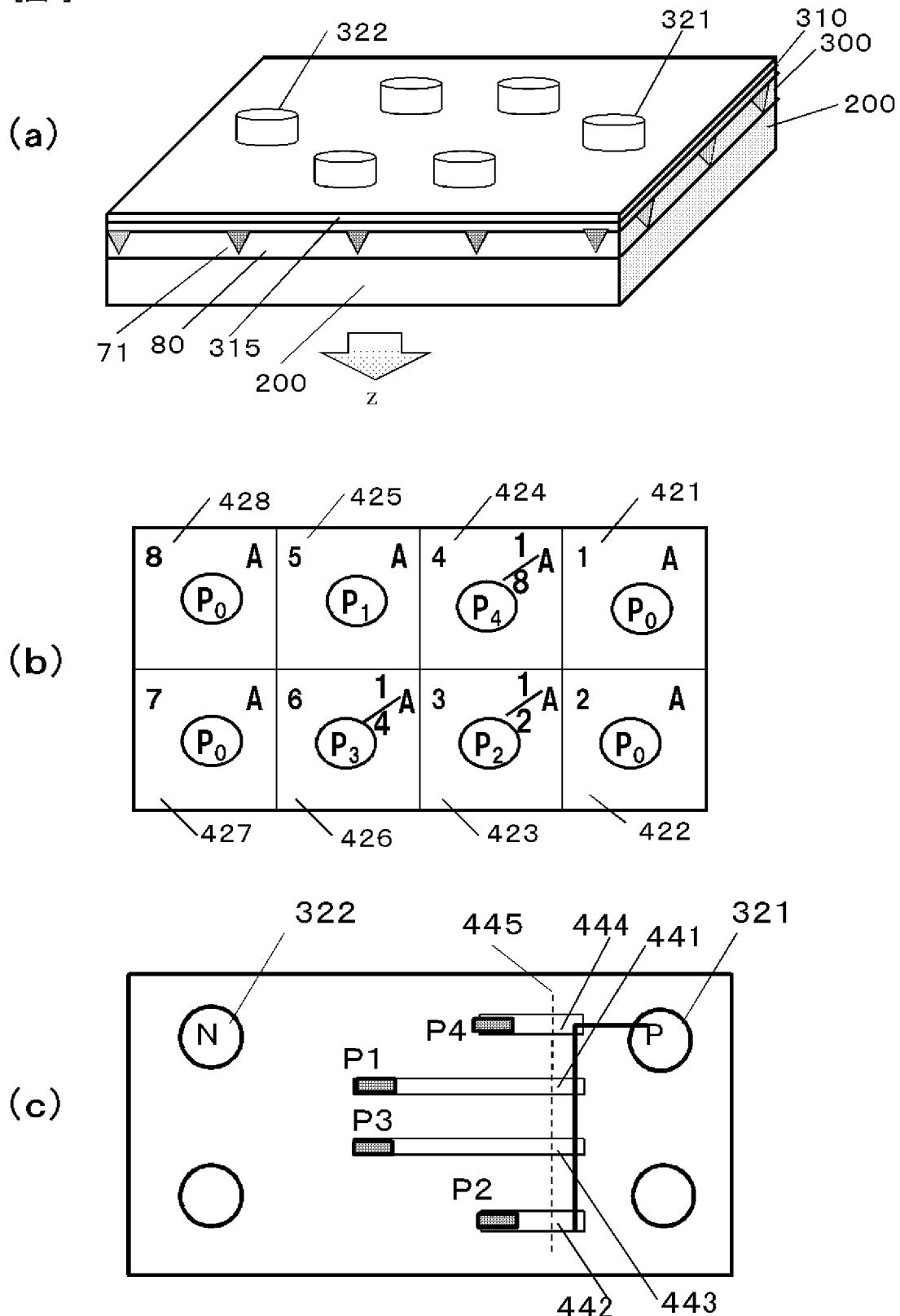
(a)



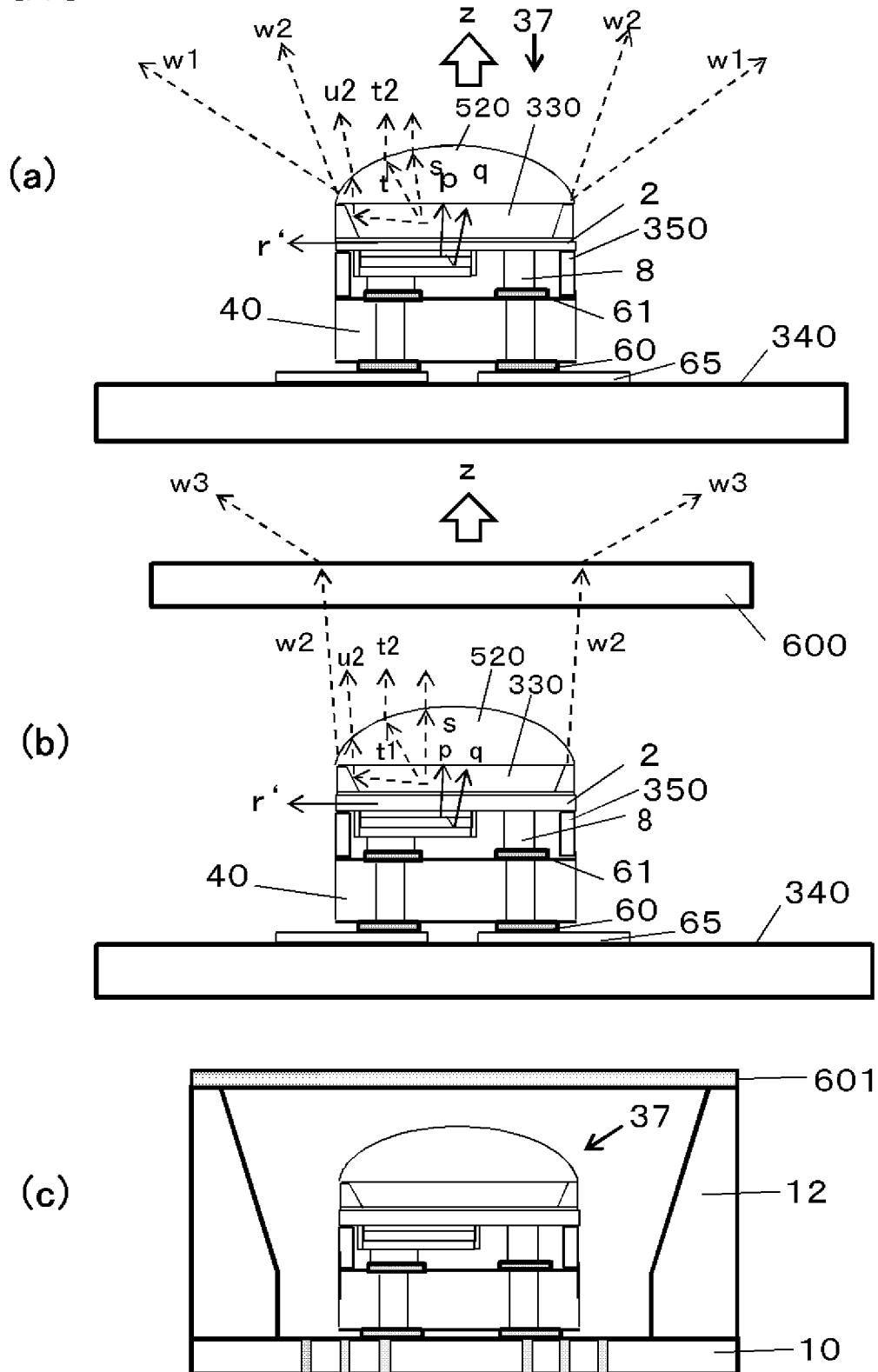
(b)



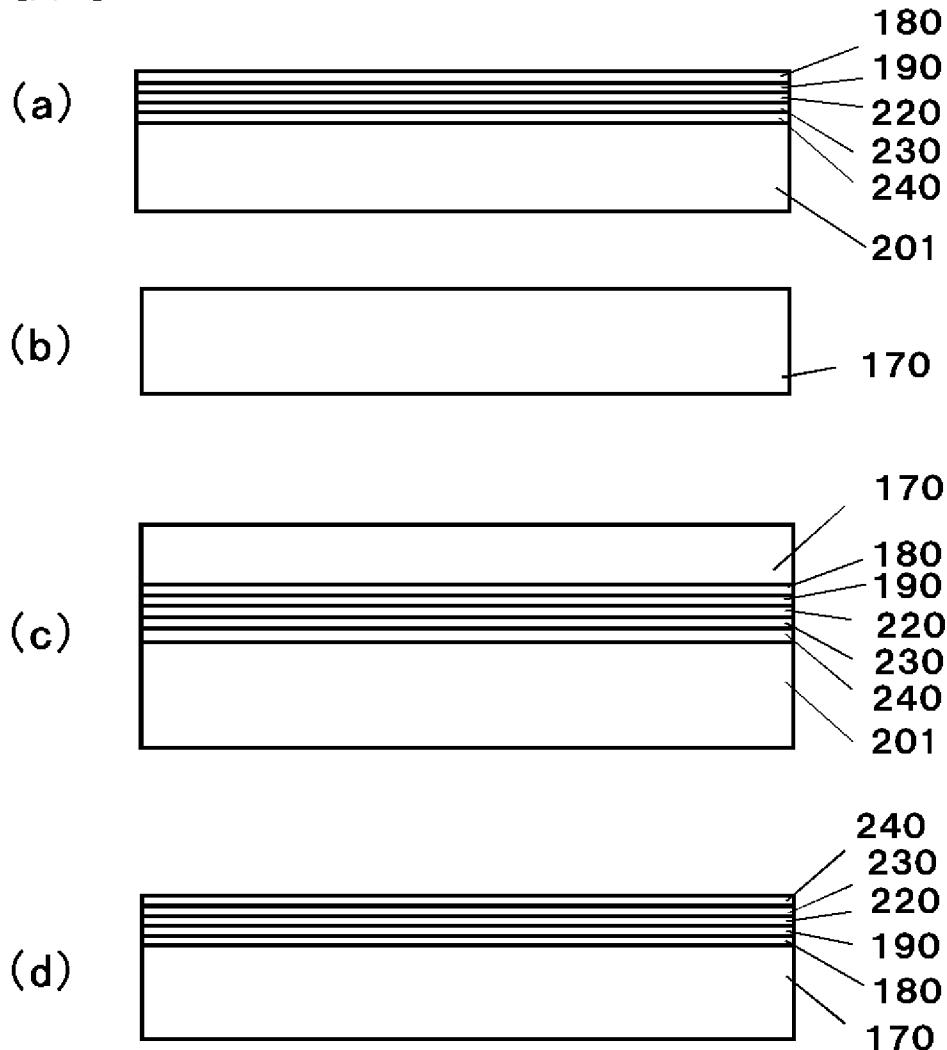
[図8]



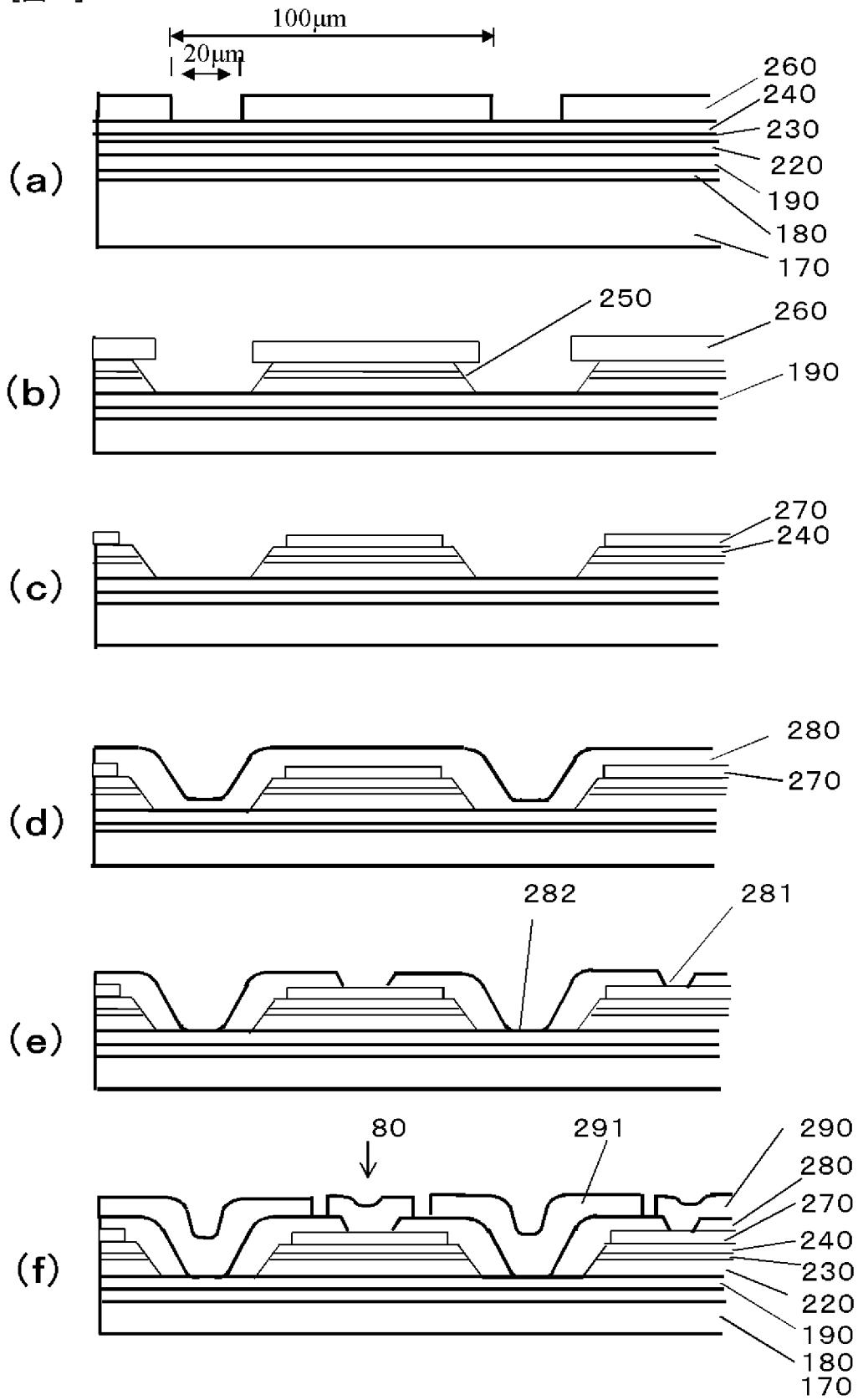
[図9]



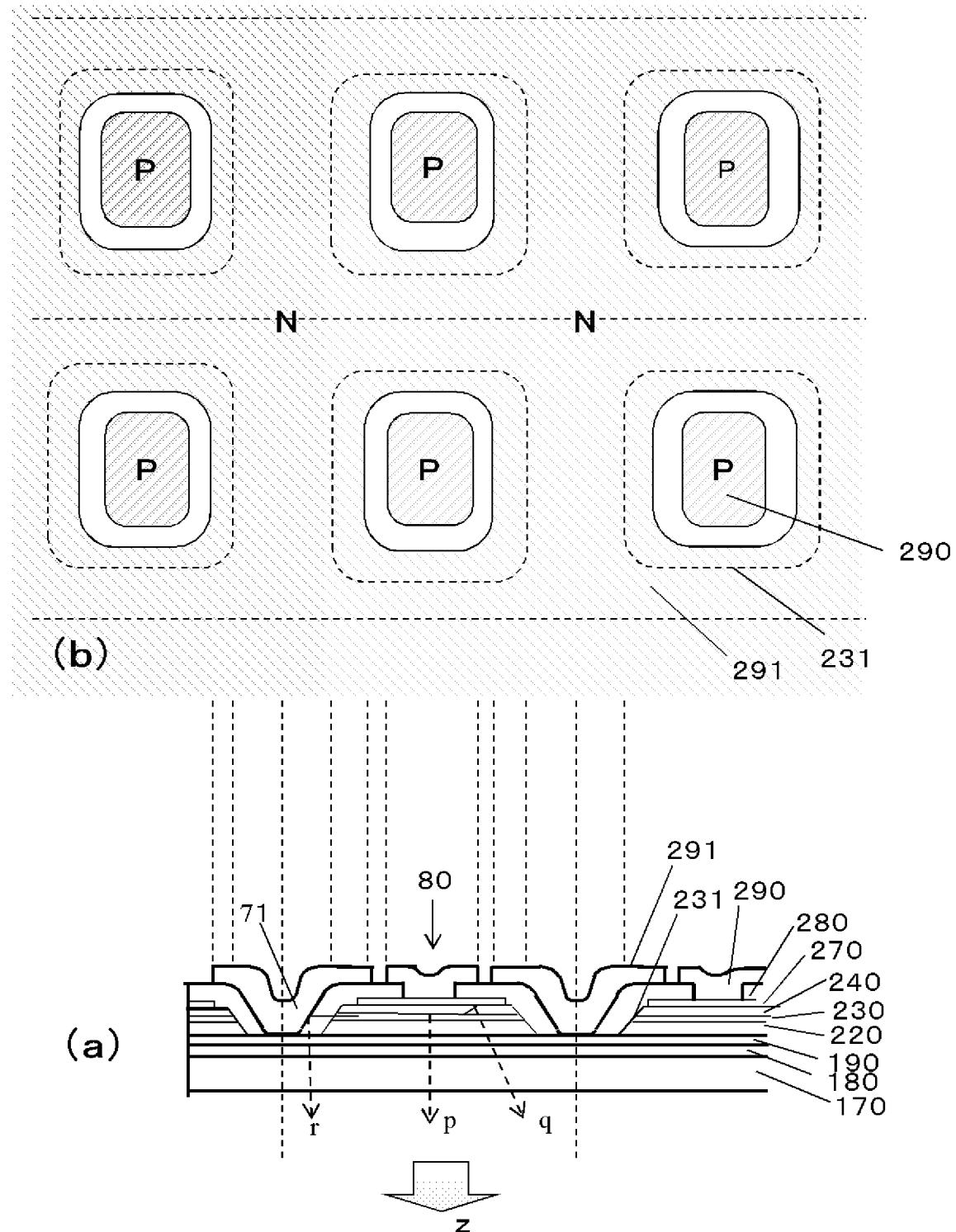
[図10]



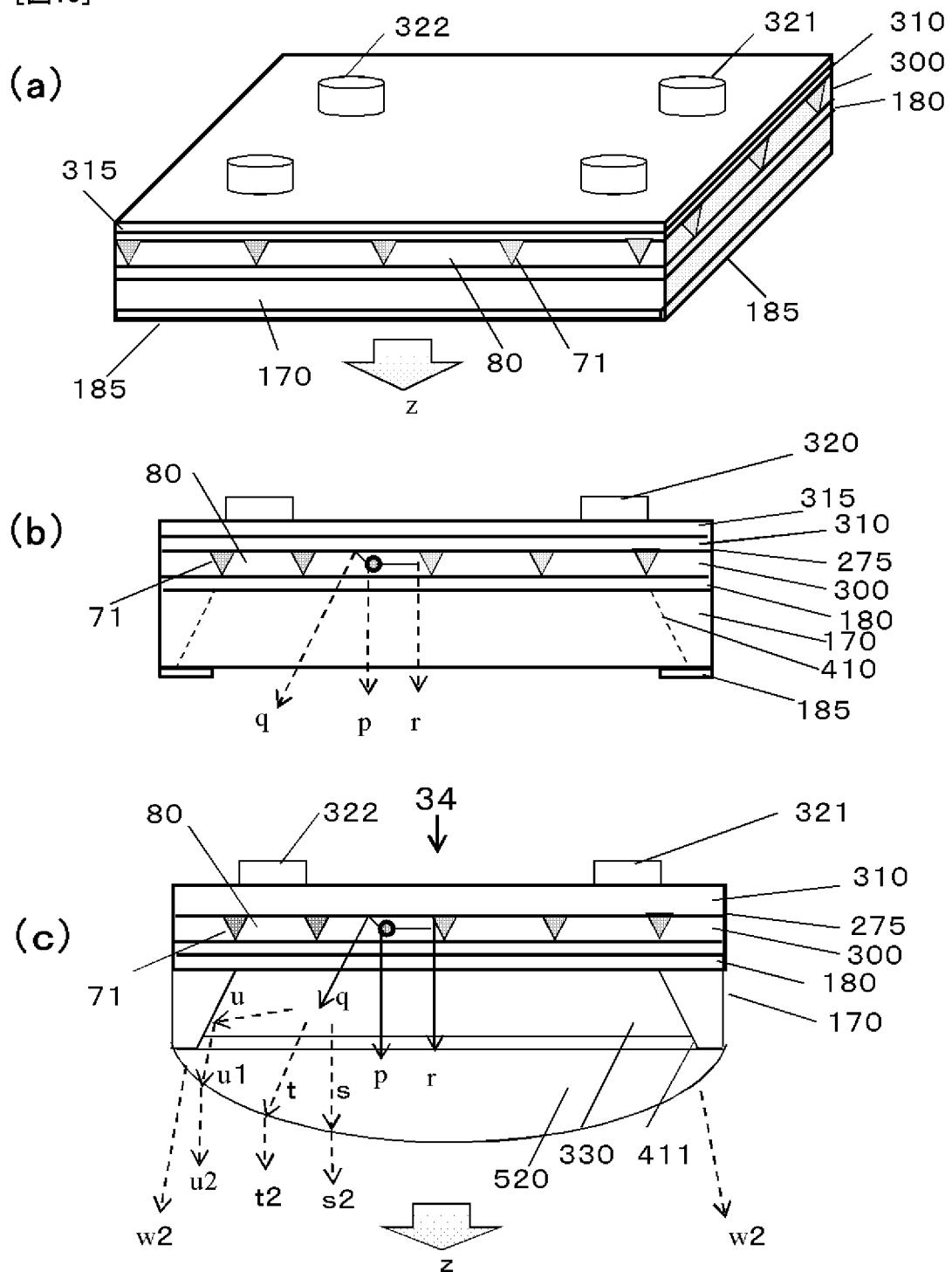
[図11]



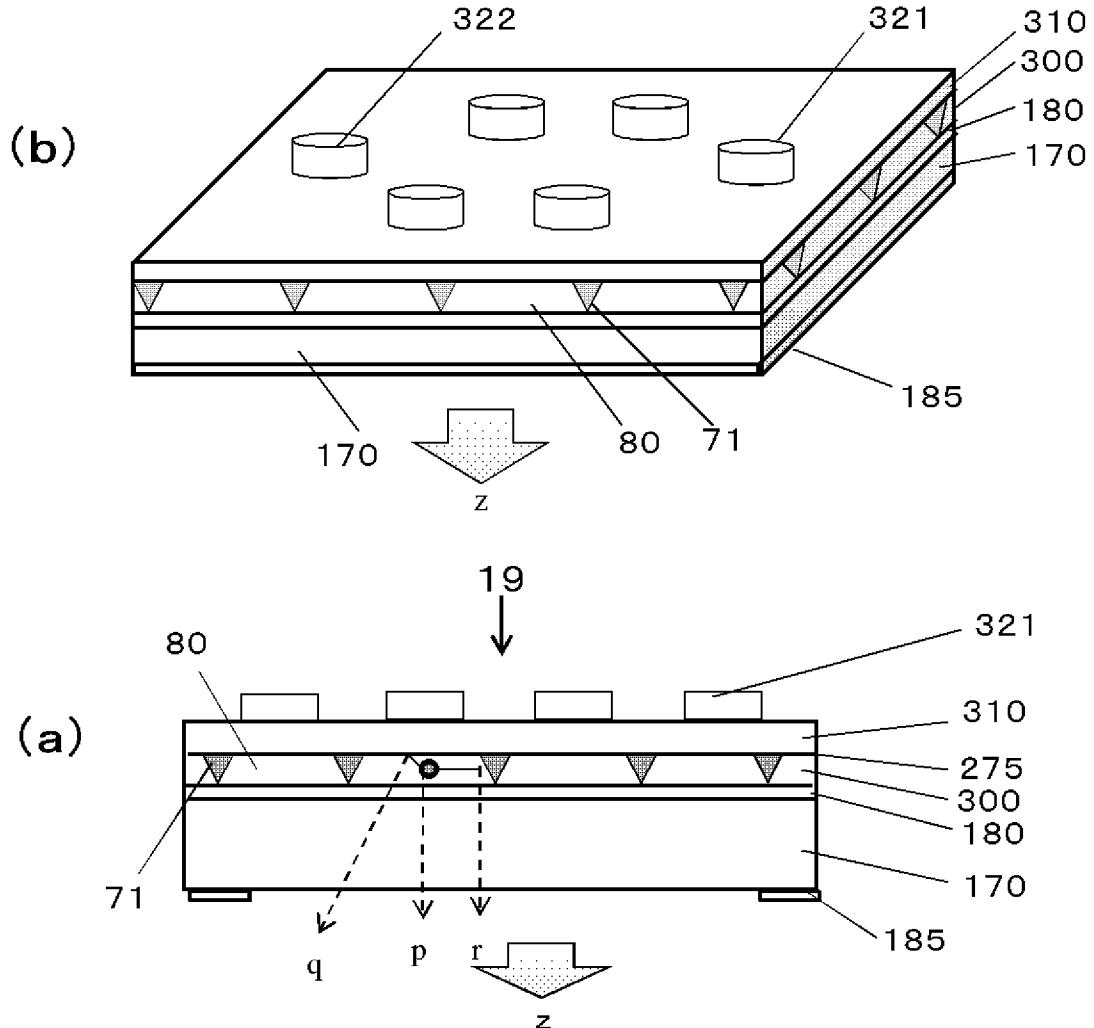
[図12]



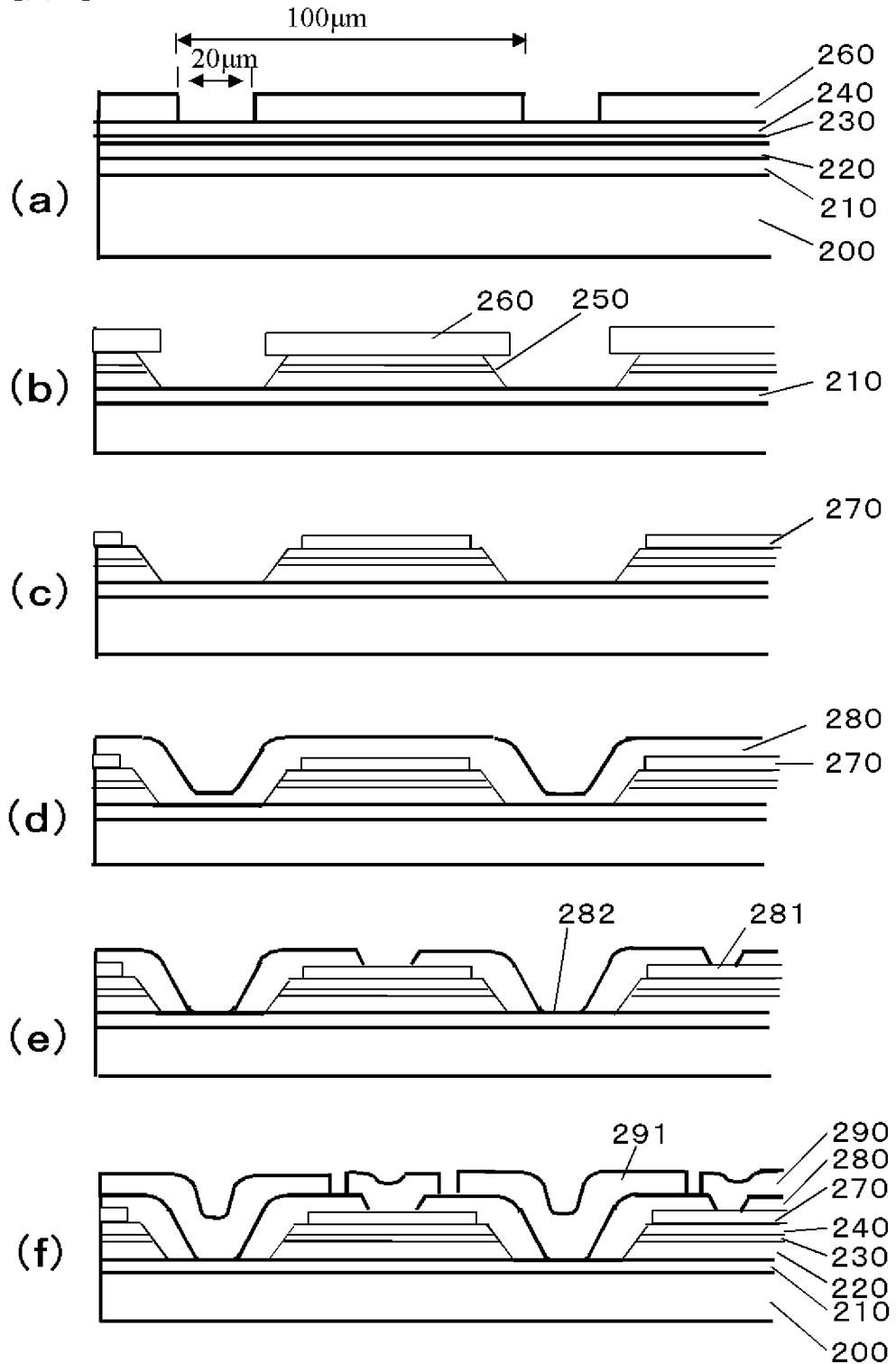
[図13]



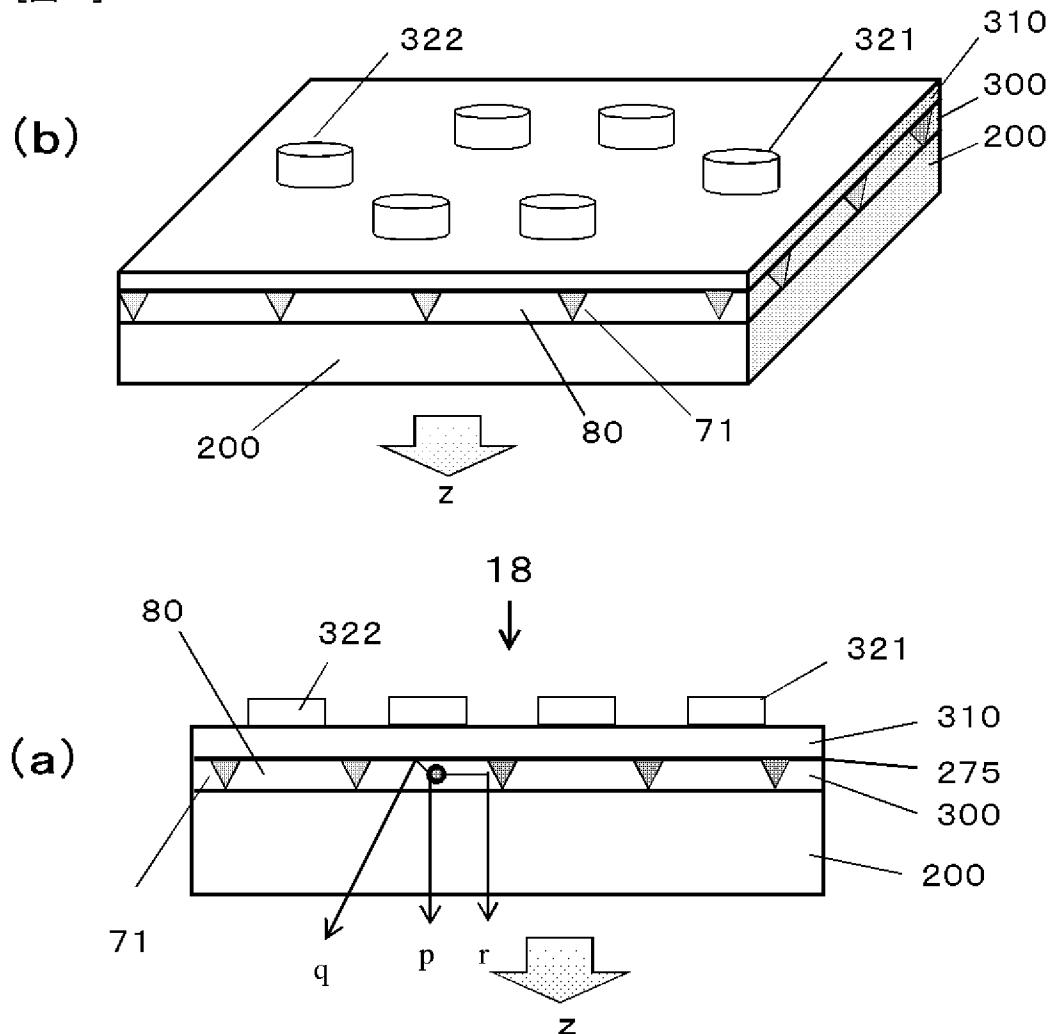
[図14]



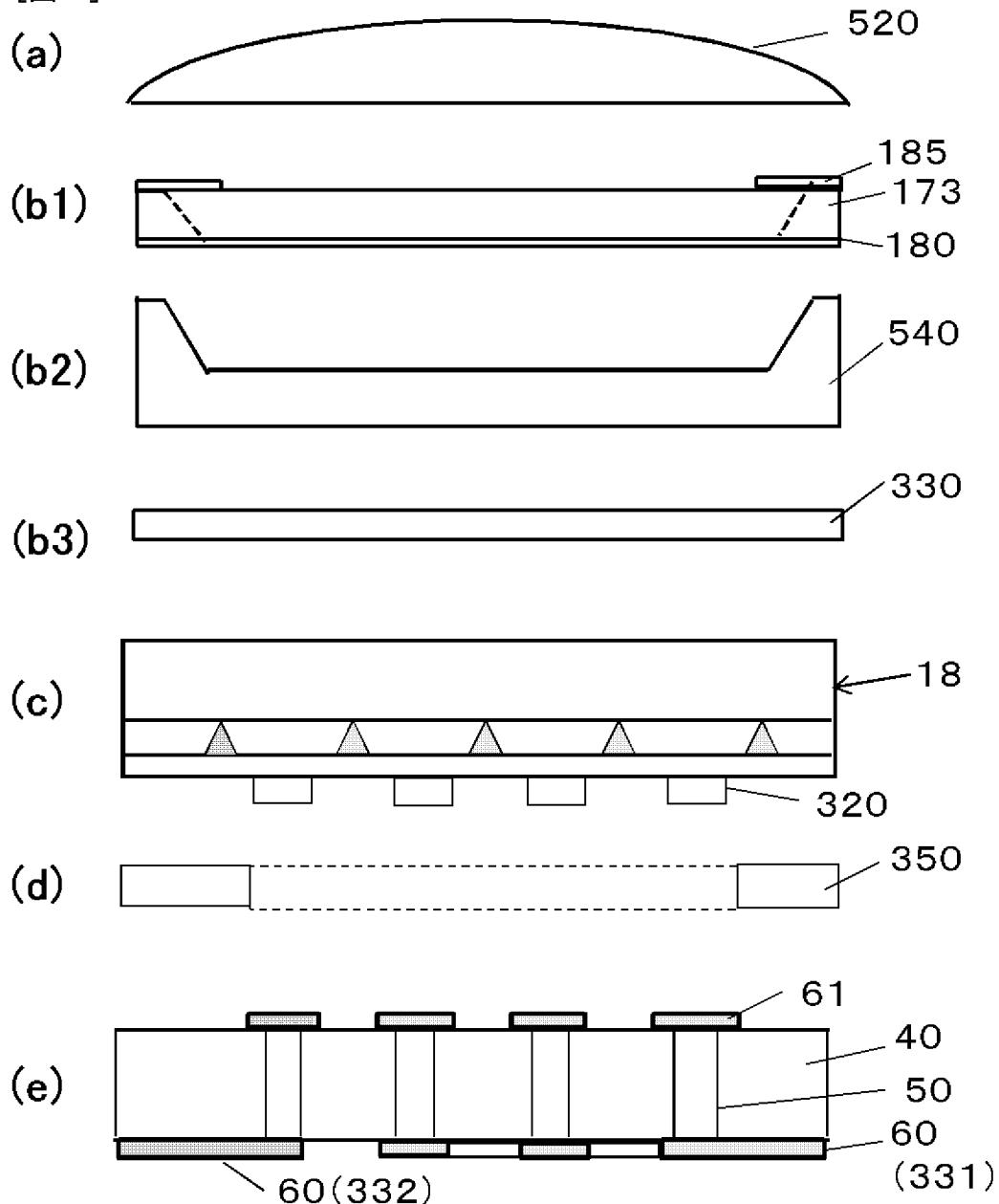
[図15]



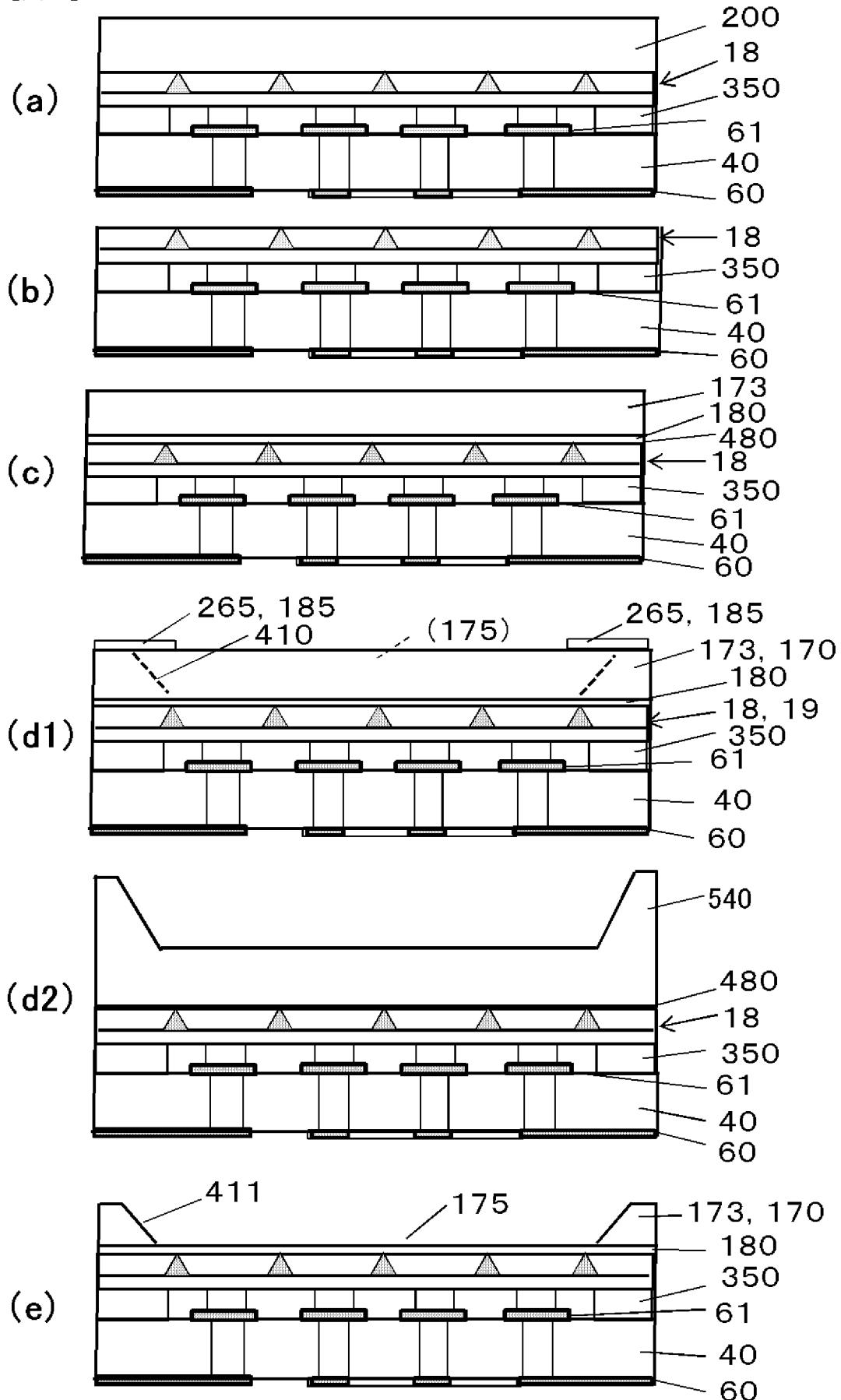
[図16]



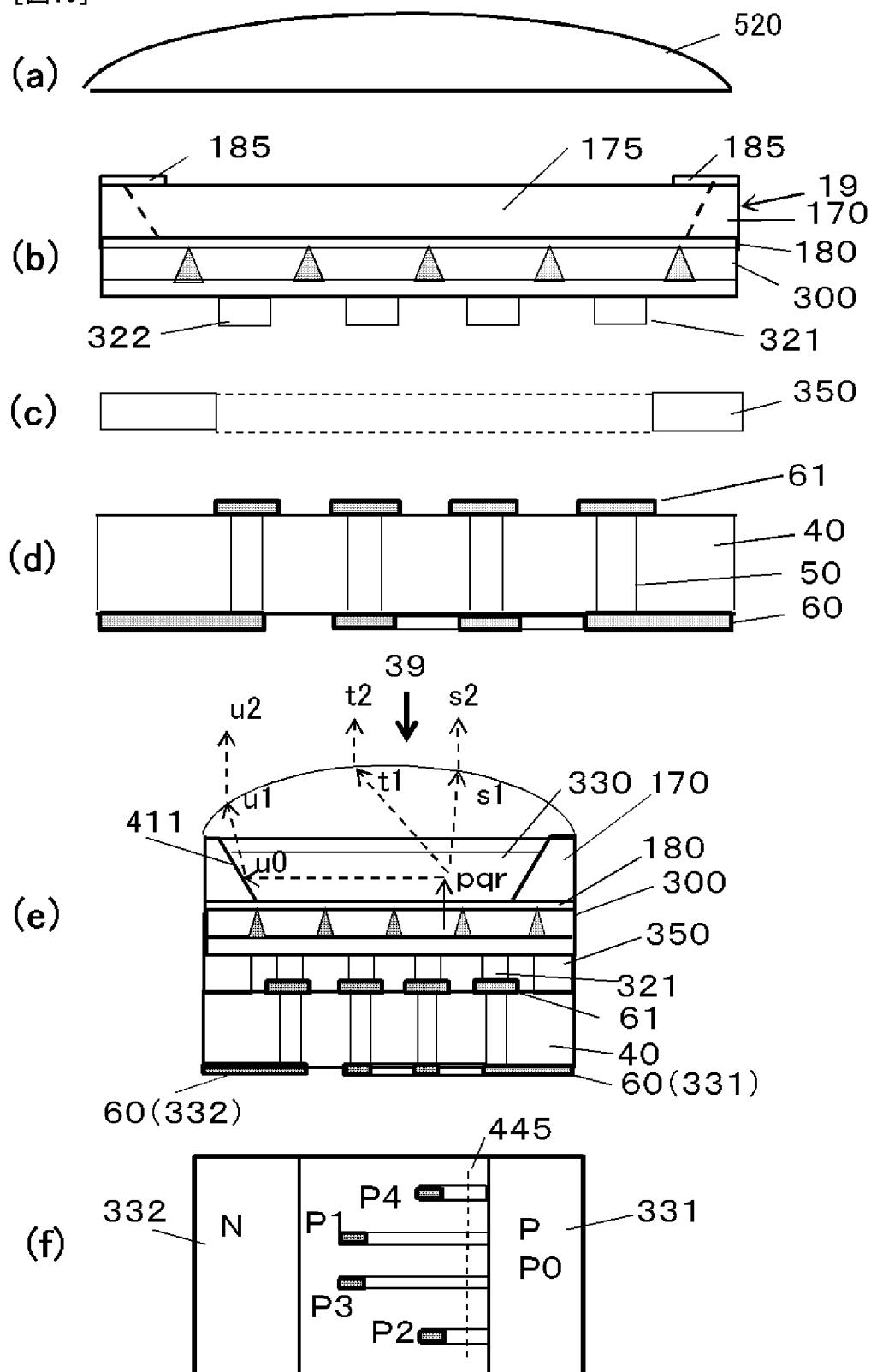
[図17]



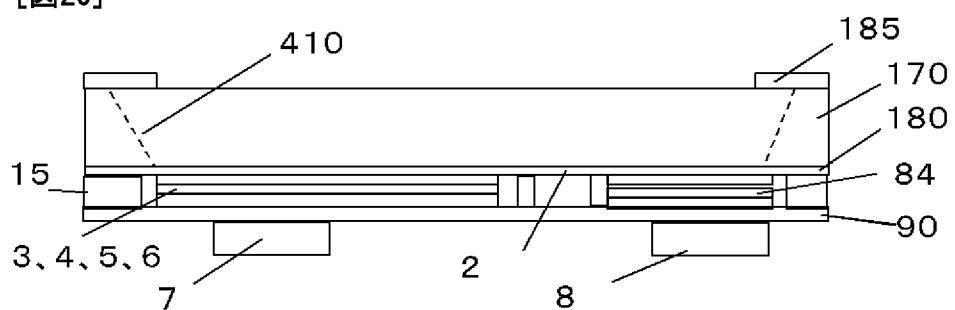
[図18]



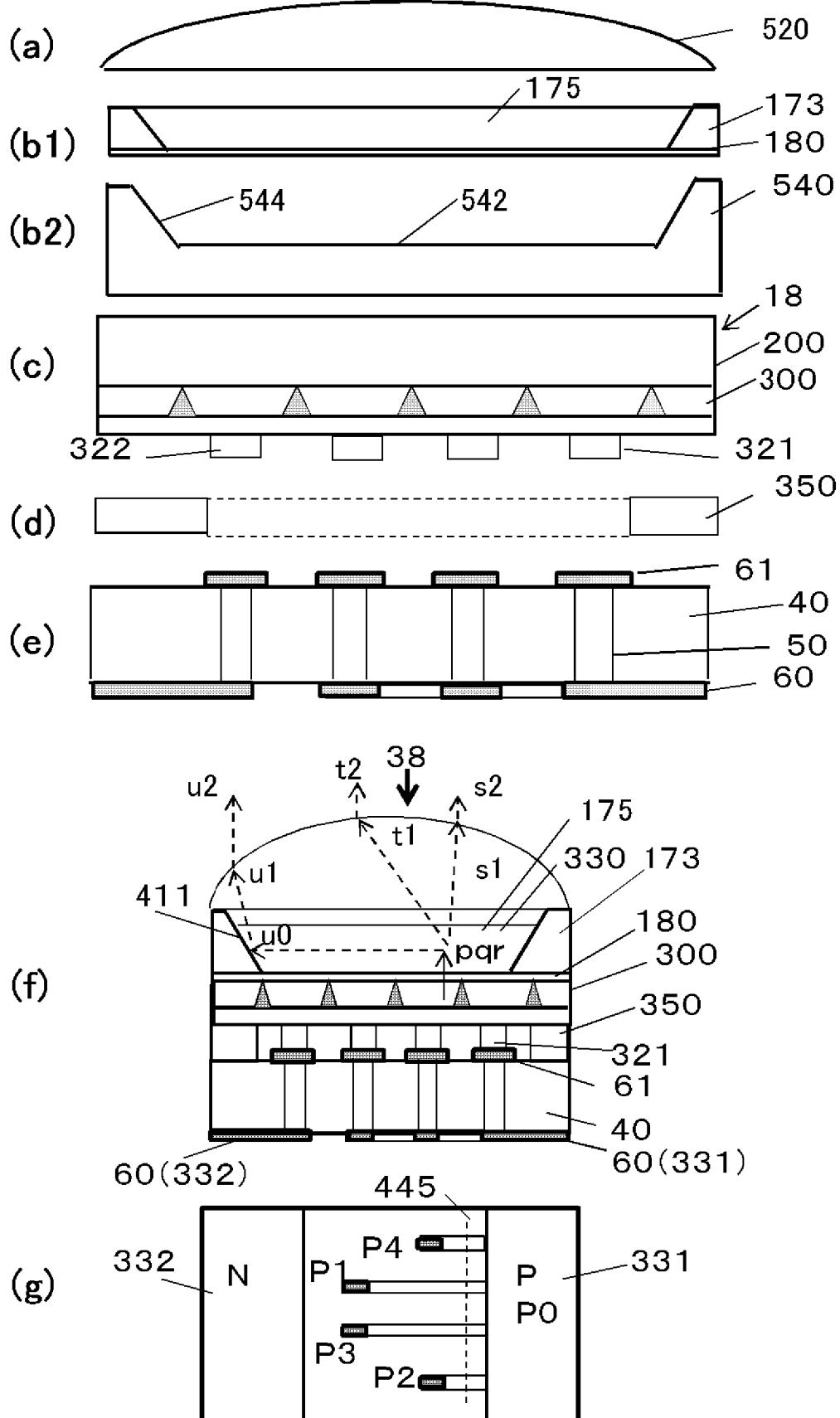
[図19]



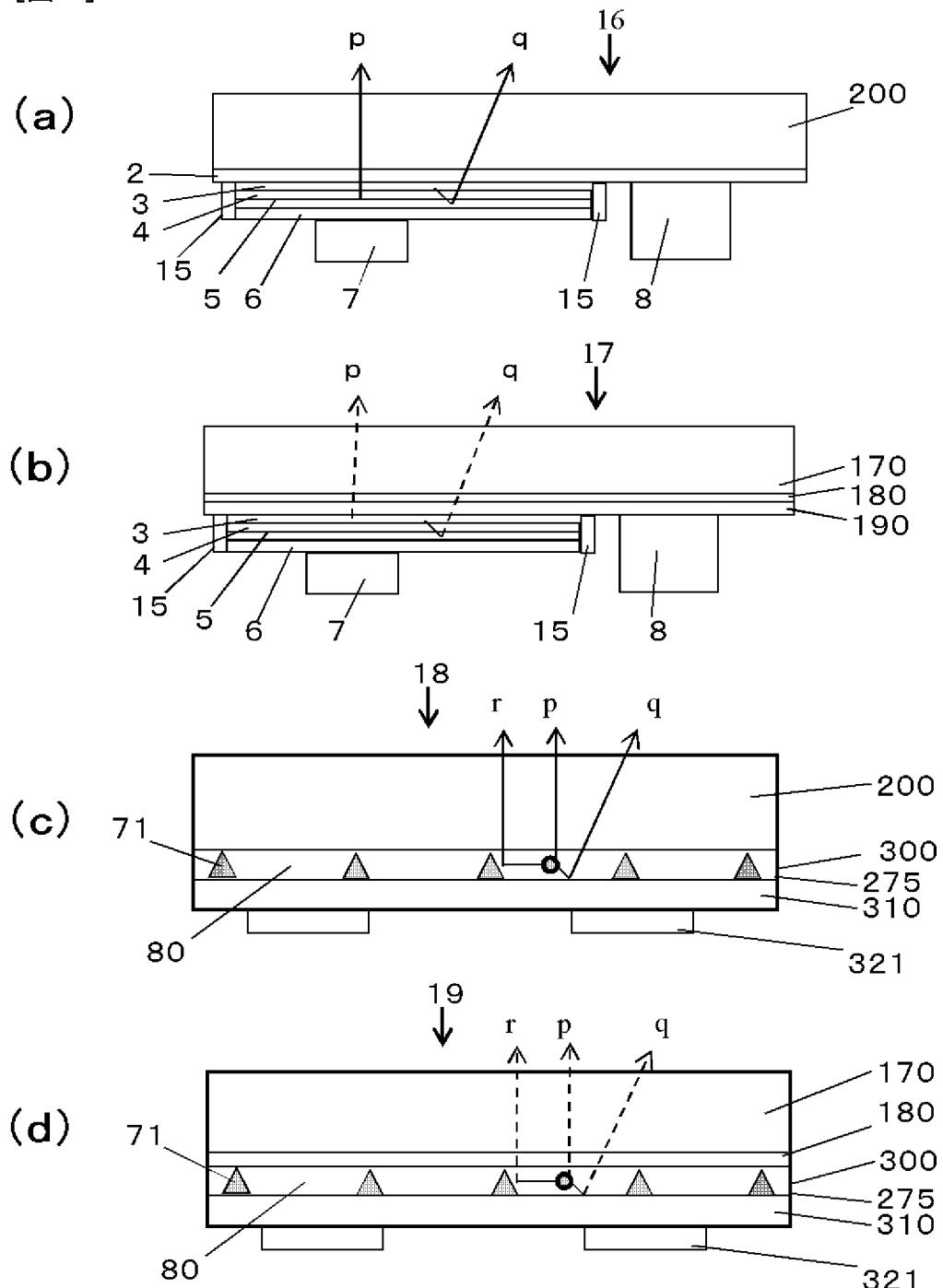
[図20]



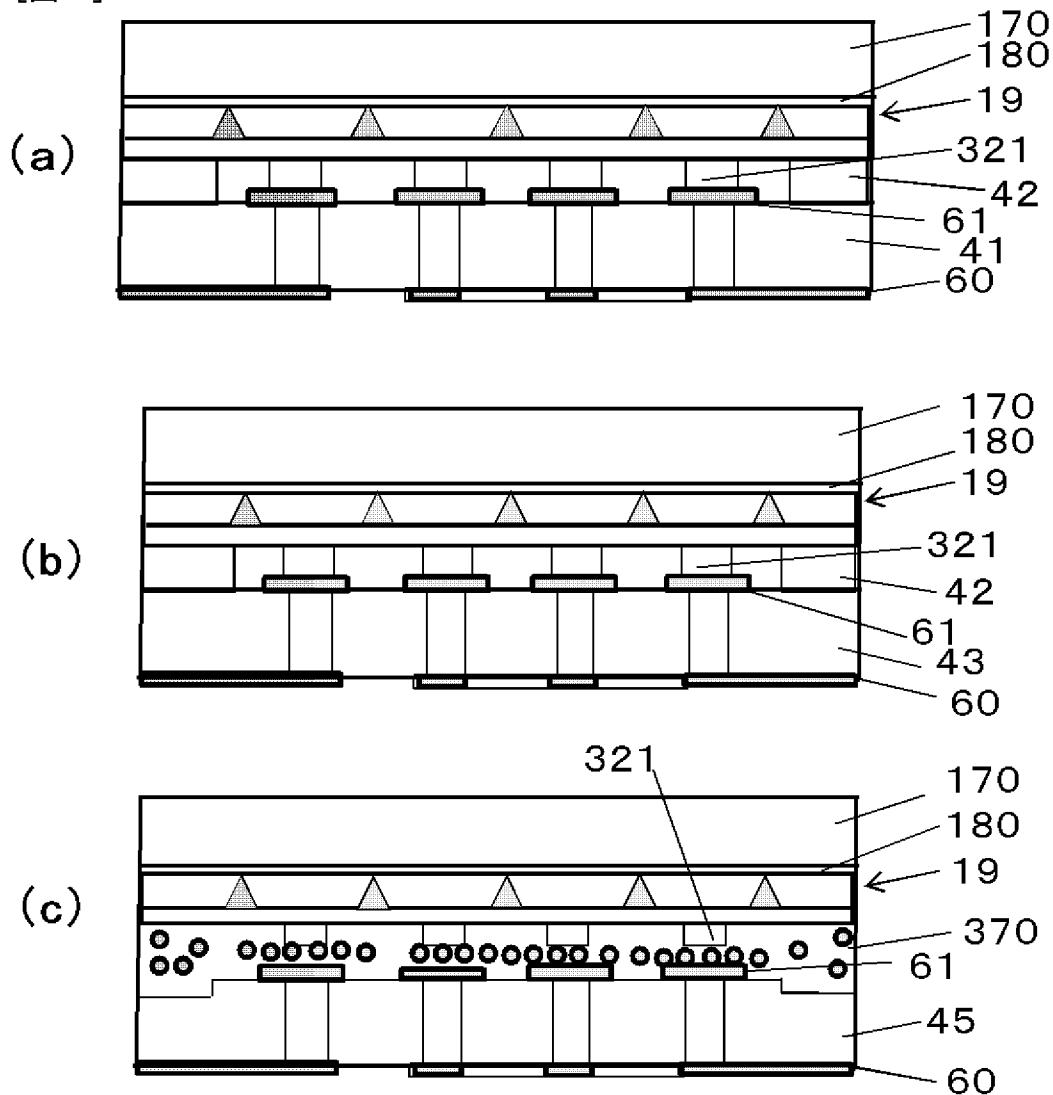
## [図21]



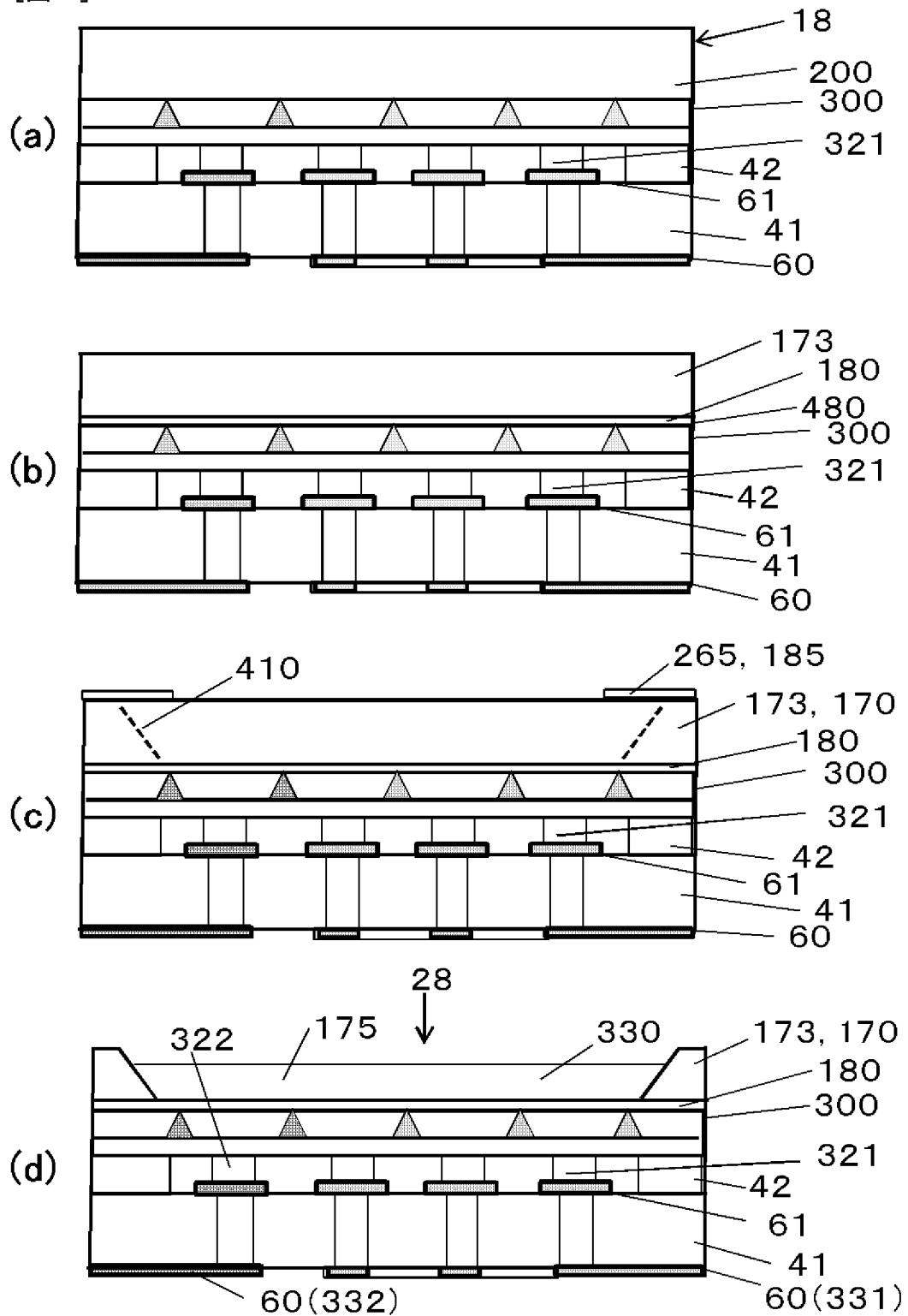
[図22]



[図23]

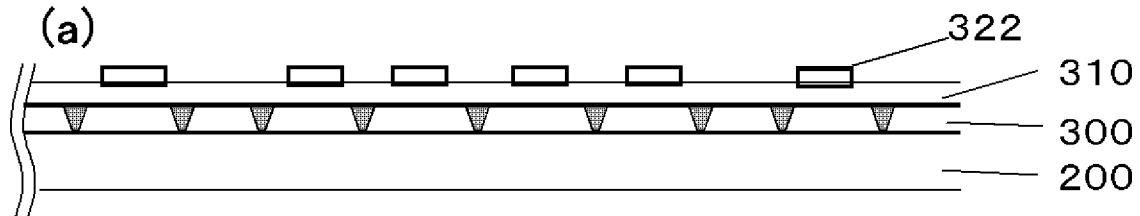


[図24]

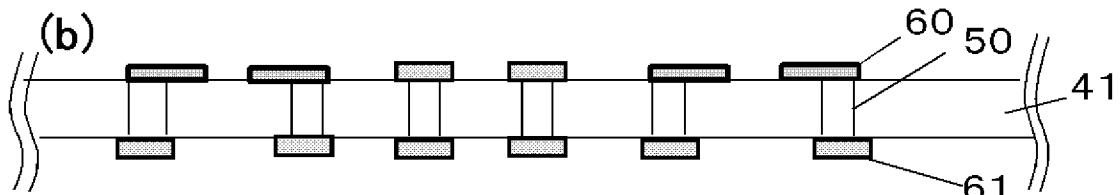


[図25]

(a)



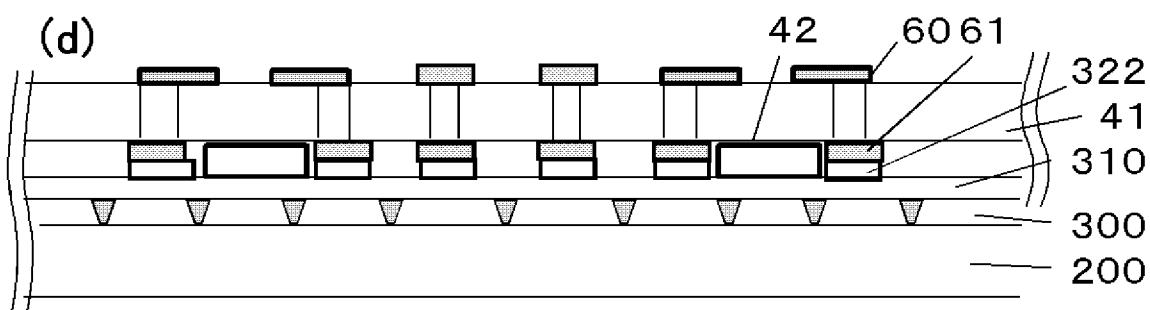
(b)



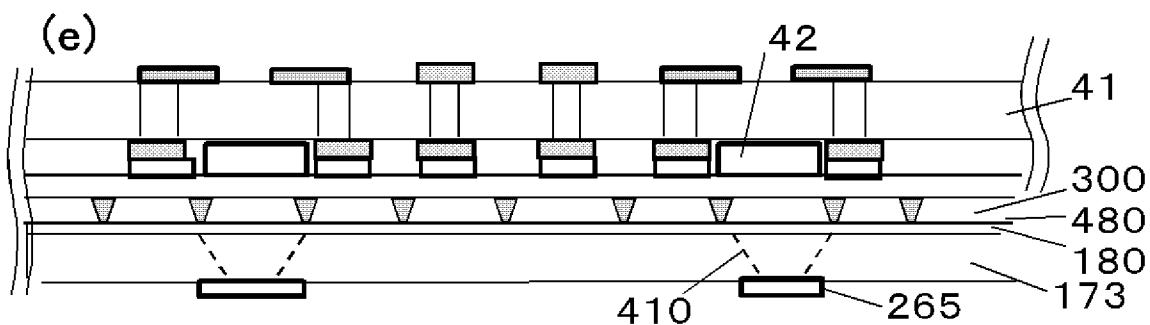
(c)



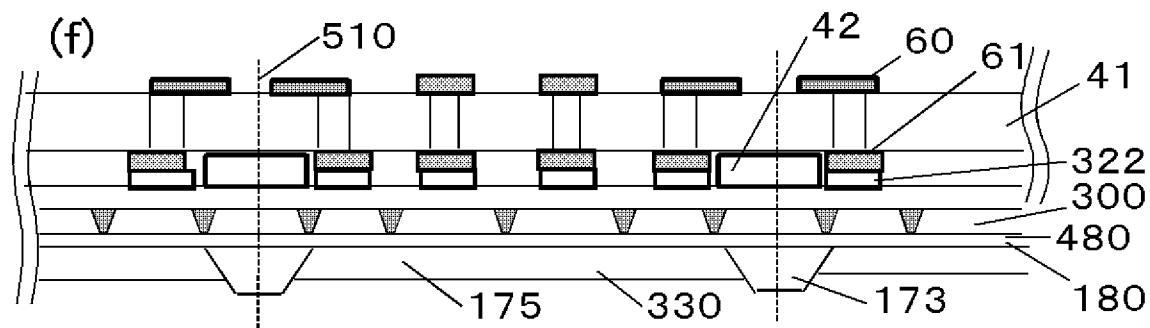
(d)



(e)

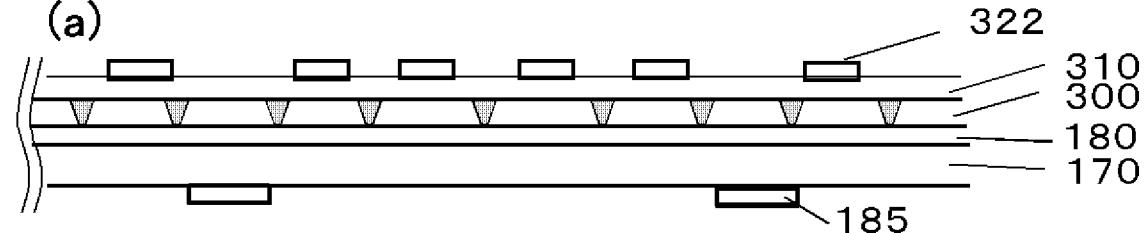


(f)

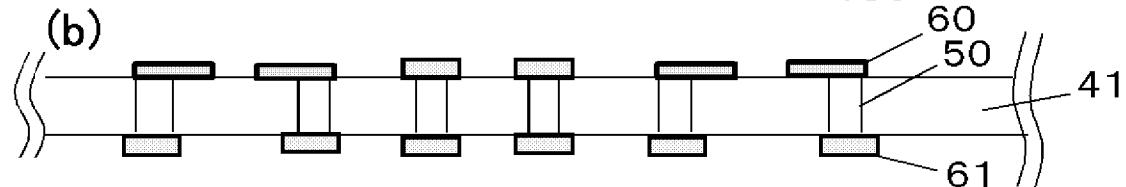


[図26]

(a)



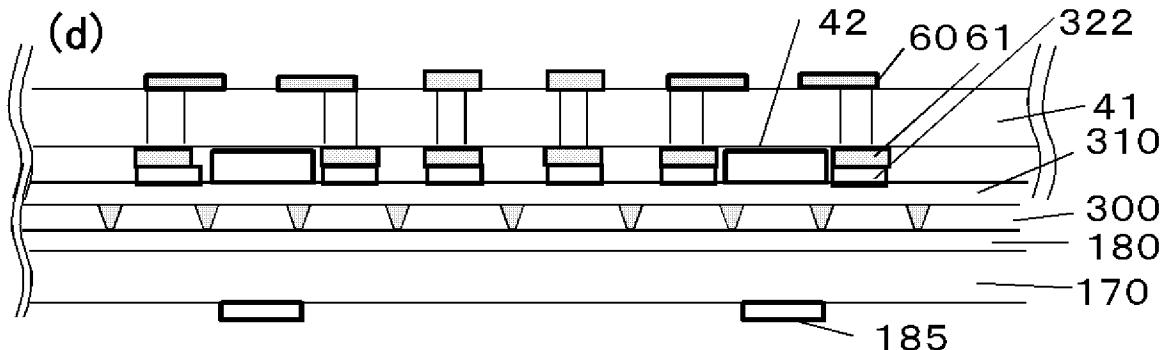
(b)



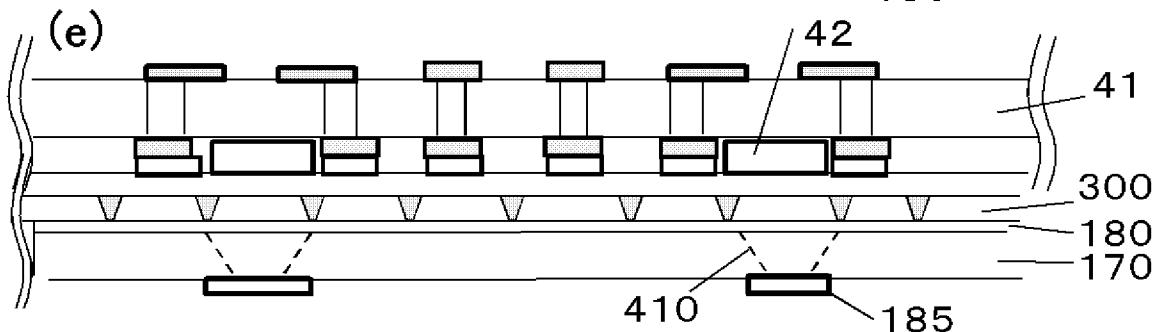
(c)



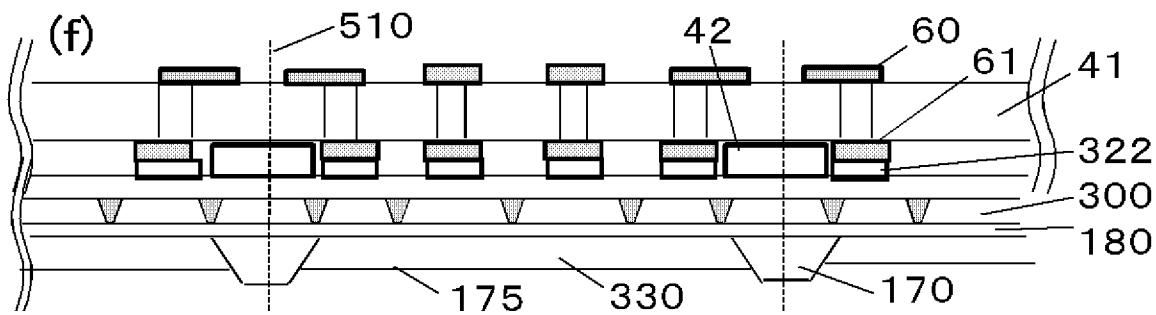
(d)



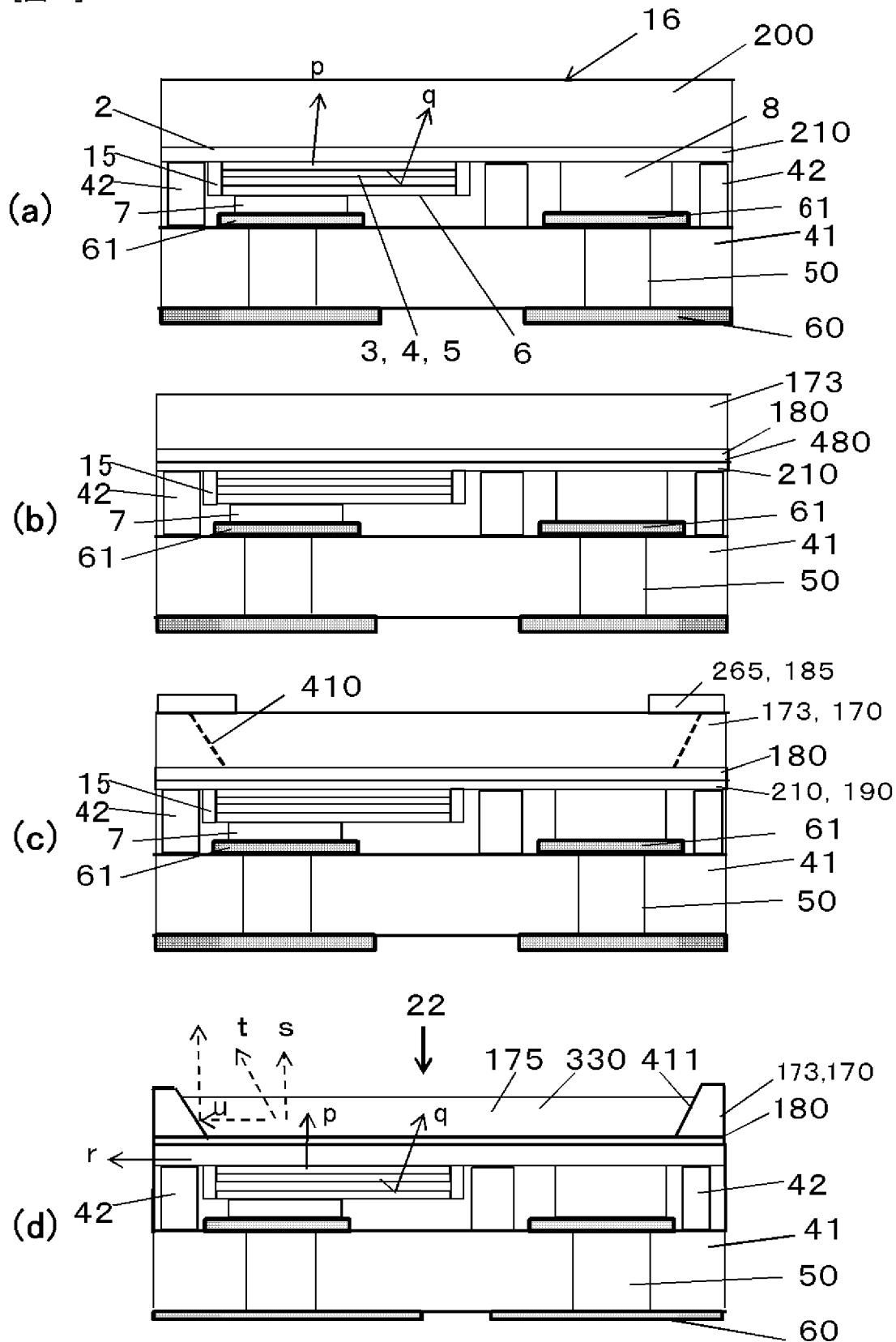
(e)



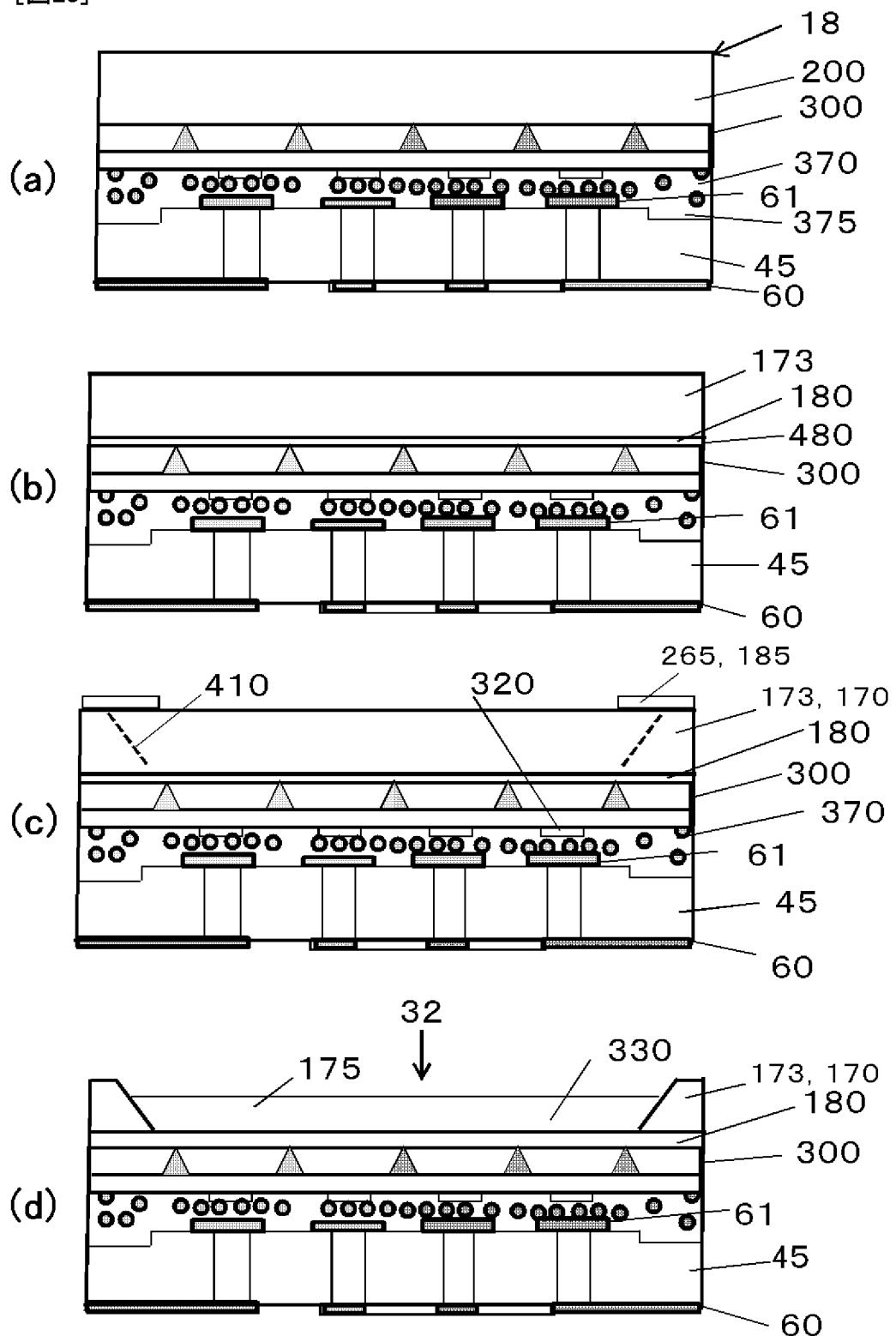
(f)



[図27]

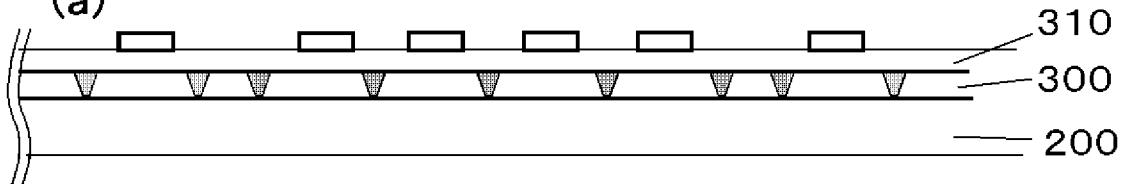


[図28]

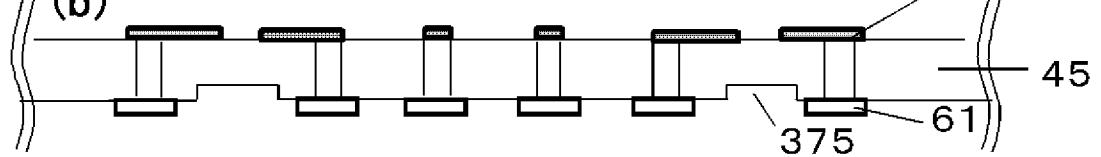


[図29]

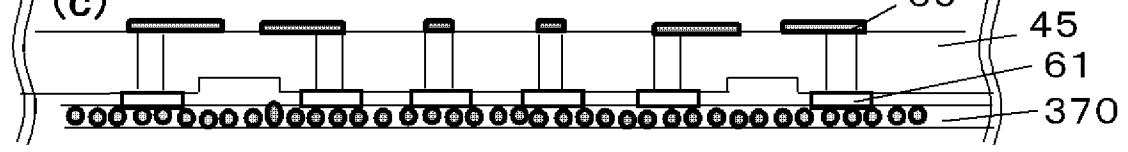
(a)



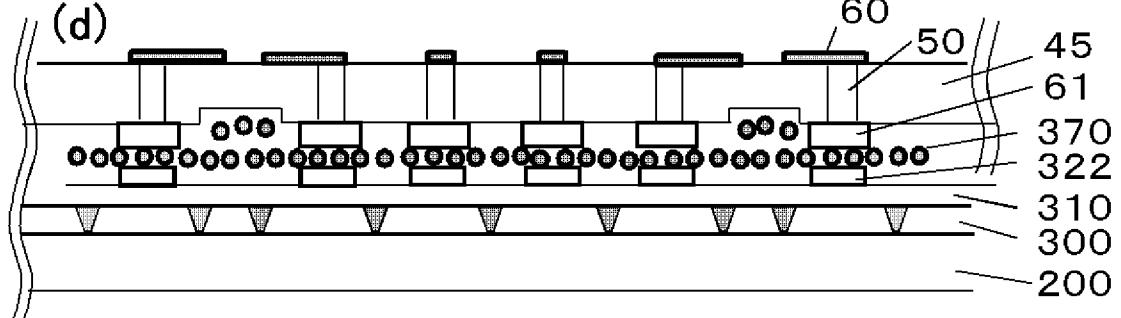
(b)



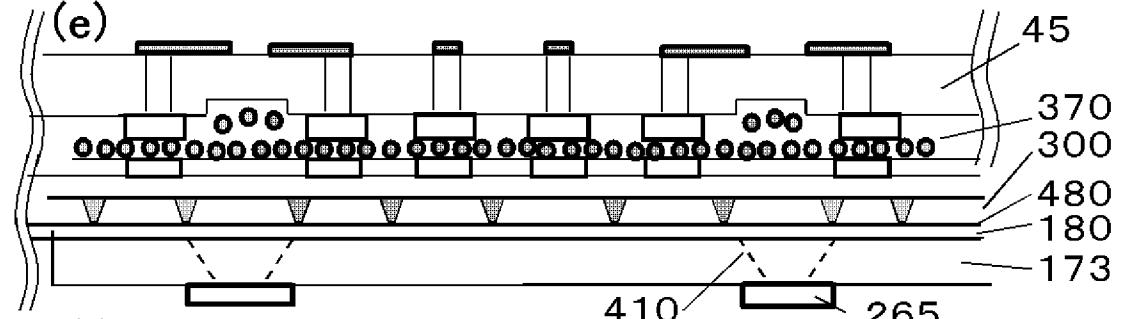
(c)



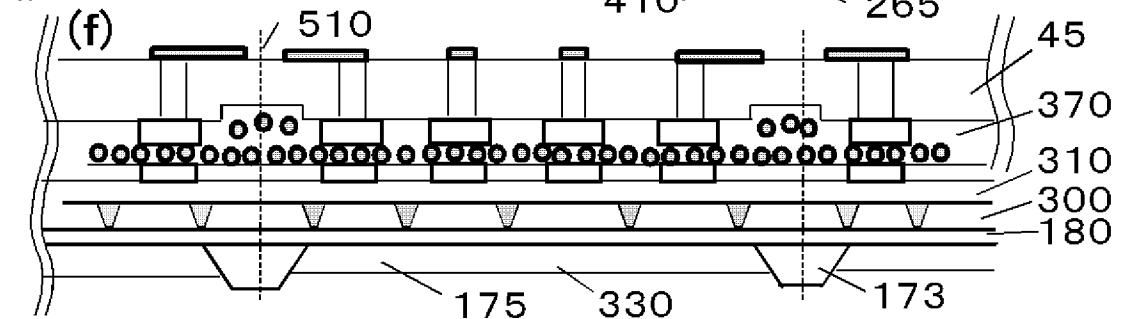
(d)



(e)

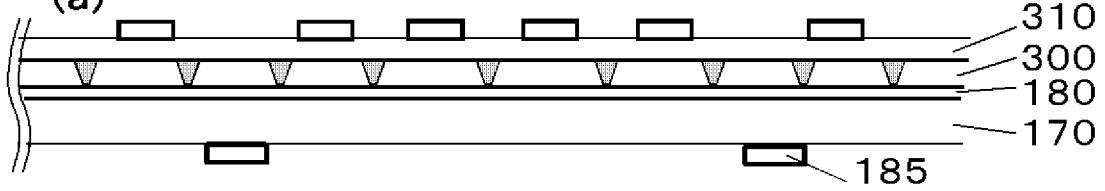


(f)

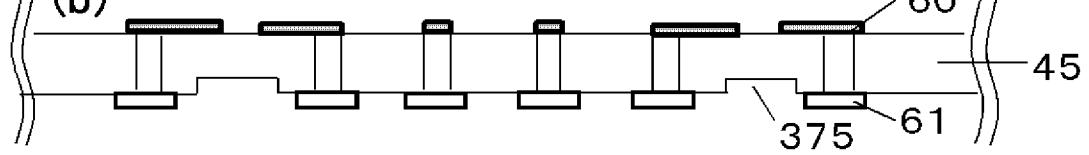


[図30]

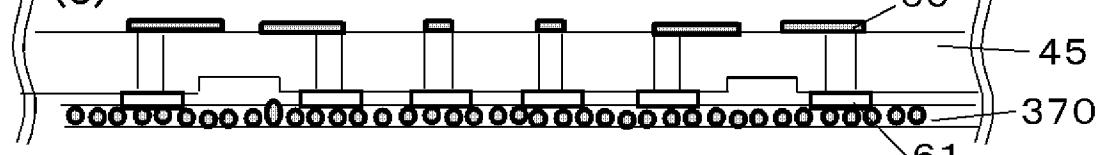
(a)



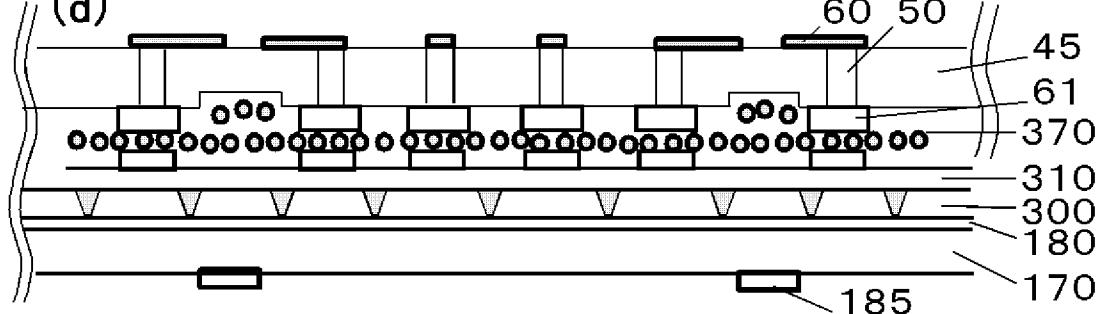
(b)



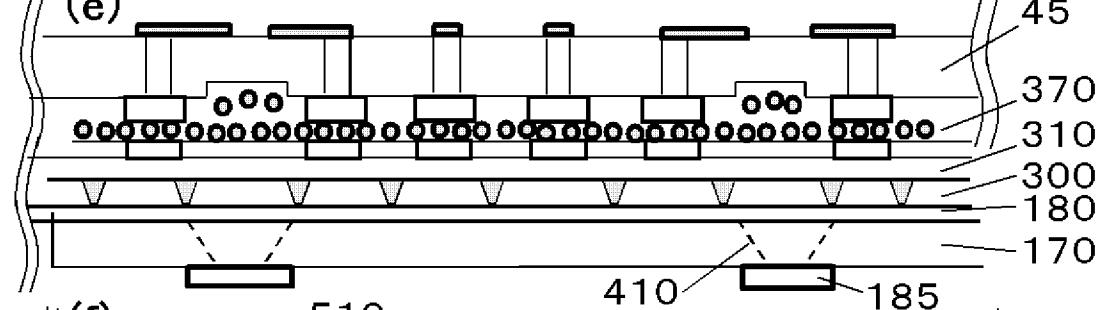
(c)



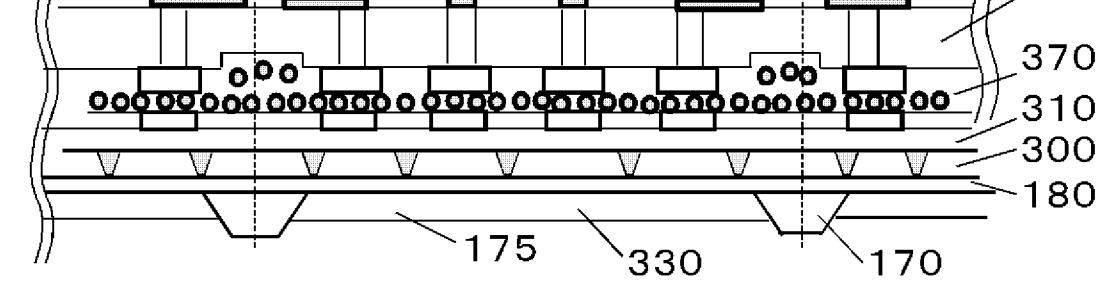
(d)



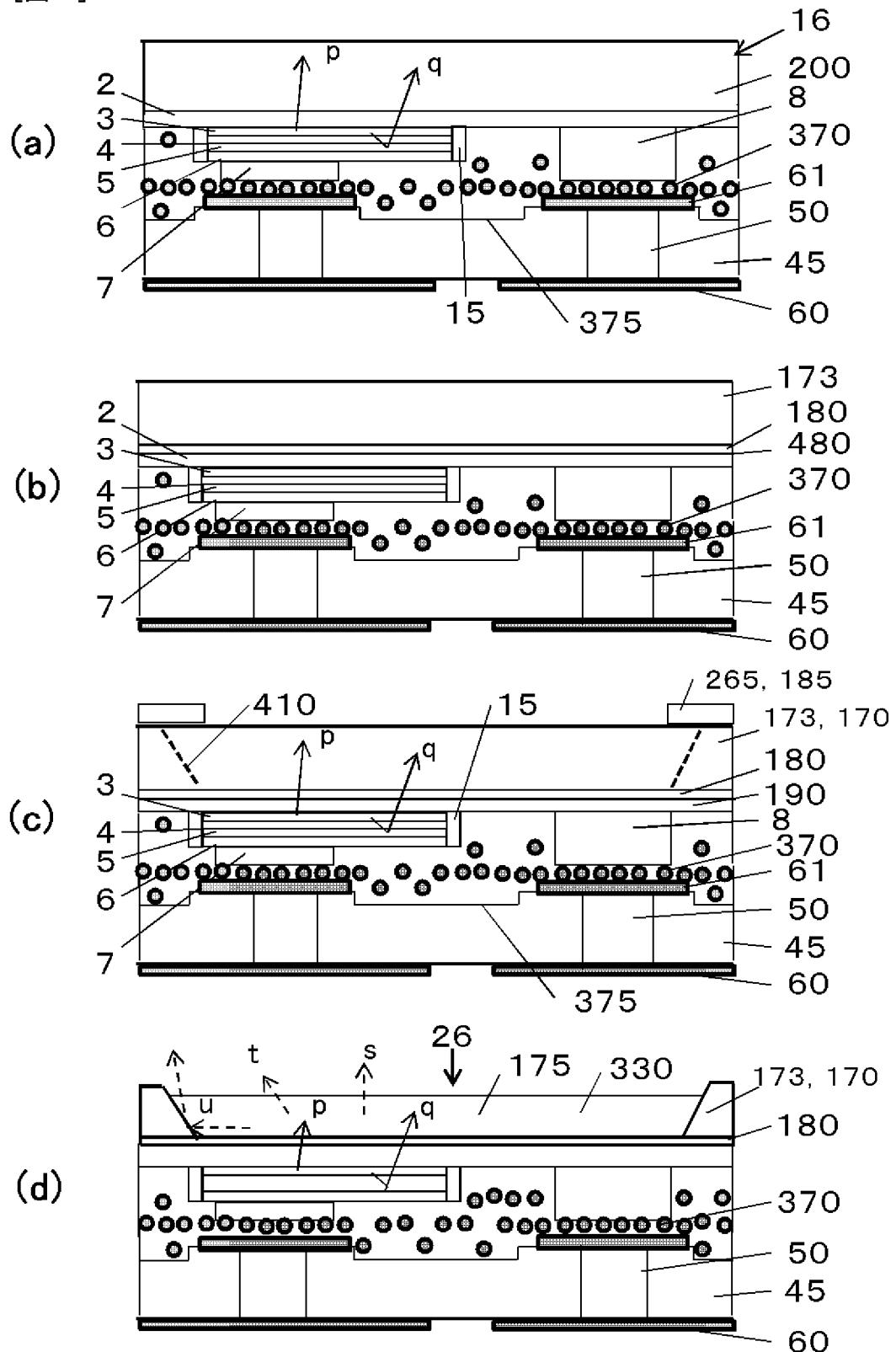
(e)



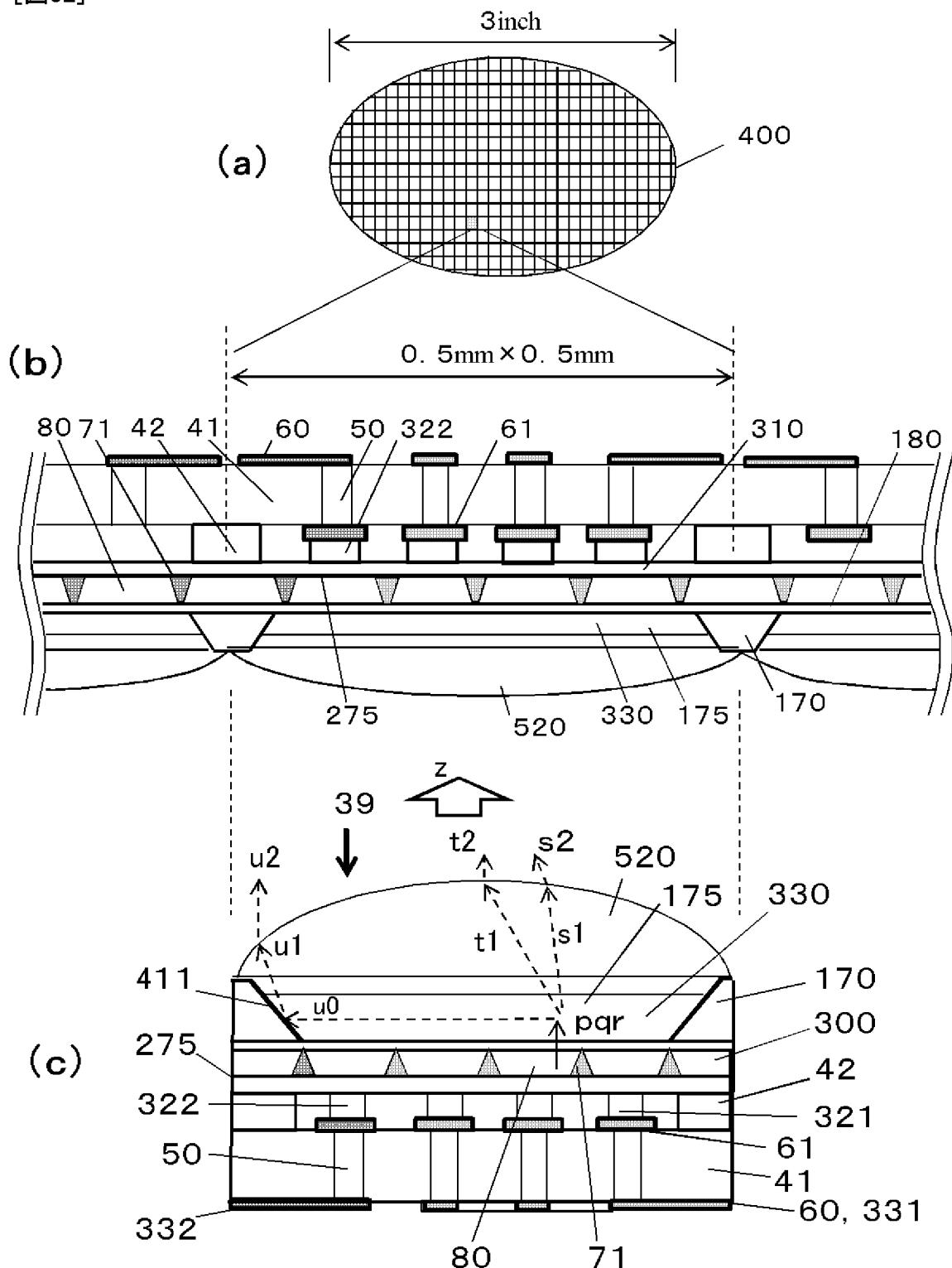
(f)



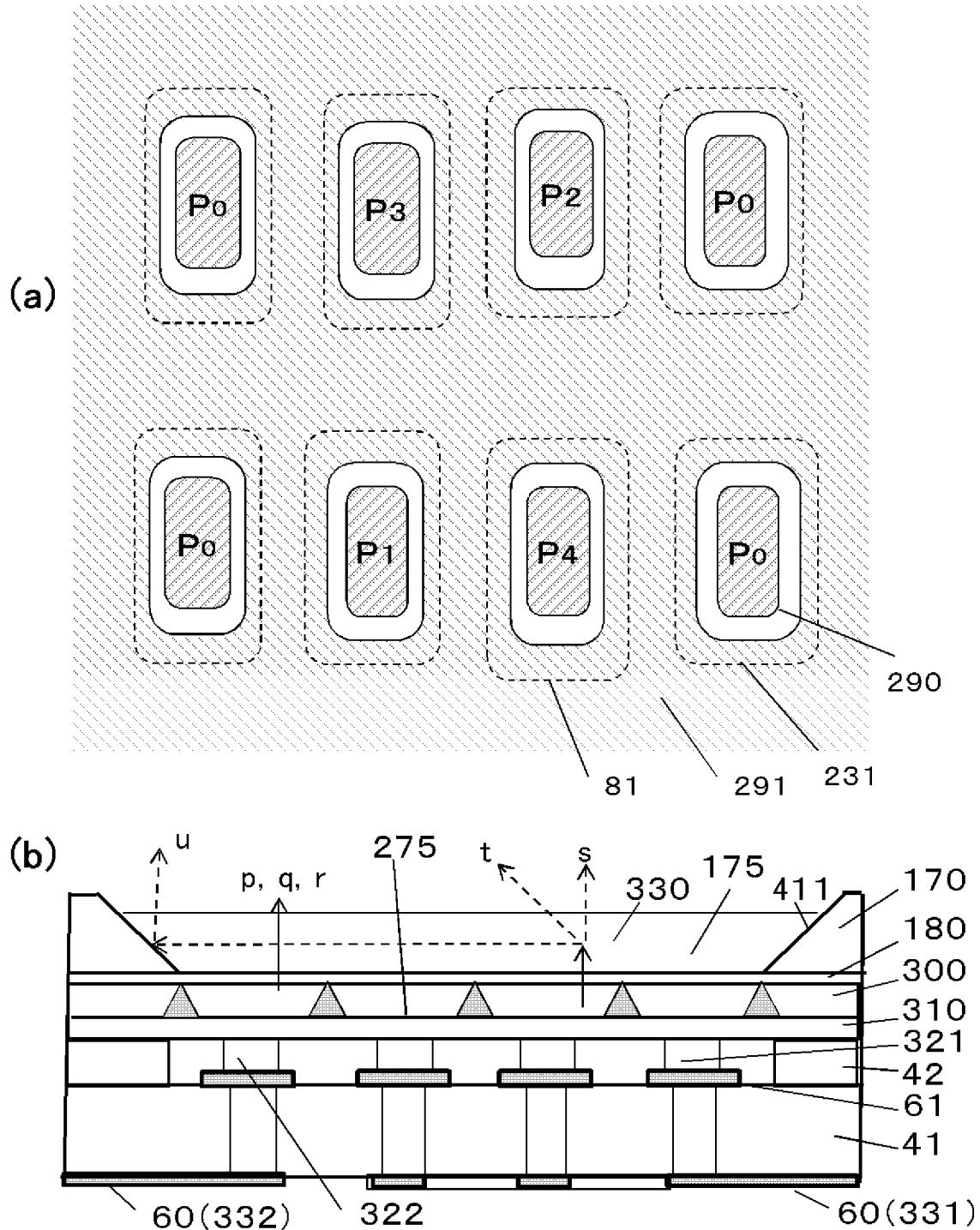
[図31]



[図32]

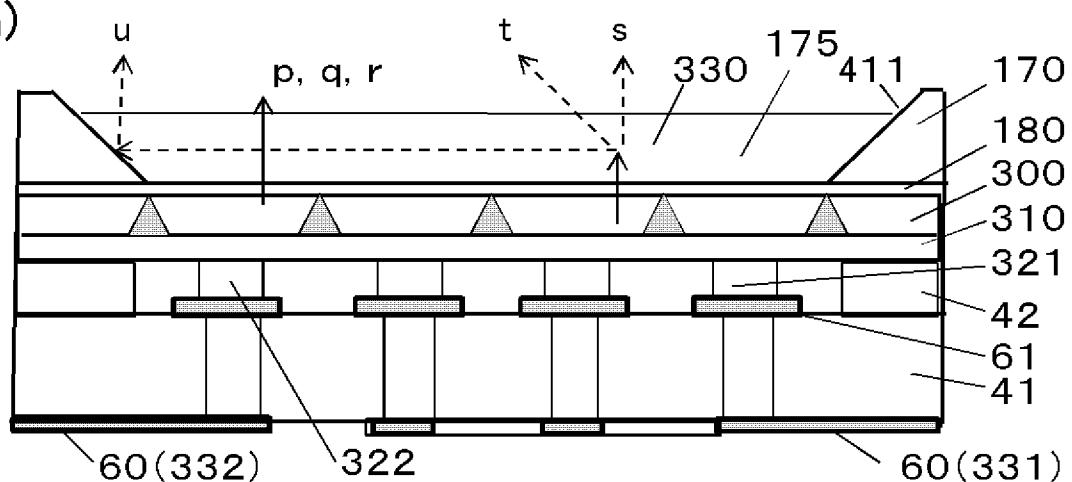


[図33]

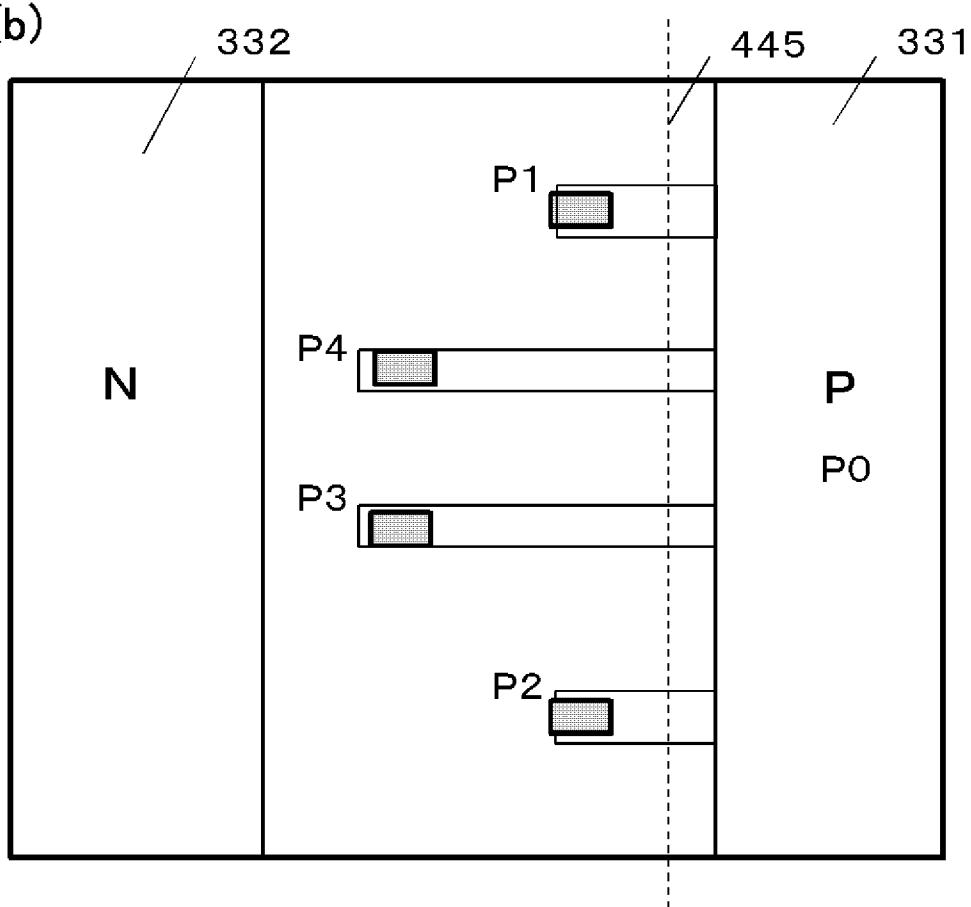


[図34]

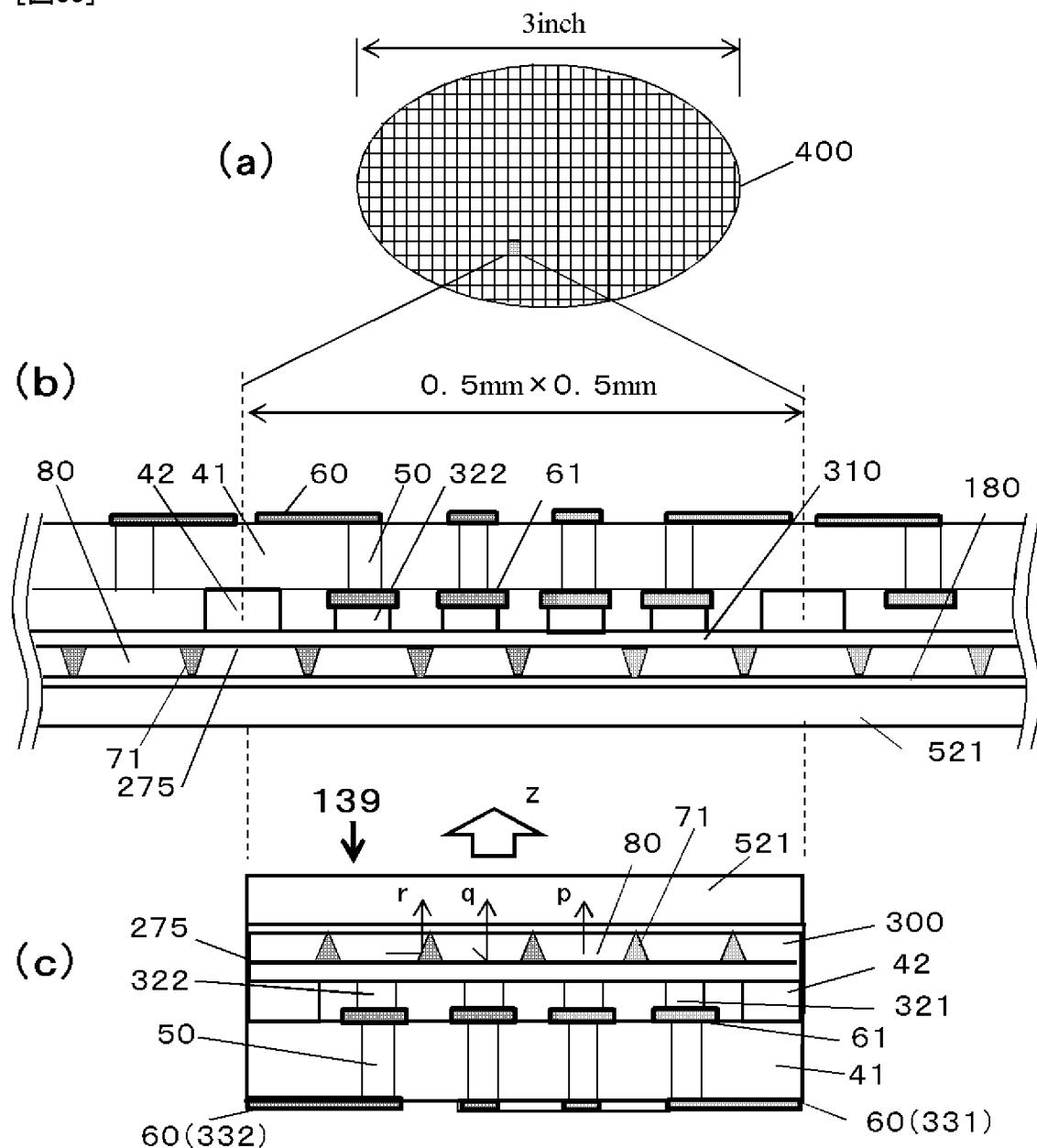
(a)



(b)



[図35]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054966

### A. CLASSIFICATION OF SUBJECT MATTER

*H01L33/58(2010.01)i, H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L23/32(2006.01)i, H01L33/48(2010.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

### B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

*H01L33/00-33/64*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	1922-1996	<i>Jitsuyo Shinan Toroku Koho</i>	1996-2011
<i>Kokai Jitsuyo Shinan Koho</i>	1971-2011	<i>Toroku Jitsuyo Shinan Koho</i>	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-501405 A (Carl-Zeiss-Stiftung), 13 January 2005 (13.01.2005), entire text; all drawings & JP 2005-501405 A & JP 2005-501414 A & JP 2005-503270 A & JP 2009-94540 A & US 2003/0113979 A1 & US 2004/0214380 A1 & US 2004/0256349 A1 & US 2005/0042786 A1 & WO 2003/019617 A2 & WO 2003/019653 A2 & WO 2003/024865 A2	1-4 5-12
Y	JP 2008-198702 A (Stanley Electric Co., Ltd.), 28 August 2008 (28.08.2008), paragraphs [0028] to [0055]; fig. 1 to 7 (Family: none)	5-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
22 March, 2011 (22.03.11)

Date of mailing of the international search report  
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/054966

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-43764 A (Nichia Chemical Industries, Ltd.), 26 February 2009 (26.02.2009), paragraphs [0010] to [0059]; fig. 1 to 6 (Family: none)	6-12
Y	JP 2008-235792 A (Matsushita Electric Industrial Co., Ltd.), 02 October 2008 (02.10.2008), paragraphs [0076] to [0081]; fig. 11 (Family: none)	9-12
Y	JP 2007-294700 A (Matsushita Electric Industrial Co., Ltd.), 08 November 2007 (08.11.2007), paragraphs [0016] to [0085]; fig. 1 to 14 (Family: none)	10-12
Y	JP 2005-117028 A (Matsushita Electric Industrial Co., Ltd.), 28 April 2005 (28.04.2005), paragraphs [0022] to [0088]; fig. 1 to 29 (Family: none)	10-12
P,X	JP 2010-219163 A (Koito Manufacturing Co., Ltd.), 30 September 2010 (30.09.2010), entire text; all drawings (Family: none)	1

## **INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.  
PCT/JP2011/054966

JP 2005-501405 A 2005.01.13 US 2005/0064644 A1  
US 2006/0160258 A1  
US 2008/0150063 A1  
US 2010/0065883 A  
EP 1419102 A  
EP 1419530 A  
EP 1419534 A  
DE 10141571 A  
DE 50210653 D  
IL 159728 D  
IL 160189 D  
CN 1545484 A  
CN 1547778 A  
CN 1701441 A  
AT 369626 T  
IL 160189 A  
AU 2002356147 A  
SG 161099 A  
CN 101714516 A  
IL 159728 A

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2011/054966**Box No. II      Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III      Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The search revealed that the inventions in claims 1 - 4 are not novel, since the inventions are disclosed in JP 2005-501405. Consequently, the matter common to the inventions in claims 1 - 12 do not make a contribution over the prior art, and therefore, said common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence.

(continued to extra sheet)

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/054966

Continuation of Box No.III of continuation of first sheet(2)

Therefore, there is no matter common to all of the inventions in claims 1 - 12. Since there is no other common matter considered to be a special technical feature within the meaning of PCT Rule 13.2, second sentence, any technical relationship within the meaning of PCT Rule 13 cannot be found among those different inventions. In conclusion, it was revealed that the inventions in claims 1 - 12 do not comply with the requirement of unity of invention.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/58(2010.01)i, H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L23/32(2006.01)i,  
H01L33/48(2010.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/00-33/64

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-501405 A (カールツアイスーシュティフツンク) 2005.01.13, 全文, 全図	1-4
Y	& JP 2005-501405 A & JP 2005-501414 A & JP 2005-503270 A & JP 2009-94540 A & US 2003/0113979 A1 & US 2004/0214380 A1 & US 2004/0256349 A1 & US 2005/0042786 A1 & WO 2003/019617 A2 & WO 2003/019653 A2 & WO 2003/024865 A2	5-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  22.03.2011	国際調査報告の発送日  05.04.2011
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 百瀬 正之 電話番号 03-3581-1101 内線 3255 2K 4084

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-198702 A (スタンレー電気株式会社) 2008. 08. 28, 【0028】-【0055】欄, 図1-7 (ファミリーなし)	5-12
Y	JP 2009-43764 A (日亜化学工業株式会社) 2009. 02. 26, 【0010】-【0059】欄, 図1-6 (ファミリーなし)	6-12
Y	JP 2008-235792 A (松下電器産業株式会社) 2008. 10. 02, 【0076】-【0081】欄, 図1-1 (ファミリーなし)	9-12
Y	JP 2007-294700 A (松下電器産業株式会社) 2007. 11. 08, 【0016】-【0085】欄, 図1-14 (ファミリーなし)	10-12
Y	JP 2005-117028 A (松下電器産業株式会社) 2005. 04. 28, 【0022】-【0088】欄, 図1-29 (ファミリーなし)	10-12
P, X	JP 2010-219163 A (株式会社小糸製作所) 2010. 09. 30, 全文, 全図 (ファミリーなし)	1

## 第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1-4に係る発明は、調査の結果、JP 2005-501405に開示されているから、新規でないことが明らかとなった。よって、請求項1-12に係る発明の共通の事項は、先行技術の域を出ないから、PCT規則13.2の第2文の意味において、当該共通の事項は、特別な技術的特徴ではない。それ故、請求項1-12に係る発明全てに共通の事項はない。PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見出すことはできない。したがって、請求項1-12に係る発明は、発明の単一の要件を満たしていないことが明らかとなった。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立て手数料の納付と共に、出願人から異議申立てがあつた。
- 追加調査手数料の納付と共に出願人から異議申立てがあつたが、異議申立て手数料が納付命令書に示した期間内に支払われなかつた。
- 追加調査手数料の納付はあつたが、異議申立てはなかつた。

JP 2005-501405 A	2005. 01. 13	US 2005/0064644 A1 US 2006/0160258 A1 US 2008/0150063 A1 US 2010/0065883 A EP 1419102 A EP 1419530 A EP 1419534 A DE 10141571 A DE 50210653 D IL 159728 D IL 160189 D CN 1545484 A CN 1547778 A CN 1701441 A AT 369626 T IL 160189 A AU 2002356147 A SG 161099 A CN 101714516 A IL 159728 A
------------------	--------------	--