

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 1월 6일 (06.01.2022)



(10) 국제공개번호
WO 2022/005134 A1

- (51) 국제특허분류: H01L 23/528 (2006.01) H01L 23/13 (2006.01)
H01L 23/492 (2006.01) H01L 23/29 (2006.01)
H01L 23/15 (2006.01)
- (21) 국제출원번호: PCT/KR2021/008092
- (22) 국제출원일: 2021년 6월 28일 (28.06.2021)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2020-0082275 2020년 7월 3일 (03.07.2020) KR
10-2020-0082279 2020년 7월 3일 (03.07.2020) KR
- (71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]: 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).
- (72) 발명자: 박승곤 (PARK, Seunggon); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 조태호 (CHO,

Taeho); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 여인태 (YEO, Intae); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 빈진혁 (BIN, Jinh-yuck); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

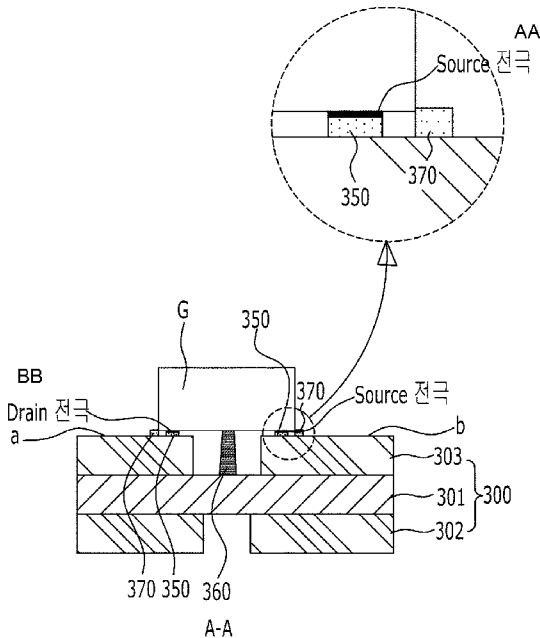
(74) 대리인: 김철진 (KIM, Churchill); 06038 서울시 강남구 강남대로146길 25 전원빌딩 2층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: POWER MODULE

(54) 발명의 명칭: 파워모듈

[도 13]



AA ... Source electrode
BB ... Drain electrode

(57) Abstract: The present invention relates to a power module comprising: an upper ceramic substrate (300); a first electrode pattern (a) formed on the upper ceramic substrate (300); a second electrode pattern (b) formed on the upper ceramic substrate (300), the second electrode pattern (b) being disposed spaced apart from and on the same plane as the first electrode pattern (a); a semiconductor chip (G) disposed to connect the first electrode pattern (a) and the second electrode pattern (b) and including a drain electrode joined to the first electrode pattern (a) and a source electrode joined to the second electrode pattern (b); and a solder layer (350) that joins the drain electrode to the first electrode pattern (a) and joins the source electrode to the second electrode pattern (b). The present invention has an advantage in that the semiconductor chip is prevented from moving in position while being joined to the upper ceramic substrate, and thus can be stably joined to the upper ceramic substrate.

(57) 요약서: 본 발명은 파워모듈에 관한 것으로, 상부 세라믹기판(300)과, 상기 상부 세라믹기판(300)에 형성된 제1 전극 패턴(a)과, 상기 상부 세라믹기판(300)에 형성되고 상기 제1 전극 패턴(a)과 동일 평면 상에 이격 배치된 제2 전극 패턴(b)과, 상기 제1 전극 패턴(a)과 상기 제2 전극 패턴(b)을 연결하도록 배치되고 상기 제1 전극 패턴(a)에 접합되는 드레인 전극과 상기 제2 전극 패턴(b)에 접합되는 소스 전극을 포함하는 반도체 칩(G)과 상기 드레인 전극을 상기 제1 전극 패턴(a)에 접합하고, 상기 소스 전극을 상기 제2 전극 패턴(b)에 접합하는 솔더층(350)을 포함한다. 본 발명은 반도체 칩을 상부 세라믹기판에 접합시 반도체 칩의 위치 이동을 방지하여 반도체 칩을 상부 세라믹기판에 안정적으로 접합할 수 있는 이점이 있다.



WO 2022/005134 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 파워모듈

기술분야

- [1] 본 발명은 파워모듈에 관한 것으로, 더욱 상세하게는 고출력 전력 반도체 칩을 적용하여 성능을 개선한 파워모듈에 관한 것이다.

배경기술

- [2] 파워모듈은 하이브리드 자동차, 전기차 등의 모터 구동을 위해 고전압 전류를 공급하기 위해 사용된다.
- [3] 파워모듈 중 양면 냉각 파워모듈은 반도체 칩의 상, 하부에 각각 기판을 설치하고 그 기판의 외측면에 각각 방열판을 구비한다. 양면 냉각 파워모듈은 단면에 방열판을 구비하는 단면 냉각 파워모듈에 비해 냉각 성능이 우수하여 점차 그 사용이 증가하는 추세이다.
- [4] 전기차 등에 사용되는 양면 냉각 파워모듈은 두 기판의 사이에 탄화규소(SiC), 질화갈륨(GaN) 등의 전력 반도체 칩이 실장되므로 고전압으로 인해 높은 발열과 주행 중 진동이 발생하기 때문에 이를 해결하기 위해 고강도와 고방열 특성을 동시에 만족시키는 것이 중요하다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 목적은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 효율 및 성능을 향상시킬 수 있는 파워모듈을 제공하는 것이다.
- [6] 본 발명의 다른 목적은 반도체 칩을 세라믹기판에 접합하는 본딩(접합) 공정시 반도체 칩의 유동을 방지하고 접합 안정성을 높여 반도체 칩의 유동에 의한 불량 원인을 개선하고 효율을 높일 수 있도록 한 파워모듈을 제공하는 것이다.

기술적 해결방법

- [7] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 파워모듈은 세라믹기판과, 세라믹기판에 형성된 제1 전극 패턴과, 세라믹기판에 형성되고 제1 전극 패턴과 동일 평면 상에 이격 배치된 제2 전극 패턴과, 제1 전극 패턴과 제2 전극 패턴을 연결하도록 배치되고 제1 전극 패턴에 접합되는 드레인 전극과, 제2 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩과, 드레인 전극을 제1 전극 패턴에 접합하고 소스 전극을 제2 전극 패턴에 접합하는 솔더층을 포함한다.
- [8] 제1 전극 패턴과 제2 전극 패턴의 사이에 배치되고 반도체 칩을 세라믹기판에 접합하는 접착층을 포함한다.
- [9] 접착층은 비전도성 접착제로 이루어진다.
- [10] 접착층은 비전도성 방열 접착제로 이루어질 수 있다.

- [11] 접착층은 솔더층이 녹는 온도 이전에 상기 반도체 칩을 상기 세라믹기판에 우선 고정한다.
- [12] 제1 전극 패턴과 제2 전극 패턴에 형성되고, 반도체 칩이 제1 전극 패턴과 제2 전극 패턴에 접합되는 위치를 안내하는 솔더마스크를 포함한다.
- [13] 제1 전극 패턴에 형성된 솔더마스크는 반도체 칩의 일측 모서리와 접하고, 제2 전극 패턴에 형성된 솔더마스크는 반도체 칩의 타측 모서리와 접하는 위치에 형성된다.
- [14] 세라믹기판에 형성되고 제2 전극 패턴과 동일 평면 상에 이격 배치된 제3 전극 패턴과, 제2 전극 패턴과 제3 전극 패턴을 연결하도록 배치되고 제2 전극 패턴에 접합되는 드레인 전극과 제3 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩과, 드레인 전극을 제2 전극 패턴에 접합하고 소스 전극을 제3 전극 패턴에 접합하는 솔더층을 더 포함할 수 있다.
- [15] 제2 전극 패턴과 제3 전극 패턴의 사이에 배치되고 반도체 칩을 세라믹기판에 접합하는 접착층을 포함할 수 있다.
- [16] 제2 전극 패턴과 제3 전극 패턴에 형성되고, 반도체 칩이 제2 전극 패턴과 제3 전극 패턴에 접합되는 위치를 안내하는 솔더마스크를 포함할 수 있다.
- [17] 다른 실시예로, 파워모듈은 세라믹기판과 세라믹기판에 형성된 제1 전극 패턴과, 세라믹기판에 형성되고 제1 전극 패턴과 동일 평면 상에 이격 배치된 제2 전극 패턴과, 제1 전극 패턴과 제2 전극 패턴을 연결하도록 배치되고 제1 전극 패턴에 접합되는 드레인 전극과 제2 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩과, 드레인 전극을 제1 전극 패턴에 접합하고 소스 전극을 제2 전극 패턴에 접합하는 솔더층과, 세라믹기판에 형성되고 제1 전극 패턴과 제2 전극 패턴에 반도체 칩을 접합하기 위한 솔더층의 용융시 반도체 칩의 위치 이동을 방지하는 솔더마스크를 포함한다.
- [18] 솔더마스크는 제1 전극 패턴에 형성되는 솔더마스크와 제2 전극 패턴에 형성되는 솔더마스크를 포함한다.
- [19] 제1 전극 패턴에 형성된 솔더마스크는 반도체 칩의 일측 모서리와 접하는 위치에 형성되고, 제2 전극 패턴에 형성된 솔더마스크는 반도체 칩의 타측 모서리와 접하는 위치에 형성된다.
- [20] 솔더마스크는 제1 전극 패턴과 제2 전극 패턴에서, 드레인 전극과 소스 전극이 접합되는 영역 이외의 일정 영역에 솔더 레지스터를 인쇄하여 형성될 수 있다.
- [21] 솔더마스크는 일정 높이를 갖는다.
- [22] 솔더마스크의 높이는 반도체 칩의 높이에 비해 상대적으로 낮다.
- [23] 솔더마스크의 길이는 드레인 전극의 길이와 소스 전극의 길이에 대응된다.
- [24] 세라믹기판에 형성되고 제2 전극 패턴과 동일 평면 상에 이격 배치된 제3 전극 패턴과, 제2 전극 패턴과 제3 전극 패턴을 연결하도록 배치되고 제2 전극 패턴에 접합되는 드레인 전극과 제3 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩과, 드레인 전극을 제2 전극 패턴에 접합하고, 소스 전극을 제3 전극

패턴에 접합하는 솔더층과, 세라믹기판에 형성되고 제2 전극 패턴과 제3 전극 패턴에 반도체 칩을 접합하기 위한 솔더층의 용융시 반도체 칩의 위치 이동을 방지하는 솔더마스크를 더 포함한다.

- [25] 솔더마스크는 제2 전극 패턴과 제3 전극 패턴에서 드레인 전극과 소스 전극이 접합되는 영역 이외의 일정 영역에 솔더 레지스터를 인쇄하여 형성될 수 있다.

발명의 효과

- [26] 본 발명은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 고속 스위칭에 최적화되어 효율 및 성능을 향상시킬 수 있는 효과가 있다.
- [27] 또한 본 발명은 반도체 칩이 상부 세라믹기판에 플립칩 형태로 실장되므로 와이어 본딩이 생략되어 인덕턴스 값을 최대한 낮출 수가 있으며 이에 의해 방열 성능 또한 개선시킬 수 있는 효과가 있다.
- [28] 또한 본 발명은 솔더층이 녹는 온도 이전에 반도체 칩(G)을 상부 세라믹기판의 세라믹기재에 우선 고정하는 접착층을 포함하므로, 솔더층의 용융시 반도체 칩의 위치 이동이 방지되고 반도체 칩의 유동에 의한 불량 원인을 개선할 수 있는 효과가 있으며, 더욱이 반도체 칩의 안정적인 접합으로 전기적 손실을 방지하고 부하를 개선하여 스위칭 효율을 높일 수 있는 효과가 있다.
- [29] 또한, 본 발명은 접착층의 소재로 열전달에 탁월한 비전도성 방열 접착제를 사용하는 경우 방열 효율은 높일 수 있는 효과가 있다.
- [30] 또한, 본 발명은 반도체 칩을 상부 세라믹기판에 접합하는 솔더의 용융시 유동성을 가지는 솔더의 특성을 보완하기 위하여, 드레인 단자와 소스 단자가 접합되는 위치를 벗어난 일정 영역에 솔더마스크를 형성하므로, 솔더층의 용융시 반도체 칩의 위치 이동이 방지될 수 있다. 따라서 종래 반도체 칩의 유동에 의한 쇼트(short) 또는 회로 오픈(open)과 같은 불량 원인을 개선할 수 있으며, 더욱이 반도체 칩의 안정적인 접합으로 전기적 손실을 방지하고 부하를 개선하여 스위칭 효율을 높일 수 있는 효과가 있다.

도면의 간단한 설명

- [31] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이다.
- [32] 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [33] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.
- [34] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.
- [35] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [36] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [37] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이다.
- [38] 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.

- [39] 도 9는 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [40] 도 10은 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를 보인 사시도이다.
- [41] 도 11은 본 발명의 다른 실시예로 상부 세라믹기판에 반도체 칩을 연결하는 방법을 설명하기 위한 도면이다.
- [42] 도 12는 도 11의 상부 세라믹기판에 반도체 칩을 접합한 상태를 보인 도면이다.
- [43] 도 13은 도 12의 A-A 단면도이다.
- [44] * 부호의 설명 *
- [45] 10: 파워모듈 100: 하우징
- [46] 101: 안내리브 102: 걸림턱
- [47] 103: 체결공 104: 지지공
- [48] 200: 하부 세라믹기판 201: 세라믹기재
- [49] 202,203: 금속층 210: NTC 온도센서
- [50] 220: 절연 스페이서 230: 인터커넥션 스페이서
- [51] 300: 상부 세라믹기판 301: 세라믹기재
- [52] 302,302: 금속층 310: 커팅부
- [53] 320: 쓰루홀 330,330a: 비아홀
- [54] 350: 슬더층 360: 접착층
- [55] 370: 슬더마스크 400: PCB 기판
- [56] 401,402: 안내홈 410: 캐패시터
- [57] 420: 쓰루홀 500: 방열판
- [58] 501: 연통공 610: 제1 단자
- [59] 620: 제2 단자 630: 지지볼트
- [60] 700: 버스바 G: 반도체 칩(GaN 칩)
- [61] 800: 연결핀

발명의 실시를 위한 최선의 형태

- [62] 이하 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.
- [63] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이고, 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [64] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(10)은 하우징(100)에 파워모듈을 이루는 각종 구성품을 수용하여 형성한 패키지 형태의 전자부품이다. 파워모듈(10)은 하우징(100) 안에 기판 및 소자를 배치하여 보호하는 형태로 형성된다.
- [65] 파워모듈(10)은 다수의 기판 및 다수의 반도체 칩을 포함할 수 있다. 실시예에 따른 파워모듈(10)은 하우징(100), 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400) 및 방열판(500)을 포함한다.
- [66] 하우징(100)은 중앙에 상하로 개구되는 빈 공간이 형성되며 양측에 제1

단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 중앙의 빈 공간에 방열판(500), 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)이 상하 일정 간격을 두고 순차적으로 적층되며, 양측의 제1 단자(610)와 제2 단자(620)에 외부 단자를 연결하기 위한 지지볼트(630)가 체결된다. 제1 단자(610)와 제2 단자(620)는 전원의 입출력단으로 사용된다.

- [67] 도 2에 도시된 바에 의하면, 파워모듈(10)은 하우징(100)의 중앙의 빈 공간에 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)이 순차적으로 수용된다. 구체적으로, 하우징(100)의 하면에 방열판(500)이 배치되고, 방열판(500)의 상면에 하부 세라믹기판(200)이 부착되고, 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)이 일정 간격을 두고 배치되며, 상부 세라믹기판(300)의 상부에 PCB 기판(400)이 일정 간격을 두고 배치된다.
- [68] 하우징(100)에 PCB 기판(400)이 배치된 상태는 PCB 기판(400)의 가장자리에 요입되게 형성된 안내홈(401,402)과 안내홈(401,402)에 대응되게 하우징(100)에 형성된 안내리브(101) 및 걸림턱(102)에 의해 고정될 수 있다. 실시예에 따른 PCB 기판(400)은 가장자리를 둘러 다수 개의 안내홈(401,402)이 형성되고, 이들 중 일부의 안내홈(401)은 하우징(100)의 내측면에 형성된 안내리브(101)가 안내되고 이들 중 나머지 일부의 안내홈(402)은 하우징(100)의 내측면에 형성된 걸림턱(102)이 통과되어 걸어진다.
- [69] 또는, 하우징(100)의 중앙의 빈 공간에 방열판(500), 하부 세라믹기판(200), 상부 세라믹기판(300)이 수용되고, 그 상면에 PCB 기판(400)이 배치된 상태는 체결볼트(미도시)로 고정될 수도 있다. 그러나, 하우징(100)에 PCB 기판(400)을 안내홈과 걸림턱 구조로 고정하는 것이 체결볼트로 고정하는 경우 대비 조립 시간을 줄이고 조립 공정이 간편하다.
- [70] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 체결공(103)과 연통공(501)을 관통하여 고정볼트(150)가 체결되고, 체결공(103)과 연통공(501)을 관통한 고정볼트(150)의 단부는 방열판(500)의 하면에 배치될 고정지그의 고정공에 체결될 수 있다.
- [71] 제1 단자(610)와 제2 단자(620)에 버스바(700)가 연결된다. 버스바(700)는 제1 단자(610)와 제2 단자(620)를 상부 세라믹기판(300)과 연결한다. 버스바(700)는 3개가 구비된다. 버스바(700) 중 하나는 제1 단자(610) 중 +단자를 상부 세라믹기판(300)의 제1 전극 패턴(a)과 연결하고, 다른 하나는 제1 단자(610) 중 -단자를 제3 전극 패턴(c)과 연결하며, 나머지 하나는 제2 단자(620)를 제2 전극 패턴(b)과 연결한다. 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)은 후술할 도 7 및 도 10을 참조한다.
- [72] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.
- [73] 도 3에 도시된 바에 의하면, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 복층 구조이며, 하부 세라믹기판(200)과 상부

세라믹기판(300)의 사이에 반도체 칩(G)이 위치된다. 반도체 칩(G)은 GaN(Gallium Nitride) 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나일 수 있으나, 바람직하게는 반도체 칩(G)은 GaN 칩을 사용한다. GaN(Gallium Nitride) 칩(G)은 대전력(300A) 스위치 및 고속(~1MHz) 스위치로 기능하는 반도체 칩이다. GaN 칩은 기존의 실리콘 기반 반도체 칩보다 열에 강하면서 칩의 크기도 줄일 수 있는 장점이 있다.

- [74] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 반도체 칩(G)으로부터 발생하는 열의 방열 효율을 높일 수 있도록, 세라믹기재와 세라믹기재의 적어도 일면에 브레이징 접합된 금속층을 포함하는 세라믹기판으로 형성된다.
- [75] 세라믹기재는 알루미늄(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다. 금속층은 세라믹기재 상에 브레이징 접합된 금속박으로 반도체 칩(G)을 실장하는 전극 패턴 및 구동소자를 실장하는 전극 패턴으로 각각 형성된다. 예컨대, 금속층은 반도체 칩 또는 주변 부품이 실장될 영역에 전극 패턴으로 형성된다. 금속박은 알루미늄박 또는 동박인 것을 일 예로 한다. 금속박은 세라믹기재 상에 780°C~1100°C로 소성되어 세라믹기재와 브레이징 접합된 것을 일 예로 한다. 이러한 세라믹기판을 AMB 기판이라 한다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC 기판, TPC 기판, DBA 기판을 적용할 수도 있다. 그러나 내구성 및 방열 효율면에서 AMB 기판이 가장 적합하다. 상기한 이유로, 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판임을 일 예로 한다.
- [76] PCB 기판(400)은 상부 세라믹기판(300)의 상부에 배치된다. 즉, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)과 PCB 기판(400)의 3층 구조로 구성된다. 고전력용 제어를 위한 반도체 칩(G)을 상부 세라믹기판(200)과 하부 세라믹기판(300)의 사이에 배치하여 방열 효율을 높이고, 저전력용 제어를 위한 PCB 기판(400)을 최상부에 배치하여 반도체 칩(G)에서 발생하는 열로 인한 PCB 기판(400)의 손상을 방지한다. 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)은 편으로 연결 또는 고정될 수 있다.
- [77] 방열판(500)은 하부 세라믹기판(200)의 하부에 배치된다. 방열판(500)은 반도체 칩(G)에서 발생하는 열의 방열을 위한 것이다. 방열판(500)은 소정의 두께를 가지는 사각 플레이트 형상으로 형성된다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 또는 알루미늄 재질로 형성될 수 있다.
- [78] 이하에서는 본 발명의 파워모듈의 각 구성별 특징을 더욱 상세하게 설명하기로 한다. 파워모듈의 각 구성별 특징을 설명하는 도면에서는 각 구성별 특징을 강조하기 위해 도면을 확대하거나 과장하여 표현한 부분이 있으므로 도 1에 도시된 기본 도면과 일부 일치하지 않는 부분이 있을 수 있다.
- [79] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.

- [80] 도 4에 도시된 바에 의하면, 하우징(100)은 중앙에 빈 공간이 형성되며, 양단에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 양단에 제1 단자(610)와 제2 단자(620)가 일체로 고정되게 인서트 사출 방식으로 형성될 수 있다.
- [81] 기존의 파워모듈은 이격된 회로를 연결하기 위해 하우징에 연결핀을 인서트 사출하여 적용하고 있으나, 본 실시예는 하우징(100)의 제조시 연결핀을 제외하여 제조한 형상을 갖는다. 이는 하우징(100)의 내부에 연결핀이 위치하지 않음으로써 형상을 단순화하여 파워모듈의 비틀림 모멘트에 유연성을 향상시킨다.
- [82] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 제1 단자(610)와 제2 단자(620)에는 지지공(104)이 형성된다. 지지공(104)에는 제1 단자(610) 및 제2 단자(620)를 모터 등의 외부 단자와 연결하기 위한 지지볼트(630)가 체결된다(도 10 참조).
- [83] 하우징(100)은 단열 재질로 형성된다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 상부의 PCB 기판(400)에 전달되지 않도록 단열 재질로 형성될 수 있다.
- [84] 또는 하우징(100)은 방열 플라스틱 재질을 적용할 수 있다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 외부로 방열될 수 있도록 방열 플라스틱 재질을 적용할 수 있다. 일 예로, 하우징(100)은 엔지니어링 플라스틱으로 형성될 수 있다. 엔지니어링 플라스틱은 높은 내열성과 뛰어난 강도, 내약품성, 내마모성을 가지며 150°C 이상에서 장시간 사용 가능하다. 엔지니어링 플라스틱은 폴리아미드, 폴리카보네이트, 폴리에스테르, 변성 폴리페닐렌옥사이드 중 하나의 재료로 된 것일 수 있다.
- [85] 반도체 칩(G)은 스위치로서 반복 동작을 하는데 그로 인해 하우징(100)은 고온과 온도변화에 스트레스를 받게 되나, 엔지니어링 플라스틱은 고온 안정성이 우수하므로 일반 플라스틱에 비해 고온과 온도변화에 상대적으로 안정적이고 방열 특성도 우수하다.
- [86] 실시예는 엔지니어링 플라스틱 소재에 알루미늄 또는 구리로 된 단자를 인서트사출 적용하여 하우징(100)을 제조한 것일 수 있다. 엔지니어링 플라스틱 소재로 된 하우징(100)은 열을 전파시켜 외부로 방열시킨다. 하우징(100)은 수지에 고열 전도율 필러를 충전함으로써 일반 엔지니어링 플라스틱 소재보다 열전도성을 더 높일 수 있고 알루미늄에 비해 경량인 고방열 엔지니어링 플라스틱으로 될 수 있다.
- [87] 또는, 하우징(100)은 엔지니어링 플라스틱 또는 고강도 플라스틱 소재의 내외부에 그래핀 방열코팅재를 도포하여 방열 특성을 가지도록 한 것일 수 있다.
- [88] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [89] 도 3 및 도 5에 도시된 바에 의하면, 하부 세라믹기판(200)은 방열판(500)의

상면에 부착된다. 구체적으로, 하부 세라믹기판(200)은 반도체 칩(G)과 방열판(500)의 사이에 배치된다. 하부 세라믹기판(200)은 반도체 칩(G)에서 발생하는 열을 방열판(500)으로 전달하고, 반도체 칩(G)과 방열판(500)의 사이를 절연하여 쇼트를 방지하는 역할을 한다.

- [90] 하부 세라믹기판(200)은 방열판(500)의 상면에 솔더링 접합될 수 있다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 재질로 형성될 수 있다. 솔더링 접합을 위한 솔더는 SnAg, SnAgCu 등이 사용될 수 있다.
- [91] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [92] 도 5 및 도 6에 도시된 바에 의하면, 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상하면에 브레이징 접합된 금속층(202,203)을 포함한다. 하부 세라믹기판(200)은 세라믹기재(201)의 두께가 0.68t이고, 세라믹기재(201)의 상면과 하면에 형성한 금속층(202,203)의 두께가 0.8t인 것을 일 예로 할 수 있다.
- [93] 하부 세라믹기판(200)의 상면(200a)의 금속층(202)은 구동소자를 실장하는 전극 패턴일 수 있다. 하부 세라믹기판(200)에 실장되는 구동소자는 NTC 온도센서(210)일 수 있다. NTC 온도센서(210)는 하부 세라믹기판(200)의 상면에 실장된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 하부 세라믹기판(200)의 하면(200b)의 금속층(203)은 방열판(500)에 열전달을 용이하게 하기 위해 하부 세라믹기판(200)의 하면 전체에 형성될 수 있다.
- [94] 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상면에 접합되며 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정한다.
- [95] 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정하여 상부 세라믹기판(300)의 하면에 실장된 반도체 칩(G)에서 발생하는 열의 방열 효율을 높이고, 반도체 칩(G) 간의 간섭을 방지하여 쇼트와 같은 전기적 충격을 방지한다.
- [96] 절연 스페이서(220)는 하부 세라믹기판(200)의 상면 가장자리를 둘러 소정 간격을 두고 다수 개가 접합된다. 절연 스페이서(220) 간의 간격은 방열 효율을 높이는 공간으로 활용된다. 도면상 절연 스페이서(220)는 하부 세라믹기판(200)을 기준으로 할 때 가장자리를 둘러 배치되며, 일 예로 8개가 일정 간격을 두고 배치된다.
- [97] 절연 스페이서(220)는 하부 세라믹기판(200)에 일체로 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)을 배치할 때 얼라인을 확인하는 용도로 적용될 수도 있다. 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된 상태에서 그 상부에 반도체 칩(G)이 실장된 상부 세라믹기판(300)을 배치할 때, 절연 스페이서(220)가 상부 세라믹기판(300)의

얼라인을 확인하는 용도로 적용될 수 있다. 또한, 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)을 지지하여 하부 세라믹기판(200)과 상부 세라믹기판(300)의 힘을 방지하는데 기여한다.

- [98] 절연 스페이서(220)는 하부 세라믹기판(200)에 실장된 칩과 상부 세라믹기판(300)에 실장된 칩 및 부품 간의 절연을 위해 세라믹 소재로 형성될 수 있다. 일 예로, 절연 스페이서는 Al_2O_3 , ZTA, Si_3N_4 , AlN 중 선택된 1종 또는 이들 중 둘 이상이 혼합된 합금으로 형성될 수 있다. Al_2O_3 , ZTA, Si_3N_4 , AlN는 기계적 강도, 내열성이 우수한 절연성 재료이다.
- [99] 절연 스페이서(220)는 하부 세라믹기판(200)에 브레이징 접합된다. 절연 스페이서(220)를 하부 세라믹기판(200)에 솔더링 접합하면 솔더링 또는 가압 소성시 열적 기계적 충격으로 인해 기판이 파손될 수 있으므로 브레이징 접합한다. 브레이징 접합은 AgCu층과 Ti층을 포함한 브레이징 접합층을 이용할 수 있다. 브레이징을 위한 열처리는 $780^{\circ}C \sim 900^{\circ}C$ 에서 수행할 수 있다. 브레이징 후, 절연 스페이서(220)는 하부 세라믹기판(200)의 금속층(202)과 일체로 형성된다. 브레이징 접합층의 두께는 $0.005mm \sim 0.08mm$ 로 절연 스페이서의 높이에 영향을 미치지 않을 만큼 얇고 접합 강도는 높다.
- [100] 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 인터커넥션 스페이서(230)가 설치된다. 인터커넥션 스페이서(230)는 상하 복층 구조의 기판에서 연결핀을 대신하여 전극 패턴 간 전기적 연결을 수행할 수 있다. 인터커넥션 스페이서(230)는 전기적 로스(loss) 및 쇼트(shot)를 방지하면서 기판 간을 직접 연결하고 접합 강도를 높이며 전기적 특성도 개선할 수 있다. 인터커넥션 스페이서(230)는 일단이 브레이징 접합 방식으로 하부 세라믹기판(200)의 전극 패턴에 접합될 수 있다. 또한, 인터커넥션 스페이서(230)는 반대되는 타단이 브레이징 접합 방식 또는 솔더링 접합 방식으로 상부 세라믹기판(300)의 전극 패턴에 접합될 수 있다. 인터커넥션 스페이서(230)는 Cu 또는 Cu+CuMo 합금일 수 있다.
- [101] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이고, 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
- [102] 도 7 및 도 8에 도시된 바에 의하면, 상부 세라믹기판(300)은 하부 세라믹기판(200)의 상부에 배치된다.
- [103] 상부 세라믹기판(300)은 적층 구조의 중간 기판이다. 상부 세라믹기판(300)은 하면에 반도체 칩(G)을 실장하고, 고속 스위칭을 위한 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로를 구성한다.
- [104] 상부 세라믹기판(300)은 세라믹기재(301)와 세라믹기재(301)의 상하면에 브레이징 접합된 금속층(302,303)을 포함한다. 상부 세라믹기판(300)은 세라믹기재의 두께가 $0.38t$ 이고 세라믹기재의 상면(300a)과 하면(300b)에 전극 패턴의 두께가 $0.3t$ 인 것을 일 예로 한다. 세라믹기판은 상면과 하면의 패턴 두께가 동일해야 브레이징시 틀어지지 않는다.

- [105] 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴은 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분된다. 상부 세라믹기판(300)의 하면의 금속층(303)이 형성하는 전극 패턴은 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴과 대응된다. 상부 세라믹기판(300)의 상면의 전극 패턴을 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분한 것은 고속 스위칭을 위해 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로로 분리하기 위함이다.
- [106] 반도체 칩(G)은 상부 세라믹기판(300)의 하면(300b)에 솔더(Solder), 은 페이스트(Ag Paste) 등의 접착층에 의해 플립칩(flip chip) 형태로 구비된다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 구비됨에 따라 와이어 본딩이 생략되어 인덕턴스 값을 최대한 낮출 수가 있게 되어, 이에 의해 방열 성능 또한 개선시킬 수 있다.
- [107] 도 8에 도시된 바와 같이, 반도체 칩(G)은 고속 스위칭을 위해 2개씩 병렬로 연결될 수 있다. 반도체 칩(G)은 2개가 상부 세라믹기판(300)의 전극 패턴 중 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하는 위치에 배치되고, 나머지 2개가 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하는 위치에 병렬로 배치된다. 일 예로 반도체 칩(G) 하나의 용량은 150A이다. 따라서 반도체 칩(G) 2개를 병렬 연결하여 용량이 300A가 되도록 한다. 반도체 칩(G)은 GaN 칩이다.
- [108] 반도체 칩(G)을 사용하는 파워모듈의 목적은 고속 스위칭에 있다. 고속 스위칭을 위해서는 Gate drive IC 단자에서 반도체 칩(G)의 Gate 단자 간격이 매우 짧은 거리로 연결되는 것이 중요하다. 따라서 반도체 칩(G) 간을 병렬로 연결하여 Gate drive IC와 Gate 단자 간 연결 거리를 최소화한다. 또한, 반도체 칩(G)이 고속으로 스위칭하기 위해서는 반도체 칩(G)의 Gate 단자와 Source 단자가 동일한 간격을 유지하는 것이 중요하다. 이를 위해 반도체 칩(G)과 반도체 칩(G)의 사이의 중심에 연결핀이 연결되도록 Gate 단자와 Source 단자를 배치할 수 있다. Gate 단자와 Source 단자가 동일한 간격을 유지하지 않거나 패턴의 길이가 달라지면 문제가 발생한다.
- [109] Gate 단자는 낮은 전압을 이용하여 반도체 칩(G)을 온오프(on/off)시키는 단자이다. Gate 단자는 연결핀을 통해 PCB 기판(400)과 연결될 수 있다. Source 단자는 고전류가 들어오고 나가는 단자이다. 반도체 칩(G)은 Drain 단자를 포함하며, Source 단자와 Drain 단자는 N형과 P형으로 구분되어 전류의 방향을 바꿀 수 있다. Source 단자와 Drain 단자는 반도체 칩(G)을 실장하는 전극 패턴인 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)을 통해 전류의 입출력을 담당한다. Source 단자와 Drain 단자는 전원의 입출력을 담당하는 도 1의 제1 단자(610) 및 제2 단자(620)와 연결된다.
- [110] 도 1 및 도 8을 참조하면, 도 1에 도시된 제1 단자(610)는 +단자와 -단자를 포함하며, 제1 단자(610)에서 +단자로 유입된 전원은 도 8에 도시된 상부 세라믹기판(300)의 제1 전극 패턴(a), 제1 전극 패턴(a)과 제2 전극 패턴(b)의

사이에 배치된 반도체 칩(G) 및 제2 전극 패턴(b)을 통해 제2 단자(620)로 출력된다. 그리고 도 1에 도시된 제2 단자(620)로 유입된 전원은 도 8에 도시된 제2 전극 패턴(b), 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 배치된 반도체 칩(G) 및 제3 전극 패턴(c)을 통해 제1 단자(610)의 -단자로 출력된다. 예컨대, 제1 단자(610)에서 유입되고 반도체 칩(G)을 통과하여 제2 단자(620)로 출력되는 전원을 하이 사이드(High Side), 제2 단자(620)에서 유입되고 반도체 칩(G)을 통과하여 제1 단자(610)로 출력되는 전원을 로우 사이드(Low Side)가 된다.

- [111] 도 7에 도시된 바에 의하면, 상부 세라믹기판(300)은 NTC 온도센서(210)에 대응하는 부분에 커팅부(310)가 형성될 수 있다. 하부 세라믹기판(200)의 상면에 NTC 온도센서(210)가 장착된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 그런데 NTC 온도센서(210)의 두께가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 간격에 비해 두꺼워 NTC 온도센서(210)와 상부 세라믹기판(300)의 간섭이 발생한다. 이를 해결하기 위해 NTC 온도센서(210)와 간섭되는 부분의 상부 세라믹기판(300)을 커팅하여 커팅부(310)를 형성한다.
- [112] 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액 또는 에폭시를 주입할 수 있다. 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위해 실리콘액 또는 에폭시를 주입해야 한다. 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액 또는 에폭시를 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있으며, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭도 방지할 수 있다. 실리콘액 또는 에폭시는 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 충전할 수 있다.
- [113] 상부 세라믹기판(300)에 쓰루홀(Through Hole)(320)이 형성된다. 쓰루홀(320)은 상하 복층의 기판 구조에서 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하고, 하부 세라믹기판(200)에 실장된 NTC 온도센서(210)를 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하기 위한 것이다.
- [114] 쓰루홀(320)은 반도체 칩이 설치되는 위치에 2개씩 8개가 형성되고, NTC 온도센서가 설치되는 위치에 2개가 설치되어 총 10개가 형성될 수 있다. 또한, 쓰루홀(320)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)이 형성된 부분에 다수 개가 형성될 수 있다.
- [115] 제1 전극 패턴(a)에 형성된 다수 개의 쓰루홀(320)은 상부 세라믹기판(300)의 상면의 제1 전극 패턴(a)으로 유입된 전류가 상부 세라믹기판(300)의 하면에 형성된 제1 전극 패턴(a)으로 이동하고 반도체 칩(G)으로 유입되도록 한다. 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)은 반도체 칩(G)으로 유입된 전류가

상부 세라믹기판(300)의 하면의 제3 전극 패턴(c)을 통해 상부 세라믹기판(300)의 상면의 제3 전극 패턴(c)으로 이동하도록 한다.

- [116] 쓰루홀(320)의 직경은 0.5mm~5.0mm일 수 있다. 쓰루홀(320)에는 연결핀이 설치되어 PCB 기판의 전극 패턴과 연결되고 이를 통해 PCB 기판(400)에 실장되는 구동소자와 연결될 수 있다. 상하 복층의 기판 구조에서 쓰루홀(320) 및 쓰루홀(320)에 설치되는 연결핀을 통한 전극 패턴 간 연결은 최단 거리 연결을 통해 다양한 출력 손실을 제거하여 파워모듈의 크기에 따른 제약을 개선하는데 기여할 수 있다.
- [117] 상부 세라믹기판(300)의 전극 패턴에는 복수 개의 비아홀(330)이 형성될 수 있다. 비아홀(330)은 기판 면적 대비 최소 50% 이상 가공될 수 있다. 상술한 비아홀(330)의 면적은 기판 면적 대비 최소 50% 이상 적용되는 예로 들어 설명하였으나, 이에 한정되는 것은 아니며 50% 이하로 가공될 수도 있다.
- [118] 일 예로 제1 전극 패턴(a)에는 152개의 비아홀이 형성되고 제2 전극 패턴(b)에는 207개의 비아홀이 형성되고 제3 전극 패턴(c)에는 154개의 비아홀이 형성될 수 있다. 각 전극 패턴에 형성되는 복수 개의 비아홀(330)은 대전류 통전 및 대전류 분산을 위한 것이다. 하나의 슬롯 형태로 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 도통시키면 한쪽으로만 고전류가 흘러 쇼트, 과열 등의 문제가 발생할 수 있다.
- [119] 비아홀(330)에는 전도성 물질이 충전된다. 전도성 물질은 Ag 또는 Ag 합금일 수 있다. Ag 합금은 Ag-Pd 페이스트일 수 있다. 비아홀(330)에 충전된 전도성 물질은 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 전기적으로 연결한다. 비아홀(330)은 레이저 가공하여 형성할 수 있다. 비아홀(330)은 도 8의 확대도에서 확인할 수 있다.
- [120] 도 9는 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [121] 도 9에 도시된 바에 의하면, PCB 기판(400)은 반도체 칩(G)을 스위칭하거나 NTC 온도센서(도 7의 도면부호 210)가 감지한 정보를 이용하여 GaN 칩(반도체 칩)을 스위칭하기 위한 구동소자가 실장된다. 구동소자는 Gate Drive IC를 포함한다.
- [122] PCB 기판(400)은 상면에 캐패시터(410)가 장착된다. 캐패시터(410)는 상부 세라믹기판(300)의 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치된 반도체 칩(G)과 상부 세라믹기판(300)의 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 배치된 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 장착된다.
- [123] 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 캐패시터(410)가 장착되면, 연결핀(도 10의 도면부호 800)을 이용하여 반도체 칩(G)과 Drive IC 회로를 최단거리로 연결할 수 있으므로 고속 스위칭에 보다 유리하다. 일 예로, 캐패시터(410)는 용량을 맞추기 위해 10개가 병렬로 연결될 수 있다. 입력단에 디커플링용도로 2.5 μ F 이상을 확보하기 위해서는 고전압의

캐패시터 10개를 연결하여 용량을 확보해야 한다. Gate Drive IC 회로는 High side gate drive IC와 Low side gate drive IC를 포함한다.

- [124] 도 10은 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를 보인 사시도이다.
- [125] 도 10에 도시된 바에 의하면, 연결핀(800)은 상부 세라믹기판(300)에서 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(Through Hole)(도 7의 도면부호 320)에 끼워진다. 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(도 9의 도면부호 400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 실장하는 게이트(Gate) 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [126] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진다. NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응되는 위치에 형성된 쓰루홀(420)에 끼워져 NTC 온도센서(210)의 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [127] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)에 일렬로 형성된 다수 개의 쓰루홀(320)에 끼워진다. 제1 전극 패턴(a)과 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 PCB 기판(400)의 캐패시터(410)와 연결할 수 있다.
- [128] 연결핀(800)은 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하여 다양한 출력 손실을 제거하고 고속 스위칭이 가능하게 한다.
- [129] 도 11은 본 발명의 다른 실시예로 상부 세라믹기판에 반도체 칩을 연결하는 방법을 설명하기 위한 도면이다. 도 11은 도 8의 일부를 확대하여 보인 도면으로 도 8과 비교시 접착층과 솔더마스크가 더 형성된 점에서 차이가 있다.
- [130] 도 8 및 도 11에 도시된 바에 의하면, 파워모듈에 사용되는 반도체 칩(G)은 드레인(Drain) 전극, 소스(Source) 전극, 게이트(Gate) 전극을 포함한다. 반도체 칩(G)은 솔더 본딩(solder bonding)으로 상부 세라믹기판(300)에 접합된다. 솔더 본딩은 전력 전달 경로를 줄임으로써 전력 전달 경로 상의 저항에 의한 전기적 손실과 부하를 개선한다.
- [131] 상부 세라믹기판(300)은 상면과 하면에 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)이 형성된다. 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)은 세라믹기재(301)의 상면과 하면에 브레이징 접합된 금속층(302,303)으로 된다. 상부 세라믹기판(300)에서 제2 전극 패턴(b)은 제1 전극 패턴(a)과 동일 평면 상에 이격 배치되고, 제3 전극 패턴(c)은 제2 전극 패턴(b)과 동일 평면 상에 이격 배치된다.
- [132] 도 8을 참조하면, 상부 세라믹기판(300)의 하면에는 제1 전극 패턴(a)과 제2

전극 패턴(b)을 병렬 연결하도록 2개의 반도체 칩(G)이 접합되며, 제2 전극 패턴(b)과 제3 전극 패턴(c)을 병렬 연결하도록 2개의 반도체 칩(G)이 접합된다. 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 상부 세라믹기판(300)에 접합된 2개의 반도체 칩(G)은 하이 사이드(high side) 회로를 구성하고, 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 상부 세라믹기판(300)에 접합된 반도체 칩(G)은 로우 사이드(low side) 회로를 구성한다.

- [133] 도 11에 도시된 바에 의하면, 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에는 게이트(Gate) 단자와 소스(Source) 단자가 배치된다. 반도체 칩(G)이 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이를 연결하도록 배치되면, 게이트 단자는 반도체 칩(G)의 게이트(Gate) 전극과 연결되고, 소스(Source) 단자는 반도체 칩(G)의 소스(Source) 전극과 연결된다. 게이트 단자와 소스 단자는 나란히 2개씩 배치되고 각각 양측의 제2 전극 패턴(b)에 동일한 길이로 연결된다. 이는 양측에 병렬로 배치되는 2개의 반도체 칩(G)에 동일한 속도로 신호를 전달하여 고속 스위칭의 신뢰성을 높이기 위한 것이다.
- [134] 도 12는 도 11의 상부 세라믹기판에 반도체 칩을 접합한 상태를 보인 도면이고, 도 13은 도 12의 A-A 단면도이다.
- [135] 도 12에 도시된 바에 의하면, 반도체 칩(G)은 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 상부 세라믹기판(300)의 하면에 접합된다. 반도체 칩(G)은 드레인(Drain) 전극이 제1 전극 패턴(a)에 솔더링 접합되고 소스(Source) 전극이 제2 전극 패턴(b)에 솔더링 접합되며, 게이트(Gate) 전극이 게이트(Gate) 단자에 솔더링 접합에 의해 연결된다.
- [136] 드레인 전극을 제1 전극 패턴(a)에 접합하고 소스 전극을 제2 전극 패턴(b)에 접합하는 솔더층(350)을 포함한다. 솔더층(350)은 전도성 접착체로 이루어지며, 일 예로 SnAg, SnAgCu가 사용될 수 있다. 솔더층(350)은 반도체 칩(G)을 제1 전극 패턴(a)과 제2 전극 패턴(b)에 플립칩 형태로 연결한다.
- [137] 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에 접착층(360)이 배치된다. 접착층(360)은 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치되는 반도체 칩(G)을 상부 세라믹기판(300)에 가접합하는 역할을 한다. 즉, 접착층(360)은 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이의 세라믹기재(301)에 반도체 칩(G)을 가접합한다.
- [138] 접착층(360)은 솔더층(350)이 녹는 온도 이전에 반도체 칩(G)을 상부 세라믹기판(300)의 세라믹기재(301)에 우선 고정하여, 솔더링 접합을 위한 솔더층(350)의 용융시 반도체 칩(G)의 위치 이동을 방지한다.
- [139] 또한, 접착층(360)은 드레인 전극을 제1 전극 패턴(a)에 접합하는 솔더층(350)과 소스 전극을 제2 전극 패턴(b)에 접합하는 솔더층(350)의 사이에서 가벽 역할을 하여, 솔더링 접합시 두 솔더층(350)이 넘쳐 흘러 서로 연결되는 것을 방지한다. 드레인 전극을 제1 전극 패턴(a)에 접합하는 솔더층(350)과 소스 전극을 제2 전극 패턴(b)에 접합하는 솔더층(350)이 넘쳐 흘러 서로 연결되면 쇼트(Short) 또는

- 회로 오픈(Open)의 회로적 결함이 발생된다. 접착층(360)은 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에서 솔더층(350)이 서로 연결되지 않도록 반도체 칩(G)의 가로 폭에 대응되는 길이 또는 그 이상의 길이로 형성될 수 있다.
- [140] 접착층(360)은 비전도성 접착제로 이루어진다. 접착층(360)은 드레인 전극을 제1 전극 패턴(a)에 접합하는 솔더층(350)과 소스 전극을 제2 전극 패턴(b)에 접합하는 솔더층(350)의 사이 절연을 위해 비전도성 접착제로 이루어진다.
- [141] 또한, 접착층(360)은 열 전달에 탁월한 효과를 갖는 비전도성 방열 접착제로 이루어질 수 있다. 접착층(360)이 비전도성 방열 접착제로 이루어지면 솔더링 접합시 반도체 칩(G)의 유동을 방지할 수 있을 뿐 아니라 접착층(360)이 반도체 칩에서 발생한 열을 상부 세라믹기판(300)으로 빠르게 전달하므로 방열 효율을 높일 수 있다.
- [142] 비전도성 접착제의 예로는 NCP, 에폭시가 사용될 수 있고, 비전도성 방열 접착제의 예로는 NCP, 에폭시 등에 미세 알루미나, 세라믹 파우더, 카본 등의 열전도성 필러를 첨가하여 방열 효율을 높인 것일 수 있다.
- [143] 제1 전극 패턴(a)과 제2 전극 패턴(b)에 솔더마스크(Solder Mask)(370)가 형성된다. 솔더마스크(370)는 반도체 칩(G)이 제1 전극 패턴(a)과 제2 전극 패턴(b)에 연결되도록 접합되는 위치를 안내한다. 솔더마스크(370)는 제1 전극 패턴(a)과 제2 전극 패턴(b)에 솔더 레지스터(Solder resistor)를 인쇄하여 형성할 수 있다.
- [144] 일 예로, 솔더마스크(370)는 제1 전극 패턴(a)과 제2 전극 패턴(b)에서, 드레인 전극과 소스 전극이 접합되는 영역 이외의 일정 영역에 솔더 레지스터를 인쇄하여 형성한다. 솔더마스크(370)는 100°C 이하에서 경화되는 열 경화성 솔더 레지스터일 수 있다.
- [145] 제1 전극 패턴(a)에 형성되는 솔더마스크(370)는 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치되는 반도체 칩(G)의 일측 모서리와 접하고 제2 전극 패턴(b)에 형성되는 솔더마스크(370)는 상기 반도체 칩(G)의 타측 모서리와 접하도록 위치된다. 솔더마스크(370)는 솔더링 접합을 위한 솔더층(350)의 용융시 반도체 칩(G)의 양측 모서리를 지지하여 반도체 칩(G)의 위치 이동을 방지하는 역할을 한다.
- [146] 솔더마스크(370)는 반도체 칩(G)의 양측 모서리를 지지하여 위치 이동을 방지하도록 일정 높이를 갖는 것이 바람직하다. 더 나아가 솔더마스크(370)의 높이는 반도체 칩(G)의 높이에 비해 상대적으로 낮은 것이 바람직하다.
- [147] 또한, 솔더마스크(370)의 길이는 드레인 전극의 길이와 소스 전극의 길이에 대응되는 것이 바람직하다. 이 경우, 솔더마스크(370)가 반도체 칩(G)의 드레인 전극과 소스 전극이 접합될 위치에 솔더층(350)을 형성하기 용이하도록 가이드하는 역할을 할 수 있다.
- [148] 이러한 솔더마스크(370)는 반도체 칩(G)이 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하는 위치에 안정적으로 접합되도록 하여 쇼트 또는 회로

오픈(Open) 등의 회로적 결함을 방지할 뿐 아니라 전기적 손실과 부하를 개선하여 스위칭 효율이 향상되도록 한다.

- [149] 도 13에 도시된 바에 의하면, 솔더층(350)은 드레인 전극을 제1 전극 패턴(a)에 접합하고 소스 전극을 제2 전극 패턴(b)에 접합한다.
- [150] 접착층(360)은 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에 배치되어, 반도체 칩(G)을 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이의 절연재인 세라믹기재(301)에 고정한다. 접착층(360)은 솔더층(350)이 녹는 온도 이전에 반도체 칩(G)을 상부 세라믹기판(300)의 세라믹기재(301)에 우선 고정하여, 솔더링 접합을 위한 솔더층(350)의 용융시 반도체 칩(G)의 위치 이동을 방지한다. 또한, 접착층(360)은 드레인 전극을 제1 전극 패턴(a)에 접합하는 솔더층(350)과 소스 전극을 제2 전극 패턴(b)에 접합하는 솔더층(350)의 사이에서 가벽 역할을 하여 양측의 두 솔더층(350)이 서로 연결되는 것을 방지한다.
- [151] 솔더마스크(370)는 제1 전극 패턴(a)과 제2 전극 패턴(b)에 각각 형성되어, 반도체 칩(G)이 제1 전극 패턴(a)과 제2 전극 패턴(b)에 접합되는 위치를 안내하고, 솔더링 접합을 위한 솔더층(350)의 용융시 반도체 칩(G)의 양측 모서리를 지지하여 반도체 칩(G)의 위치 이동을 방지한다.
- [152] 또한, 반도체 칩(G)은 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 상부 세라믹기판(300)의 하면에 접합된다. 반도체 칩(G)은 드레인(Drain) 전극이 제2 전극 패턴(b)에 솔더링 접합되고 소스(Source) 전극이 제3 전극 패턴(c)에 솔더링 접합되며, 게이트(Gate) 전극이 게이트(Gate) 단자에 솔더링 접합에 의해 연결된다.
- [153] 또한, 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 반도체 칩(G)을 상부 세라믹기판(300)에 가접합하는 접착층(360)이 배치된다.
- [154] 또한, 제2 전극 패턴(b)과 제3 전극 패턴(c)에 솔더마스크(Solder Mask)(370)가 형성된다. 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 배치되는 접착층(360)과 제2 전극 패턴(b)과 제3 전극 패턴(c)에 형성되는 솔더마스크(370)는 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에 배치되는 접착층(360)과 제1 전극 패턴(a)과 제2 전극 패턴(b)에 형성되는 솔더마스크(370)와 그 소재, 구성 및 역할을 동일하므로 중복되는 설명은 생략하기로 한다.
- [155] 상술한 다른 실시예는 상부 세라믹기판(300)에 반도체 칩(G)을 접합시 유동 방지를 위해 상부 세라믹기판(300)에 접착층(360)과 솔더마스크(370)를 모두 형성하는 것을 예로 들어 설명하였지만, 접착층(360) 또는 솔더마스크(370) 중 하나만 형성할 수도 있다.
- [156] 상술한 다른 실시예는 반도체 칩을 상부 세라믹기판에 접합시 접합층이 반도체 칩을 우선 고정하여 반도체 칩의 위치 이동을 방지하고, 솔더층의 용융시 솔더마스크가 반도체 칩의 가장자리를 지지하여 솔더의 유동으로 인한 반도체 칩의 위치 이동을 방지하므로 반도체 칩이 상부 세라믹기판에 안정적으로

접합될 수 있다.

[157]

[158] 본 발명은 도면과 명세서에 최적의 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명은 기술분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 권리범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

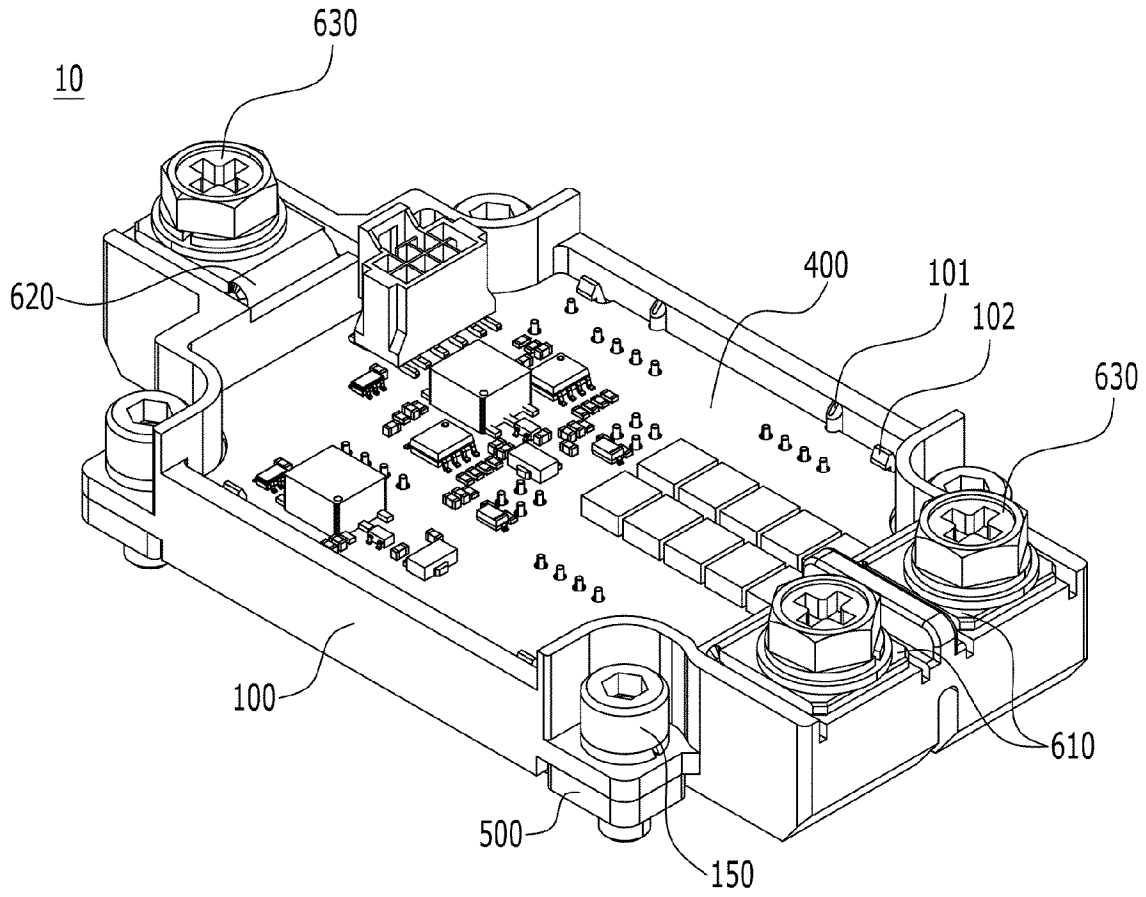
청구범위

- [청구항 1] 세라믹기판;
 상기 세라믹기판에 형성된 제1 전극 패턴;
 상기 세라믹기판에 형성되고 상기 제1 전극 패턴과 동일 평면 상에 이격 배치된 제2 전극 패턴;
 상기 제1 전극 패턴과 상기 제2 전극 패턴을 연결하도록 배치되고, 상기 제1 전극 패턴에 접합되는 드레인 전극과 상기 제2 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩; 및
 상기 드레인 전극을 상기 제1 전극 패턴에 접합하고, 상기 소스 전극을 상기 제2 전극 패턴에 접합하는 솔더층;
 을 포함하는 파워모듈.
- [청구항 2] 제1항에 있어서,
 상기 제1 전극 패턴과 상기 제2 전극 패턴의 사이에 배치되고 상기 반도체 칩을 상기 세라믹기판에 접합하는 접착층을 포함하는 파워모듈.
- [청구항 3] 제2항에 있어서,
 상기 접착층은 비전도성 접착제로 이루어진 파워모듈.
- [청구항 4] 제2항에 있어서,
 상기 접착층은 비전도성 방열 접착제로 이루어진 파워모듈.
- [청구항 5] 제2항에 있어서,
 상기 접착층은 상기 솔더층이 녹는 온도 이전에 상기 반도체 칩을 상기 세라믹기판에 우선 고정하는 파워모듈.
- [청구항 6] 제2항에 있어서,
 상기 제1 전극 패턴과 상기 제2 전극 패턴에 형성되고, 상기 반도체 칩이 상기 제1 전극 패턴과 상기 제2 전극 패턴에 접합되는 위치를 안내하는 솔더마스크를 포함하는 파워모듈.
- [청구항 7] 제6항에 있어서,
 상기 제1 전극 패턴에 형성된 솔더마스크는 상기 반도체 칩의 일측 모서리와 접하고,
 상기 제2 전극 패턴에 형성된 솔더마스크는 상기 반도체 칩의 타측 모서리와 접하는 위치에 형성된 파워모듈.
- [청구항 8] 제1항에 있어서,
 상기 세라믹기판에 형성되고 상기 제2 전극 패턴과 동일 평면 상에 이격 배치된 제3 전극 패턴;
 상기 제2 전극 패턴과 상기 제3 전극 패턴을 연결하도록 배치되고, 상기 제2 전극 패턴에 접합되는 드레인 전극과 상기 제3 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩; 및
 상기 드레인 전극을 상기 제2 전극 패턴에 접합하고, 상기 소스 전극을

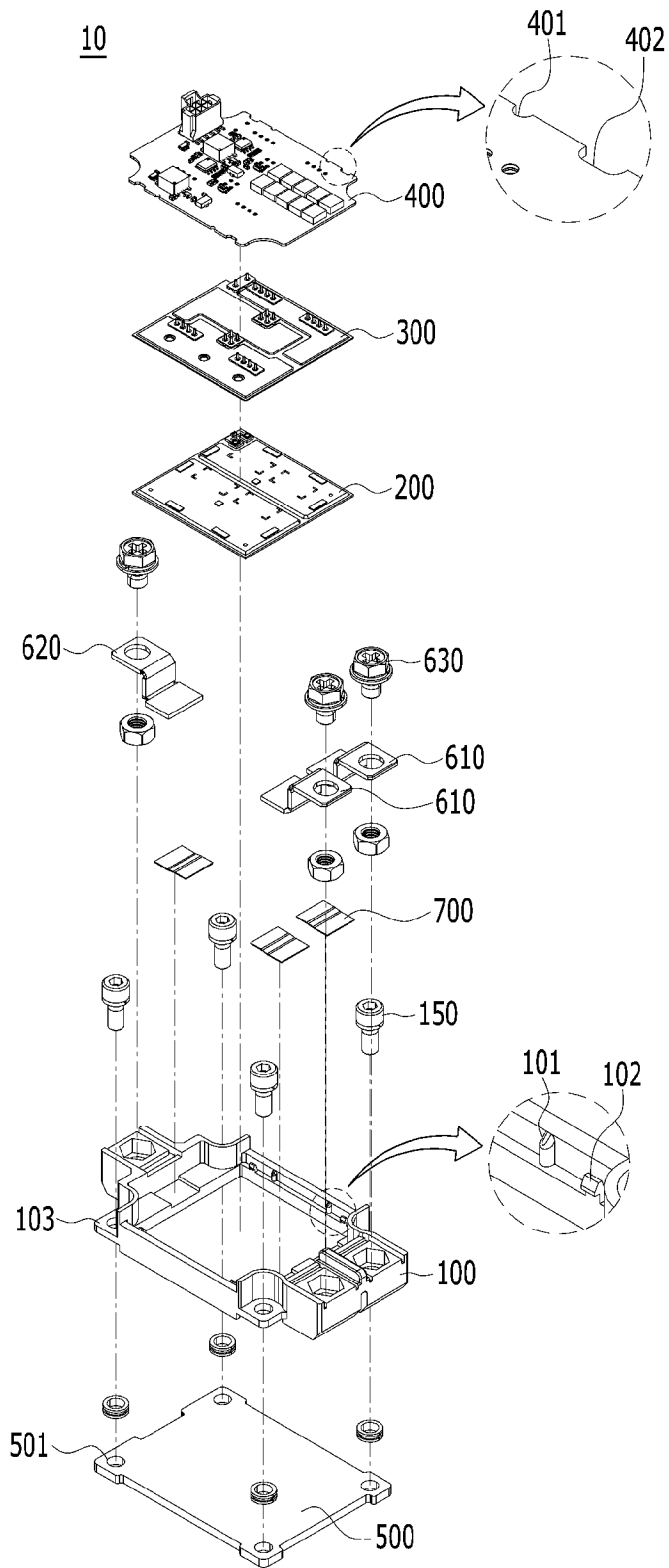
- 상기 제3 전극 패턴에 접합하는 솔더층;
을 더 포함하는 파워모듈.
- [청구항 9] 제8항에 있어서,
상기 제2 전극 패턴과 상기 제3 전극 패턴의 사이에 배치되고 상기 반도체 칩을 상기 세라믹기판에 접합하는 접착층을 포함하는 파워모듈.
- [청구항 10] 제8항에 있어서,
상기 제2 전극 패턴과 상기 제3 전극 패턴에 형성되고, 상기 반도체 칩이
상기 제2 전극 패턴과 상기 제3 전극 패턴에 접합되는 위치를 안내하는
솔더마스크를 포함하는 파워모듈.
- [청구항 11] 세라믹기판;
상기 세라믹기판에 형성된 제1 전극 패턴;
상기 세라믹기판에 형성되고 상기 제1 전극 패턴과 동일 평면 상에 이격
배치된 제2 전극 패턴;
상기 제1 전극 패턴과 상기 제2 전극 패턴을 연결하도록 배치되고, 상기
제1 전극 패턴에 접합되는 드레인 전극과 상기 제2 전극 패턴에 접합되는
소스 전극을 포함하는 반도체 칩;
상기 드레인 전극을 상기 제1 전극 패턴에 접합하고, 상기 소스 전극을
상기 제2 전극 패턴에 접합하는 솔더층; 및
상기 세라믹기판에 형성되고, 상기 제1 전극 패턴과 상기 제2 전극 패턴에
상기 반도체 칩을 접합하기 위한 상기 솔더층의 용융시 상기 반도체 칩의
위치 이동을 방지하는 솔더마스크;
를 포함하는 파워모듈.
- [청구항 12] 제11항에 있어서,
상기 솔더마스크는
상기 제1 전극 패턴에 형성되는 솔더마스크와 상기 제2 전극 패턴에
형성되는 솔더마스크를 포함하는 파워모듈.
- [청구항 13] 제12항에 있어서,
상기 제1 전극 패턴에 형성된 솔더마스크는 상기 반도체 칩의 일측
모서리와 접하는 위치에 형성되고,
상기 제2 전극 패턴에 형성된 솔더마스크는 상기 반도체 칩의 타측
모서리와 접하는 위치에 형성된 파워모듈.
- [청구항 14] 제11항에 있어서,
상기 솔더마스크는
상기 제1 전극 패턴과 상기 제2 전극 패턴에서, 상기 드레인 전극과 상기
소스 전극이 접합되는 영역 이외의 일정 영역에 솔더 레지스터를
인쇄하여 형성된 파워모듈.
- [청구항 15] 제11항에 있어서,
상기 솔더마스크는 일정 높이를 갖는 파워모듈.

- [청구항 16] 제15항에 있어서,
상기 솔더마스크의 높이는 상기 반도체 칩의 높이에 비해 상대적으로 낮은 파워모듈.
- [청구항 17] 제15항에 있어서,
상기 솔더마스크의 길이는 상기 드레인 전극의 길이와 상기 소스 전극의 길이에 대응되는 파워모듈.
- [청구항 18] 제11항에 있어서,
상기 세라믹기판에 형성되고 상기 제2 전극 패턴과 동일 평면 상에 이격 배치된 제3 전극 패턴;
상기 제2 전극 패턴과 상기 제3 전극 패턴을 연결하도록 배치되고, 상기 제2 전극 패턴에 접합되는 드레인 전극과 상기 제3 전극 패턴에 접합되는 소스 전극을 포함하는 반도체 칩;
상기 드레인 전극을 상기 제2 전극 패턴에 접합하고, 상기 소스 전극을 상기 제3 전극 패턴에 접합하는 솔더층; 및
상기 세라믹기판에 형성되고, 상기 제2 전극 패턴과 상기 제3 전극 패턴에 상기 반도체 칩을 접합하기 위한 상기 솔더층의 용융시 상기 반도체 칩의 위치 이동을 방지하는 솔더마스크;
를 더 포함하는 파워모듈.
- [청구항 19] 제18항에 있어서,
상기 솔더마스크는
상기 제2 전극 패턴과 상기 제3 전극 패턴에서, 상기 드레인 전극과 상기 소스 전극이 접합되는 영역 이외의 일정 영역에 솔더 레지스터를 인쇄하여 형성된 파워모듈.

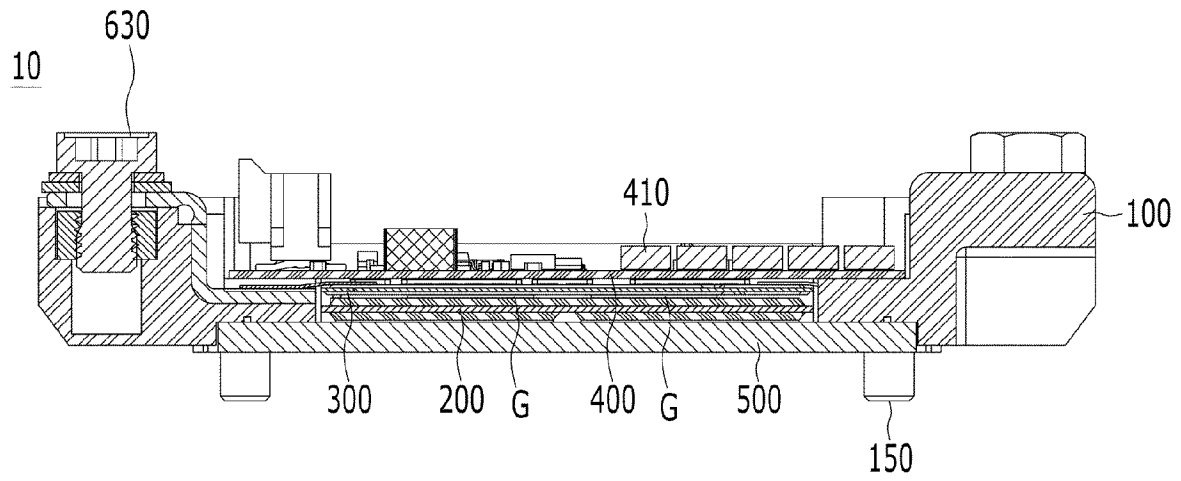
[도 1]



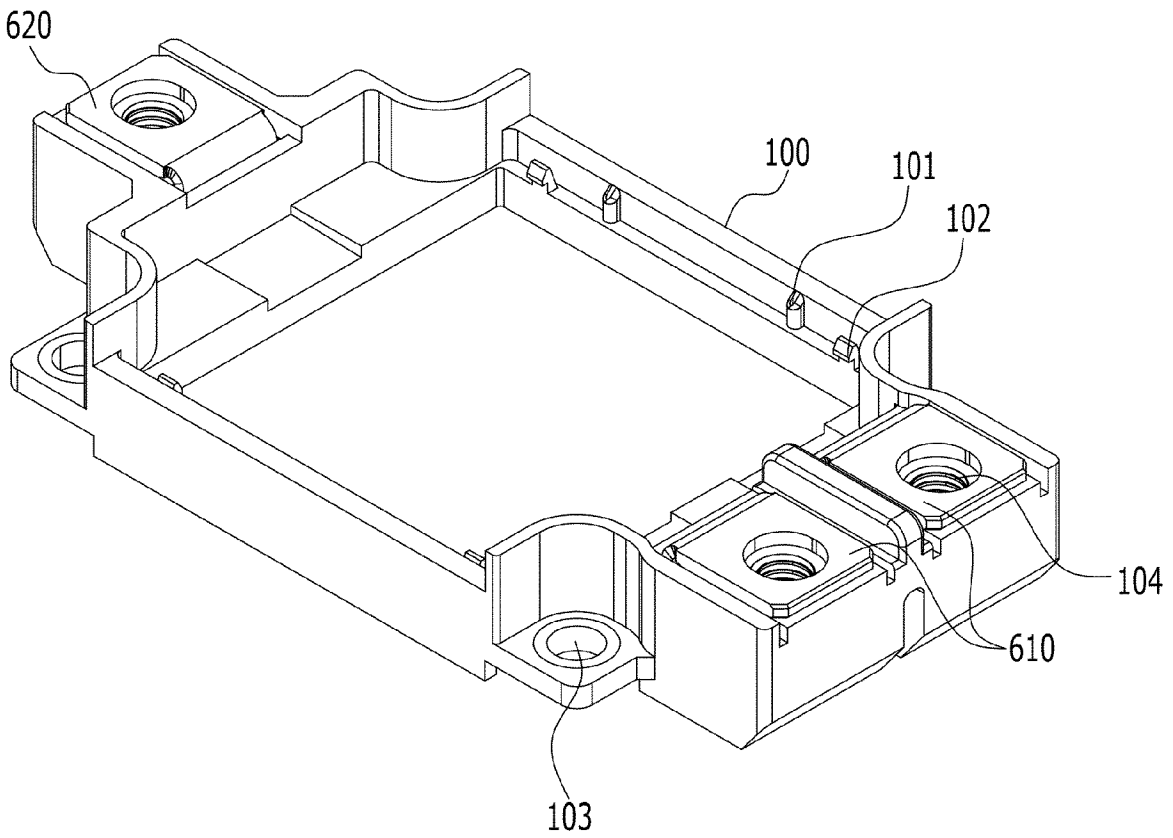
[도2]



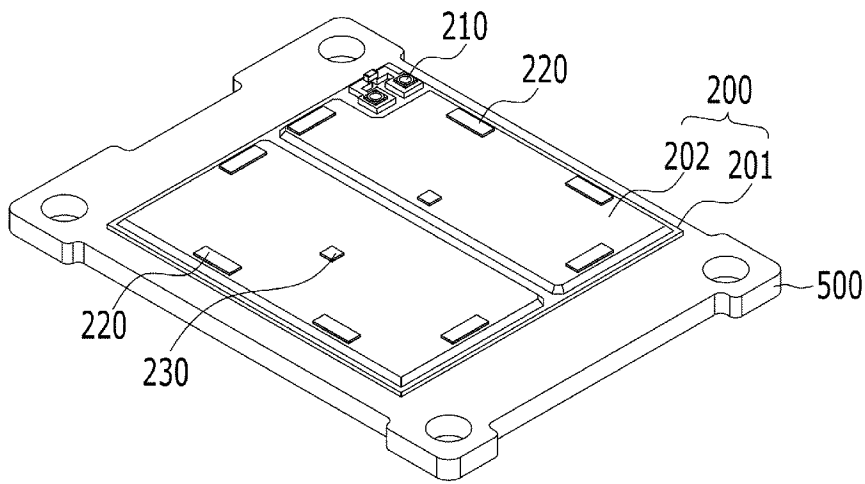
[도3]



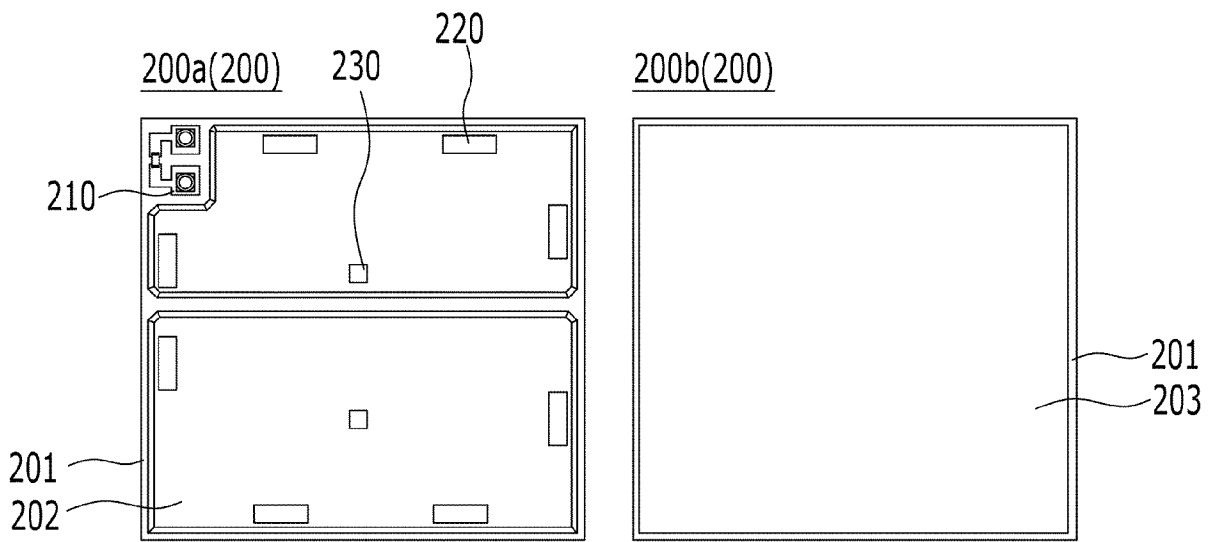
[도4]



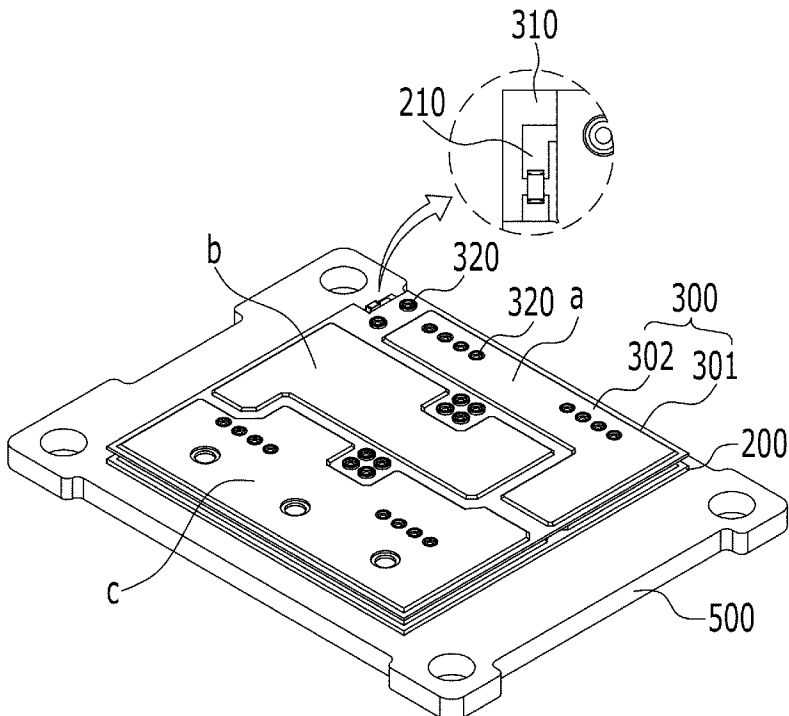
[도5]



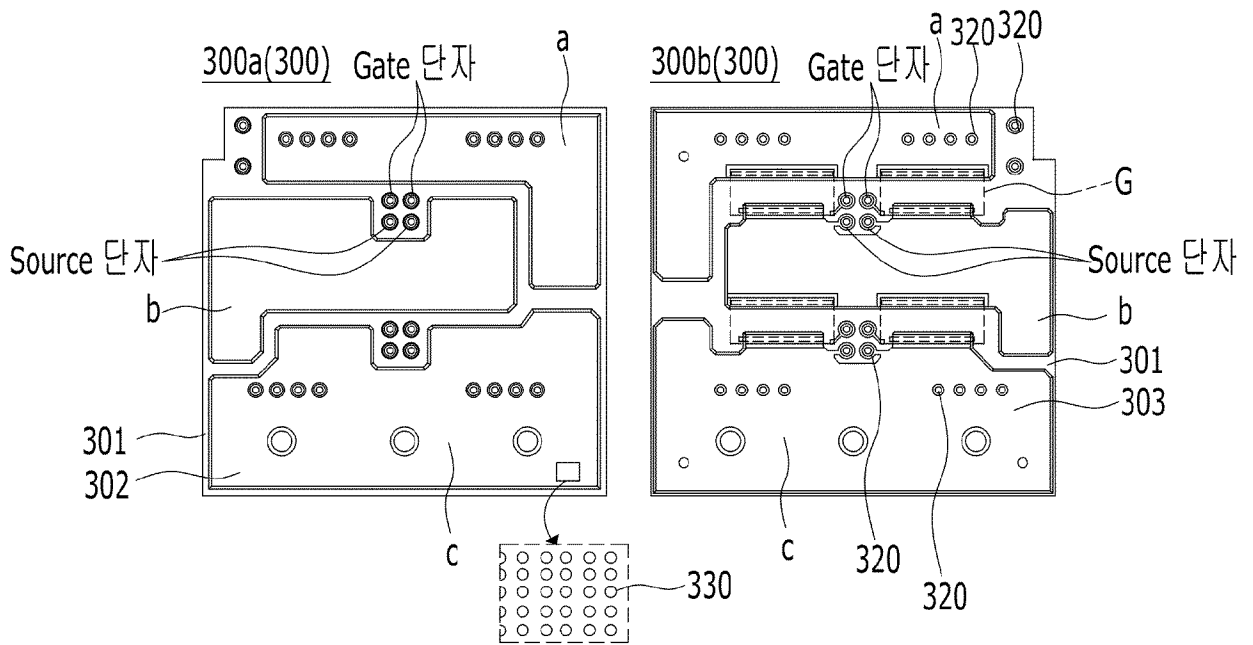
[도6]



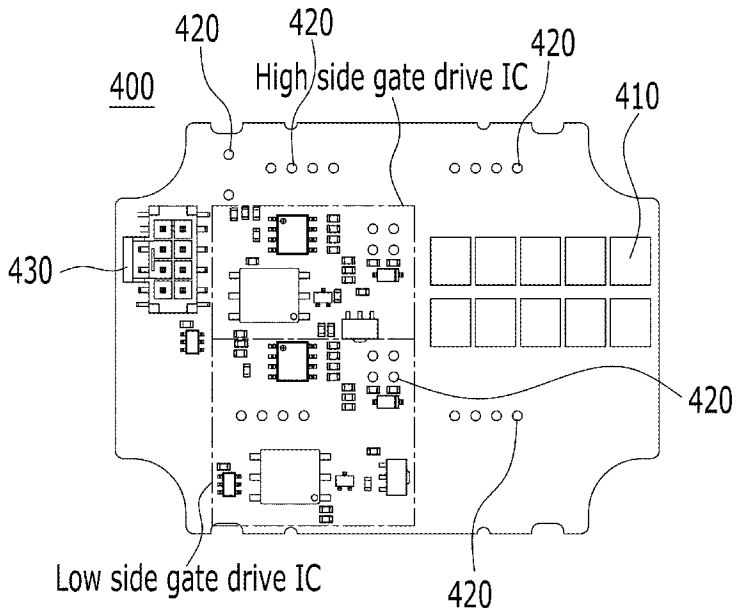
[도7]



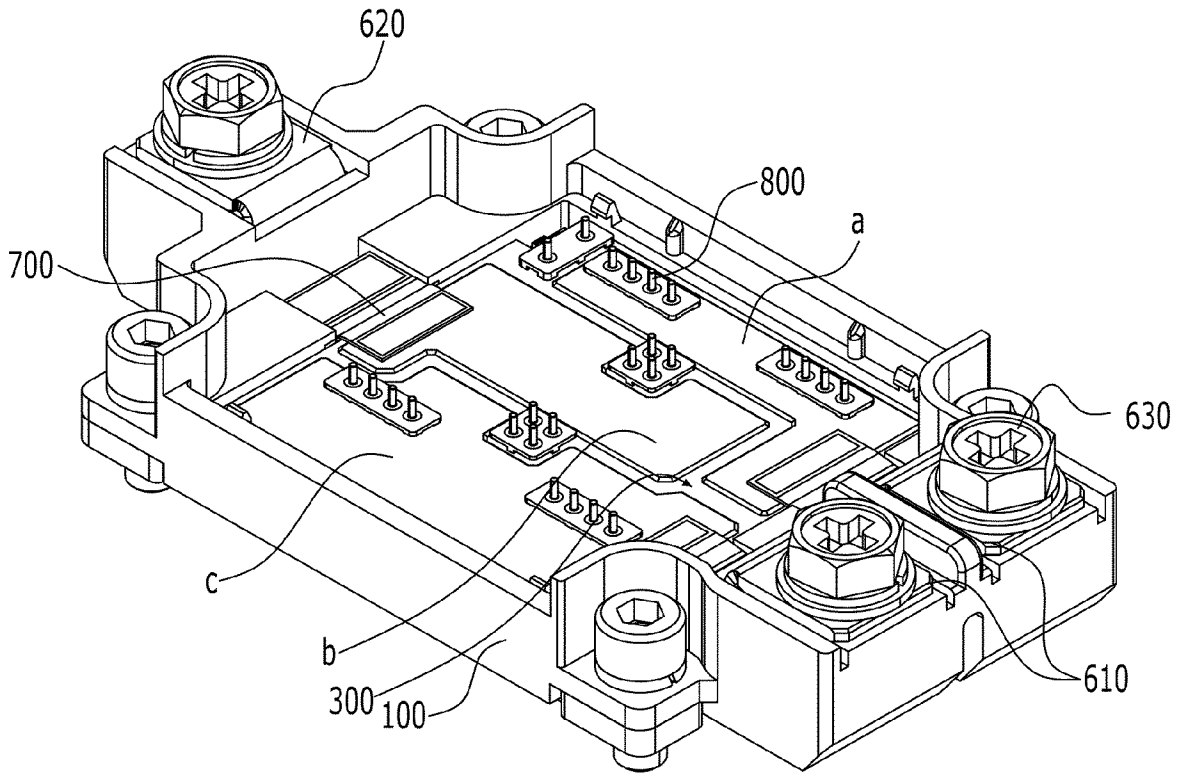
[도8]



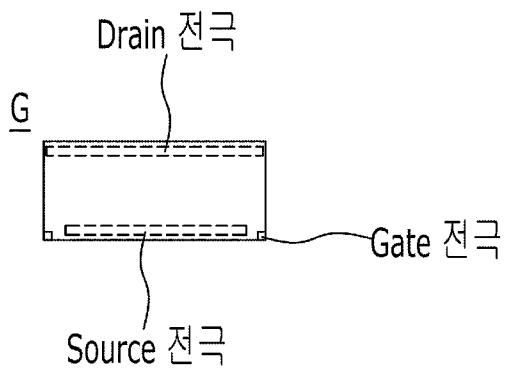
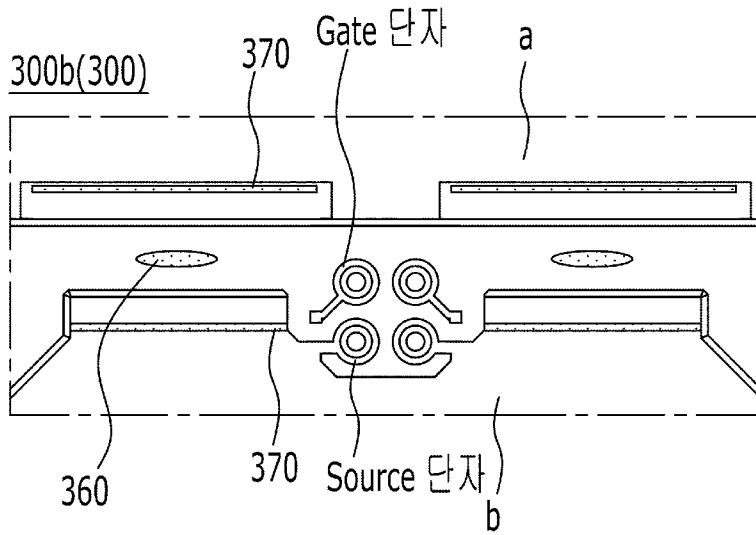
[도9]



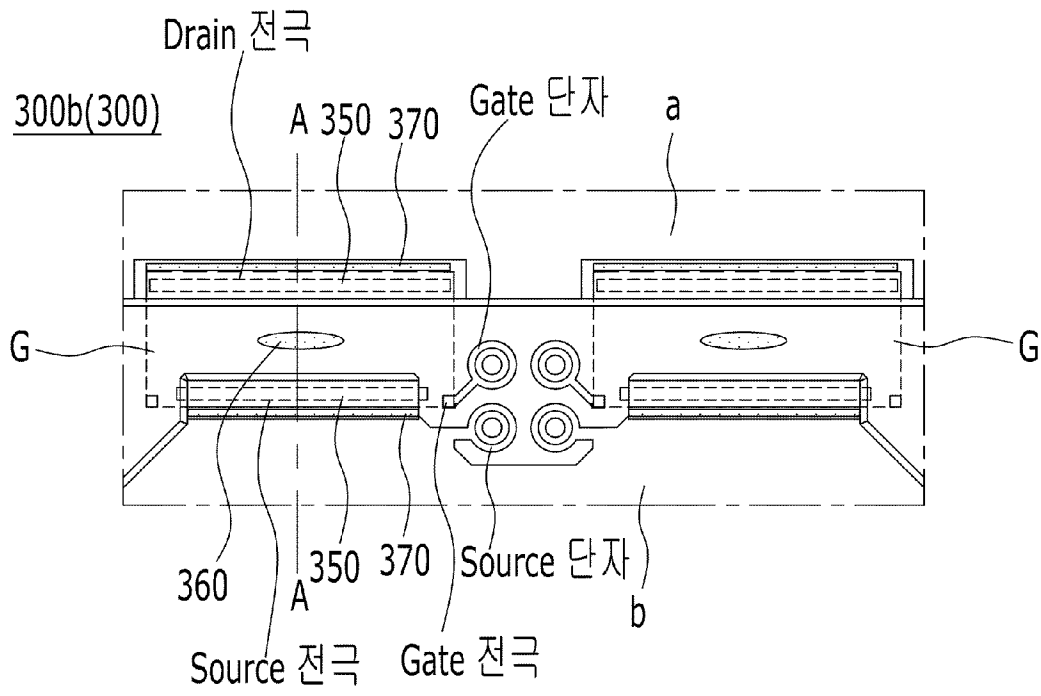
[도10]



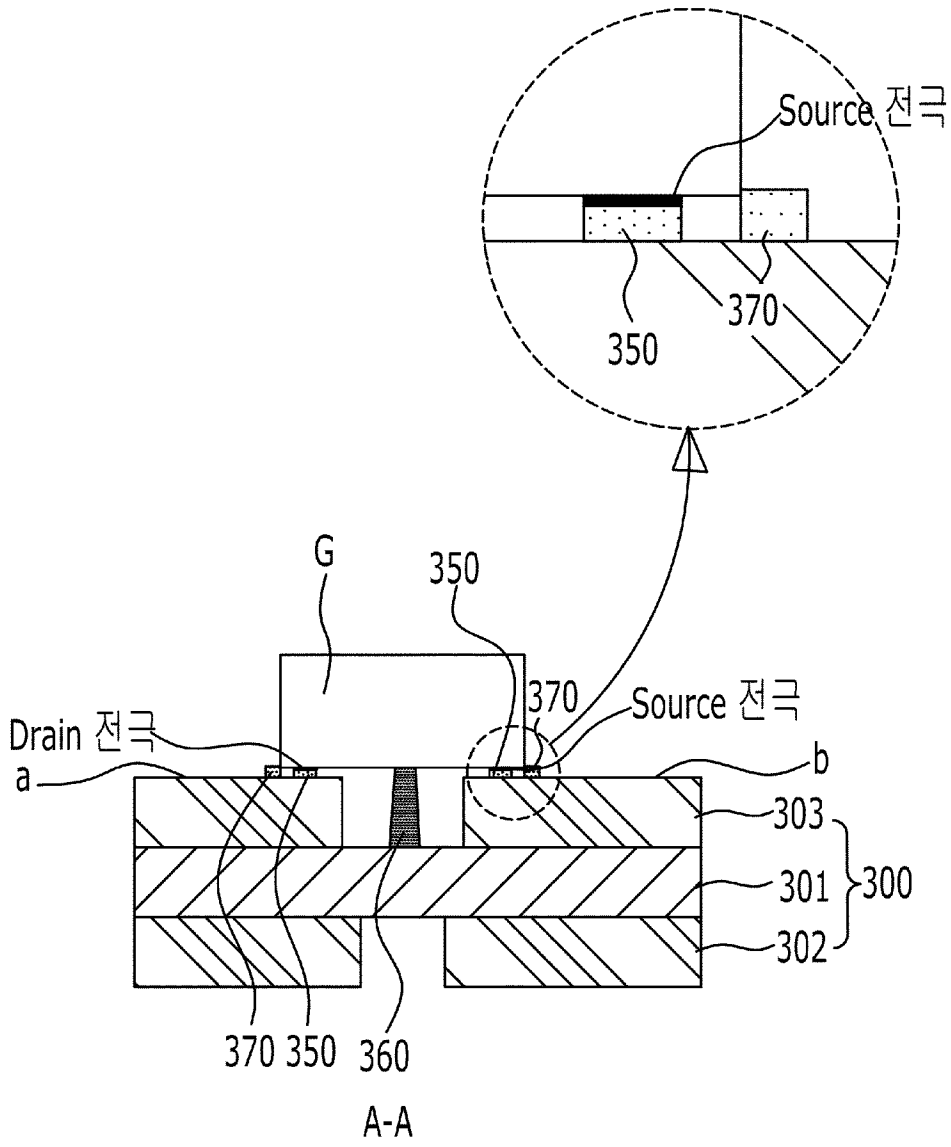
[도11]



[도 12]



[도 13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008092

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 23/528(2006.01)i; H01L 23/492(2006.01)i; H01L 23/15(2006.01)i; H01L 23/13(2006.01)i; H01L 23/29(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 23/528(2006.01); G06K 9/00(2006.01); H01L 21/58(2006.01); H01L 21/70(2006.01); H01L 23/04(2006.01); H01L 23/28(2006.01); H01L 23/36(2006.01); H01L 23/40(2006.01); H05K 3/12(2006.01); H05K 3/28(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 솔더 레지스터(solder resist), 솔더 마스크(solder mask), 인쇄(print), 소스(source), 드레인(drain)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-0852766 B1 (INTERNATIONAL RECTIFIER CORPORATION) 18 August 2008 (2008-08-18) See paragraphs [0030]-[0097] and figures 1-13.	1,8
Y		2-7,9-19
Y	KR 10-2019-0016007 A (CRUCIALTEC CO., LTD.) 15 February 2019 (2019-02-15) See paragraphs [0058]-[0109] and figure 7.	2-7,9-19
Y	WO 2014-030867 A1 (CHO, Hyoyoung) 27 February 2014 (2014-02-27) See claim 1.	14,19
A	KR 10-2006-0044927 A (SHARP KABUSHIKI KAISHA) 16 May 2006 (2006-05-16) See entire document.	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 October 2021		Date of mailing of the international search report 13 October 2021
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008092

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2014-0142256 A (MITSUBISHI MATERIALS CORPORATION) 11 December 2014 (2014-12-11) See entire document.	1-19
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/008092

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)				
KR	10-0852766	B1	18 August 2008	DE	102006060768	A1	26 July 2007			
				DE	102006060768	B4	28 November 2013			
				JP	2007-173831	A	05 July 2007			
				JP	5001637	B2	15 August 2012			
				US	2007-0138651	A1	21 June 2007			
				US	2011-0316086	A1	29 December 2011			
				US	2012-0001316	A1	05 January 2012			
				US	2013-0140684	A1	06 June 2013			
				US	2013-0147016	A1	13 June 2013			
				US	2014-0048923	A1	20 February 2014			
				US	2015-0035120	A1	05 February 2015			
				US	8018056	B2	13 September 2011			
				US	8368210	B2	05 February 2013			
				US	8569883	B2	29 October 2013			
				US	8604611	B2	10 December 2013			
				US	8836112	B2	16 September 2014			
				US	8928115	B2	06 January 2015			
				US	9559068	B2	31 January 2017			
				<hr/>						
				KR	10-2019-0016007	A	15 February 2019	KR	10-2019-0016008	A
KR	10-2019-0016009	A	15 February 2019							
KR	10-2019-0016010	A	15 February 2019							
WO	2019-031824	A1	14 February 2019							
<hr/>										
WO	2014-030867	A1	27 February 2014	None						
<hr/>										
KR	10-2006-0044927	A	16 May 2006	CN	1677660	A	05 October 2005			
				JP	2005-286186	A	13 October 2005			
				JP	4024773	B2	19 December 2007			
				TW	200601907	A	01 January 2006			
				TW	I292682	B	11 January 2008			
				US	2005-0218513	A1	06 October 2005			
				US	2008-0251946	A1	16 October 2008			
				US	7750457	B2	06 July 2010			
				<hr/>						
KR	10-2014-0142256	A	11 December 2014	CN	104205325	A	10 December 2014			
				EP	2833401	A1	04 February 2015			
				JP	2013-214561	A	17 October 2013			
				JP	6044097	B2	14 December 2016			
				TW	201411789	A	16 March 2014			
				TW	I620289	B	01 April 2018			
				US	2015-0055302	A1	26 February 2015			
				WO	2013-147124	A1	03 October 2013			
<hr/>										

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/528(2006.01)i; H01L 23/492(2006.01)i; H01L 23/15(2006.01)i; H01L 23/13(2006.01)i; H01L 23/29(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/528(2006.01); G06K 9/00(2006.01); H01L 21/58(2006.01); H01L 21/70(2006.01); H01L 23/04(2006.01); H01L 23/28(2006.01); H01L 23/36(2006.01); H01L 23/40(2006.01); H05K 3/12(2006.01); H05K 3/28(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 솔더 레지스터(solder resist), 솔더 마스크(solder mask), 인쇄(print), 소스(source), 드레인(drain)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-0852766 B1 (인터내셔널렉티파이어 코퍼레이션) 2008.08.18 단락 [0030]-[0097] 및 도면 1-13	1,8
Y		2-7,9-19
Y	KR 10-2019-0016007 A (크루셀텍(주)) 2019.02.15 단락 [0058]-[0109] 및 도면 7	2-7,9-19
Y	WO 2014-030867 A1 (CHO, HYOYOUNG) 2014.02.27 청구항 1	14,19
A	KR 10-2006-0044927 A (샤프 가부시키키가이샤) 2006.05.16 전체 문헌	1-19
A	KR 10-2014-0142256 A (미쓰비시 마테리알 가부시키키가이샤) 2014.12.11 전체 문헌	1-19
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "D" 본 국제출원에서 출원인이 인용한 문헌 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 "T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. "&" 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일	국제조사보고서 발송일	
2021년10월13일(13.10.2021)	2021년10월13일(13.10.2021)	
ISA/KR의 명칭 및 우편주소	심사관	
대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)	박혜련	
팩스 번호 +82-42-481-8578	전화번호 +82-42-481-3463	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0852766 B1	2008/08/18	DE 102006060768 A1	2007/07/26
		DE 102006060768 B4	2013/11/28
		JP 2007-173831 A	2007/07/05
		JP 5001637 B2	2012/08/15
		US 2007-0138651 A1	2007/06/21
		US 2011-0316086 A1	2011/12/29
		US 2012-0001316 A1	2012/01/05
		US 2013-0140684 A1	2013/06/06
		US 2013-0147016 A1	2013/06/13
		US 2014-0048923 A1	2014/02/20
		US 2015-0035120 A1	2015/02/05
		US 8018056 B2	2011/09/13
		US 8368210 B2	2013/02/05
		US 8569883 B2	2013/10/29
		US 8604611 B2	2013/12/10
		US 8836112 B2	2014/09/16
		US 8928115 B2	2015/01/06
US 9559068 B2	2017/01/31		
KR 10-2019-0016007 A	2019/02/15	KR 10-2019-0016008 A	2019/02/15
		KR 10-2019-0016009 A	2019/02/15
		KR 10-2019-0016010 A	2019/02/15
		WO 2019-031824 A1	2019/02/14
WO 2014-030867 A1	2014/02/27	없음	
KR 10-2006-0044927 A	2006/05/16	CN 1677660 A	2005/10/05
		JP 2005-286186 A	2005/10/13
		JP 4024773 B2	2007/12/19
		TW 200601907 A	2006/01/01
		TW I292682 B	2008/01/11
		US 2005-0218513 A1	2005/10/06
		US 2008-0251946 A1	2008/10/16
		US 7750457 B2	2010/07/06
KR 10-2014-0142256 A	2014/12/11	CN 104205325 A	2014/12/10
		EP 2833401 A1	2015/02/04
		JP 2013-214561 A	2013/10/17
		JP 6044097 B2	2016/12/14
		TW 201411789 A	2014/03/16
		TW I620289 B	2018/04/01
		US 2015-0055302 A1	2015/02/26
		WO 2013-147124 A1	2013/10/03