(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0050194
(43) 공개일자 2013년05월15일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) *H04L 27/26* (2006.01)
(21) 출원번호 10-2011-0115409
(22) 출원일자 2011년11월07일
심사청구일자 2011년11월07일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김선욱
경기도 남양주시 도농로 34, 2단지 214동 2003호 (도농동, 부영아파트)
황석중
서울특별시 은평구 응암로12길 22-10 (응암동)
(74) 대리인
특허법인엠에이피에스

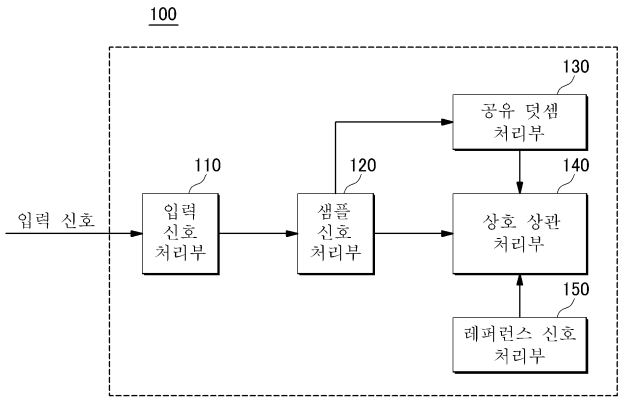
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **상호 상관 장치**

(57) 요 약

상호 상관 장치는, 입력 신호를 샘플링한 샘플 신호를 N개씩 출력하는 입력 신호 처리부, N개의 샘플 신호를 입력 받고 각각 N개의 샘플 신호 중 M개의 샘플 신호를 포함하는 복수의 샘플 신호 시퀀스를 출력하는 샘플 신호 처리부, 샘플 신호 시퀀스에 대응하는 개수의 레퍼런스 신호를 포함하는 레퍼런스 신호 시퀀스를 출력하는 레퍼런스 신호 처리부, N개의 샘플 신호를 입력 받아 두 개 이상의 샘플 신호를 포함하는 샘플 신호 그룹 별로 덧셈 처리하여 덧셈 결과 값을 생성하고 복수의 덧셈 결과 값을 출력하는 공유 덧셈 처리부와, 샘플 신호 시퀀스, 레퍼런스 신호 시퀀스 및 덧셈 결과 값을 입력 받아 복수의 샘플 신호 시퀀스 별로 레퍼런스 신호 시퀀스와의 상호 상관 처리를 병렬 수행하여 상호 상관 값을 산출하는 상호 상관 처리부를 포함한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	S7080005311
부처명	중소기업청
연구사업명	산학연협력기업부설연구소업그레이드지원사업
연구과제명	OFDM기저대역 모뎀 최적화 구조 개발
주관기관	㈜뮤텔 테크놀러지
연구기간	2010.07.01 ~ 2011.06.30

특허청구의 범위

청구항 1

입력 신호와 레퍼런스 신호 간의 상호 상관 처리를 수행하는 상호 상관 장치에 있어서,

상기 입력 신호를 샘플링한 샘플 신호를 N개씩 출력하는 입력 신호 처리부;

상기 N개의 샘플 신호를 입력 받고, 각각 상기 N개의 샘플 신호 중 M개의 샘플 신호를 포함하는 복수의 샘플 신호 시퀀스를 출력하는 샘플 신호 처리부;

상기 샘플 신호 시퀀스에 대응하는 개수의 상기 레퍼런스 신호를 포함하는 레퍼런스 신호 시퀀스를 출력하는 레퍼런스 신호 처리부;

상기 N개의 샘플 신호를 입력 받아 두 개 이상의 샘플 신호를 포함하는 샘플 신호 그룹 별로 덧셈 처리하여 덧셈 결과 값을 생성하고, 복수의 상기 덧셈 결과 값을 출력하는 공유 덧셈 처리부; 및

상기 샘플 신호 시퀀스, 레퍼런스 신호 시퀀스 및 덧셈 결과 값을 입력 받아 상기 복수의 샘플 신호 시퀀스 별로 상기 레퍼런스 신호 시퀀스와의 상호 상관 처리를 병렬 수행하여 상호 상관 값을 산출하는 상호 상관 처리부를 포함하는 상호 상관 장치.

청구항 2

제1항에 있어서,

상기 상호 상관 처리부는,

하기 수학식 1에 의한 상호 상관 함수를 통해 상기 상호 상관 값을 산출하는 상호 상관 장치.

<수학식 1>

$$C_w(t) = T(t+w) - 2 \times \sum_{n=0}^{\lceil N/2 \rceil - 1} g_w(t+w, 2n), 0 \le w < W$$

,

$$g_w(t,n) = \begin{cases} I_w(t+n) + I_w(t+n+1), & \text{if } n < N, R_w(n) < 0, \text{and } R_w(n+1) < 0 \\ I_w(t+n+1), & else\,if\, n < N \text{and } R_w(n+1) < 0 \\ I_w(t+n), & else\,if\, R_w(n) < 0 \\ 0, & otherwise. \end{cases}$$

(단, Cw(t)는 상호 상관 값, I는 샘플 신호 값, R은 레퍼런스 신호 값임)

청구항 3

제 1 항에 있어서,

상기 레퍼런스 신호 처리부는,

적어도 하나의 종류의 레퍼런스 신호 별로 상기 레퍼런스 신호 시퀀스를 출력하는 상호 상관 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 상호 상관 처리부는,

병렬로 구동하는 복수의 상호 상관기를 포함하되,

상기 상호 상관기 별로,

각각 상기 샘플 신호 시퀀스에 포함된 샘플 신호 및 상기 덧셈 결과 값을 입력 데이터로 입력 받고, 각각 상기 레퍼런스 신호 시퀀스에 포함된 레퍼런스 신호를 구동 제어 데이터로 입력 받는 다수의 멀티플렉서; 및

상기 다수의 멀티플렉서를 통해 출력되는 값들을 모두 합산하여 상기 상호 상관 값을 산출하는 합산기

를 포함하는 상호 상관 장치.

청구항 5

제 4 항에 있어서,

상기 다수의 멀티플렉서는,

각각 상기 샘플 신호 그룹 및 상기 샘플 신호 그룹에 대한 덧셈 결과 값을 입력 받고, 각각 두 개 이상의 상기 레퍼런스 신호를 입력 받는 상호 상관 장치.

청구항 6

제 4 항에 있어서,

상기 복수의 상호 상관기는,

각각 상이한 상기 샘플 신호 시퀀스를 입력 받되, 상기 입력된 덧셈 결과 값들 중 복수의 덧셈 결과 값을 공유하여 사용하는 상호 상관 장치.

청구항 7

제 1 항에 있어서,

상기 샘플 신호 처리부는,

순차적으로 기설정된 개수의 샘플 신호가 지연된 상기 복수의 샘플 신호 시퀀스를 출력하는 상호 상관 장치.

청구항 8

제 4 항에 있어서,

상기 레퍼런스 신호 시퀀스는 다수의 부호 비트로 구성되는 것인 상호 상관 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 상호 상관(cross correlation) 장치에 관한 것이다.

배 경 기 술

[0002] 신호 상관기(correlator)는 레퍼런스(reference) 신호와 입력 신호의 유사성을 측정하기 위해 사용되는 것으로, 신호 패턴 및 동기 검출 장치 등의 통신 장치에서 핵심요소로서 사용된다.

[0003] 종래의 상호 상관기는 하기 수학식 1에서와 같이 시간(t)에 따라 순차적으로 입력되는 입력 신호와 레퍼런스 신호 간에 곱셈 연산을 통해 유사성을 측정한다.

[0004] <수학식 1>

[0005] $$C(t)=\sum_{n=0}^{N-1} R(n)\times I(t+n)$$

[0006] 이때, 상호 상관기는 입력 신호의 샘플링 주파수(sampling frequency)와 동일한 주파수로 동작하는 회로로 구현할 경우 N개의 곱셈기(multiplier)를 필요로 한다.

[0007] 이와 같이, 입력 신호 샘플에 대한 상호 상관 시 전체 연산을 곱셈으로 수행하는 경우 곱셈기에 의한 전력 소모가 커 시스템 과부하가 야기될 수 있다.

[0008] 이와 같은 문제를 해결하기 위하여 대한민국 등록 특허 제0667552호에서는 병렬 상호 상관기를 포함하는 정합 필터 및 그 상호 상관 방법을 개시하고 있다. 구체적으로, 다수의 상호 상관기를 병렬로 구동함으로써 곱셈기

의 개수를 줄여 시스템 효율을 높일 수 있는 정합 필터 및 상호 상관 방법을 개시하고 있다.

[0009] 이처럼, 입력된 샘플신호를 병렬 처리하여 병렬로 상호 상관을 수행함으로써, 저속의 곱셈기로도 큰 대역폭으로 입력된 샘플신호와 고속으로 상호상관을 수행할 수 있다.

[0010] 그러나, 실제적으로 하나의 곱셈기의 연산을 수행하기 위해서는 결과적으로 다수의 덧셈기의 연산을 조합해야 하므로 회로의 전력 소모를 효율적으로 감소시키기 위해서는 더욱 단순한 구성의 상호 상관 회로가 필요로 된다. 또한, 종래의 상호 상관 방식에서는 특정 레퍼런스 시퀀스 파형에 고정된 상호 상관 처리를 수행해야 한다는 단점이 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 전력 효율 및 회로 구성 효율을 높일 수 있는 상호 상관 장치를 제공하고자 한다.

과제의 해결 수단

[0012] 상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 입력 신호와 레퍼런스 신호 간의 상호 상관 처리를 수행하는 상호 상관 장치는, 상기 입력 신호를 샘플링한 샘플 신호를 N개씩 출력하는 입력 신호 처리부; 상기 N개의 샘플 신호를 입력 받고, 각각 상기 N개의 샘플 신호 중 M개의 샘플 신호를 포함하는 복수의 샘플 신호 시퀀스를 출력하는 샘플 신호 처리부; 상기 샘플 신호 시퀀스에 대응하는 개수의 상기 레퍼런스 신호를 포함하는 레퍼런스 신호 시퀀스를 출력하는 레퍼런스 신호 처리부; 상기 N개의 샘플 신호를 입력 받아 두 개 이상의 샘플 신호를 포함하는 샘플 신호 그룹 별로 덧셈 처리하여 덧셈 결과 값을 생성하고, 복수의 상기 덧셈 결과 값을 출력하는 공유 덧셈 처리부; 및 상기 샘플 신호 시퀀스, 레퍼런스 신호 시퀀스 및 덧셈 결과 값을 입력 받아 상기 복수의 샘플 신호 시퀀스 별로 상기 레퍼런스 신호 시퀀스와의 상호 상관 처리를 병렬 수행하여 상호 상관 값을 산출하는 상호 상관 처리부를 포함한다.

발명의 효과

[0013] 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 다수의 덧셈기 및 멀티플렉서로 구성된 상호 상관기를 병렬로 구동함으로써 입력 신호와 레퍼런스 신호 간의 상호 상관 처리 시 전력 효율을 높이고 신속하게 상호 상관을 처리할 수 있다는 효과가 있다.

[0014] 그리고, 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 상호 상관 처리 시 다수의 덧셈기를 통해 산출되는 결과 값들을 다수의 상호 상관기들이 공유하여 사용함으로써 최소의 덧셈기만으로도 상호 상관을 처리할 수 있어 회로 구성 효율이 높아지는 효과가 있다.

[0015] 또한, 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 각 상호 상관기에 포함된 다수의 멀티플렉서의 구동 제어 신호로서 레퍼런스 신호를 사용함으로써, 다양한 종류의 레퍼런스 신호에 따른 상호 상관 값을 병렬적으로 산출할 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 상호 상관 장치의 구조를 도시한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 공유 덧셈 처리부 및 상호 상관 처리부를 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 상호 상관 처리부의 상세도이다.

도 4는 본 발명의 일 실시예에 따른 상호 상관기의 상세도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0018] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 상호 상관 장치의 구조를 도시한 블록도이다.

[0020] 그리고, 도 2는 본 발명의 일 실시예에 따른 공유 덧셈 처리부 및 상호 상관 처리부를 나타내는 도면이다.

[0021] 먼저, 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 상호 상관 장치(100)는 입력 신호 처리부(110), 샘플 신호 처리부(120), 공유 덧셈 처리부(130), 상호 상관 처리부(140), 및 레퍼런스 신호 처리부(150)를 포함한다.

[0022] 입력 신호 처리부(110)는 연속되는 입력 신호를 샘플링한 샘플 신호를 입력 받고, 입력된 입력 신호를 기설정된 개(이하, '제 1 개' 라고 함)수씩 출력한다. 참고로, 입력 신호 처리부(110)는 입력 신호를 입력 받아 자체적으로 샘플링 처리하여 샘플 신호를 추출하는 것도 가능하다.

[0023] 이때, 입력 신호 처리부(110)는 샘플 신호 처리부(120)로 다수의 샘플 신호를 출력하되, 기설정된 주파수에 따라 클럭당 제 1 개의 샘플 신호를 출력한다.

[0024] 샘플 신호 처리부(120)는 제1 개의 샘플 신호를 연속적으로 입력 받되, 각 클럭마다 입력된 제 1 개의 샘플 신호로 구성되는 공유 샘플 신호 시퀀스 및 상기 제 1 개보다 작은 기설정된 개수 (이하, '제 2 개' 라고 함)의 샘플 신호로 구성되는 개별 샘플 신호 시퀀스를 각각 상이한 다수의 경로로 출력한다.

[0025] 구체적으로, 샘플 신호 처리부(120)는 클럭 당 하나의 공유 샘플 신호 시퀀스를 공유 덧셈 처리부(130)로 출력하고, 클럭 당 다수의 개별 샘플 신호 시퀀스들을 상호 상관 처리부(140)로 출력한다.

[0026] 이때, 샘플 신호 처리부(120)는 공유 샘플 신호 시퀀스 내에 포함된 제1 개의 샘플 신호 중 제 2 개의 샘플 신호로 구성되되, 각각 상이한 샘플 신호 시퀀스인 다수의 개별 샘플 신호 시퀀스를 출력한다.

[0027] 이와 같은 개별 샘플 신호 시퀀스는 각각 순차적인 제 2 개의 샘플 신호를 포함하되, 각 개별 샘플 신호 시퀀스는 앞 차수의 개별 샘플 신호 시퀀스에 비해 기설정된 개수의 샘플 신호가 지연된 샘플 신호 시퀀스일 수 있다. 참고로, 각 개별 샘플 신호 시퀀스는 시간적으로 동시 또는 순차적으로 생성될 수 있으며, 동일 클럭에 모두 출력되거나 여러 클럭 동안 순차적으로 출력될 수 있다. 따라서, 상기 '앞 차수의 개별 샘플 신호 시퀀스' 는 수열적으로 앞선 샘플 신호 시퀀스 또는 시간적으로 먼저 출력되는 샘플 시퀀스 임을 의미한다.

[0028] 예를 들어, 8개의 개별 샘플 신호 시퀀스가 1개의 샘플 신호씩 지연된 샘플 신호 시퀀스이되 제 2 개수가 8인 경우, 첫 번째 개별 샘플 신호 시퀀스는 제 1 샘플 신호부터 제 8 샘플 신호까지의 샘플 신호들로 구성되고, 두 번째 개별 샘플 신호 시퀀스는 제 2 샘플 신호부터 제 9 샘플 신호까지의 샘플 신호들로 구성된다. 이와 같은 순서로 마지막 여덟 번째 개별 샘플 신호 시퀀스는 제 7 샘플 신호부터 제 15 샘플 신호까지의 샘플 신호로 구성된다. 결과적으로, 제 2 개수가 8인 경우 제 1개수는 16이다.

[0029] 한편, 공유 덧셈 처리부(130)로 출력된 공유 샘플 신호 시퀀스는 공유 덧셈 처리부(130) 내의 다수의 덧셈기에 기설정된 개수씩 입력된다. 그리고, 상호 상관 처리부(140)로 출력된 다수의 개별 샘플 신호 시퀀스들은 상호 상관 처리부(140) 내의 다수의 상호 상관기에 각각 하나씩 개별적으로 입력된다.

[0030] 공유 덧셈 처리부(130)는 공유 샘플 신호 시퀀스를 입력 받아, 공유 샘플 신호 시퀀스에 포함된 제 1 개의 샘플 신호들을 기설정된 개수씩 덧셈 처리한다. 그리고, 공유 덧셈 처리부(130)는 덧셈 결과 값들을 다수의 경로로 출력한다.

[0031] 예를 들어, 도 2에 도시한 바와 같이 공유 덧셈 처리부(130)는 입력된 샘플 신호(I)들을 각각 두 개씩 덧셈 처리하고, 각 덧셈 결과 값을 상호 상관 처리부(140)로 출력한다. 이때, 공유 덧셈 처리부(130)는 각 덧셈 결과 값을 다수의 경로로 출력하며, 출력된 각 덧셈 결과 값은 상호 상관 처리부(140) 내의 다수의 상호 상관기에 각각 입력된다. 이처럼, 공유 덧셈 처리부(130)를 통해 덧셈 처리된 결과 값 중 적어도 하나의 덧셈 결과 값은 상호 상관 처리부(140)의 각 상호 상관기가 공유하여 사용할 수 있다.

[0032] 다시 도 1로 돌아가서, 상호 상관 처리부(140)는 다수의 개별 샘플 신호 시퀀스를 입력 받아, 각 개별 샘플 신호 시퀀스에 포함된 제 2 개의 샘플 신호들을 각 상호 상관기를 통해 상호 상관 처리한다.

[0033] 구체적으로, 도 2 에 도시한 바와 같이 상호 상관 처리부(140)는 다수의 상호 상관기로 구성되며, 다수의 상호 상관기는 병렬로 연결되어 있다.

[0034] 병렬로 연결된 상호 상관기들은 각각 샘플 신호 처리부(120)로부터 입력된 개별 샘플 신호 시퀀스, 공유 덧셈 처리부(130)로부터 입력된 덧셈 결과 값, 및 레퍼런스 신호 처리부(150)로부터 입력된 레퍼런스 신호 시퀀스(R)를 이용하여 상호 상관 값을 연산 처리한다.

[0035] 도 2에서는 상호 상관 처리부(140)에 병렬적으로 연결된 W개의 상호 상관기가 포함된 것을 나타내었으며, 다수의 상호 상관기는 각각 다수의 멀티플렉서 및 적어도 하나의 덧셈기를 포함하는 합산기를 포함하여 구성된다. 이때, 다수의 상호 상관기는 동일 클럭에 입력되는 샘플 신호 시퀀스(I), 덧셈 결과 값 및 레퍼런스 신호 시퀀스(R)를 각 멀티플렉서의 입력 데이터 및 구동 제어 데이터로 사용한다.

[0036] 이처럼, 상호 상관 처리부(140)가 다수의 입력 신호, 레퍼런스 신호 및 공유된 덧셈 결과를 멀티플렉서 및 합산기를 통해 상호 상관 처리함으로써, 종래에 다수의 곱셈기만을 사용하던 상호 상관 처리 방식에 비해 전력 소모량이 현격히 감소되며 회로 구성 효율이 높아지는 효과가 있다.

[0037] 이와 같은, 상호 상관 처리부(140)를 통한 상호 상관 방식에 대해서는 이하 도 3 및 도 4를 통해 상세히 설명하도록 한다.

[0038] 다시 도 1로 돌아가서, 레퍼런스 신호 처리부(150)는 다수의 레퍼런스 신호로 구성된 다수의 레퍼런스 신호 시퀀스를 출력한다. 이때, 본 발명의 일 실시예에 따른 레퍼런스 신호 처리부(150)는 부호 비트 값을 갖는 레퍼런스 신호들을 출력한다. 참고로, 레퍼런스 신호 시퀀스는 각각 개별 샘플 신호 시퀀스에 대응하는 크기(즉, 개수)의 레퍼런스 신호를 포함하며, 각 레퍼런스 신호 시퀀스는 다른 레퍼런스 신호 시퀀스와 상이한 레퍼런스 신호들로 구성될 수 있다. 즉, 상이한 레퍼런스 신호들이 동시에 상호 상관기에 입력될 수 있어, 특정 레퍼런스 신호에 한정되지 않고 다양한 레퍼런스 신호와 입력 신호 간의 상호 상관 처리를 동시에 수행할 수 있는 효과가 있다. 이와 같은 레퍼런스 신호 시퀀스는 상호 상관기 내에 포함된 다수의 멀티플렉서의 구동 제어 데이터로서 입력된다.

[0039] 이하, 도 3 및 도 4를 통해 본 발명의 일 실시예에 따른 상호 상관 처리 방식에 대해서 상세히 설명하도록 한다.

[0040] 도 3은 본 발명의 일 실시예에 따른 상호 상관 처리부의 상세도이다.

[0041] 그리고, 도 4는 본 발명의 일 실시예에 따른 상호 상관기의 상세도이다.

[0042] 먼저, 도 3 및 도 4를 참조하여 본 발명의 일 실시예에 따른 상호 상관 처리부(140)가 상호 상관 값을 연산하는데 적용되는 상호 상관 처리식의 유도 과정에 대해서 설명하도록 한다.

[0043] 본 발명의 일 실시예에 따른 레퍼런스 신호 처리부(150)는 레퍼런스 신호를 복수 개의 비트로 표현하지 않고 부호(sign) 비트만을 취하여 레퍼런스 신호 시퀀스를 출력한다. 이는, 직교성이 우수한 레퍼런스 신호 파형을 사용하는 경우 레퍼런스 신호 파형의 신호를 부호 비트로 표현할 수 있기 때문이다. 예를 들어, 레퍼런스 신호 처리부(150)는 레퍼런스 신호 값이 음의 값이면 '1' 비트를 취하고 양의 값 또는 0이면 '0' 비트를 취한다.

[0044] 하기 수학식 2 에서는 x값이 0인 경우 양(+)의 y값을 가지며 x값이 1인 경우 y값이 음(-)의 값을 갖는 함수를 정의하였다. 즉, x가 레퍼런스 신호 값(R)이고 y가 샘플 신호 값(I)인 경우, 레퍼런스 신호 값에 따라 샘플 신호 값의 부호를 바꾸어 적용할 수 있다.

[0045] <수학식 2>

[0046] $$f(x,y)=\begin{cases} y, \text{if } x=0 \\ -y, \text{if } x=1 \end{cases}$$

[0047] 이때, 하기 수학식 3에서와 같이 x값에 따라 y값의 부호를 반전시킬 수 있다. 수학식 3에 표현된 '~' 기호는 샘플 신호 값의 모든 비트 값을 반전시키는 연산자를 의미한다.

[0048] <수학식 3>

[0049] $$f(x,y)=\begin{cases} y, \text{if } x=0 \\ \sim y, \text{if } x=1 \end{cases}$$

[0050] 한편, 상기 수학식 2및 3의 함수에 대하여 2의 보수(two's complement) 표현을 사용하는 경우 샘플 신호 값(즉, y값)의 모든 비트 값을 반전시킨 후 1을 더하여 주는 회로를 통해 구현될 수 있다.

[0051] 예를 들어, 샘플 신호 값의 부호를 바꾸어주기 위해 1을 따로 더하여 주는 방식을 사용할 수 있으며, 해당 값을 사전에 계산해 놓는 기법을 사용할 수도 있다.

[0052] 이와 같은 조건에서, 하기 수학식 4에서와 같이 상호 상관 함수(C(t))를 정의할 수 있다.

[0053] <수학식 4>

[0054] $$C(t)=\sum_{n=0}^{N-1} f(R(n),I(t+n))$$

[0055] 한편, 상기 수학식 2 및 3에서와 같이 레퍼런스 신호 값에 따라 대응하는 샘플 신호 값의 부호를 바꾸어 적용하는 경우 상기 수학식 4에 정의된 상호 상관 함수는 하기 수학식 5와 같이 재정의 될 수 있다.

[0056] <수학식 5>

[0057] $$C(t)=\sum_{n=0}^{N-1} f(R(n),I(t+n))+\sum_{n=0}^{N-1} R(n)$$

[0058] 그런데, 상기 수학식 5에 따른 회로를 구현할 경우 덧셈기가 최소 N개가 필요하다. 이와 같은, 수학식 5에 따라 구현되는 상호 상관 장치에서보다 더욱 전력 소모가 감소되는 상호 상관 장치를 하기 수학식 6 내지 12를 통해 구현할 수 있다. 하기 수학식 6 내지 12에 따르면 상기 수학식 5에 비하여 다수의 덧셈기(예를 들어, 절반의 덧셈기)를 더욱 감소시킬 수 있다.

[0059] 구체적으로, 상기 수학식 4에 정의된 상호 상관 함수는 하기 수학식 6을 적용하여 하기 수학식7로 표현할 수 있다. 이때, 하기 수학식에서 S+는 레퍼런스 신호(R) 중 양수 혹은 0의 값을 갖는 신호들의 인덱스이며, S-는 렌퍼런스 신호 중 음수의 값을 갖는 신호들의 인덱스들이다.

[0060] <수학식 6>

[0061] $$S^{+}=\{n:0\le n\le N-1 \text{ and } R(n)\ge 0\}$$
$$S^{-}=\{n:0\le n\le N-1 \text{ and } R(n)<0\}$$

[0062] <수학식 7>

[0063] $$C(t)=\sum_{n\in S^{+}} I(t+n)-\sum_{n\in S^{-}} I(t+n)$$

[0064] 이때, S+와 S-의 합집합은 $\{n:0\le n<N\}$ 이고 교집합이 공집합이므로 하기 수학식 8이 성립된다.

[0065] <수학식 8>

[0066] $$\sum_{n=0} I(t+n)=\sum_{n\in S^{+}} I(t+n)+\sum_{n\in S^{-}} I(t+n)$$

[0067] 상기 수학식 8에 따라 상기 수학식 4를 하기 수학식 9로 대체할 수 있다.

[0068] <수학식 9>

[0069] $$C(t)=K\times\left(\sum_{n=0}^{N-1} I(t+n)-2\times\sum_{n\in S} I(t+n)\right)$$

[0070] 이때, 상기 수학식 9에서 S는 S+와 S- 중에 하나의 값을 취할 수 있고, K는 S+가 S-일 때 -1, S일 때 +1의 값을 갖는다. 참고로, K값을 곱하는 것은 간단한 회로로 구현할 수 있으나, 본 발명의 일 실시예에 따른 상호 상관기에서 산출하는 상호 상관 값은 절대값을 산출하므로 K 값은 무시하기로 한다.

[0071] 상기 수학식 9에서 첫 번째 항은 하기 수학식 10으로 변환하여 레지스터 하나와 덧셈기 두 개를 이용하여 구현할 수 있다. 또한, 수학식 9에서 두 번째 항에 2를 곱하여 주는 것은 쉬프트 연산에 해당하므로 별도의 회로 구현이 필요치 않다. 참고로, 하기 수학식 10에서 T(t) 함수는 상호 상관의 대상이 되는 샘플 구간의 총합의 값이다.

[0072] <수학식 10>

[0073] $$\sum_{n=0}^{N-1} I(t+n) = T(t) = T(t-1) + I(t+N-1) - I(t-1),\ T(0) = 0$$

[0074] 또한, 하기 수학식 11를 이용하여 S값을 선택할 경우, 상기 수학식 9에서 두 번째 항을 계산하기 위해 필요한 최대 덧셈기의 수는 N/2개이다. 이는 S+와 S-의 합집합의 집합원의 수가 N이고 교집합이 공집합이기 때문이다.

[0075] <수학식 11>

[0076] $$S = \begin{cases} R^+, \text{if} |R^+| < |R^-| \\ R^-, otherwise. \end{cases}$$

[0077] 따라서, 상기 수학식 10 및 11을 적용한 상호 상관 처리를 위한 회로 구현 시, 상기 수학식 5를 이용하여 구현된 회로에 비하여(즉, N개의 덧셈기 필요) 레지스터 하나를 추가함으로써 절반에 가까운 덧셈기((N/2)+2개 필요)를 절약할 수 있다.

[0078] 한편, 본 발명의 일 실시예에 따른 상호 상관 처리 장치(100)에서는 다양한 레퍼런스 파형을 지원하여 샘플 신호와 레퍼런스 신호 간에 상호 상관 처리를 수행한다.

[0079] 이때, 본 발명의 일 실시예에 따른 상호 상관 처리부(140)가 다수의 종류의 레퍼런스 신호를 이용하여 상호 상관 처리를 수행하는 경우, 도 3 및 도 4에서 도시한 바와 같이 공유 덧셈 처리부(130)로부터 출력된 각 덧셈 결과 값을 S값에 따라 대응되는 샘플 신호(I)의 요소와 연결시킬 수 있도록 멀티플렉서(multiplexer) 회로가 사용된다.

[0080] 그런데, 다양한 수의 레퍼런스 신호를 지원할수록 상호 상관 처리부(140)의 상호 상관기 별로 레퍼런스 신호마다 연결되는 샘플 신호(I)의 요소 수가 증가하게 되어 회로의 복잡도가 커지게 된다.

[0081] 즉, 상기 수학식 5에 비하여 상기 수학식 10 및 11에 기반하여 회로를 구현할 경우 절반에 가까운 덧셈기의 수를 절약할 수 있지만, 수학식 10 및 11을 적용한 상호 상관 처리 시 다양한 레퍼런스 신호를 이용할 경우 멀티플렉서의 복잡도가 과도하게 높아질 수 있다.

[0082] 따라서, 입력 신호의 샘플링 주파수가 높은 상호 상관기를 병렬 회로로 구현하여, 회로의 동작 주파수를 낮추어 회로의 동작 주파수의 제약 조건을 맞추거나 회로의 고속 동작에 따른 소비전력을 감소시킨다.

[0083] 이때, 본 발명의 일 실시예에 따른 상호 상관 처리부(140)는 W개의 병렬 상호 상관기를 통해 한 클럭 주기(clock period)안에 하기 수학식 12에 따라 W개의 상호 상관 값(C(t)~(t+W-1))을 산출한다. 즉, 회로의 동작 주파수를 입력 신호의 샘플링 주파수를 기준으로 W배 낮출 수 있다.

[0084] <수학식 12>

[0085] $$C_w(t) = C(t+w) = \sum_{n=0}^{N-1} R(n) \times I(t+w+n),\ 0 \le w < W$$

[0086] 상기 수학식 12를 적용하여 W개의 독립적인 상호 상관기는 입력되는 샘플 신호를 t로부터 병렬 상호 상관기 번호 w만큼 차이를 두어 (t+w+n)까지 상호 상관 처리할 수 있다.

[0087] 그런데, 상기 수학식 12에서와 같이 W개의 독립적인 상호 상관기 회로를 구현할 경우 회로의 면적이 W배로 증가될 수 있다.

[0088] 따라서, 수학식 12의 상호 상관 함수를 기반으로 하되, 상기 수학식 9에서 K=1, S=S-로 치환한 조건을 적용하여 하기 수학식 13에서와 같은 상호 상관 함수를 정의할 수 있다. 즉, 상호 상관 처리부(140)의 각 상호 상관기를 다수의 덧셈기와 멀티플렉서 회로로 구현할 수 있다. 참고로, S는 S+와 S- 중에 어떤 값이라도 성립될 수 있다.

[0089] 구체적으로, 상기 수학식 9는 하기 수학식 13 및14와 같이 나타낼 수 있다.

[0090] <수학식 13>

[0091] $$g(t,n)=\begin{cases} I(t+n)+I(t+n+1), & \text{if } n<N, R(n)<0, \text{and } R(n+1)<0 \\ I(t+n+1), & else \text{ if } n<N \text{ and } R(n+1)<0 \\ I(t+n), & else \text{ if } R(n)<0 \\ 0, & otherwise. \end{cases}$$

[0092] <수학식 14>

[0093] $$C_w(t)=T(t+w)-2\times\sum_{n=0}^{\lceil N/2\rceil-1} g(t+w,2n),\ 0\le w<W$$

[0094] 상기 수학식 14는 상기 수학식 12와 같이 W개의 상호 상관기 중 번호 W에 해당하는 상호 상관기의 상호 상관 처리 함수를 나타낸다.

[0095] 이때, 상기 수학식 13에서 첫 번째 조건에 해당하는 덧셈 연산은 공유 덧셈 처리부(130)의 덧셈기에서 수행한다.

[0096] 도 3에서는 공유 덧셈 처리부(130)와 상호 상관기의 내부 구조 및 병렬 구조의 상호 상관기와 공유 덧셈 처리부(130)의 각 덧셈기와의 연결 관계를 나타내었다.

[0097] 즉, 도 3에서 도시한 바와 같이 공유 덧셈 처리부(130)는 입력된 공유 샘플 신호 시퀀스의 샘플 신호들을 두 개씩 그룹화하여 공유 덧셈 처리부(130) 내의 덧셈기 별로 덧셈 처리한다. 그리고, 공유 덧셈 처리부(130)는 각 덧셈기의 연산 결과를 상호 상관기들에 제공한다. 이처럼, 공유 덧셈 처리부(130)를 통해 연산된 덧셈 결과 값 중 적어도 하나의 값들이 병렬 구조의 상호 상관기로 각각 입력됨으로써, 각 상호 상관기는 샘플 신호의 그룹 간의 덧셈 결과만을 선택적으로 더하여 주는 덧셈기를 포함하여 구성될 수 있다.

[0098] 또한, 본 발명의 일 실시예에 따른 상호 상관 처리부(130)의 상호 상관기에서는 레퍼런스 파형의 종류 및 개수에 관계없이 하나의 멀티플렉서가 기설정된 개수(도 3 및 도 4에서는 '4개'를 나타냄)의 입력 데이터만을 취하며, 그 중 디폴트 입력 데이터는 0이므로 멀티플렉서의 복잡도가 낮다.

[0099] 이와 같은, 공유 덧셈 처리부(130)의 각 덧셈기의 덧셈 결과 값을 수신한 상호 상관 처리부(140)의 W개의 상호 상관기는 하기 수학식 15 내지 18에 따라 상호 상관 처리를 수행한다.

[0100] 먼저, 공유 덧셈 처리부(130)의 각 덧셈기에 적용되는 함수는 하기 수학식 15와 같다. 그리고, W개의 상호 상관기 별로 입력되는 상기 덧셈기 별 덧셈 결과 값은 하기 수학식 16에 의해 정의될 수 있으며, 상기 각 상호 상관기 별로 입력되는 레퍼런스 신호 값은 하기 수학식 17에 의해 정의될 수 있다. 또한, W개의 상호 상관기 별로 입력되는 샘플 신호 값은 하기 수학식 18에 의해 정의될 수 있다.

[0101] <수학식 15>

[0102] $$A(n)=I(t+2n)+I(t+2n+1),\ 0\le n<(N+W)/2$$

[0103] <수학식 16>

[0104] $$A_w(n)=\begin{cases} A(n), & w\le 2n \\ A(n+\lfloor N/2\rfloor), & w\ge 2(n+1) \\ I_w(w-1)+I_w(w), & otherwise \end{cases}$$

[0105] <수학식 17>

[0106] $$R_w(n)=\begin{cases} R(n+w), & \text{if } n\ge w \\ R(n-w+N), & otherwise. \end{cases}$$

[0107] <수학식 18>

[0108] $$I_w(n)=\begin{cases} I(t+n), & \text{if } n\ge w \\ I(t+n+N), & otherwise. \end{cases}$$

[0109] 본 발명의 일 실시예에 따른 상호 상관 처리부(140)는 상기 수학식 16 내지 18에 의한 조건을 적용하여 하기 수학식 19 및 20에 따른 상호 상관 연산을 수행한다.

[0110] <수학식 19>

[0111]
$$g_w(t,n)=\begin{cases} I_w(t+n)+I_w(t+n+1), & \text{if } n<N, R_w(n)<0, \text{and } R_w(n+1)<0 \\ I_w(t+n+1), & else\,\text{if } n<N \text{and } R_w(n+1)<0 \\ I_w(t+n), & else\,\text{if } R_w(n)<0 \\ 0, & otherwise. \end{cases}$$

[0112] <수학식 20>

[0113]
$$C_w(t)=T(t+w)-2\times\sum_{n=0}^{\lceil N/2\rceil-1} g_w(t+w,2n),\ 0\le w<W$$

[0114] 이하, 도 3 및 도 4를 참조하여 본 발명의 일실시예에 따른 상호 상관 장치(100)가 상기 수학식 19 및 20을 적용하여 샘플 신호와 레퍼런스 신호 간에 상호 상관 처리를 수행하는 방식에 대해 상세히 설명하도록 한다.

[0115] 도 3에 도시된 바와 같이, 공유 덧셈 처리부(130)는 제 1 개(도 3에서는 '19개')의 샘플 신호를 포함하는 공유 샘플 신호 시퀀스를 입력 받는다. 그리고, 공유 덧셈 처리부(130)는 각각 공유 샘플 신호 시퀀스 중 기설정된 개수(도 3에서는 '2' 개)의 샘플 신호로 구성된 다수의 샘플 신호 그룹의 덧셈 처리를 수행한다. 즉, 공유 덧셈 처리부(130)에 포함된 다수의 덧셈기가 각각 2개의 샘플 신호를 덧셈 처리하여 다수의 상호 상관기로 출력한다.

[0116] 도 3에서는, 공유 덧셈 처리부(130)에 I(t+0) 부터 I(t+18)까지의 19개의 샘플 신호를 포함하는 공유 샘플 신호 시퀀스가 입력된 것을 나타내었다.

[0117] 한편, 도 3에서와 같이 상호 상관 처리부(140)의 각 상호 상관기들에는 공유 덧셈 처리부(130)로부터 출력된 다수의 덧셈 결과 값, 샘플 신호 처리부(120)로부터 출력된 개별 샘플 신호 시퀀스, 및 레퍼런스 신호 처리부(150)로부터 출력된 레퍼런스 신호 시퀀스가 각각 입력된다.

[0118] 이때, 도 3에서는 각 상호 상관기에 제 2개(도 3에서는 16개)의 샘플 신호를 포함하는 개별 샘플 신호 시퀀스가 입력되는 것을 나타내었다. 참고로, 도 3에서 도시한 각 개별 샘플 신호 시퀀스 및 다수의 덧셈 결과 값은 앞선 인덱스의 상호 상관기를 거쳐 각 상호 상관기에 입력되는 것이 아니라, 별개의 경로를 통해 각 샘플 신호 시퀀스 및 덧셈 결과 값이 각 상호 상관기에 입력되는 것이다.

[0119] 구체적으로, 도 3에서는 첫 번째 상호 상관기에 I(t+0)부터 I(t+15)까지 16개의 샘플 신호를 포함하는 개별 샘플 신호 시퀀스가 입력되고, 두 번째 상호 상관기에는 첫 번째 상호 상관기에 입력된 개별 샘플 신호 시퀀스보다 한 개의 샘플 신호가 지연된 I(t+1)부터 I(t+16)까지 16개의 샘플 신호를 포함하는 개별 샘플 신호 시퀀스가 입력되는 것을 도시하였다. 이와 같은 방식으로, W개의 상호 상관기에는 각각 한 개의 샘플 신호씩 순차적으로 지연된 개별 샘플 신호 시퀀스가 입력된다.

[0120] 참고로, 도 3에서는 상호 상관 처리부(140)에 4개의 상호 상관기가 포함된 것을 도시하였으나, 그 개수는 다양하게 설정될 수 있다. 이때, 개별 샘플 신호 시퀀스 및 공유 샘플 신호 시퀀스에 포함되는 샘플 신호의 개수는 상호 상관기의 개수에 따라 설정될 수 있다. 즉, 상호 상관기의 인덱스는 개별 샘플 신호 시퀀스에 포함된 샘플 신호의 개수와 공유 샘플 신호 시퀀스에 포함된 샘플 신호의 개수 간의 차에 의해 설정될 수 있다. 예를 들어, 도 3에서와 같이 상호 상관 처리부(140)에 4개의 상호 상관기가 포함된 경우 상호 상관기의 인덱스는 0부터 3까지 설정된다. 첫 번째 상호 상관기의 인덱스를 '0'이라고 할 경우, 마지막 상호 상관기의 인덱스는 상기 공유 샘플 신호 시퀀스 및 개별 샘플 신호 시퀀스 간의 샘플 신호 개수 차의 값(도 3에서는 '3')으로 설정된다.

[0121] 그리고, 도 3에서와 같이, 각 상호 상관기에 공유 덧셈 처리부(130)의 각 덧셈기로부터 출력된 각 덧셈 결과 값 중 다수의 덧셈 결과 값이 다수의 경로를 통해 각 상호 상관기에 입력된다. 즉, 다수의 덧셈 결과 값을 상호 상관기가 병렬적으로 공유하여 사용한다.

[0122] 이때, 공유 덧셈 처리부(130)는 모든 상호 상관기에서 공유되는 덧셈기, 일부 상호 상관기에 공유되는 덧셈기, 및 하나의 상호 상관기에 공유되는 덧셈기를 포함한다. 이는, 각 상호 상관기에 입력되는 개별 샘플 신호 시퀀스에 포함된 샘플 신호가 한 개의 샘플 신호씩 지연되기 때문이다.

[0123] 또한, 도 3에서 도시한 바와 같이 상호 상관 처리부(140)의 각 상호 상관기에는 레퍼런스 신호 처리부(150)로부터 출력된 레퍼런스 신호 시퀀스(R) 및 상기 수학식 20에 따른 T 값이 입력되며, 레퍼런스 신호 시퀀스 및 T값의 인덱스는 상호 상관기 인덱스와 동일하다. 즉, 상호 상관기의 개수와 동일한 개수의 레퍼런스 신호 시퀀스 및 T값이 입력되며, 레퍼런스 신호 시퀀스는 서로 상이한 종류일 수 있다.

[0124] 이때, 상호 상관 처리부(140)의 각 상호 상관기들은 상기 수학식 19 및 20에 따른 상호 상관 값(Cw(t))을 산출한다.

[0125] 구체적으로, 도 4에 도시한 바와 같이, 본 발명의 일 실시예에 따른 상호 상관 처리부(140)에 포함된 각 상호 상관기는 개별 샘플 신호 시퀀스에 포함된 샘플 신호 및 덧셈 결과 값을 입력 데이터로 입력 받고, 레퍼런스 신호 시퀀스에 포함된 레퍼런스 신호를 구동 제어 데이터로 입력 받는 다수의 멀티플렉서(141)를 포함한다. 더불어 각 상호 상관기는 다수의 멀티플렉서를 통해 출력되는 값들을 모두 합산하여 상호 상관 값을 산출하는 합산기(142)를 포함한다. 참고로, 도 4에서는 W번째 상호 상관기의 내부 구성을 상세히 나타내었으며, 각 상호 상관기의 내부 구성은 동일하다.

[0126] 이때, 각 멀티플렉서(141)는 입력된 개별 샘플 신호 시퀀스에 포함된 샘플 신호들 중 두 개의 샘플 신호를 입력 데이터로 입력 받고, 해당하는 2개의 샘플 신호에 대한 덧셈 결과 값을 입력 데이터로 입력 받으며, 디폴트 값인 0값을 입력 데이터로 입력 받는다. 그리고, 각 멀티플렉서(141)는 입력된 레퍼런스 신호 시퀀스(R_W) 중 두 개의 레퍼런스 신호를 구동 제어 데이터로서 입력 받는다. 즉, 2비트의 부호 비트를 구동 제어 신호로 사용하여 멀티플렉서의 출력 경로가 결정되며, 레퍼런스 신호의 값에 따라 0, 두 개의 샘플 신호, 및 상기 두 개의 샘플 신호에 대한 덧셈 결과 값 중 어느 하나의 데이터가 멀티플렉서를 통해 출력된다. 따라서, 이와 같은 상호 상관기를 통해, 연속된 샘플 신호들에 대해서 상기 수학식 19에서와 같이 레퍼런스 신호 조건에 따른 결과 값을 산출하는 연산을 구현할 수 있다.

[0127] 또한, 상호 상관기에 포함된 합산기(142)는 다수의 멀티플렉서(141)의 각 출력 값을 합산하는 다수의 덧셈기, 모든 멀티플렉서(141)의 출력 값을 합산한 결과 값에 2를 곱하는 하나의 곱셈기(이는 쉬프트 연산으로 대체 가능함), 및 T값으로부터 상기 곱셈기의 결과 값을 빼는 감산기로 구성된다. 이와 같은 합산기(142)를 통해 상기 수학식 20에 따른 연산을 구현하여 각 상호 상관기의 상호 상관 값을 산출할 수 있다.

[0128] 이와 같이, 본 발명의 일 실시예에 따른 상호 상관 장치(100)는 다수의 덧셈기 및 멀티플렉서로 구성된 상호 상관기들을 병렬로 구동함으로써, 상기 수학식 20에 따른 상호 상관 값을 산출할 수 있다. 이처럼, 덧셈기 및 멀티플렉서만으로 입력 신호와 레퍼런스 신호 간의 상호 상관을 처리할 수 있어 전력 및 회로 구성 효율이 높고 처리 속도가 빠르다. 또한, 레퍼런스 신호를 멀티플렉서의 구동 제어 신호로 사용함으로써 다양한 레퍼런스 신호를 편리하게 상호 상관기에 적용할 수 있다.

[0129] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0130] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

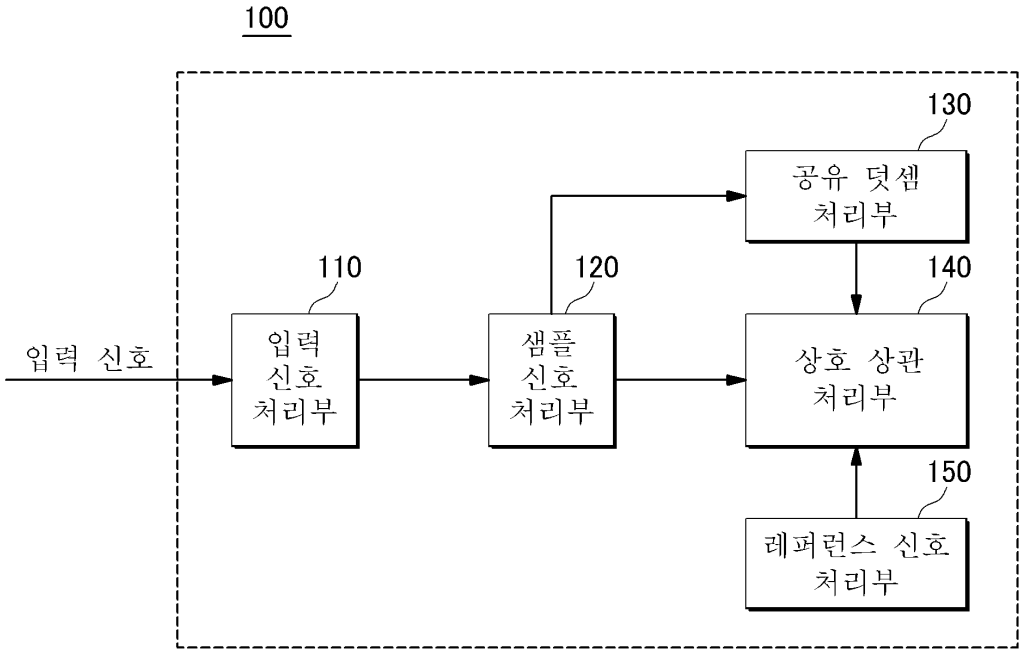
부호의 설명

[0131]

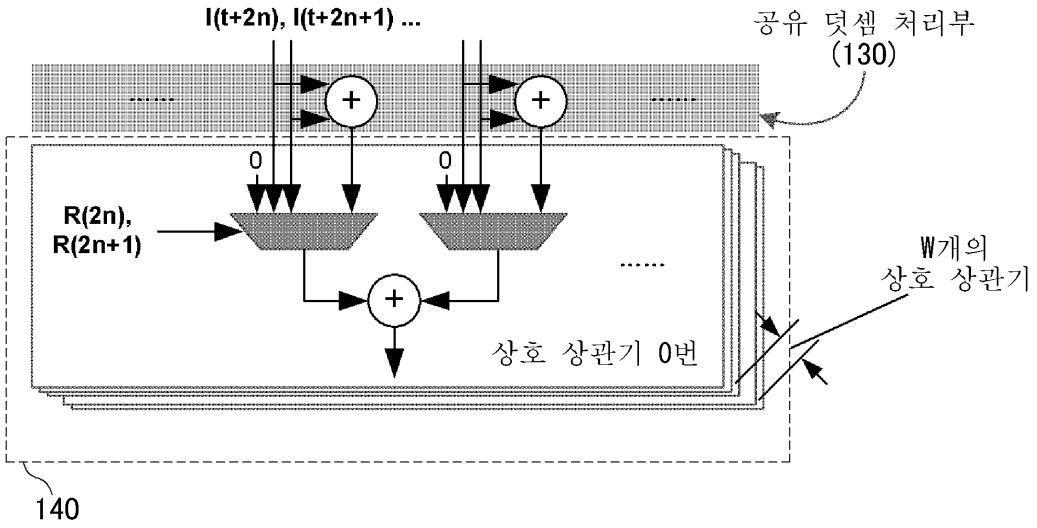
100: 상호 상관 장치	110: 입력 신호 처리부
120: 샘플 신호 처리부	130: 공유 덧셈 처리부
140: 상호 상관 처리부	141: 멀티플렉서
142: 합산기	150: 레퍼런스 신호 처리부

도면

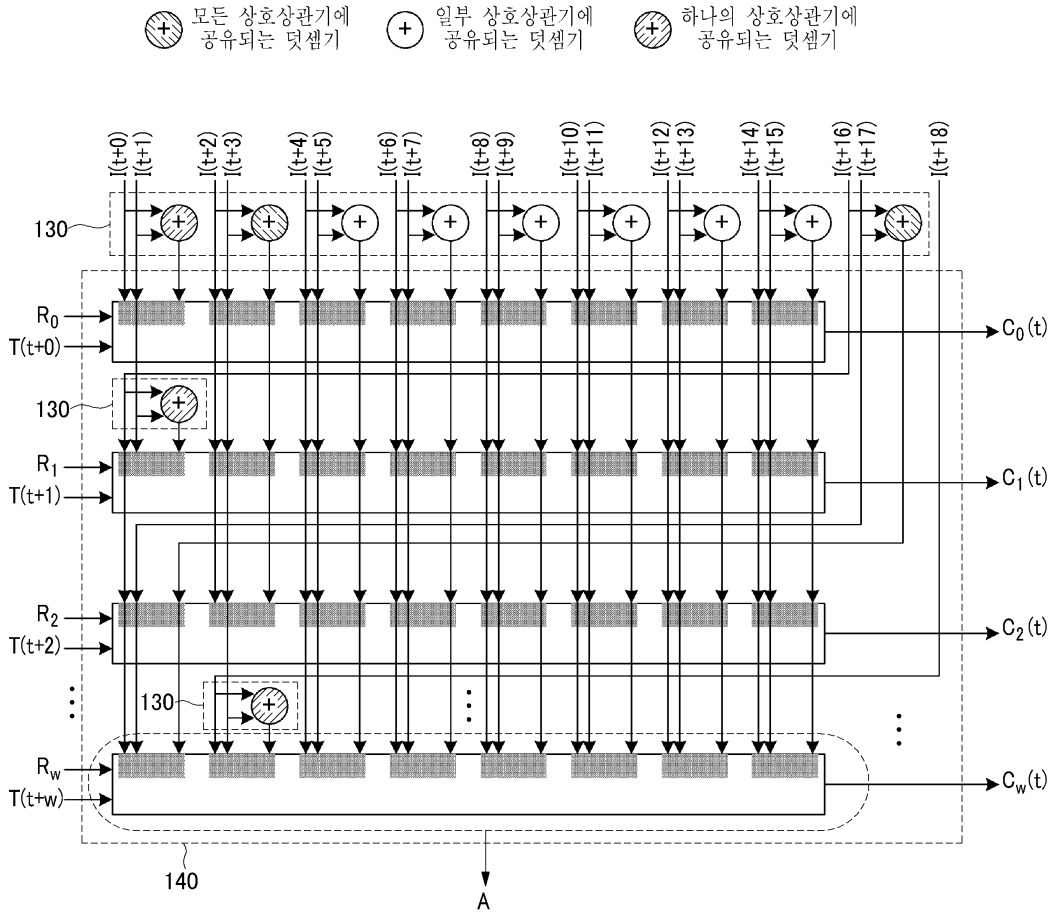
도면1


100
130
공유 덧셈
처리부
110
120
140
입력 신호
입력
신호
처리부
샘플
신호
처리부
상호 상관
처리부
150
레퍼런스 신호
처리부

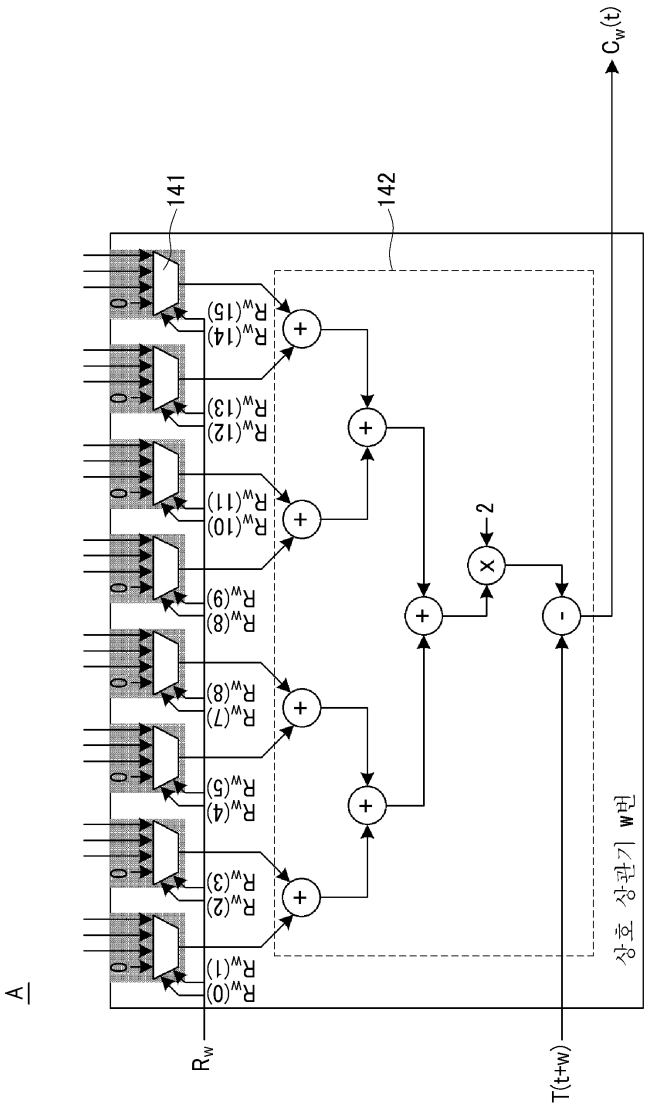
도면2


I(t+2n), I(t+2n+1) ...
공유 덧셈 처리부
(130)
0
0
R(2n),
R(2n+1)
W개의
상호 상관기
상호 상관기 0번
140

도면3


모든 상호상관기에 공유되는 덧셈기
일부 상호상관기에 공유되는 덧셈기
하나의 상호상관기에 공유되는 덧셈기
I(t+0)
I(t+1)
I(t+2)
I(t+3)
I(t+4)
I(t+5)
I(t+6)
I(t+7)
I(t+8)
I(t+9)
I(t+10)
I(t+11)
I(t+12)
I(t+13)
I(t+14)
I(t+15)
I(t+16)
I(t+17)
I(t+18)
130
R0
T(t+0)
C0(t)
R1
T(t+1)
C1(t)
R2
T(t+2)
C2(t)
Rw
T(t+w)
Cw(t)
140
A

도면4


A
141
142
R_w
$R_w(0)$
$R_w(1)$
$R_w(2)$
$R_w(3)$
$R_w(4)$
$R_w(5)$
$R_w(7)$
$R_w(8)$
$R_w(8)$
$R_w(9)$
$R_w(10)$
$R_w(11)$
$R_w(12)$
$R_w(13)$
$R_w(14)$
$R_w(15)$
0
2
T(t+w)
$C_w(t)$
상호 상관기 w번