

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580044072.5

[45] 授权公告日 2009 年 7 月 15 日

[11] 授权公告号 CN 100514547C

[22] 申请日 2005.12.14

[21] 申请号 200580044072.5

[30] 优先权

[32] 2005.1.31 [33] US [31] 11/047,448

[86] 国际申请 PCT/US2005/045202 2005.12.14

[87] 国际公布 WO2006/083401 英 2006.8.10

[85] 进入国家阶段日期 2007.6.21

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 马瑞斯·K·奥罗斯基

[56] 参考文献

US6413802B1 2002.7.2

US20020163027A1 2002.11.7

US6759710B2 2004.7.6

CN1518772A 2004.8.4

US4404737A 1983.9.20

US6190976B1 2001.2.20

US6602745B2 2003.8.5

审查员 杨春光

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 康健峰

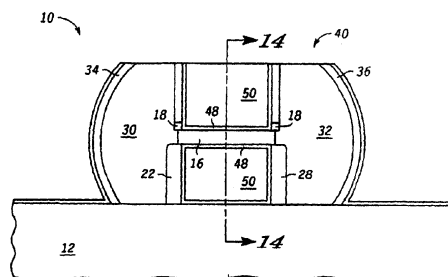
权利要求书 4 页 说明书 9 页 附图 7 页

[54] 发明名称

制造平面双栅晶体管的方法

[57] 摘要

选择性地刻蚀夹置在上氮化硅层 (SiN) (20) 和位于厚的氧化物层 (BOX) (12) 上面的硅锗层 (SiGe) (14) 之间的硅层 (16)，以留下具有设置栅极长度的宽度的堆叠。在 SiGe 层 (14) 上形成侧壁绝缘层 (28)，并保留 Si 层 (16) 的侧壁暴露着。从暴露的硅侧壁 (16) 外延生长硅 (30, 32)，以形成原位掺杂硅源极/漏极区 (30, 32)。使用源极/漏极区 (30) 作为上栅极位置的边界而去除氮化物层 (20)。用电介质 (36) 涂敷源极/漏极区 (30, 32)。去除 SiGe 层 (14)，以提供下栅极位置 (46)。将上和下栅极位置 (46) 填入金属，以形成晶体管 (10) 的上和下栅极 (50)。



1. 一种制造平面双栅晶体管的方法，包括：

形成具有堆叠侧壁的成型预晶体管堆叠，其中将该预晶体管堆叠布置在绝缘层上，该预晶体管堆叠包括在绝缘层上面的第一半导体层、在第一半导体层上面的第二半导体层、以及在第二半导体层上面的抗氧化层，其中第一半导体层包括硅和锗，而第二半导体层包括硅；

在堆叠侧壁的第一半导体层侧壁部分和第二半导体层侧壁部分上形成侧壁绝缘体，其中第一半导体层部分的侧壁绝缘体包括比第二半导体层部分的侧壁绝缘体的厚度大的厚度；

去除第二半导体层部分上的侧壁绝缘体，其中去除侧壁绝缘体暴露出第二半导体层的相应侧壁部分；

形成原位掺杂外延源极/漏极区，其中形成原位掺杂外延源极/漏极区包括在第二半导体层的暴露侧壁部分处发起单晶半导体材料的外延生长；

去除成型预晶体管堆叠的抗氧化层，其中去除抗氧化层暴露出第二半导体层的第一栅极位置部分；

在暴露的原位掺杂外延源极/漏极区的部分和第二半导体层的暴露的第一栅极位置部分上面形成绝缘衬；

去除在第二半导体层的暴露的第一栅极位置部分上面的绝缘衬的一部分；

沿着晶体管的相应宽度尺寸将成型预晶体管堆叠和原位掺杂外延源极/漏极区成型成晶体管区，并且暴露出在晶体管区的相对端的第一半导体层；

使用具有大于 50:1 的对硅的选择性的刻蚀剂去除第一半导体层以形成开口，其中开口暴露出第二半导体层的第二栅极位置部分；

在第二半导体层上形成栅极电介质，该栅极电介质覆盖第二半导体层的至少第一和第二栅极位置部分；以及

在覆盖第二半导体层的至少第一和第二栅极位置部分的栅极电介质

上形成栅电极。

2. 根据权利要求 1 的方法，其中第一半导体层包括 SiGe，第二半导体层包括 Si，并且抗氧化层包括至少 Si_3N_4 。

3. 根据权利要求 1 的方法，其中第一半导体层具有关于第二半导体层的大于 50:1 的刻蚀选择性。

4. 根据权利要求 1 的方法，其中第一半导体层以比第二半导体层的氧化速率更快的氧化速率发生氧化。

5. 根据权利要求 4 的方法，其中第一半导体层的氧化速率比第二半导体层的氧化速率快至少 4 倍。

6. 根据权利要求 1 的方法，其中形成成型预晶体管堆叠还将所要形成的晶体管的沟道长度限定为与第二半导体层的尺寸所建立的相同。

7. 根据权利要求 1 的方法，其中去除第二半导体层部分的侧壁绝缘体还包括通过关于第一半导体层过度刻蚀第二半导体层而相对于第一半导体层凹刻第二半导体层。

8. 根据权利要求 1 的方法，其中将单晶半导体材料的外延生长维持足以形成期望的源极/漏极沟道结的第一时间段，其后继续以相同的单晶半导体材料或者非晶或多晶半导体材料持续足以形成期望的源极/漏极薄层电阻的第二时间段。

9. 根据权利要求 1 的方法，其中将外延生长持续一个向上生长的量，以足以克服预晶体管堆叠的抗氧化层的高度尺寸。

10. 根据权利要求 1 的方法，还包括在形成原位掺杂外延源极/漏极区之后以及在去除成型预晶体管堆叠的抗氧化层之前，将原位掺杂外延源极/漏极区向下平面化直至成型预晶体管堆叠的抗氧化层。

11. 根据权利要求 1 的方法，其中对成型预晶体管堆叠和原位掺杂外延源极/漏极区的成型还包括沿着一个或多个晶体管的相应宽度尺寸成型成一个或多个晶体管区。

12. 根据权利要求 1 的方法，其中第二半导体层形成在原位掺杂外延源极/漏极区之间延伸的桥梁。

13. 根据权利要求 1 的方法，其中形成栅电极包括沉积栅电极材料

或栅电极材料的堆叠。

14. 根据权利要求 1 的方法，其中形成栅电极包括使用原子层沉积（ALD）或化学汽相沉积（CVD）工艺的一种或多种来沉积栅电极材料或栅电极材料的堆叠。

15. 根据权利要求 1 的方法，还包括在绝缘衬上形成侧壁隔离物。

16. 根据权利要求 1 的方法，其中第一半导体层包括具有 200~700 埃厚度的 SiGe 层。

17. 根据权利要求 1 的方法，其中第二半导体层包括具有 80~400 埃厚度的 Si 层。

18. 根据权利要求 1 的方法，还包括：

形成第一侧壁隔离物，其保留第二半导体的侧壁暴露着，同时在第一半导体层的侧壁上提供更厚的绝缘；以及

在绝缘衬上形成第二侧壁隔离物。

19. 一种通过下述方法制造的平面双栅晶体管，该方法包括：

形成具有堆叠侧壁的成型预晶体管堆叠，其中将该预晶体管堆叠布置在绝缘层上，该预晶体管堆叠包括在绝缘层上面的第一半导体层、在第一半导体层上面的第二半导体层、以及在第二半导体层上面的抗氧化层，其中第一半导体层包括硅和锗，而第二半导体层包括硅；

在堆叠侧壁的第一半导体层侧壁部分和第二半导体层侧壁部分上形成侧壁绝缘体，其中第一半导体层部分的侧壁绝缘体包括比第二半导体层部分的侧壁绝缘体的厚度大的厚度；

去除第二半导体层部分上的侧壁绝缘体，其中去除侧壁绝缘体暴露出第二半导体层的相应侧壁部分；

形成原位掺杂外延源极/漏极区，其中形成原位掺杂外延源极/漏极区包括在第二半导体层的暴露侧壁部分处发起单晶半导体材料的外延生长；

去除成型预晶体管堆叠的抗氧化层，其中去除抗氧化层暴露出第二半导体层的第一栅极位置部分；

在暴露的原位掺杂外延源极/漏极区的部分和第二半导体层的暴露

的第一栅极位置部分上面形成绝缘衬;

去除在第二半导体层的暴露的第一栅极位置部分上面的绝缘衬的一部分;

沿着晶体管的相应宽度尺寸将成型预晶体管堆叠和原位掺杂外延源极/漏极区成型成晶体管区, 并且暴露出在晶体管区的相对端的第一半导体层;

使用具有大于 50:1 的对硅的选择性的刻蚀剂, 去除第一半导体层以形成开口, 其中开口暴露出第二半导体层的第二栅极位置部分;

在第二半导体层上形成栅极电介质, 该栅极电介质覆盖第二半导体层的至少第一和第二栅极位置部分; 以及

在覆盖第二半导体层的至少第一和第二栅极位置部分的栅极电介质上形成栅电极。

20. 根据权利要求 19 的平面双栅晶体管, 还包括:

在堆叠侧壁上形成第一侧壁隔离物, 其高度与第一半导体层的厚度基本上相同; 以及

在绝缘衬上形成第二侧壁隔离物。

制造平面双栅晶体管的方法

技术领域

本发明涉及半导体器件，并且更特别地涉及制造平面双栅晶体管的方法。

背景技术

随着晶体管持续变得越来越小，维持电流驱动同时仍然能够关闭晶体管已变成越来越大的挑战。如果维持电流驱动，则漏电流太高。改善这点的一种技术是全耗尽器件。这已通过双栅器件而进一步增强。双栅晶体管既提供更有效的电流驱动也提供低的漏电流。在 FinFET 配置中最容易理解这点，其中将栅极布置在硅的鳍(fin)的侧面上。基于 FinFET 的电路设计需要全新设计技术，并且 FinFET 遭受(110)/(100)界面处的线边缘粗糙度，并且因为其量化宽度增量而难以在模拟应用中使用。平面双栅器件不会遭受这些问题，但确实存在其他制造困难，这是因为一个栅极在沟道下面。解决方向又往往存在与材料的开始堆叠、栅极接触、源极/漏极接触以及形成下方栅极相关的制造挑战。

发明内容

因此，需要减轻以及/或者减小这些问题的一种或多种方法。

本发明提供一种制造平面双栅晶体管的方法，包括：形成具有堆叠侧壁的成型预晶体管堆叠，其中将该预晶体管堆叠布置在绝缘层上，该预晶体管堆叠包括在绝缘层上面的第一半导体层、在第一半导体层上面的第二半导体层、以及在第二半导体层上面的抗氧化层，其中第一半导体层包括硅和锗，而第二半导体层包括硅；在堆叠侧壁的第一半导体层侧壁部分和第二半导体层侧壁部分上形成侧壁绝缘体，其中第一半导体层部分的侧壁绝缘体包括比第二半导体层部分的侧壁绝缘体的厚度大的

厚度；去除第二半导体层部分上的侧壁绝缘体，其中去除侧壁绝缘体暴露出第二半导体层的相应侧壁部分；形成原位掺杂外延源极/漏极区，其中形成原位掺杂外延源极/漏极区包括在第二半导体层的暴露侧壁部分处发起单晶半导体材料的外延生长；去除成型预晶体管堆叠的抗氧化层，其中去除抗氧化层暴露出第二半导体层的第一栅极位置部分；在暴露的原位掺杂外延源极/漏极区的部分和第二半导体层的暴露的第一栅极位置部分上面形成绝缘衬；去除在第二半导体层的暴露的第一栅极位置部分上面的绝缘衬的一部分；沿着晶体管的相应宽度尺寸将成型预晶体管堆叠和原位掺杂外延源极/漏极区成型成晶体管区，并且暴露出在晶体管区的相对端的第一半导体层；使用具有大于 50:1 的对硅的选择性的刻蚀剂去除第一半导体层以形成开口，其中开口暴露出第二半导体层的第二栅极位置部分；在第二半导体层上形成栅极电介质，该栅极电介质覆盖第二半导体层的至少第一和第二栅极位置部分；以及在覆盖第二半导体层的至少第一和第二栅极位置部分的栅极电介质上形成栅电极。

本发明还提供一种通过下述方法制造的平面双栅晶体管，包括：形成具有堆叠侧壁的成型预晶体管堆叠，其中将该预晶体管堆叠布置在绝缘层上，该预晶体管堆叠包括在绝缘层上面的第一半导体层、在第一半导体层上面的第二半导体层、以及在第二半导体层上面的抗氧化层，其中第一半导体层包括硅和锗，而第二半导体层包括硅；在堆叠侧壁的第一半导体层侧壁部分和第二半导体层侧壁部分上形成侧壁绝缘体，其中第一半导体层部分的侧壁绝缘体包括比第二半导体层部分的侧壁绝缘体的厚度大的厚度；去除第二半导体层部分上的侧壁绝缘体，其中去除侧壁绝缘体暴露出第二半导体层的相应侧壁部分；形成原位掺杂外延源极/漏极区，其中形成原位掺杂外延源极/漏极区包括在第二半导体层的暴露侧壁部分处发起单晶半导体材料的外延生长；去除成型预晶体管堆叠的抗氧化层，其中去除抗氧化层暴露出第二半导体层的第一栅极位置部分；在暴露的原位掺杂外延源极/漏极区的部分和第二半导体层的暴露的第一栅极位置部分上面形成绝缘衬；去除在第二半导体层的暴露的第

一栅极位置部分上面的绝缘衬的一部分；沿着晶体管的相应宽度尺寸将成型预晶体管堆叠和原位掺杂外延源极/漏极区成型成晶体管区，并且暴露出在晶体管区的相对端的第一半导体层；使用具有大于 50:1 的对硅的选择性的刻蚀剂，去除第一半导体层以形成开口，其中开口暴露出第二半导体层的第二栅极位置部分；在第二半导体层上形成栅极电介质，该栅极电介质覆盖第二半导体层的至少第一和第二栅极位置部分；以及在覆盖第二半导体层的至少第一和第二栅极位置部分的栅极电介质上形成栅电极。

附图说明

作为例子通过附图说明本发明，但是本发明不被附图所限制，其中相似参考标号指示类似元素，并且其中：

图 1 是在根据本发明实施方案的处理中的某个阶段沿着器件结构的第一平面的横截面；

图 2 是在处理的随后阶段沿着图 1 的器件结构的第一平面的横截面；

图 3 是在处理的随后阶段沿着图 2 的器件结构的第一平面的横截面；

图 4 是在处理的随后阶段沿着图 3 的器件结构的第一平面的横截面；

图 5 是在处理的随后阶段沿着图 4 的结构的第一平面的横截面；

图 6 是在处理的随后阶段沿着图 5 的器件结构的第一平面的横截面；

图 7 是沿着图 6 的器件结构的第二平面的横截面；

图 8 是在处理的随后阶段沿着图 7 的器件结构的第二平面的横截面；

图 9 是在处理的随后阶段沿着图 8 的器件结构的第二平面的横截面；

图 10 是沿着图 9 的器件结构的第一平面的横截面；

图 11 是在处理的随后阶段沿着图 10 的结构的第一平面的横截面；

图 12 是在处理的随后阶段沿着图 11 的结构的第一平面的横截面；

图 13 是在处理的随后阶段沿着图 12 的结构的第一平面的横截面；
以及

图 14 是在处理的随后阶段沿着图 13 的结构第二平面的横截面。

本领域的技术人员应当认识到，图中的元素是为了简单和清楚而示例，因此不一定按比例画出。例如，可以相对于其他元素放大图中的某些元素的尺寸，以帮助改善本发明的实施方案的理解。

具体实施方式

在一个方面中，用硅锗层（SiGe）上方的硅层的起始组合来获得平面双栅晶体管，其中硅锗层又在厚的隐埋氧化物（BOX）上方。在硅层上方生长任选的氧化物层，并且在堆叠上方提供氮化硅层。在 BOX 上的 SiGe 上的硅是商业上可获得的多层的组合，并且通过标准的半导体处理步骤来形成氧化物和氮化物层。刻蚀该组合以留下具有一定宽度的堆叠，其中该宽度稍微大于要完成的晶体管结构的期望栅极长度。在 SiGe 上形成侧壁绝缘层同时暴露硅的侧壁。可以通过氧化物生长以及 SiGe 上的部分回蚀和硅侧壁上的完全回蚀，或者通过暴露硅侧壁同时盖住 SiGe 侧壁的侧壁隔离物工艺来实现这一点。从暴露的硅侧壁外延生长硅，以形成原位掺杂硅源极/漏极区。将这些做得相对大，以邻接氮化物层的侧壁。选择性地去除氮化物层，留下外延生长的源极/漏极区作为在硅层上面的腔体的边界。通过氧化物生长或者通过侧壁隔离物工艺在腔体的侧壁上形成不导电的材料。去除下方 SiGe 层，以在硅层下面留下腔体。在硅层的两侧形成栅极电介质之后，在硅层上面和下面的腔体内部填充金属以获得双栅晶体管。该金属形成通过沉积在 BOX 上的金属从硅层的上面和下面自动形成生长到一起的且连续的延伸。这样，可获得在堆叠外的方便的栅极接触点。参考附图和下面的描述将更好地理解这点。

图 1 中所示的是半导体器件 10，它包括可以方便地称作 BOX 12 的厚的氧化物层 12、在 BOX 12 上的硅锗（SiGe）层 14、在 SiGe 层 14 上的硅层 16、在硅层 16 上的氧化物层 18，以及在氧化物层 18 上的氮

化硅层 20。应当明白实际上在 BOX 12 下面会有支撑结构，例如用作衬底的厚的硅层。在该例子中，BOX 12 大约是 1000 埃，SiGe 层 14 优选地含大约 30% 硅并且大约是 500 埃，硅层 16 是单晶并且大约是 200 埃，氧化物层 18 大约是 100 埃，以及氮化物层 20 大约是 600 埃。这些尺寸是示例性的并且可以大大地改变。如图 1 中所示，已刻蚀 SiGe 层 14、硅层 16、氧化物层 18 以及氮化物层 20，以形成具有侧壁的可用于形成双栅晶体管的堆叠，所以该堆叠也可以称作预晶体管堆叠(pre-transistor stack)。所示堆叠具有大约 500 埃的宽度，该宽度大约是在堆叠中形成的晶体管的沟道长度。

图 2 中所示的是在 SiGe 层 14 和硅层 16 的暴露侧壁上生长氧化物层 21 和 25 之后的半导体器件 10。氧化物生长在 SiGe 层 22 上比在硅层 16 上更快，使得氧化物层 21 具有比硅侧壁绝缘体 24 厚大约 4 倍的 SiGe 侧壁绝缘体 22。类似地，氧化物层 25 具有比硅侧壁绝缘体 26 厚大约 4 倍的 SiGe 侧壁绝缘体 28。SiGe 侧壁绝缘体 22 和 28 的厚度大约是 250 埃。因为这是生长氧化物过程，所以在氧化物层 21 和 25 的形成中消耗了 SiGe 层 14 和硅层 16 的一部分。

图 3 中所示的是在氧化物层 21 和 25 的各向同性回蚀之后的半导体器件 10。将该刻蚀执行足够长时间，以保证完全去除硅侧壁绝缘体 24 和 26 以暴露硅层 16 的侧壁，但是也要执行足够短时间，以保证 SiGe 侧壁绝缘体 22 和 28 不被去除且仍然盖住 SiGe 层 14 的侧壁。在该例子中，SiGe 层的剩余厚度优选地大约是 150 埃。一种可选方案是用侧壁隔离物工艺结合图 2 和 3 中所示的生长和回蚀方法而形成侧壁隔离物，其导致暴露硅层 16 或者至少暴露它的大部分并盖住 SiGe 层 14 的侧壁的侧壁绝缘体。这会导致 BOX 12 暴露于刻蚀剂中，暴露时间与从堆叠的上面刻蚀侧壁隔离物直到其最终位置所需的时间相同。在使用侧壁隔离物的这种情况下，氧化物生长将显著地减少。

图 4 中所示的是在从硅层 16 的侧壁外延地生长源极/漏极区 30 和 32 之后的半导体器件 10。该生长一直继续，直到源极/漏极区完全盖住氮化物层 20 的侧壁。为了保证这一点，外延生长一直继续，直到源极/

漏极层 30 和 32 延伸到氮化物层 20 以上。因为外延生长在所有方向上具有基本上相同的速率，所以源极/漏极区横向向外延伸到比氧化物层 18 和氮化物层 20 的组合的厚度更远一点。源极/漏极外延区的横向宽度大约是 700 埃，这足以制造关于它的接触点。由于在氮化物层 20 的上表面以上的额外生长，离堆叠的实际横向尺寸甚至更大。在外延生长过程中通过原位掺杂来获得期望的掺杂水平。

图 5 中所示的是在化学机械工艺步骤之后的半导体器件 10，该步骤去除在氮化物层 20 以上的源极/漏极区 30 和 32 的部分，以获得氮化物层 20 以及源极/漏极区 30 和 32 的平整表面。

图 6 中所示的是在去除氮化物层 20 以及在源极/漏极区 30 上生长氧化物层 34、在源极/漏极区 32 上生长氧化物层 36 以及在氧化物层 18 的上表面上生长氧化物层 38 之后的半导体器件 10。氧化物层 34 和 36 优选地大约是 100 埃，并且由于氧化物层 38 生长在布置于与源极/漏极区 30 和 32 相比未掺杂或轻掺杂的硅层 16 上方的氧化物层 18 上，所以氧化物层 38 更薄得多。去除氮化物的区域是栅极位置中上面的那个。这样去除氮化物层 20 具有暴露上栅极位置的效果。另一个栅极位置在硅层下面，并且可以认为是下栅极位置。

作为选择，可以是除了关于图 6 描述的之外的或者作为替代的可选步骤，使用侧壁隔离物工艺，以在上栅极位置的开口内形成侧壁隔离物。在对关于图 6 描述的生长氧化物层添加侧壁隔离物的情况中，侧壁隔离物的目的在于在源极/漏极区 30 和 32 与栅极的上部分之间提供电介质元件。这增加在上栅极与源极/漏极区 30 和 32 之间的电介质量。

图 7 中所示的是沿着图 6 的 7-7 截取的横截面。图 7 的该横截面可以认为是第二横截面，并且第一横截面是在图 1-6 中使用的、通过图 6 所示的半导体 10 的那个横截面。该图 7 显示由 SiGe 层 14、硅层 16、氧化物层 18、以及氧化物层 38 构成的堆叠跨越半导体晶圆无限地延伸。虽然在该图 7 中没有显示，但是源极/漏极区 30 和 32 也横穿与堆叠相同的距离。

继续根据第二横截面，图 8 中所示的是在去除氧化物层 38 然后去

除氧化物层 18 之后的半导体器件 10。

继续根据第二横截面，图 9 中所示的是在选定位置上刻蚀穿透堆叠至 BOX 12 以获得多个晶体管位置之后的半导体器件 10；在该例子中，晶体管位置是 40、42 和 44。晶体管位置 40、42 和 44 的每个具有如图 9 中所示的选定宽度。该图 9 中的这些位置的宽度对应于在该位置形成的晶体管的沟道宽度。

图 10 中所示的是沿着图 9 的 10-10 截取的横截面，其返回到通过图 9 中所示的半导体 10 的第一横截面。具体横截面是关于晶体管位置 40 的，但是对于晶体管位置 42 和 44 也是相同的。这显示了氧化物层 18 的所有剩余是与源极/漏极层 30 和 32 相邻的小部分，并且可用于保证沿着源极/漏极区 30 和 32 的侧壁的、尤其在硅层 16 上面的区域中的绝缘的连续性。

现在继续根据第一横截面，图 11 中所示的是去除 SiGe 层 14 之后使得在硅层 16 下面存在腔体 46 的半导体器件 10。刻蚀化学是已知的，它实现在 SiGe 和硅之间的大于 50 比 1 的选择性。腔体 46 也可以称作开口。导致该开口的刻蚀具有暴露下栅极位置的效果。

继续根据第一横截面，图 12 中所示的是在形成栅极电介质 48 之后的半导体器件 10，栅极电介质 48 优选地是通过原子层沉积（ALD）而沉积的例如金属氧化物的高 k 电介质，例如氧化铪。使用 ALD 将导致在所有表面上形成基本上均匀的厚度。在这一点上，所有表面都是理想的绝缘体，所以这不会存在问题。目的在于形成栅极电介质，所以为了该目的而选择材料。

继续根据第一横截面，图 13 中所示的是在硅层 16 上面和在腔体 46 中形成金属栅极 50 之后的半导体器件 10。该沉积初始优选地使用 ALD 以实现具有期望功函数的金属在绝缘体上的有效沉积。在金属已经涂敷表面之后，虽然可以继续使用 ALD，但优选地使用另一种更快的方法来沉积金属导体，以完成栅电极的形成。化学汽相沉积是优选的，因为对于该目的它是相对快的且足够保形。在已执行沉积之后，执行 CMP 回蚀，以去除在源极/漏极区 30 和 32 上面的接近去除氮化物的地方的

金属。在已去除该金属之后，在去除氮化物的区域和在接近那里的源极/漏极区上面、以及也在栅极向外延伸出晶体管位置 40 的区域形成掩模。在掩模处于适当位置时，然后去除暴露的金属。这留下在硅层 16 上面和下面的栅极金属 50 以及图 13 中没有显示的栅极延伸。图 13 中所示的半导体器件 10 是完成的晶体管。

图 14 中所示的是横截面 14-14，它改变成通过图 13 的半导体器件 10 的第二横截面，其显示栅极金属 50，其中与栅极金属 50 连接的栅极延伸 52 延伸到晶体管 40 以外，以形成栅极金属 50 的接触点。

作为例子描述了具体材料，但其他材料也可以是有用的。例如，氮化物层 20 可以是不同的材料。优选地，它也是比较抗氧化的层。在层 21 的形成过程中沿着上晶体管位置形成该层是不合需要的。硅层 16 可以是不同的单晶半导体材料。硅碳是一种可能性。重要特征在于它比下面层氧化得显著更慢，例如慢至少 4 倍。SiGe 层 14 也可以是另一种材料。重要特征在于它对于上面单晶半导体层的刻蚀选择性。相对刻蚀速率优选地大于 50:1。金属栅极 50 的优选金属是氮化钽，但也可以使用其他材料。示例金属包括氮化钛、碳化钽和硅化镍。也可以使用其他材料。它应当具有相对高的回流温度，并且不与栅极电介质反应。可以不需要氧化物层 18。它用来在去除氮化物层 20 的过程中保护硅层 16。如果在去除氮化物层 20 或氮化物层 20 的替换物时使用不会干扰硅的刻蚀剂，那么可以不需要硅层 16。并且可以使用氧化物以外的其它材料。这种材料应当具有对于氮化物层 20 或其替换物的刻蚀选择性。硅层可以具有大约 200~700 埃的厚度。SiGe 层可以具有大约 80~400 埃的厚度。

在前面说明书中，已关于具体实施方案描述了本发明。但是，本领域技术人员应当认识到可以进行各种修改和改变而不背离下面的权利要求中所陈述的本发明的范围。例如，栅极电介质被描述为高 k 电介质，但可以是另外的栅极电介质材料例如氧化物。类似地，栅极被描述为金属，但可以是某些其他导体例如掺杂半导体。因此，说明书和附图应当认为是说明性的而不是限制性的，并且所有这种修改均包含在本发明的

范围内。

已在上面关于具体实施方案描述了好处、其他优点以及问题的解决方案。但是，不应当将发生的或变得更显著的好处、优点、问题的解决方案以及可以促成任意好处、优点或解决方案的任意元素解释为任意或全部权利要求的关键的、必须的、或基本的特征或元素。如这里所使用的，术语“包括”，“包含”或其任意其他变化形式打算用来覆盖非排他的包含，使得包括一系列元素的过程、方法、产品或装置不仅仅包括那些元素，而是可以包括没有明确列举的或这种过程、方法、产品或装置所固有的其他元素。

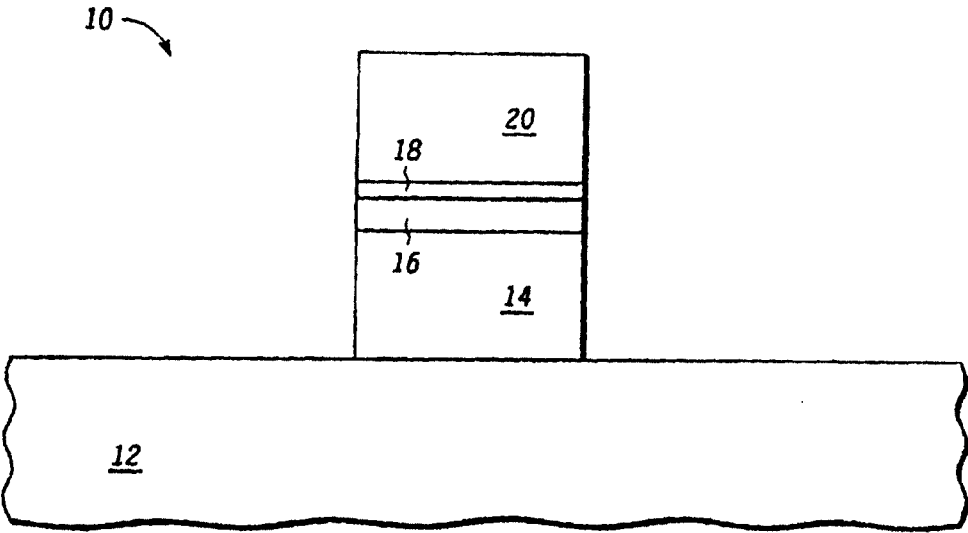


图 1

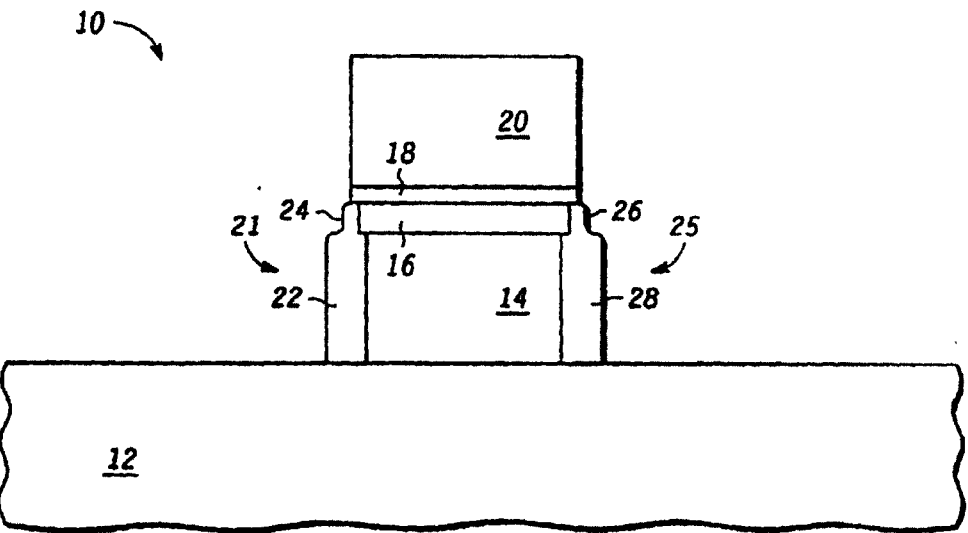


图 2

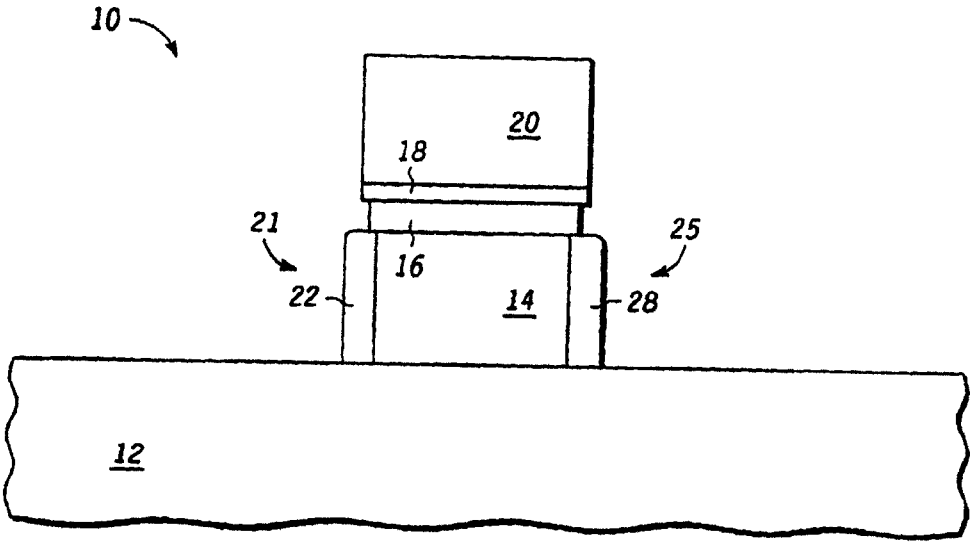


图 3

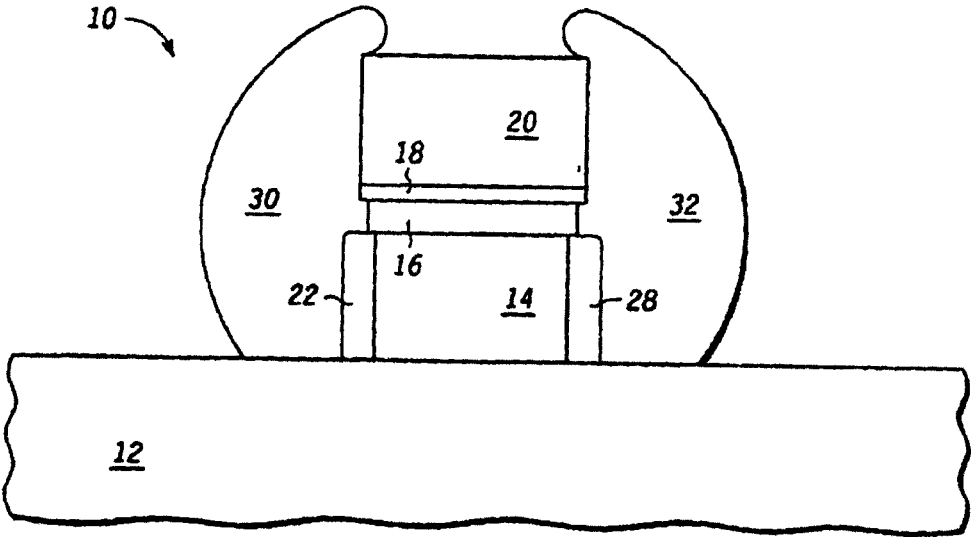


图 4

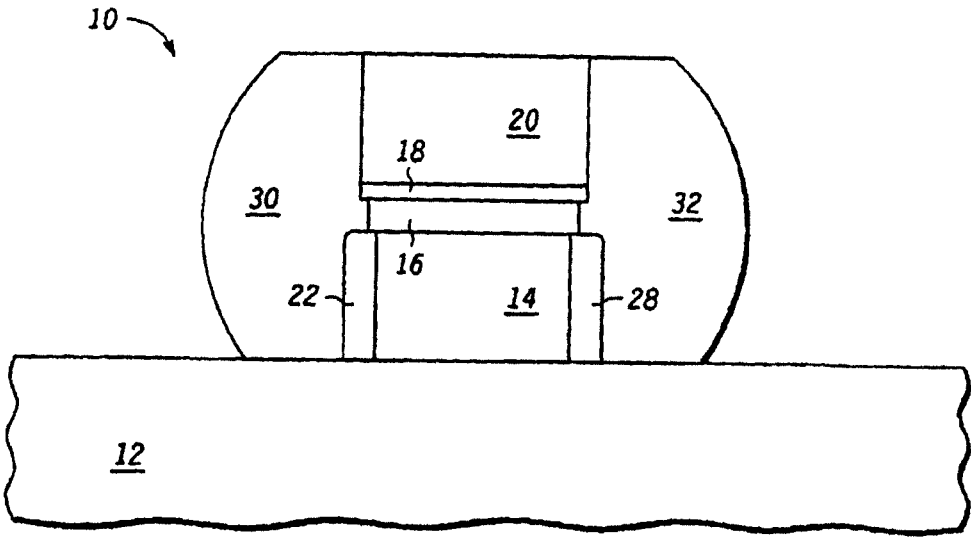


图 5

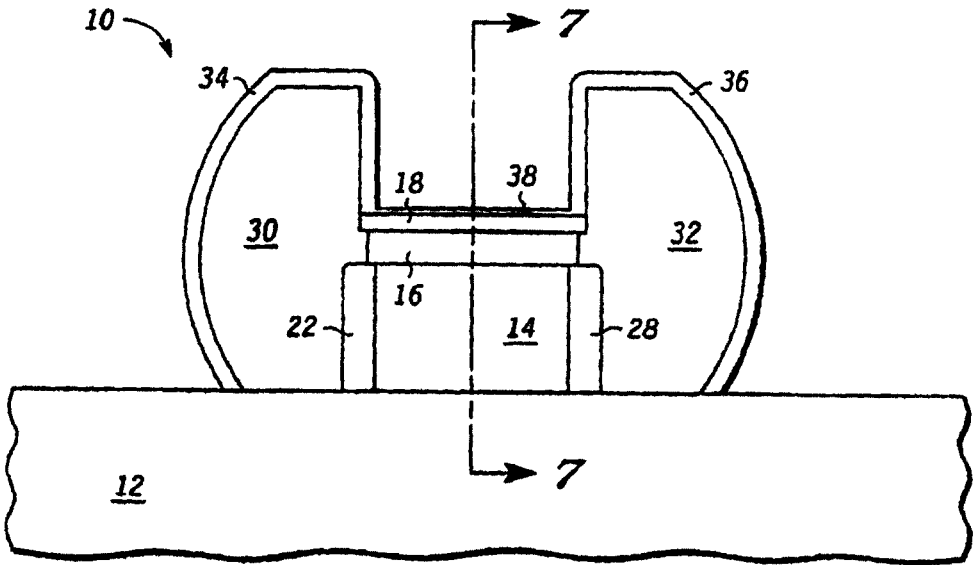


图 6

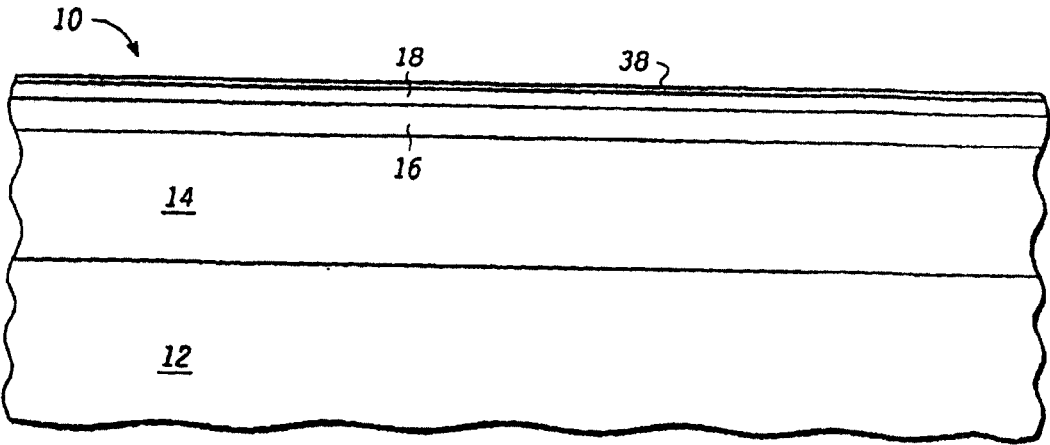


图 7

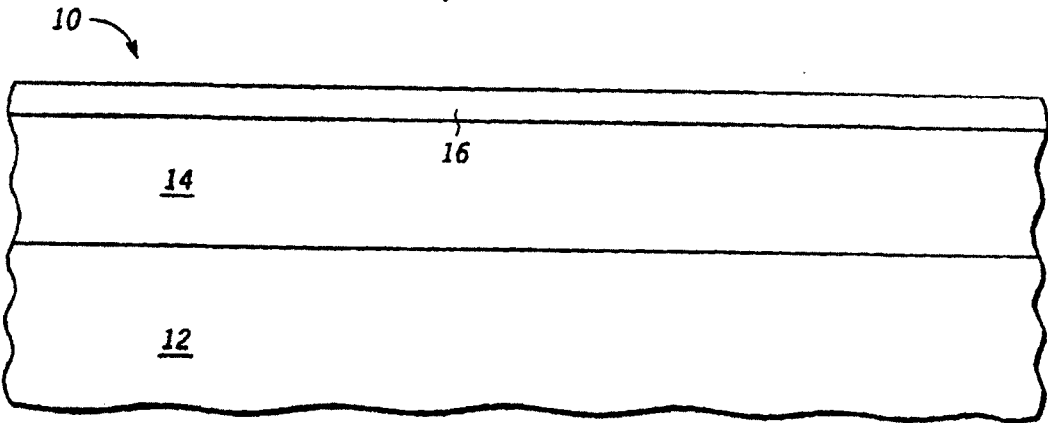


图 8

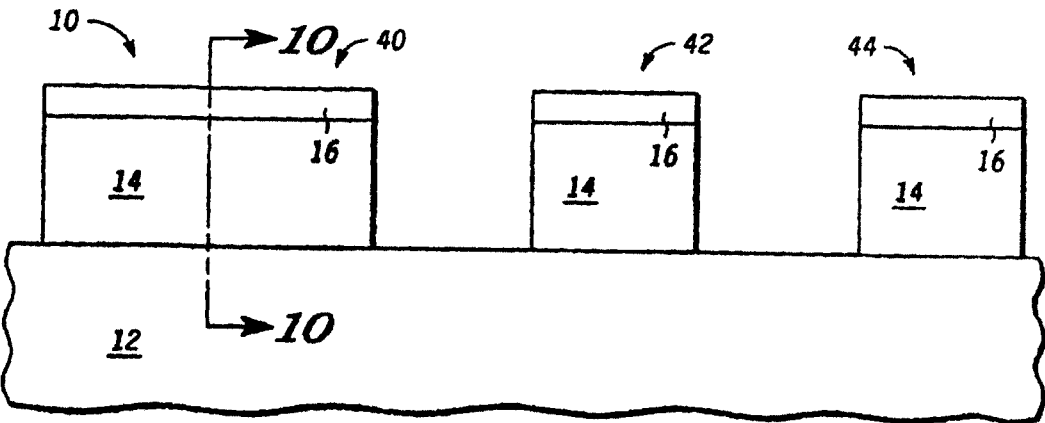


图 9

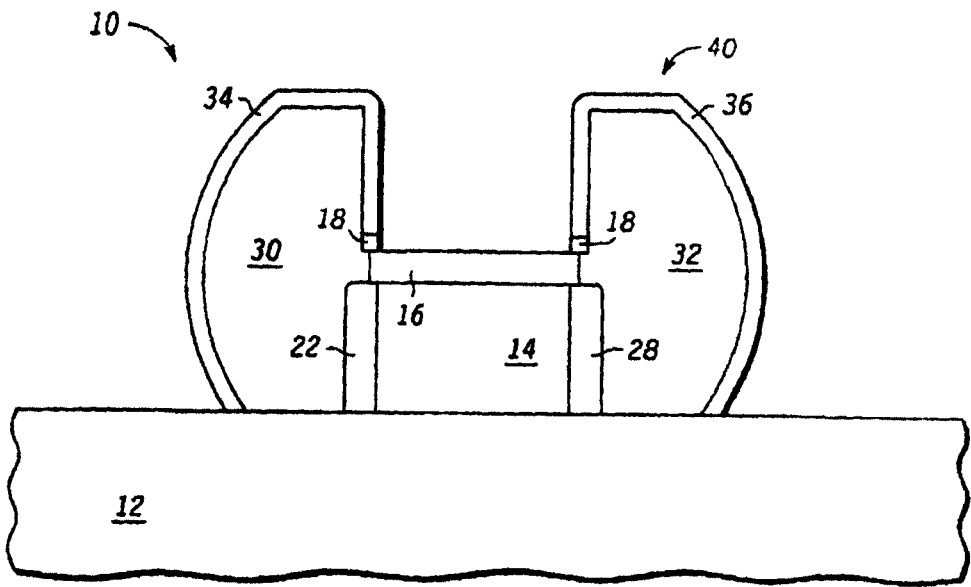


图 10

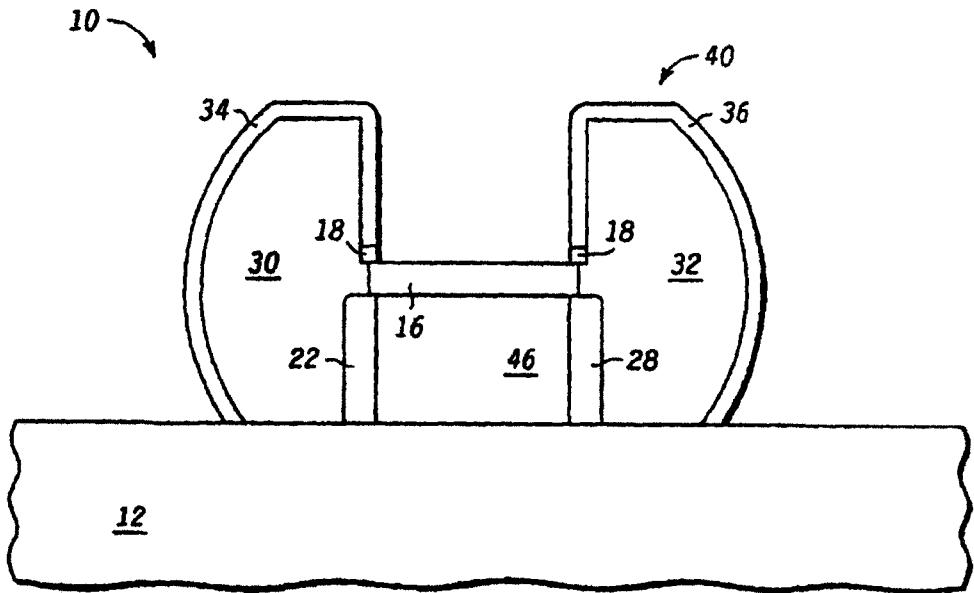


图 11

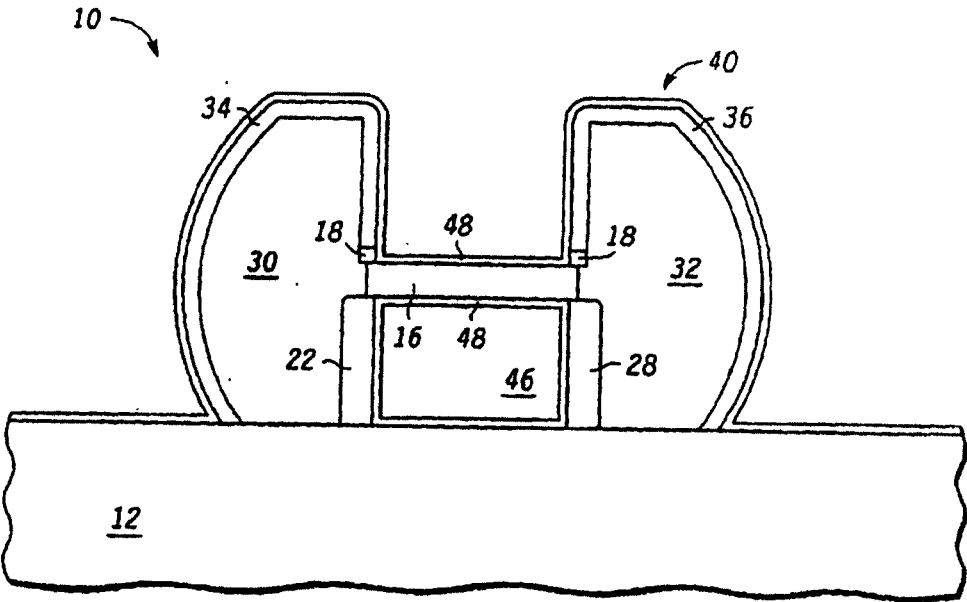


图 12

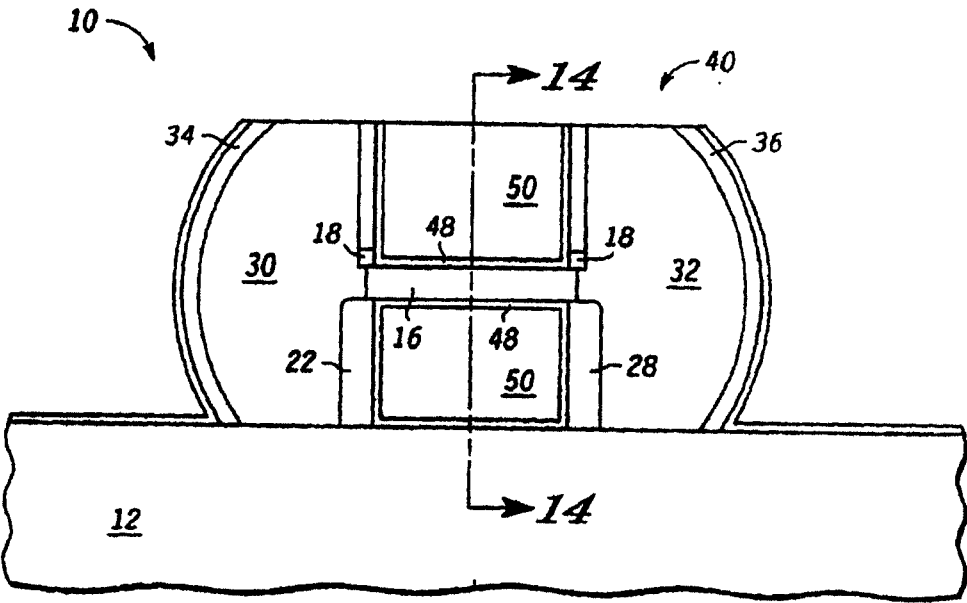


图 13

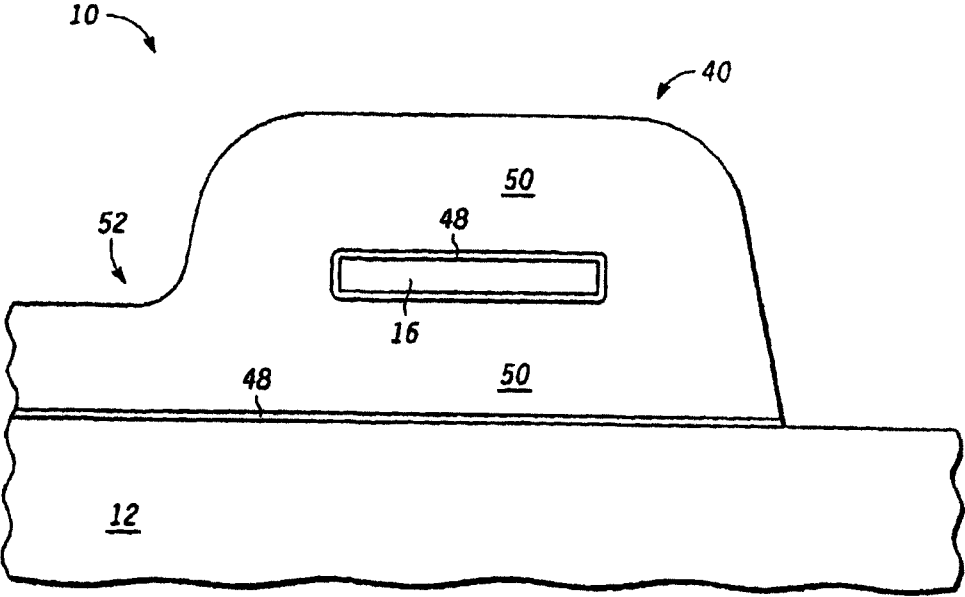


图 14