

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-276718
(P2006-276718A)

(43) 公開日 平成18年10月12日(2006. 10. 12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 611J	
	G09G 3/20 621M	
	G09G 3/20 623A	
審査請求 未請求 請求項の数 1 O L (全 134 頁) 最終頁に続く		

(21) 出願番号	特願2005-98779 (P2005-98779)	(71) 出願人	302020207
(22) 出願日	平成17年3月30日 (2005. 3. 30)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100092794
			弁理士 松田 正道
		(72) 発明者	高原 博司
			東京都港区港南四丁目1番8号 東芝松下
			ディスプレイテクノロジー株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00 GA04
			5C080 AA06 BB06 CC03 DD02 DD05
			DD08 DD20 DD25 DD26 EE19
			EE26 EE29 FF11 FF13 HH09
			JJ02 JJ03 JJ04 JJ05 JJ06
			KK07 KK43

(54) 【発明の名称】 E L表示装置

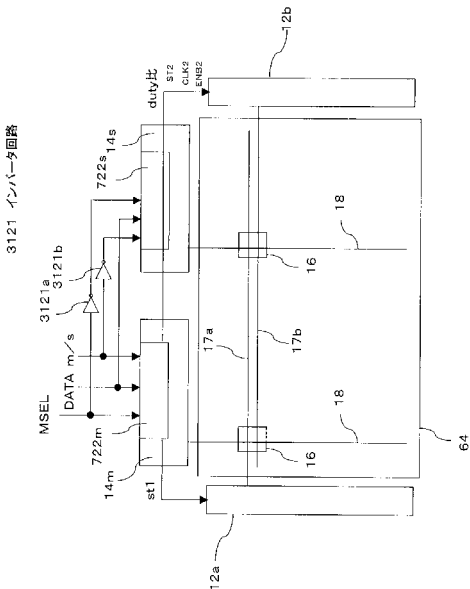
(57) 【要約】

【課題】トランジスタの特性のバラツキによる表示ムラの発生を抑制することが可能なE L表示装置を提供する。

【解決手段】

アレイ基板30と、アレイ基板30と接続されたプログラム電流を出力する第1のソースドライバ回路14mと第2のソースドライバ回路14sと、ソースドライバ回路14内に構成されたコントロール回路と、第1のソースドライバ回路14mと第2のソースドライバ回路14sのうち、いずれかをマスターあるいはスレーブ動作させる制御端子とを具備することを特徴とするE L表示装置である。

【選択図】 図125



【特許請求の範囲】

【請求項 1】

アレイ基板と、
前記アレイ基板と接続されたプログラム電流を出力する第 1 のソースドライバ回路と第 2 のソースドライバ回路と、
前記ソースドライバ回路内に構成されたコントロール回路と、
前記第 1 のソースドライバ回路と第 2 のソースドライバ回路のうち、いずれかをマスターあるいはスレーブ動作させる制御端子とを具備することを特徴とする E L 表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、有機または無機エレクトロルミネッセンス（E L）素子などを用いた E L 表示パネル（表示装置）などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（I C など）および駆動方法などに関するものである。

【背景技術】

【0002】

電気光学変換物質として有機エレクトロルミネッセンス（E L）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。有機 E L 表示パネルは各画素に発光素子を有する自発光型である。有機 E L 表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

20

【0003】

有機 E L 表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

【0004】

30

アクティブマトリクス方式の有機 E L 表示パネルは、例えば、特許文献 1 に開示されている。この表示パネルの一面素の等価回路を図 2 に示す。画素 16 は発光素子である E L 素子 15、第 1 のトランジスタ（駆動用トランジスタ）11a、第 2 のトランジスタ（スイッチング用トランジスタ）11b および蓄積容量（コンデンサ）19 からなる。発光素子 15 は有機エレクトロルミネッセンス（E L）素子である。本明細書では、E L 素子 15 に電流を供給（制御）するトランジスタ 11a を駆動用トランジスタ 11 と呼ぶ。また、図 2 のトランジスタ 11b のように、スイッチとして動作するトランジスタをスイッチ用トランジスタ 11 と呼ぶ。

【0005】

有機 E L 素子 15 は多くの場合、整流性があるため、O L E D（有機発光ダイオード）と呼ばれることがある。図 1、図 2 などでは発光素子 15 としてダイオードの記号を用いている。

40

【0006】

本発明における発光素子 15 は O L E D に限るものではなく、素子 15 に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機 E L 素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子 15 は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【0007】

図 2 の動作について説明する。ゲート信号線 17 を選択状態とし、ソース信号線 18 に

50

輝度情報を表す電圧の映像信号を印加する。トランジスタ11aが導通し、映像信号が蓄積容量19に充電される。ゲート信号線17を非選択状態とすると、トランジスタ11aがオフになる。トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート端子電位は蓄積容量（コンデンサ）19によって安定に保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート／ドレイン端子間電圧 V_{gd} に応じた値となる。発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

【特許文献1】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0008】

有機EL表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0009】

図2は電圧プログラム方式の画素構成である。図2に図示する画素構成では、電圧の映像信号をトランジスタ11aで電流信号に変換する。したがって、トランジスタ11aに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ11aは50%以上の特性バラツキが発生している。したがって、図2の構成では表示ムラが発生する。

20

【0010】

表示ムラは、電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。また、電流プログラム方式は、低階調領域では、駆動電流が小さい。そのため、ソース信号線18の寄生容量により良好に駆動できないという課題があった。

【課題を解決するための手段】

【0011】

30

EL表示パネルには、アレイ基板30にマスターのソースドライバ回路（IC）14mとスレーブのソースドライバ回路（IC）14sが実装されている。ソースドライバ回路（IC）14mとソースドライバ回路（IC）14sは同一の構成である。マスターとなるかスレーブになるかは、ソースドライバ回路（IC）14に入力されたm/s信号により指定される。MSEL信号は、ソースドライバ回路（IC）14mとソースドライバ回路（IC）14sとを選択する信号である。MSEL=1（ロジックH）のときは、ソースドライバ回路（IC）14mが選択され、映像信号（DATA）などがソースドライバ回路（IC）14mに入力（ラッチ）される。逆に、MSEL=0（ロジックL）のときは、ソースドライバ回路（IC）14sが選択され、ソースドライバ回路（IC）14sに映像信号（DATA）などが入力（ラッチ）される。ソースドライバ回路（IC）14mに内蔵されたコントローラ722mが映像信号のSUM演算などを実施し、duty比を求め、duty比にもとづくゲートドライバ回路12bのスタート信号（ST2）、クロック（CLK2）、イネーブル信号（ENB2）などを発生させる。また、必要に応じて、基準電流の制御を実施する。また、ゲートドライバ回路12aのスタート信号（ST1）、クロック（CLK1）、イネーブル信号（ENB1）などを発生させる。

40

【発明の効果】

【0012】

本発明のソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単一の駆動用トランジスタを有し、EL素子15に流れる電流バラツキが発生しないよう

50

に駆動する。また、各端子に接続する単位トランジスタ群を変化させる。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。駆動用トランジスタ素子の温度依存性も補償する。また、*duty*比制御などによりダイナミックレンジが広い画像表示を実現できる。

【0013】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0014】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。 10

【発明を実施するための最良の形態】

【0015】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。たとえば、図4に図示する表示パネルの断面図では薄膜封止膜41などを十分厚く図示している。一方、図3において、封止フタ40は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム(38、39)が必要である。しかし、本明細書の各図面では円偏光板などを省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。 20

【0016】

本明細書では、駆動用トランジスタ11、スイッチング用トランジスタ11は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ11、ゲートドライバ回路12、ソースドライバ回路(IC)14などは、これらのいずれでも使用することができる。 30

【0017】

ソースドライバ回路(IC)14は、単なるドライバ機能だけでなく、電源回路、バッファ回路(シフトレジスタなどの回路を含む)、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【0018】

基板30はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、基板30は、金属基板、セラミック基板、プラスチックシート(板)などを使用してよい。また、本発明の表示パネルなどを構成するトランジスタ11、ゲートドライバ回路12、ソースドライバ回路(IC)14などは、ガラス基板などに形成し、転写技術により他の基板(プラスチックシート)に移し変えて構成または形成したものでもよいことは言うまでもない。フタ40の材料あるいは構成に関しても基板30と同様である。また、フタ40、基板30は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。 40

【0019】

以下、本発明のEL表示パネルについて図面を参照しながら説明をする。有機EL表示パネルは、図3に示すように、画素電極としての透明電極35が形成されたガラス板30(アレイ基板30)上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層(EL層)29、及び金属電極(反射膜)(カソード)36が積層されたものである。透明電極(画素電極)35である陽極(アノード)にプラス、金属電極(反射 50

電極) 36の陰極(カソード)にマイナスあるいはグランド電圧を加え、透明電極35及び金属電極36間に直流を印加することにより、有機機能層(EL膜)29が発光する。

【0020】

なお、封止フタ40とアレイ基板30との空間には乾燥剤あるいは吸湿材料からなるシートあるいは薄膜(厚膜)37を配置する。これは、有機EL膜29は湿度に弱いためである。乾燥剤37によりシール剤を浸透する水分を吸収し有機EL膜29の劣化を防止する。また、封止フタ40とアレイ基板30とは、周辺部を封止樹脂2511で封止する。乾燥剤37などの水分吸収手段は、封止フタ40などに直接塗布または蒸着することにより形成してもよい。

【0021】

封止フタ40とは、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。たとえば、ガラス板あるいはプラスチック板あるいはフィルムなどでもよい。また、融着ガラス、ステンレスなどの金属などでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状の形成(図4を参照のこと)したものであってもよい。乾燥剤37の表面からEL膜までの距離は、0.2mm以上開けることが好ましい。

【0022】

図3の本発明の有機EL表示パネルは、ガラスのフタ40を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図4に図示するようにフィルム41(薄膜でもよい。つまり、薄膜封止膜41である)41を用いた封止構成であつてもよい。

【0023】

封止フィルム(薄膜封止膜)41としては電解コンデンサのフィルムにDLC(ダイヤモンドライクカーボン)を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿性能が高い)。このフィルムを封止膜41として用いる。また、DLC(ダイヤモンドライクカーボン)膜などを電極36の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【0024】

薄膜41あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定されない。5~10μm以上あるいは、100μm以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜41などが透過性を有する場合は、図4のA側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、B側が光出射側となる。

【0025】

A側とB側との両方から光が出射されるように構成してもよい。この構成を採用する場合は、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合とでは画像が左右反転する。したがって、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合では、手動あるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の1画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

【0026】

図4のように封止フタ40を用いず、封止膜41で封止する構成を薄膜封止と呼ぶ。基板30側から光を取り出す「下取り出し(図3を参照のこと。光取り出し方向は図3のB矢印方向である)」の場合の薄膜封止41は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は1μm以上10μm以下の厚みが適する。さらに好ましくは、膜厚は2μm以上6μm以下の厚みが適する。この緩衝膜上の封止膜74を形成する。

10

20

30

40

50

【0027】

緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜41は前述したように、DLC（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0028】

図3などにおいて、有機EL膜29から発生した光の半分は、反射膜（カソード電極）36で反射され、アレイ基板30と透過して出射される。しかし、反射膜（カソード電極）36には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板30にλ/4板（位相フィルム）38および偏光板（偏光フィルム）39を配置している。偏光板39と位相フィルム38を一体したものは円偏光板（円偏光シート）と呼ばれる。 10

【0029】

なお、位相フィルム38、円偏光板1654は、有機樹脂フィルム、有機樹脂板に限定するものではなく、無機材料（水晶結晶、光学薄膜）などで構成してもよいこと言うまでもない。

【0030】

反射型画素16は、画素電極35を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極35の表面に、凸部（もしくは凹凸部）を設けることで有機EL膜29との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード36（アノード35）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。 20

【0031】

有機ELは、有機材料であるため、一般的に紫外線により劣化しやすい。この課題に対して、本発明は、図5に図示するように、アレイ基板30または封止基板に紫外線をカットするフィルムあるいは樹脂からなる膜（紫外線カット膜）2971を形成あるいは配置している。紫外線カット膜2971は、画素行あるいは画素列位置に一致するように、ストライプ状あるいはドット状に形成また配置している。もちろん、アレイ基板30また封止基板（フタ）40のうち、少なくとも一方の基板の全面に（シート状に）紫外線カット膜2971を形成または配置してもよい。 30

【0032】

紫外線カット膜2971は、RGBのEL材料で紫外線に対する耐性が異なる。したがって、紫外線カット膜は画素16のRGBのEL材料に一致するように、ストライプ状などに形成することが好ましい。また、画素16に対応させてストライプ状、ドット状に形成することにより、RGBのEL素子15からの発生しパネルから出射する波長の帯域を制限するあるいは制御することができる。したがって、色純度を向上させることができる。たとえば、紫外線カット膜2971にカラーフィルタなどの機能を持たせる。

【0033】

紫外線カット膜2971としては、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができる。また、その他、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。また、紫外線カット膜2971の一部もしくは全体を着色したりしてもよいこと言うまでもない。また、紫外線カット膜2971はIT0、酸化アルミニウム（ Al_2O_3 ）、ジルコニウム（ ZrO_2 ）、フッ化マグネシウム（ MgF_2 ）、一酸化シリコン（ SiO ）、酸化イットリウム（ Y_2O_3 ）などの無機材料からなる薄膜、厚膜を用いて形成あるいは配置してもよい。特にIT0は導電性があるので、静電気防止にもなり好ましい。 40

【0034】

図3の構成では、封止基板（フタ）40とアレイ基板30との間隔（図6の空間3002）が狭いほど、ELパネルの厚みは薄くすることができる。しかし、封止フタ40とア 50

レイ基板 30 との間隔が近いと、封止フタ 40 側などから押圧した場合に、封止フタ 40 などがひずみ、封止フタ 40 の裏面が、EL 膜 29、カソード膜 36 などと接触する場合がある。接触するとカソード膜 36 などが破壊される。

【0035】

この課題を解決するため、本発明は、図 6 に図示するように、アレイ基板 30 と封止フタ（基板）40 間に、スペーサ柱 3001 を形成している。スペーサ柱 3001 は開口率を低減しないように、ソース信号線 18 またはゲート信号線 17 と垂直方向に重ねるように形成または配置されている。

【0036】

スペーサ柱 300 の形成材料としては、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができる。スペーサ柱 3001 は透明樹脂に限定されるものでなく、酸化アルミニウム、酸化マグネシウム、オパールガラスなどの光拡散物でもよい。

【0037】

好ましくは、スペーサ柱 3001 は光吸収材で形成することが好ましい。ハレーションを防止し、コントラストを向上できるからである。光吸収材としては六価クロムなどの黒色の金属薄膜、アクリルにカーボン等を添加した樹脂、複数あるいは単色の色素もしくは染料を添加したカラーフィルタが例示される。これらはアレイ基板 30 などでは発生するハレーションを抑制する。また、カラーフィルタを構成する材料で形成してもよい。

【0038】

スペーサ柱 3001 の形成方法としては、アレイ基板 30 または封止基板 40 のうち少なくとも一方に、樹脂材料を塗布し、ドライエッチング技術またはウェットエッチング技術を用いて形成する。また、インクジェット印刷などの技術を用いて染料、色素などを塗布して形成する。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し、現像する半導体パターン形成技術などで形成する。また、基板（30、40）に樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。

【0039】

図 7 は図 6 に加えて、パターニングされた乾燥剤 3011 を形成した構成図である。乾燥剤 3011 は、封止基板（フタ）40 に乾燥剤材料からなる膜を一面に形成し、パターニングして形成する。または、スペーサ柱 3001 を形成する材料に乾燥剤材料からなる膜を一面に形成し、パターニングする。もちろん、スペーサ柱 3001 を形成する前にアレイ基板 30 上に形成または配置してもよい。

【0040】

EL 表示装置のカラー化は、マスク蒸着により行うが、本発明はこれに限定するものではない。たとえば、青色発光の EL 層を形成し、発光する青色光を、R、G、B の色変換層（CCM：カラーチェンジミディアムズ）で R、G、B 光に変換してもよい。たとえば、図 4 において、薄膜封止膜 41 上あるいは下にカラーフィルタを配置する。もちろん、プレシジョンシャドーマスクを利用した RGB 有機材料（EL 材料）の打ち分け方式を採用してもよい。本発明のカラー EL 表示パネルはこれらのいずれの方式を用いても良い。

【0041】

本発明の EL 表示パネル（EL 表示装置）の画素 16 の構造は、図 1 などに示すように、1 つの画素 16 が 4 つのトランジスタ 11 ならびに EL 素子 15 により形成される。画素電極 35 はソース信号線 18 と重なるように構成する。ソース信号線 18 上に絶縁膜あるいはアクリル材料からなる平坦化膜 32 を形成して絶縁し、平坦化膜 32 上に画素電極 35 を形成する。このようにソース信号線 18 上の少なくとも 1 部に画素電極 35 を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。当然のことながら、画素電極 35 は反射電極に構成してもよい。

【0042】

有機 EL 表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること。1 フレーム期間を通じて EL 素子に電流を流すことができることという 2 つの条件を満足させなければならない。

10

20

30

40

50

【0043】

この2つの条件を満足させるため、図2に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタとして機能させる。また、第2のトランジスタ11aはEL素子15に電流を供給するための駆動用トランジスタとして機能させている。

【0044】

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【0045】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2\text{V} \sim \pm 0.5\text{V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

【0046】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、主として有機材料で形成した有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、本発明は、以上のすべての構成に適用できる方式である。

【0047】

図2のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えることができない。

【0048】

本発明の表示パネルの画素16を構成するトランジスタ11は、p-チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ11bは、デュアルゲート以上であるマルチゲート構造としている。

【0049】

本発明の表示パネルの画素16を構成するトランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用する。したがって、トランジスタ11bは、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0050】

図1の画素回路は、1画素内に4つのトランジスタ11を有している。駆動用トランジスタ11aのゲート端子はトランジスタ11bのソース端子に接続されている。トランジスタ11bおよびトランジスタ11cのゲート端子はゲート信号線17aに接続されている。トランジスタ11bのドレイン端子はトランジスタ11cのソース端子ならびにトランジスタ11dのソース端子に接続され、トランジスタ11cのドレイン端子はソース信号線18に接続されている。トランジスタ11dのゲート端子はゲート信号線17bに接続され、トランジスタ11dのドレイン端子はEL素子15のアノード電極に接続されている。

【0051】

図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することの

10

20

30

40

50

みに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0052】

パネルを低コストで作製するためには、画素を構成するトランジスタ11をすべてPチャンネルで形成し、内蔵ゲートドライバ回路12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

【0053】

ゲート信号線17bに印加するトランジスタ11dのオン電圧は、ゲート信号線17aに印加するトランジスタ11bのオン電圧よりも低くする。具体的にはゲート信号線17aに印加するオン電圧は-9Vであるが、ゲート信号線17bに印加するオン電圧は、-2~0Vである。ゲート信号線17bに印加するトランジスタ11dのオン電圧を、ゲート信号線17aに印加するトランジスタ11bのオン電圧よりも低くすることにより、トランジスタ11dのリークが減少し良好な黒表示を実現できる。ゲート信号線17aと17bに印加するオフ電圧は同一にする。オフ電圧は8Vである。ゲート信号線17aと17bに印加するオフ電圧は同一にすることにより電源回路の構成が簡略化させる。

【0054】

図1のように画素16の駆動用トランジスタ11a、選択トランジスタ(11b、11c)がPチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択トランジスタ(11b、11c)のG-S容量(寄生容量)を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときにはV_{gh}電圧となる。そのため、コンデンサ19の端子電圧がV_{dd}側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【0055】

以上の実施例は、トランジスタ11bのG-S容量(寄生容量)を介して、コンデンサ19の電位を変動させ、コンデンサ19の電位変動により、黒表示を良好にする構成である。しかし、本発明はこれに限定するものではない。たとえば、コンデンサ19bを素子で形成してもよいことは言うまでもない。コンデンサ19bはトランジスタ11のゲート信号線17を構成する電極層と、ソース信号線18を構成(形成)する電極層を2つの電極として形成することが好ましい。コンデンサ19bの容量はコンデンサ19aの容量の1/4以上1/1以下とすることが好ましい。

【0056】

コンデンサ19bなどによる突き抜け電圧のシフト量は一定であり、また、V_{gh}電圧、V_{gl}電圧が一定値であるからである。電流駆動方式(電流プログラム方式)では、低階調ではプログラム電流が小さくなり、ソース信号線18の寄生容量の充放電が困難である。しかし、コンデンサ19bになどによる突き抜け電圧を利用することにより、ソース信号線18に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ11aがEL素子15に流す電流はプログラム電流よりも小さくすることができる。つまり、微小なプログラム電流を画素16に書き込むことができる。

【0057】

逆に、突き抜け電圧を可変するには、V_{gh}電圧またはV_{gl}電圧もしくはV_{gh}電圧とV_{gl}電圧の電位差を変化すればよい。たとえば、点灯率(後に説明する)に応じて、V_{gh}電圧、V_{gl}電圧を変化あるいは操作する駆動方法が例示される。また、コンデンサ19bの容量を変化すればよい。また、アノード電圧V_{dd}を変化させればよい。たとえば、点灯率(後に説明する)に応じて、アノード電圧(V_{dd})を変化あるいは操作する駆動方法が例示される。これらを変化あるいは変更することにより突き抜け電圧の大きさを制御でき、駆動用トランジスタ11aが流す電流量を制御でき、良好な黒表示を実現できる。

【0058】

突き抜け電圧の大きさは階調番号によらず、一定値であるため、低階調領域では、相対的に減少するプログラム電流量の割合が大きくなる。したがって、低階調領域になるほど、良好な黒表示を実現できる。

【0059】

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について図8を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。図8は図1の画素構成における動作の説明図である。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として図8(a)となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。したがって、トランジスタ11aのゲートソースの電圧は I_1 が流れるような電圧となる。

10

【0060】

第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図8(b)となる。トランジスタ11aのソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

【0061】

以上の動作を図示すると、図9に図示するようになる。図9(a)の61は、表示画面64における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。画素(行)61は、非点灯(非表示画素(行))とする。また、スイッチング用トランジスタ11dがクローズし、EL素子15に電流が流れている(ただし、黒表示は流れない)領域は、表示領域63となる。また、スイッチング用トランジスタ11dがオープン領域は、非表示領域62となる。

20

【0062】

図1の画素構成の場合は、図8(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w が駆動用トランジスタ11aを流れ、プログラム電流 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。または、駆動用トランジスタ11aのゲート端子にプログラム電流 I_w を流す電流が流れるように電圧が保持される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

30

【0063】

次に、EL素子15に電流を流す期間は図8(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

【0064】

図9の駆動方法のタイミングチャートを図10に図示する。図10でわかるように、各選択された画素行(選択期間は、1Hとしている)において、ゲート信号線17aにオン電圧(V_{gl})が印加されている時(図10(a)を参照)には、ゲート信号線17bにはオフ電圧(V_{gh})が印加されている(図10(b)を参照)。この期間は、EL素子15には電流が流れていない(非点灯状態)。

40

【0065】

選択されていない画素行において、ゲート信号線17aにオフ電圧(V_{gh})が印加され、ゲート信号線17bにはオン電圧(V_{gl})が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。また、点灯状態では、EL素子15は所定のN倍の輝度($N \cdot B$)で点灯し、その点灯期間は $1F/N$ である。したがって、 $1F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度)となる。なお、Nは1以上であればいずれの値でもよい。もちろん、 $N=1$ とし、書き込み画素行

50

6 1 以外を表示（点灯）領域 6 3 としてもよいことは言うまでもない。

【0066】

つぎに、図 1 1 を用いて、本発明の E L 表示パネルで使用する電源（電圧）について説明をする。ゲートドライバ回路 1 2 は、バッファ回路 8 2 とシフトレジスタ回路 8 1 で構成される。バッファ回路 8 2 はオフ電圧（ V_{gh} ）とオン電圧（ V_{gl} ）を電源電圧として使用する。一方、シフトレジスタ回路 8 1 はシフトレジスタの電源 V_{GDD} とグラント（ GND ）電圧を使用し、また、入力信号（ CLK 、 UD 、 ST ）の反転信号を発生させるための V_{REF} 電圧を使用する。また、ソースドライバ回路（ IC ）1 4 は、電源電圧 V_s とグラント（ GND ）電圧を使用する。

【0067】

ゲートドライバ回路 1 2 a は、シフトレジスタ回路 8 1 a とバッファ回路 8 2 を具備している。したがって、ゲートドライバ回路 1 2 a はゲート信号線 1 7 a をオンオフ制御する。ゲート信号線 1 7 b は、用のシフトレジスタ回路 8 1 b（図示せず）とバッファ回路 8 2（図示せず）を内蔵する。なお、説明を容易にするため、画素構成は図 1 を例にあげて説明をする。

【0068】

各シフトレジスタ回路 8 1 は正相と負相のクロック信号 CLK_x （ CLK_xP 、 CLK_xN ）、スタートパルス（ ST_x ）で制御される。なお、 x は添え字である。その他、ゲート信号線の出力、非出力を制御するイネーブル（ $ENBL$ ）信号、シフト方向を上下逆転するアップダウン（ UD ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路 8 1 にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【0069】

シフトレジスタ回路 8 1 のシフトタイミングはコントロール $IC722$ （後述する）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路 8 1 を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【0070】

シフトレジスタ回路 8 1 のバッファ容量は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジスタ回路 8 1 の出力とゲート信号線 1 7 を駆動する出力ゲート間には少なくとも 2 つ以上のインバータ回路が形成されている。

【0071】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧 V_{dd} を 6（V）とし、カソード電圧 V_{ss} を -9（V）とする（図 1 などを参照のこと）。 GND 電圧は 0（V）とし、ソースドライバ回路の V_s 電圧は V_{dd} 電圧と同一の 6（V）とする。 V_{gh1} と V_{gh2} 電圧は V_{dd} より 0.5（V）以上 3.0（V）以下とすることが好ましい。ここでは、 $V_{gh1} = V_{gh2} = 8$ （V）とする。

【0072】

ゲートドライバ回路 1 2 の V_{gl1} は、図 1 のトランジスタ 1 1 c のオン抵抗を十分に小さくするため、低くする必要がある。ここでは、回路構成を容易にするため、 V_{gh1} と絶対値が逆である $V_{gl1} = -8$ （V）にする。 V_{GDD} 電圧は、 V_{gh} よりも低く、 GND 電圧よりも高くする必要がある。ここでは、発生電圧回路を容易にし、回路コストを低減するため、 V_{gh} 電圧の $1/2$ の 4（V）にする。一方で、 V_{gl2} 電圧は、余り低くすると、トランジスタ 1 1 b のリークを発生する危険性があるため、したがって、 V_{GDD} 電圧と V_{gl1} 電圧の中間電圧にすることが好ましい。ここでは、電圧回路を容易にし、回路コストを低減するため、 V_{GDD} 電圧と絶対値が等しく、また反対極性である -4（V）にする。

【0073】

以上の実施例は、主としてシリコンチップからなる IC でソースドライバ回路（ IC ）1 4 を構成するものであった。しかし、本発明はこれに限定するものではなく、アレイ基

10

20

30

40

50

板 30 に直接にポリシリコン技術（C G S 技術、低温ポリシリコン技術、高温ポリシリコン技術など）を用いて出力段回路 91 など（ポリシリコン電流保持回路 92）を形成または構成してもよい。

【0074】

図 12 はその実施例である。R、G、B の出力段回路 91（R 用は 91 R、G 用は 91 G、B 用は 91 B）と、R G B の出力段回路 91 を選択するスイッチ S がポリシリコン技術で形成（構成）されている。スイッチ S は 1 H 期間を時分割して動作する。基本的には、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 91 R に接続され、1 H の 1 / 3 期間が G の出力段回路 91 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 91 B に接続される。

10

【0075】

図 12 に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ（回路）14 は、出力端子 93 でソース信号線 18 と接続される。ポリシリコンからなるスイッチ S が時分割で切り換えられ、出力段回路 91 R G B に接続される。出力段回路 91 R G B は R G B の映像データからなる電流が保持される。なお、図 12 ではポリシリコン電流保持回路 92 は 1 段分しか図示していないが、実際には 2 段構成されていることは言うまでもない。

【0076】

図 12 では、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 91 R に接続され、1 H の 1 / 3 期間が G の出力段回路 91 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 91 B に接続されると説明したが本発明はこれに限定するものではない。R、G、B を選択する期間は異なってもよい。これは、R、G、B のプログラム電流 I_w の大きさが異なっているためである。R、G、B で E L 素子 15 の効率が異なるため、R、G、B でプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線 18 の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線 18 の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線 18 の寄生容量の大きさは、R、G、B で同一であることが多い。

20

【0077】

以上の実施例では、R G B それぞれに対応する画素 16 を同時に走査する構成であった。本発明はこの構成に限定するものではない。フレーム（フィールド）ないで、R G B を個別に選択して画像表示を行っても良い。図 12 はその実施例である。

30

【0078】

図 12（a）は 1 フレーム（1 フィールド）期間に R 表示領域 63 R、G 表示領域 63 G、B 表示領域 63 B を画面の上から下方向（下方向から上方向でもよい）に走査する。R G B の表示領域以外の領域は非表示領域 62 とする。つまり、間欠駆動を実施する。R、G、B の表示領域 63 は個別に間欠表示が実施される。

【0079】

図 12（b）は 1 フィールド（1 フレーム）期間に R、G、B 表示領域 63 を複数発生するように実施した実施例である。図 12（b）に示すように表示領域 63 を複数に分割することにより、フリッカの発生は、低フレームレートでも発生しない。

40

【0080】

図 14（a）は、各 R G B の表示領域 63 の面積を異ならせたものである。なお、表示領域 63 の面積は点灯期間に比例することは言うまでもない。図 14（a）では、R 表示領域 63 R と G 表示領域 63 G と面積を同一にしている。G 表示領域 63 G より B 表示領域 63 B の面積を大きくしている。

【0081】

有機 E L 表示パネルでは、B の発光効率が悪い場合が多い。図 14（a）のように B 表示領域 63 B を他の色の表示領域 63 よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、R、G、B 表示領域 63 の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

50

【0082】

図14(b)は、1フィールド(フレーム)期間で、B表示期間63Bが複数(63B1、63B2)となるようにした実施例である。図14(a)は1つのB表示領域63Bを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図14(b)は、同一面積のB表示領域63Bを複数表示させることにより、ホワイトバランス調整(補正)を良好にする。また、色温度補正(調整)を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【0083】

図14(a)と図14(b)とは組み合わせてもよいことはいうまでもない。たとえば、図14(a)のRGBの表示面積63を変化し、かつ図14(b)のRGBの表示領域63を複数発生させる駆動方法の実施である。 10

【0084】

図9では表示領域63を1つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図15に図示するように、表示領域63と非表示領域62とを複数に分散させてもよい。

【0085】

また、図15に図示するように、間欠する間隔(非表示領域62/表示領域63)は等間隔に限定するものではない。たとえば、ランダムでもよい(全体として、表示期間もしくは非表示期間が所定値(一定割合)となればよい)。また、RGBで異なってもよい。つまり、白(ホワイト)バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値(一定割合)となるように調整(設定)すればよい。 20

【0086】

非表示領域62とは、ある時刻において非点灯EL素子15の画素16領域である。表示領域63とは、ある時刻において点灯EL素子15の画素16領域である。非表示領域62、表示領域63は、水平同期信号に同期して、1画素行ずつ位置がシフトしていく。

【0087】

本発明の駆動方法の説明を容易にするため、1/Nとは、1F(1フィールドまたは1フレーム)を基準にしてこの1Fを1/Nにするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間(通常、1水平走査期間(1H))があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線17aからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。 30

【0088】

液晶表示パネルは、1F(1フィールドあるいは1フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0089】

有機(無機)EL表示パネル(表示装置)も1F(1フィールドあるいは1フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、CRTのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。 40

【0090】

本発明の駆動方法では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)/N)は電流を流さない。本発明の駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。 50

【0091】

本発明の駆動方法では、図6、図14に図示するように間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ11dは最大でも1H周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素16に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【0092】

本発明の駆動方法はスイッチングのトランジスタ11d（図1などを参照のこと）などをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、画像データはそのまま画素16のコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【0093】

本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0094】

さらに、大型の表示装置でソース信号線18の配線長が長くなり、ソース信号線18の寄生容量が大きくなる場合は、N値を大きくすることのより対応できる。ソース信号線18に印加するプログラム電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【0095】

電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大ききで発生すると、1画素行にプログラムする時間（基本的には1H以内である。ただし、本発明は2画素行などの複数画素を同時に書き込む場合もあるので1H以内に限定されるものではない。）内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

【0096】

図1の画素構成の場合、図5（a）に示すように、電流プログラム時は、プログラム電流Iwがソース信号線18に流れる。この電流Iwがトランジスタ11aを流れ、Iwを流す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0097】

次に、EL素子15に電流を流す期間は図5（b）のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧（Vgh）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（Vgl）が印加され、トランジスタ11dがオンする。

【0098】

なお、本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図2のような電圧プログラム方式の画素構成にも適用できる。1フレーム（フィールド）の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線18の寄生容量の影響は無視できない。特に大型EL表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。以上の事項は、本発

10

20

30

40

50

明の他の実施例においても同様である。

【0099】

図6(b)に図示するように、書き込み画素行61aを含む画素行が非点灯領域62とし、書き込み画素行61aよりも上画面のS/N(時間的には1F/N)の範囲を表示領域63とする(書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、表示領域63が帯状になって、画面の上から下

【0100】

図6の表示では、1つの表示領域63が画面の上から下方向に移動する。フレームレートが低いと、表示領域63が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。 10

【0101】

この課題に対しては、図15に図示するように、表示領域63を複数に分割するとよい。この分割された総和がS(N-1)/Nの面積となれば、図6の明るさと同等になる。なお、分割された表示領域63は等しく(等分に)する必要はない。また、分割された非表示領域62も等しくする必要はない。

【0102】

以上のように、表示領域63を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。 20

【0103】

図6のように、非表示領域62を一括で挿入する方式では、外光との干渉によるフリッカが発生しやすい。たとえば、外光の蛍光灯の周波数が60Hzで、表示パネルの1フレームが60Hzのように、一致あるいは近似するとき、干渉が発生する。また、カソード電極36での外光反射による干渉も問題となる。この課題は、以下に説明するように、表示パネルの非表示領域62もしくは表示領域63の1サイクルが、外光(蛍光灯)の点滅サイクルに一致しないようにすることで解決する。表示パネルの非表示領域の1サイクルが、外光(蛍光灯)の点滅サイクルに一致しないようにすることで解決する。

【0104】

本発明は、非表示または表示領域制御を、画素行に映像データを書き込む書きこみ周期と独立制御することにより実現できる。つまり、画素行に映像データを書き込むゲートドライバ12aと、非表示または表示領域制御するゲートドライバ12bとを具備することにより実現できる。もしくは、EL素子15と駆動用トランジスタ11a間に供給電流をオンオフ制御できるスイッチ用トランジスタ11dなどを具備することにより実現できる。 30

【0105】

したがって、電流プログラム方式の1つであるカレントミラー方式であっても、図16に図示するように、駆動用トランジスタ11bとEL素子15間にスイッチング素子としてのトランジスタ11eを形成または配置することにより、EL素子15に流れる電流をオンオフすることができる。したがって、前述の駆動方式を実現できる。また、図17(a)(b)(c)にも適用できることは言うまでもない。図17(a)ではスイッチング用トランジスタ11dをオンオフ制御する。図17(b)ではスイッチング用トランジスタ11e、11fのうち少なくとも一方をオンオフ制御する。図17(c)ではインバータ回路6061をオンオフ制御(Hレベル、Lレベル制御)する。また、図1の画素構成の変形である図18にも適用できることは言うまでもない。スイッチング用トランジスタ11dをオンオフ制御する。 40

【0106】

図1などで説明した画素構成では、駆動用トランジスタ11aは各画素16に1つの構成である。しかし、本発明において、駆動用トランジスタ11aは1つに限定されるものでない。たとえば、図19の画素構成が例示される。 50

【0107】

図19は画素16を構成するトランジスタ数を6個とし、プログラム用トランジスタ11anはトランジスタ11b2とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成し、駆動用トランジスタ11a1はトランジスタ11b1とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成した実施例である。

【0108】

図19において、駆動用トランジスタ11a1のゲート端子とプログラム用トランジスタ11anのゲート端子とを共通にしている。トランジスタ11b1は電流プログラム時に駆動用トランジスタ11a1のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ11b2は電流プログラム時にプログラム用トランジスタ11anのドレイン端子とゲート端子とを短絡するように動作する。

10

【0109】

なお、図19において、駆動用トランジスタ11a1、トランジスタ11anと各1個のように図示しているが、本発明はこれに限定するものではない。たとえば、駆動用トランジスタ11a1を2個以上に形成してもよい。また、トランジスタ11anを2個以上に形成してもよい。また、トランジスタ11a1、11anの双方を複数個で形成してもよいことはいうまでもない。以上の事項は図1、図16、図17、図18、図21などの画素構成に対しても適用できることは言うまでもない。

【0110】

トランジスタ11cは駆動用トランジスタ11a1のゲート端子に接続されており、トランジスタ11dは駆動用トランジスタ11a1とEL素子15間に形成または配置され、EL素子15に流れる電流を制御する。また、駆動用トランジスタ11a1のゲート端子とアノード(Vdd)端子間には付加コンデンサ19が形成または配置されており、駆動用トランジスタ11a1とプログラム用トランジスタ11anのソース端子はアノード(Vdd)端子に接続されている。

20

【0111】

以上のように、駆動用トランジスタ11a1とプログラム用トランジスタ11anが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ11a1を流れる電流は、トランジスタ11b1、トランジスタ11cを通じてソース信号線18に流れる。また、プログラム用トランジスタ11anを流れる電流は、トランジスタ11b2、トランジスタ11cを通じてソース信号線18に流れる。したがって、駆動用トランジスタ11a1の電流と、プログラム用トランジスタ11anの電流は、同数の2つのトランジスタを通過してソース信号線18に流れるように構成されている。

30

【0112】

図19では、駆動用トランジスタ11anを1つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ11anは、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ11a1の駆動用トランジスタ11anと、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比にすることが好ましい。同一WLあるいはWL比のトランジスタを複数形成する方が、各トランジスタ11aの出力バラツキが小さくなり、また画素16間のばらつきも少なくなり好ましい。

40

【0113】

ゲート信号線17aに選択電圧(オン電圧)が印加されると、トランジスタ11anとトランジスタ11a1からの電流が合成されたものがプログラム電流Iwとなる。このプログラム電流Iwを、駆動用トランジスタ11a1からEL素子15に流れる電流Ieの所定倍率にする。

【0114】

$I_w = n \cdot I_e$ (nは1以上の整数、ただし、トランジスタ11anのサイズが均等で

50

ないときは1.25などの小数点を有する数値となることは言うまでもない)。

【0115】

上式において、表示パネルの最大白ラスタでの表示輝度 $B(n t)$ 、表示パネルの画素面積 S (平方ミリメートル)(画素面積は、RGBを1単位として取り扱う。したがって、各R、G、Bの絵素が縦0.1mm、横0.05mmであれば、 $S = 0.1 \times (0.05 \times 3)$ (平方ミリメートル)である)、表示パネルの1画素行選択期間(1水平走査(1H)期間)を H (ミリ秒)としたとき、以下の条件を満足するようにする。なお、表示輝度 B は、パネル仕様に規定する表示できる最大輝度である。なお、以下に示す222、100などの数値は、多くの実験を実施し、見つけ出した値である。

【0116】

$$5 \leq (B \cdot S) / (n \cdot H) \leq 222$$

さらに好ましくは、以下の条件と満足するようにする。

【0117】

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_w はソースドライバ回路(IC)14が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素16のコンデンサ19にホールドされる。また、 I_e は駆動用トランジスタ11a1がEL素子15に流す電流である。

【0118】

トランジスタ11a1、トランジスタ11anの出力ばらつきに関しては、トランジスタ11anと駆動用トランジスタ11a1を近接させて形成または配置することにより改善できる。また、トランジスタ11an、トランジスタ11a1の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【0119】

ゲート信号線17aが選択されると、駆動用トランジスタ11a1およびプログラム用トランジスタ11anの両方がオンする。駆動用トランジスタ11a1が流す電流 I_{w1} と、プログラム用トランジスタ11a1が流す電流 I_{w2} とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ11anと駆動用トランジスタ11a1のサイズ(W、L)を一致させることである。つまり、 $I_{w1} = I_{w2}$ 、 $I_w = 2I_e$ の関係を満足させることが好ましい。もちろん、 $I_{w1} = I_{w2}$ の関係を満足させるには、トランジスタサイズ(W、L)を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのWLを調整することにより容易に実現できる。略 $I_{w2} / I_{w1} = 1$ であれば、トランジスタ11b1とトランジスタ11b1のサイズは略一致して構成あるいは形成することができる。

【0120】

なお、 I_{w2} / I_{w1} は、1以上10以下の関係を満足させておくことが好ましい。 I_{w2} / I_{w1} は、1以上10以下の関係を満足させておくことが好ましい。さらに好ましくは、1.5以上5以下の関係を満足させておくことが好ましい。

I_{w2} / I_{w1} が1以下では、ほとんど、ソース信号線18の寄生容量の影響を改善する効果は見込めない。一方 I_{w2} / I_w が10以上となると、 I_w に対する I_e の關係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ11bのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【0121】

プログラム用トランジスタ11anが流す電流 I_{w2} が、駆動用トランジスタ11a1が流す電流 I_{w1} に比較して一定以上大きい場合は($I_{w2} > I_{w1}$)、スイッチング用トランジスタ11b2のオン抵抗を、スイッチング用トランジスタ11b1のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ11b2は、トランジスタ11b1よりも大きな電流を、同一のゲート信号線17aの電圧にたいして流すように構成する必要があるからである。

【0122】

つまり、駆動用トランジスタ11a1の出力電流の大きさに対するトランジスタ11b

10

20

30

40

50

1の大きさと、プログラム用トランジスタ11a_nの出力電流の大きさに対するトランジスタ11b₂の大きさをマッチングさせる必要がある。

【0123】

言い換えれば、プログラム電流I_{w2}、プログラム電流I_{w1}に対して、トランジスタ11bのオン抵抗を変化させる必要がある。また、プログラム電流I_{w2}、プログラム電流I_{w1}に対して、トランジスタ11b₁と11b₂のサイズを変化させる必要がある。

【0124】

プログラム電流I_{w2}がプログラム電流I_{w1}よりも大きければ、トランジスタ11b₂のオン抵抗はトランジスタ11b₁のオン抵抗よりも小さくする必要がある（トランジスタ11b₁とトランジスタ11b₂のゲート端子電圧が同一の場合である）。プログラム電流I_{w2}がプログラム電流I_{w1}よりも大きければ、トランジスタ11b₂のオン電流（I_{w2}）はトランジスタ11b₁のオン電流（I_{w1}）よりも大きくする必要がある（トランジスタ11b₁とトランジスタ11b₂のゲート端子電圧が同一の場合である）。

【0125】

I_{w2} : I_{w1} = n : 1とし、ゲート信号線17aにオン電圧が印加され、トランジスタ11b₁とトランジスタ11b₂がオンしたときのトランジスタ11b₂のオン抵抗をR₂、トランジスタ11b₁のオン抵抗をR₁とする。この時、R₂は、R₁ / (n + 5) 以上、R₁ / (n) 以下の関係を満足するように構成する。構成するとは、トランジスタ11bの所定のサイズに形成するあるいは配置するもしくは動作させる意味である。ただし、nは1よりも大きな値である。

【0126】

上記事項は、トランジスタ11b₁とトランジスタ11b₂のオン抵抗Rあるいは、プログラム電流I_wの説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ11b₁のゲート端子に接続されたゲート信号線17と、トランジスタ11b₂のゲート端子に接続されたゲート信号線17とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることができる。

【0127】

図20は図19の画素構成の動作の説明図である。図20(a)は電流プログラム状態であり、図19(b)はEL素子15に電流を供給している状態である。なお、図20(b)の状態、トランジスタ11dをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【0128】

図20(a)では、ゲート信号線17aにオン電圧が印加され、トランジスタ11b₁、11b₂、11cがオンする。トランジスタ11a₁は電流I_eを供給し、トランジスタ11a_nは電流I_w - I_eを供給し、合成した電流I_wがソースドライバI_cにプログラム電流となる。以上の動作により、プログラム電流I_wに対応する電圧がコンデンサ19に保持される。電流プログラム時にはトランジスタ11dはオフ状態に保持される（ゲート信号線17bにはオフ電圧が印加されている）。

【0129】

EL素子15に電流を流す場合が、図20(b)の動作状態にされる。ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにオン電圧が印加される。この状態では、トランジスタ11b₁、11b₂、11cがオフ状態になり、トランジスタ11dがオン状態になる。EL素子15にI_e電流が供給される。

【0130】

以上の実施例は、主として図1の変形例の実施例であった。本発明はこれに限定するものではなく、図16などのカレントミラーの画素構成にも適用することができる。また、

10

20

30

40

50

図 17 (a) (b) (c) にも適用できることは言うまでもない。

【0131】

また、図 1 などの画素構成は、トランジスタ 11d により EL 素子 15 に流す電流をトランジスタ 11d により制御するものであったが、本発明はこれに限定するものではない。たとえば、図 20 に図示するように、トランジスタ 11d がなくとも EL 素子 15 に印加する電流をオンオフ制御することができる。

【0132】

図 20 では、ゲートドライバ回路 12b は、ゲート信号線 17b を制御し、ゲート信号線 17b の電位は、V_{dd} 電圧と、それより低い電圧である EL 素子 15 に電流が流れない電圧 V_g で駆動される。つまり、ゲート信号線 17b には、V_{dd} 電圧と V_g 電圧が出力される。ゲート信号線 17b に V_{dd} 電圧が印加されたときは、EL 素子 15 に電流が流れ、ゲート信号線 17b に V_g 電圧が印加されたときには、EL 素子 15 には電流が流れない。図 20 の画素構成では、トランジスタ 11d がなくとも、ゲートドライバ 11b の制御により Duty 比制御、基準電流比制御、点灯率制御が実現できる。

【0133】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図 22 に図示するように本発明は単位トランジスタ 224 の単位電流が、映像データの 1 に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流は R、G、B 回路ごとに設けられており、R G B 回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路 (IC) 14、表示パネル構成の相乗効果である。以下、本発明のソースドライバ回路 (IC) 14 について説明をする。

【0134】

なお、以下の実施例では、単位トランジスタ群 251c などはソースドライバ回路 (IC) 14 に形成あるいは構成するとして説明するが、本発明はこれに限定するものではない。たとえば、図 12 では、単位トランジスタ群 251c などはアレイ基板 30 に形成している。つまり、画素 16 と単位トランジスタ群 251c、ゲートドライバ回路 12 をアレイ基板 30 に形成し、他の部分をソースドライバ回路 (IC) 14 に形成した実施例である。

【0135】

EL 表示パネルでは、プログラム電流と EL 素子 15 の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアに EL 素子 15 の発光輝度を調整できる。

【0136】

駆動用トランジスタ 11a はゲート端子に印加した電圧と、駆動用トランジスタ 11a が流す電流とは非線形である (2 乗カーブになることが多い)。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【0137】

以下、図 22、図 23 などを参照しながら、本発明のソースドライバ回路 (IC) 14 について説明をする。ソースドライバ回路 (IC) 14 は、出力端子数に対応する出力段 (トランジスタ群) 251c が形成または配置されている。各出力段 251c には、映像信号のビット数に対応するトランジスタ (電流源 (1 単位) 電流) 224 が形成または配置されている。たとえば、基本的には映像信号が 6 ビット (D0 ~ D5) の場合は、2 の 6 乗 - 1 = 63 個のトランジスタ 224 が形成される。映像信号が 8 ビット (D0 ~ D7) の場合は、2 の 8 乗 - 1 = 255 個のトランジスタ 224 が形成される。図 24 は、この基本を変形した実施例である。図 24 に関しては後に説明をする。

10

20

30

40

50

【0138】

以下、説明を容易にするため、ソースドライバ回路（IC）14は6ビットであるとして説明をする。図22において、各トランジスタ224は、映像データビット（D0～D5）ごとに配置される。D0ビットには1つのトランジスタ224が配置される。D1ビットには2つのトランジスタ224が配置される。D2ビットには4つのトランジスタ224が配置され、D3ビットには8つのトランジスタ224が配置され、D4ビットには16つのトランジスタ224が配置される。同様に、D5ビットには32つのトランジスタ224が配置されている。

【0139】

各ビットのトランジスタ224の出力電流が出力端子93に出力されるか否かは、アナログスイッチ221（221a～221f）によるオンオフ制御で実現される。アナログスイッチ221a～221fは映像信号の各ビット（一例として6ビット）に対応する。D0ビットに対応するスイッチ221aが閉じると、1単位電流が出力端子93から出力（入力）される。出力端子93には、ソース信号線18が接続されている。同様に、D1ビットに対応するスイッチ221bが閉じると、2単位電流が出力端子93から出力（入力）される。以下、D2ビットに対応するスイッチ221cが閉じると、4単位電流が出力端子93から出力（入力）され、D3ビットに対応するスイッチ221cが閉じると、8単位電流が出力端子93から出力（入力）され、D4ビットに対応するスイッチ221dが閉じると、16単位電流が出力端子93から出力（入力）され、D5ビットに対応するスイッチ221cが閉じると、32単位電流が出力端子93から出力（入力）される。以上のように、映像信号のビットに対応して、デジタル的にスイッチ221がクローズまたはオープンし、映像信号に応じて電流（プログラム電流）が出力端子93から出力される。

【0140】

また、プログラム電流は内部配線222を流れる。内部配線222の電位Vwは、ソース信号線18の電位となる。ソース信号線18の電位は、電流プログラム時は、画素16の駆動用トランジスタ11aのゲート電圧である。

【0141】

単位トランジスタ224はトランジスタ228bとカレントミラー回路を構成している。なお、図22、図23では、トランジスタ228bを1つと図示しているが、実際は、複数のトランジスタ（トランジスタ群）で構成（形成）される。トランジスタ228bとトランジスタ群251cとは所定のカレントミラー比でカレントミラー回路を構成する。つまり、トランジスタ228bも多数の単位トランジスタを有する群として構成されている。ただし、トランジスタ群251cを構成する単位トランジスタ224とトランジスタ228bを構成する単位トランジスタのサイズ、特定は異ならせてもよいことはいうまでもない。また、トランジスタ228aも複数のトランジスタで形成あるいは構成してもよいことは言うまでもない。以上のように、1つの動作を行うトランジスタを複数の同一特性のトランジスタからなるトランジスタ群で形成することにより、特性バラツキが少なくなり、良好な動作を実現できる。

【0142】

トランジスタ228bには基準電流Icが流れ、この基準電流Icのカレントミラー比に応じた電流が単位トランジスタ224に流れる。図22の63個の単位トランジスタ224はすべて同一の単位電流を出力する。単位電流が流れるためには、該当のスイッチ221が閉じ、電流経路を構成する必要がある。

【0143】

基準電流Icはオペアンプ231aと抵抗R1からなる定電流回路で発生する。基準電流Icは基準電圧Vsを安定化かつ高精度化することにより一定化する。基準電流Icを設定する電圧ViとVsが抵抗R1の両端に印加される。したがって、基準電流Ic = (Vs - Vi) / R1となる。基準電流IcはRGBごとに設定することができる。つまり、RGBごとにトランジスタ群251cが構成（形成）されている。前記トランジスタ群

251cのトランジスタ228bに流れる電流 I_c を設定（調整）できる。抵抗 R_1 は、ソースドライバ回路（IC）14外に配置されており、抵抗 R_1 の値をRGBで調整することにより、良好にホワイトバランスを調整あるいは設定できる。

【0144】

図23（a）は基準電流 I_c を、 V_s 電圧を用いて発生する回路構成である。図23（b）はGNDとオペアンプ231aの一端子間に配置（挿入）された抵抗 R_1 を用いて基本的な電流を発生させ、トランジスタ232bとトランジスタ228aからなるカレントミラー回路で折り返し、トランジスタ228bに基準電流 I_c を流す構成である。図23（b）の方が、基準電流の I_c の大きさを調整しやすい。しかし、トランジスタ232bとトランジスタ228aからなるカレントミラー回路で折り返すために、バラツキが発生しやすい。

【0145】

本発明は図24（a）に図示するように、各ビットに1つまたは複数の単位トランジスタ224を形成または配置するとした。しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する1つのトランジスタ224を形成または配置してもよいことは言うまでもない。たとえば、1ビット目のトランジスタは、0ビット目のトランジスタの2倍の電流を出力するトランジスタを1個形成または配置する。2ビット目のトランジスタは、0ビット目のトランジスタの4倍の電流を出力するトランジスタを1個形成または0ビット目のトランジスタの42の電流を出力するトランジスタを2個形成または配置する。

【0146】

図24（a）に図示するように、64階調（RGB各6ビット）の場合は、63個の単位トランジスタ224を形成するとした。したがって、256階調（RGB各8ビット）の場合、255個の単位トランジスタ224が必要になることになる。

【0147】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ224において、チャンネル長 L を一定にし、チャンネル幅 W を $1/2$ にすれば、単位トランジスタ224が流す電流がおよそ $1/2$ になるという特徴ある性質がある。同様に、チャンネル長 L を一定にし、チャンネル幅 W を $1/4$ にすれば、単位トランジスタ224が流す電流がおよそ $1/4$ になるという特徴ある性質がある。

【0148】

図24（a）は、各ビットに対して同一のサイズの単位トランジスタ224を配置したトランジスタ群251cの構成である。説明を容易にするため、図24（a）は63個の単位トランジスタ224が構成され、6ビットのトランジスタ群251cを構成（形成）しているとする。また、図24（b）は8ビットであるとする。

【0149】

図24（b）では、下位2ビット（Aで示す）は、単位トランジスタ224よりも小さいサイズのトランジスタで構成している。最小ビット目の第0ビット目は、単位トランジスタ224のチャンネル幅 W の $1/4$ で形成している（単位トランジスタ224bで示す）。また、第1ビット目は、単位トランジスタ224のチャンネル幅 W の $1/2$ で形成している（単位トランジスタ224aで示す）。なお、単位トランジスタ224aは、単位トランジスタ224のチャンネル幅 W の $1/4$ である単位トランジスタ224bを2個で形成してもよい。

【0150】

以上の実施例では、単位トランジスタ224bの W は、単位トランジスタ224の W の $1/4$ であるとした。たとえば、単位トランジスタ224の W が $6\mu\text{m}$ であれば、単位トランジスタ224bの W は $1/4$ の $1.5\mu\text{m}$ となる。しかし、これは理想的な特性を示す場合である。本発明では、 $1.5\mu\text{m}$ より大きくしている。つまり、 $2.0\mu\text{m}$ など大きくしている。大きくすることにより、単位トランジスタ224bの4倍の電流が単位トランジスタ224の電流と一致するように構成することができる。以上の事項は後にさら

10

20

30

40

50

に詳しく説明をする。

【0151】

単位トランジスタ224a、224b、224のゲート端子は同一のゲート配線222に接続される。ゲート配線223はトランジスタ228bのゲート端子と接続されている。

【0152】

以上のように、下位2ビットは上位の単位トランジスタ224よりも小さいサイズの単位トランジスタ(224a、224b)で形成している。また、正規の単位トランジスタ224の個数は63個で変化がない。したがって、6ビットから8ビットに変更しても、トランジスタ群251cの形成面積は図24(a)と図24(b)で大差はない。

10

【0153】

図24(b)に図示するように、6ビットから8ビット仕様に変化させても出力段のトランジスタ群251cのサイズが大きくなるのは、電流の加算ができるという点、単位トランジスタ224において、チャンネル長Lを一定にし、チャンネル幅Wを $1/n$ にすれば、単位トランジスタ224が流す電流がおよそ $1/n$ になるという点をうまく利用しているからである。

【0154】

また、図24(b)に図示するように、単位トランジスタ224a、224bのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ224aまたは224bの出力電流は加算される。

20

【0155】

実際にはチャンネル幅Wを $1/2$ にしても出力電流は正確には $1/2$ にはならない。多少の補正が必要である。本発明に説明する。チャンネル幅W $1/2$ にすることに大きな意味を持つものではなく、トランジスタ24aの出力電流を単位トランジスタ224の出力電流を $1/2$ にすることに技術的意味がある。したがって、チャンネル幅Wだけでなく、チャンネル長Lを変化させて出力電流を $1/2$ あるいは $1/4$ のように、略整数分の1に構成すればよい。また、図24(b)で図示した単位トランジスタ224、224a、224bは同一ゲート電圧で動作させる。これは図22に図示するように、ゲート配線223にすべての単位トランジスタのゲート端子を接続することにより容易に実現できる。また、すべての単位トランジスタ(224、224a、224b)はトランジスタ228bとカレントミラー回路を構成させればよい。

30

【0156】

チャンネル幅Wを $1/2$ にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、 $1/2$ 以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズと変化させる場合、以下のようにトランジスタサイズを設定している。

【0157】

まず、ソースドライバ回路(IC)14の単位トランジスタ224を2種類のサイズのように、少ない形状で構成する。複数の単位トランジスタ224のチャンネル長Lは同一にする。つまり、チャンネル幅Wのみを変化させる。第1の単位トランジスタの第1の単位出力電流と、第2の単位トランジスタの第2の単位出力電流の比をn(第1の単位出力電流:第2の単位出力電流=1:n、ただし、nは1より小さい値)とするとき、第1の単位トランジスタのチャンネル幅 $W_1 < \text{第2の単位トランジスタのチャンネル幅 } W_2 \times n \times a$ の関係となるように構成する。

40

【0158】

$W_1 \times n \times a = W_2$ とした場合、 $1.05 < a < 1.3$ の関係が成り立つようにすることが好ましい。補正aは、テストトランジスタを形成し、測定することにより補正係数を容易に把握することができる。

50

【0159】

本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ224に比較して小さい小単位トランジスタを形成または配置するものである。この小さいという概念は、上位ビットを構成する単位トランジスタ224の出力電流よりも小さいという意味である。したがって、単位トランジスタ224に比較してチャンネル幅Wが小さいだけでなく、同時にチャンネル長Lも小さい場合も含まれる。また、他の形状も含まれる。また、たとえば、単位トランジスタ224aの出力電流が単位トランジスタ224の $1/2$ とは精度が要求されるものではない。したがって、各ビットでの出力電流が反転しないように、60%～140%の範囲で設定できればよい。つまり、略 $1/2$ 、略 $1/4$ であればよい。

10

【0160】

図24（b）はトランジスタ群251cを構成する単位トランジスタ224のサイズを複数種類とするものであった。図24（b）では3種類（224、224a、224b）としている。この理由は、先に説明したように、単位トランジスタ224のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ251cを構成する単位トランジスタ224のサイズは低階調用と高階調用の2種類とすることが好ましい。たとえば、図24（b）において、低階調の単位トランジスタである0ビット目の単位トランジスタ224bを2個用いて、1ビット目を構成すればよい。つまり、高階調用の単位トランジスタ224で2ビット目から7ビット目を形成し、低階調の単位トランジスタ224bを用いて0ビット目と1ビット目を形成する。しかし、本発明はこれに限定するものではない。3種類以上であってもよいことは言うまでもない。

20

【0161】

図26でも図示しているように、トランジスタ群251cを構成する単位トランジスタ224のゲート端子は、1つのゲート配線223で接続されている。ゲート配線223に印加された電圧により単位トランジスタ224の出力電流が決定される。したがって、トランジスタ群251c内の単位トランジスタ224の形状が同一であれば、各単位トランジスタ224は同一の単位電流を出力する。

【0162】

本発明は、トランジスタ群251cを構成する単位トランジスタ224のゲート配線223を共通にすることには限定されない。たとえば、図25（a）のように構成してもよい。なお、トランジスタ群251bとはトランジスタ228bが対応する。つまり、トランジスタ群251cによりトランジスタ228bが構成されている。図25（a）において、トランジスタ群251b1とカレントミラー回路を構成する単位トランジスタ224と、トランジスタ群251b2とカレントミラー回路を構成する単位トランジスタ224とが配置されている。

30

【0163】

トランジスタ群251b1はゲート配線223aで接続されている。トランジスタ群251b2はゲート配線223bで接続されている。図25（a）の一番上の1個の単位トランジスタ224はLSB（0ビット目）であり、2段目の2個の単位トランジスタ224は1ビット目、3段目の4個の単位トランジスタ224は2ビット目である。また、4段目の組の8個の単位トランジスタ224は3ビット目である。

40

【0164】

図25（a）において、ゲート配線223aとゲート配線223bの印加電圧を変化させることにより、各単位トランジスタ224のサイズ、形状が同一であっても、各単位トランジスタ224の出力電流をゲート配線223の印加電圧により変化（変更）することができる。

【0165】

図25（a）において、単位トランジスタ224のサイズなどを同一にして、ゲート配線223a、223bの電圧を異ならせるとしたが、本発明はこれに限定するものではない

50

い。単位トランジスタ 224 のサイズなどを異ならせ、印加するゲート配線 223a、223b の電圧を調整することにより、異なる形状の単位トランジスタ 224 の出力電流を同一となるようにしてもよい。

【0166】

図 24 では、低階調のビットを構成する単位トランジスタ 224 サイズは、高階調を構成する単位トランジスタ 224 よりも小さくした。単位トランジスタ 224 のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ 224 はチャンネル長 L を高階調よりも大きくし、単位トランジスタ 224 の面積を小さくならないようにしてバラツキを抑制している。たとえば、単位トランジスタ 224a のチャンネル幅 Wb は単位トランジスタ 224 のチャンネル幅 W と同一に、単位トランジスタ 224a のチャンネル長 Lb は単位トランジスタ 224 のチャンネル長 L の 2 倍に形成する。

10

【0167】

ソースドライバ回路 (IC) 14 の単位トランジスタ 224 の最小出力電流は 0.5 nA 以上 10 nA にしている。特に単位トランジスタ 224 の最小出力電流は 2 nA 以上 20 nA にすることがよい。ドライバ IC 14 内の単位トランジスタ群 251c を構成する単位トランジスタ 224 の精度を確保するためである。

【0168】

以上のように構成することにより、各出力端子 93 の出力バラツキを低減することができる。特に、各端子間の隣接バラツキを低減することができる。さらに、出力バラツキを低減するためには、図 27 のように構成する。

20

【0169】

図 27 と、図 26 との差異は、出力段 251c の出力側に、出力選択回路 1531 を有する構成である。出力選択回路は 1531、主として選択回路とアナログスイッチから構成される。出力選択回路 1531 は、任意の出力段 251c の出力電流を、任意の出力端子 93 から出力させることができる。つまり、シャッフル回路である。

【0170】

たとえば、出力段 251c1 の出力電流は、出力端子 93a に出力することができるし、出力端子 93c、93n にも出力することができる。つまり、出力段 251c1 のプログラム電流をどの出力端子 93 にでも出力させることができる。出力選択回路 1531 の切り換えタイミング (動作タイミング) は、コントローラ 722 により制御される。たとえば、出力選択回路 1531 の制御により、出力段 251a の出力信号を、1 水平走査期間の前半に出力端子 93a に出力し、後半に出力端子 93b に出力することができる。また、出力選択回路 1531 は、出力段 251c に設定される階調番号により動作を変化させることができる。

30

【0171】

出力選択回路 1531 は、1 つまたは複数の出力段 251c からの出力信号 (電圧または電流) を 1 つまたは複数の出力端子 93 から出力されるように動作させることができることは言うまでもない。たとえば、出力段 251c1、251c3、251c5 の出力電流を合成して、出力端子 93a に出力することができる。また、出力段 251c1、251c3、251c5 の出力電流を合成して、出力端子 93a と出力端子 93b の両方に出力することができる。また、出力段 251c1 の出力電流を合成して、出力端子 93a と出力端子 93b の両方に出力することができる。

40

【0172】

本発明の出力選択回路 1531 の説明は、出力段 251c が電流出力であるとして説明するが、これに限定するものではない。たとえば、出力段 251c が電圧出力であってもよい。つまり、ソースドライバ回路 (IC) 14 が液晶表示パネルのように、電圧駆動を実施する場合が例示される。なお、EL 表示パネルが電圧駆動である場合も同様に適用される。また、出力選択回路 1531 は、ソースドライバ回路 (IC) 14 がシリコンチップとして構成され、前記チップ 14 に内蔵されているとして説明するが、これに限定する

50

ものではない。たとえば、出力選択回路1531を、ポリシリコン技術などでガラス基板30に直接形成してもよい。また、別チップに形成または構成してもよい。

【0173】

出力段251cは単位トランジスタ224で構成されるため、各出力段251の出力電流バラツキは小さい。しかし、ソースドライバ回路(IC)のチップには、穏やかなモビリティ特性、 V_t 特性のうねりがある。このうねりにより出力段251cから出力電流は変化する。

【0174】

このうねりの影響がない様にするには、1つの出力段251cを構成する単位トランジスタ224の形成領域をうねりの周期にまたがる大きさ(範囲あるいは面積)に形成すればよい。しかし、この場合は、単位トランジスタ224の形成面積が大きく、巨大なチップサイズになってしまう。本発明はこの課題に対して、1つに出力端子93に出力する電流を、チップ14内の比較的広い領域から選択肢、選択する領域を一定条件で変化させることにより形成(発生)させる。たとえば、出力端子93aに、38階調目のプログラム電流を出力させ、ある画素16に32階調目のプログラム電流を書き込む場合を例示する。1フィールド(フレーム)目では、出力選択回路1531は、出力段251c1から、38階調目のプログラム電流を出力されるように制御し、この出力段251c1からプログラム電流を出力端子93aから出力する。 10

【0175】

次のフィールド(フレーム)では、出力段251c2から、38階調目のプログラム電流を出力されるように制御し、この出力段251c2からプログラム電流を出力端子93aから出力する。さらに次のフィールド(フレーム)では、出力選択回路1531は、出力段251c3から、38階調目のプログラム電流を出力されるように制御し、この出力段251c3からプログラム電流を出力端子93aから出力する。以降、この動作を順次繰り返す。また、各出力端子93からは、対応する(書き込む)画素に応じて各出力段251cの階調設定がなされ、プログラム電流がソース信号線18に出力される。 20

【0176】

図28は以上の動作を表にまとめたものである。図28は、出力端子93と、水平走査期間(H)の関係を示している。ただし、理解を容易にするため、階調に関する記載は省略している。つまり、単に出力端子93には、各Hにどの出力段251cからのプログラム電流が出力されているかを示している。 30

【0177】

図28において、出力端子93aには、出力選択回路1531により、1H目に出力段251c1が選択される。なお、表では出力段251c1の1を図示している。2H目に出力段251c2が選択され(表では2と図示している)、3H目に出力段251c3(図28の表では3と図示している)が選択される。さらに、次の4H目では出力段251c4が選択され(図28の表では4を図示している)、5H目では、出力段251c5が選択される。

【0178】

同様に、出力端子93bには、出力選択回路1531により、1H目に出力段251cn(最終段の出力段)が選択される。なお、表では出力段251cnのnを図示している。2H目に出力段251c1が選択され(表では1と図示している)、3H目に出力段251c2(図28の表では2と図示している)が選択される。さらに、次の4H目では出力段251c3が選択され(図28の表では3を図示している)、5H目では、出力段251c4が選択される。以下、同様である。 40

【0179】

同様に出力端子93cには、出力選択回路1531により、1H目に出力段251cn-1が選択される。なお、表ではn-1と図示している。2H目に出力段251cnが選択され(表ではnと図示している)、3H目に出力段251c1(図28の表では1と図示している)が選択される。さらに、次の4H目では出力段251c2が選択され(図2 50

8の表では2を図示している)、5H目では、出力段251c3が選択される。以下同様である。

【0180】

以上のように、たとえば、出力端子93aには、Hごとに異なる出力段251cからのプログラム電流が出力され、ソース信号線18を介して画素に順次印加される。

【0181】

さらに理解を容易にするため、出力端子93aを例示して説明する。1H目ではソース信号線18a(出力端子93aに接続されたソース信号線)に印加される(出力される)出力段は251c1である。1H目では、第1画素行目で、かつソース信号線18aに接続された画素に出力段251c1からの信号が印加される。2H目ではソース信号線18a(出力端子93aに接続されたソース信号線)に印加される(出力される)出力段は251c2である。2H目では、第2画素行目で、かつソース信号線18aに接続された画素に出力段251c2からの信号が印加される。同様に、3H目ではソース信号線18a(出力端子93aに接続されたソース信号線)に印加される(出力される)出力段は251c3である。3H目では、第3画素行目で、かつソース信号線18aに接続された画素に出力段251c3からの信号が印加される。以上の動作を順次最終のm画素行(mは最終の画素行番号)の画素に実施していく。画素の選択はゲートドライバ回路17aにより選択される。

【0182】

最終画素行まで以上の動作を実施すると、また、第1画素行に対して以上の動作を行う。ただし、第1画素行の画素には、出力段251c1以外の出力信号が印加される。たとえば、出力段251c2の出力信号が印加される。つまり、フィールド(フレーム)ごとに異なる出力段251cの出力信号が印加されるようにし、各画素16に書き込まれる信号を平均化し出力段251cの出力ムラ分布が反映されないようにしている。各画素16に書き込まれる出力段251cからの信号はランダム化することが好ましいが、これが不可能な場合は、少なくとも2つの出力段251cの出力が書き込まれて平均化されるように制御する。以上の事項は、第2画素行の画素以降にも同様に適用される。また、出力端子93a以外(93b~93n)に対しても同様の動作が実施される。

【0183】

以上のように、基本的には1つの出力段251cの出力と1つの出力端子とが、出力選択回路1531により選択され、各出力段251cの出力がソース信号線18に印加される。ソース信号線18から出力される信号は、正規の(正常な)画像表示となるように、ラッチ回路351にラッチ保持される。

【0184】

1画面あるいは一定の表示周期が終了すると、出力端子93から出力される出力段251cの順番を入れ替えることが好ましい。たとえば、図28の表の状態が、1フレーム目とする。次の2フレーム目では、図28の表の出力端子93aの出力段251cの選択状態(251c1、251c2、251c3、251c4・・・・・・)を、出力端子93bの出力段251cの選択状態(251cn、251c1、251c2、251c3、251c4・・・・・・)とする。図28の表の出力端子93bの出力段251cの選択状態(251cn、251c1、251c2、251c3、251c4・・・・・・)を、出力端子93cの出力段251cの選択状態(251cn-1、251cn、251c1、251c2、251c3、251c4・・・・・・)とする。図28の表の出力端子93cの出力段251cの選択状態(251cn-1、251cn、251c1、251c2、251c3、251c4・・・・・・)を、出力端子93dの出力段251cの選択状態(251cn-2、251cn-1、251cn、251c1、251c2、251c3、251c4・・・・・・)とする。以後同様にシフトさせる。

【0185】

次の3フレーム目では、出力端子93aの出力段251cの選択状態(251cn、251c1、251c2、251c3、251c4・・・・・・)を、出力端子93bの出

力段 2 5 1 c の選択状態 (2 5 1 c n-1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4・・・)とする。出力端子 9 3 b の出力段 2 5 1 c の選択状態 (2 5 1 c n-1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4・・・)を、出力端子 9 3 c の出力段 2 5 1 c の選択状態 (2 5 1 c n-1、2 5 1 c n-1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4・・・)とする。出力端子 9 3 c の出力段 2 5 1 c の選択状態 (2 5 1 c n-2、2 5 1 c n-1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4・・・)を、出力端子 9 3 d の出力段 2 5 1 c の選択状態 (2 5 1 c n-3、2 5 1 c n-2、2 5 1 c n-1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4・・・)とする。以後同様にシフトさせる。

10

【0186】

なお、本発明では説明を容易にするため、1 フレームまたは1 フィールドで出力端子 9 3 から出力される状態を入れ替えるとして説明するが、これに限定するものではない。複数フレームまたはフィールドで入れ替えてもよい。また、複数画素行（複数水平走査期間）ごとに入れ替えてもよい。また、フレームまたは画素行（水平走査期間）に限定されるものではなく、一定周期もしくはランダム周期で入れ替えてもよい。以上の事項は本発明の他の実施例にも適用されることは言うまでもない。

【0187】

シフトさせることにより、画面 9 4 の表示状態は、出力段 2 5 1 c の特性の影響を受けず、均一な表示を実現できる。シフトの方式には他の方法も例示される。

20

【0188】

たとえば、フレームごとに、出力端子 9 3 a と出力端子 9 3 n の状態を入れ替える。出力端子 9 3 b と出力端子 9 3 n-1 の状態を入れ替える。出力端子 9 3 c と出力端子 9 3 n-2 の状態を入れ替える。以下同様に入れ替える。つまり、画面の左右を入れ替える。

【0189】

また、他の方法も例示される。たとえば、フレームごとに、奇数番目の出力端子 9 3 と偶数番目の出力端子 9 3 の状態とを入れ替える。もちろん、ランダムに入れ替えてもよい。

【0190】

また、第 1 のフレームでは、出力端子 9 3 a と出力端子 9 3 b の状態とを入れ替える。次の第 2 のフレームでは、出力端子 9 3 a と出力端子 9 3 c の状態とを入れ替える。次の第 3 のフレームでは、出力端子 9 3 a と出力端子 9 3 d の状態とを入れ替える。次の第 4 のフレームでは、出力端子 9 3 a と出力端子 9 3 c e 状態とを入れ替える。以下、他の出力端子も同様に入れ替える方法が例示される。

30

【0191】

また、第 1、第 3 のフレームなどの奇数番目のフレームでは、奇数番目の出力端子 9 3 間で入れ替え、偶数番目の出力端子 9 3 間で入れ替える。第 2、第 4 のフレームなどの偶数番目のフレームでは、隣接した奇数番目と偶数番目の出力端子 9 3 間で入れ替える方式が例示される。

【0192】

また、ソースドライバ回路 (IC) 1 4 では、4 mm~8 mm の周期で特性周期が分布する。これは、IC 製造時の拡散工程により発生する。したがって、出力端子 9 3 の入れ替え範囲は、4 mm 以上の範囲で実施する。たとえば、出力段 2 5 1 a~2 5 1 n の形成長さが 20 mm あり、4 mm 周期で特性分布が発生する恐れがある場合は、少なくとも $20/5 = 5$ ブロック以下の範囲内で出力端子 9 3 と出力段 2 5 1 c との接続を出力選択回路 1 3 5 1 により入れ替えることが好ましい。

40

【0193】

また、先の説明では、最終画素行まで以上の動作を実施すると、また、第 1 画素行に対して同一の動作を行うとしたが、これに限定されるものではない。たとえば、最終画素行-1 画素行までに 1 周期を完了させ、最終画素行から次の周期を開始してもよい。つまり

50

、出力端子 9 3 a を例示すれば、1 画素行目の画素には、出力段 2 5 1 c 1 からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 3 からの信号が印加され、4 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。以上の動作を順次行い、最終の画素行から 1 つ前の画素行に、たとえば、出力段 2 5 1 n の信号が印加されたとすると、最終の画素行には、出力段 2 5 1 c 1 の信号が印加される。したがって、次のフレームである 1 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c 3 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期では、1 画素行あるいはそれ以上がずれて、出力段 2 5 1 c 選択が行われることになり、各画素に印加する出力段 2 5 1 c が長期間で変化させることができる。したがって、各画素 1 6 は多数の出力段 2 5 1 c からの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子 9 3 においても同様の制御が実施される。

10

【0194】

また、画面の第 1 画素行から最終画素行まで選択された後、今度は、最終画素行から第 1 画素行の方向に選択される出力段 2 5 1 c を変化させてもよい。つまり、出力端子 9 3 a を例示すれば、1 画素行目の画素には、出力段 2 5 1 c 1 からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 3 からの信号が印加され、4 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。以上の動作を順次行い、最終の画素行に、たとえば、出力段 2 5 1 n の信号が印加されたとすると、次のフレームである 1 画素行目の画素には、出力段 2 5 1 c n からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c n - 1 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c n - 3 からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期で、各画素に印加する出力段 2 5 1 c が長期間で変化させることができる。したがって、各画素 1 6 は多数の出力段 2 5 1 c からの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子 9 3 においても同様の制御が実施される。

20

【0195】

出力端子 9 3 を順次選択する出力段 2 5 1 c の順番をランダム化してもよい。また、2 とぼしや、3 以上とぼしで出力段 2 5 1 c を選択してもよい。

30

【0196】

以上の事項あるいは方法は、図 3 1 の方式においても適用できることは言うまでもない。

【0197】

なお、出力段 2 5 1 の個数は、行方向のドット数（ソース信号線 1 8 の本数）以上の個数を形成または構成しておき、そのうち、必要な個数（基本的にはソース信号線 1 8 の本数）を選択して各ソース信号線 1 8 に出力段 2 5 1 c からの出力信号を印加してもよい。

【0198】

以上の実施例では、R、G、B の各出力段 2 5 1 については、説明していないが、R、G、B の各出力段 2 5 1 c の出力にも出力選択回路 1 5 3 1 が形成または構成されている。R、G、B の各出力選択回路 1 5 3 1 の制御により、各出力端子 9 3 から出力される信号が、出力段 2 5 1 c を選択して出力される。本発明はこれに限定するものではなく、R、G、B で共通の出力選択回路 1 5 3 1 を形成または構成し、出力段 2 5 1 c が R G B の区別なく選択されて各出力端子 9 3 から出力されるように構成しても良いことは言うまでもない。

40

【0199】

以上の実施例では、選択する出力段 2 5 1 c を変化させることにより、出力段 2 5 1 c の特性バラツキを平均化し、均一な画像表示を実現するという駆動方式であった。しかし、本発明はこれに限定されるものではない。

【0200】

50

均一の方式として、基準電流を変化させるという方法がある。図 27 などに図示する基準電流 I_c により出力段 251c の特性が変化するからである。複数の基準電流 I_c により、出力段 251c の信号（出力電流または出力電圧）を変化させることにより、より均一な画像表示を実現できる。なお、この方式では、出力選択回路 1531 は必要ないが、出力選択回路 1531 により、選択する出力段 251c を変化させることにより、より均一な画像表示を実現できることは言うまでもない。

【0201】

基準電流 I_c の大きさと出力段 251c から出力されるプログラム電流は基本的には比例する。しかし、選択される単位トランジスタ数などによりプログラム電流 I_c は変化する。以上のことから、基準電流を変化させ、画素 16 に書き込まれるプログラム電流が平均的に目標値となるように駆動することにより、均一な画像表示を実現できる。 10

【0202】

図 29 はその実施例である。図 29 の実施例では、一例として基準電流 I_{c1} と I_{c2} で駆動する場合を例示している。また、図 29 では、水平走査期間ごとに基準電流 I_{c1} と I_{c2} とを変化させている。なお、目標の基準電流 I_c と I_{c1} 、 I_{c2} とは、 $I_c = (I_{c1} + I_{c2}) / 2$ の関係に調整されている。

【0203】

なお、以下の実施例では、基準電流を一定の周期で変化させるとして説明している。基準電流の変化させるのは、図 30 などの電子ボリウム 291 を変化させる方法がある。他にも、カスケード接続を行う場合に、マスターチップ（ソースドライバ回路（IC）14）からスレーブチップ（ソースドライバ回路（IC）14）に基準電流（この場合はカスケード電流）を受け渡す構成がある。基準電流（カスケード電流）はトランジスタ群 251b に印加され、このカスケード電流に対応して出力段 251c からプログラム電流が出力される。したがって、基準電流を変化することは、カスケード電流が変化することと同義である。 20

【0204】

1 つの表示領域 94 を構成するのに、3 つ以上のソースドライバ回路（IC）14 を用いる場合は、カスケード接続において、スレーブチップが複数のマスターチップから基準電流（カスケード電流）を受け取る構成が実施される。この場合は、基準電流（カスケード電流）を発生するマスターチップが複数存在することになる。したがって、スレーブチップは、複数のマスターチップからの基準電流（カスケード電流）が入力されることになる。つまり、基準電流は複数になる。スレーブチップでは、入力される複数の基準電流を平均化することにより、良好なカスケード接続を実現する。つまり、スレーブチップは、画像表示に基準電流を切り換えるという動作を行う。この動作は以下に説明する基準電流を変化させる実施例で実現する。 30

【0205】

図 29 において、第 1 F（フレームまたはフィールド）では、最初の 1 H（第 1 画素行目）は、基準電流 I_{c1} （第 1 のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。次の 2 H（第 2 画素行目）は、基準電流 I_{c2} （第 2 のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。以下同様に、3 H（第 3 画素行目）は、基準電流 I_{c1} を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。第 4 画素行目）は、基準電流 I_{c2} を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。 40

【0206】

第 1 F（フレームまたはフィールド）の次の第 2 F は、基準電流が平均化されて目標の基準電流 I_c となるように、最初の 1 H（第 1 画素行目）は、基準電流 I_{c2} を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力 50

される。次の2H（第2画素行目）は、基準電流 I_{c1} を印加し、出力端子93から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線18に出力される。以下同様に、3H（第3画素行目）は、基準電流 I_{c2} を印加し、出力端子93から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線18に出力される。第4画素行目）は、基準電流 I_{c1} を印加し、出力端子93から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線18に出力される。

【0207】

なお、基準電流の変化は2つに限定するものではなく、3以上としてもよいことはいまでもない。また、基準電流は1Hごとに限定するものではなく、複数H（複数水平走査期間）ごとに变化させてもよい。また、水平走査期間に限定するものではなく、F（フレームまたはフィールド）周期で基準電流を変化させてもよい。また、1Hあるいは1F単位の変化に限定するものではない。1.5Hや1.5Fなどで、基準電流を変化させてもよい。

10

【0208】

以上の実施例は、図27に図示するトランジスタ228bを構成するトランジスタ群251bに印加される基準電流 I_c を変化させるものであった。本発明はこれに限定するものでない。たとえば、図26に図示するように、トランジスタ群251c（出力段251c）の両側にトランジスタ群251b（チップの左端にトランジスタ228b1を構成するトランジスタ群251b1、チップの右端にトランジスタ228b2を構成するトランジスタ群251b2）を配置または形成し、トランジスタ群251b1に基準電流 I_{c1} を印加し、トランジスタ群251b2に基準電流 I_{c2} を印加する構成としてもよい。

20

【0209】

図31の実施例で示すように基準電流 I_{c1} を選択するか、基準電流 I_{c2} を選択するかは、基準電流を伝送する配線途中に形成されたスイッチS1とスイッチS2を制御することにより実現する。スイッチS1をクローズし、スイッチS2をオープンすれば、出力段251cからは、基準電流 I_{c1} に対応するプログラム電流が出力される。スイッチS2をクローズし、スイッチS1をオープンすれば、出力段251cからは、基準電流 I_{c2} に対応するプログラム電流が出力される。

【0210】

図29の実施例のように、第1F（フレームまたはフィールド）の次の第2Fは、基準電流が平均化されて目標の基準電流 I_c となるように、最初の1H（第1画素行目）は、基準電流 I_{c2} を印加し、出力端子93から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線18に出力される。次の2H（第2画素行目）は、基準電流 I_{c1} を印加し、出力端子93から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線18に出力される。以下同様に、3H（第3画素行目）は、基準電流 I_{c2} を印加し、出力端子93から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線18に出力される。第4画素行目）は、基準電流 I_{c1} を印加し、出力端子93から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線18に出力される。

30

【0211】

なお、基準電流の変化は2つに限定するものではなく、3以上としてもよいことはいまでもない。この場合は、トランジスタ251bの個数を増加させればよい。基準電流は1Hごとに限定するものではなく、複数H（複数水平走査期間）ごとに变化させてもよい。また、水平走査期間に限定するものではなく、F（フレームまたはフィールド）周期で基準電流を変化させてもよい。

40

【0212】

ソースドライバ回路（IC）14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである。

50

【0213】

図32はプリチャージ部の構成図である。V_pはプリチャージ電圧である。プリチャージ電圧は映像データD₀～D₅により出力期間範囲が決定される。プリチャージ電圧は、クロックCLKに同期して出力される。プリチャージ電圧を出力する時間は、水平同期信号HDを基点としてカウンタ332の設定値で決定される。カウンタ332はクロックCLK信号に同期してカウントアップされる。プリチャージ電圧出力期間は、HDの最初から開始される。カウンタ332はカウントしたカウント値と設定値が一致すると、プリチャージ電圧の出力期間が終了する。カウンタ回路332の出力はアンド（AND）回路333のa端子入力となる。なお、説明を容易にするため、映像データは6ビットであるとして説明をする。

10

【0214】

図33の構成では、どの電圧範囲までプリチャージするかは、一致回路331で決定される。一致回路331には、映像データD₀～D₅が印加される。一致回路はプリチャージ範囲がメモリされている。メモリされた値よりも、映像データD₀～D₅が小さい時、プリチャージ電圧が出力される。一致回路331はクロックCLKで同期して動作する。また、イネーブル信号ENがHの時、プリチャージ電圧は出力され、Lの時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路331の出力はアンド回路333のb端子入力となる。

【0215】

アンド回路333のa端子入力がHで、b端子入力がHの時、スイッチ221aが閉じ、プリチャージ電圧V_pが内部配線222に印加され、かつHI信号がHの時、スイッチ221bが閉じて出力端子93からプリチャージ電圧が出力される。

20

【0216】

電流出力回路334は、映像データD₀～D₅に基づく、プログラム電流を出力する。本発明では、プリチャージ電圧とプログラム電流を同時に出力する。ただし、プリチャージ電圧はHDの最初から一定の期間である。

【0217】

プリチャージ電圧は、駆動用トランジスタ11aのゲート（G）端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ11aをオフ状態にすることによりプログラム電流I_wが0になる状態を発生させ、EL素子15に電流が流れないようにする。

30

【0218】

プリチャージ電圧（電流）の設定あるいは調整は、図33のようにして行う。まず、プリチャージ電圧を印加しない状態で、階調0番目の電圧V₀を表示領域64の各画素に印加し、図33（a）に図示するように、カソード端子に流れる電流I₁を測定する。次に、図33（b）に図示するように、各プリチャージ電圧（電流）を印加し、各プリチャージ電圧（電流）を印加した時のカソード電流I₂を測定して、各プリチャージ電圧（電流）に対するカソード電流が規定値あるいは規定の範囲となるように調整してする。プリチャージ電圧が階調に対応して、複数ある場合は複数のプリチャージ電圧（電流）に対応して実施する。

40

【0219】

図34は、ソースドライバ回路（IC）14のプリチャージ回路（プリチャージ電圧を出力する回路構成部）353を中心とするブロック図である。プリチャージ回路353とは、プリチャージ制御回路によりプリチャージ制御信号PC信号（赤（RPC）、緑（GPC）、青（BPC））が出力される。なお、プリチャージ電圧を印加するとは、電圧プログラムを実施すると同義あるいは類似の技術である。

【0220】

セクタ回路352は、メインクロックに同期して出力段に対応するラッチ回路351に順次ラッチしていく。ラッチ回路351はラッチ回路351aとラッチ回路351bの2段構成である。ラッチ回路351bは水平走査クロック（1H）に同期してプリチャージ

50

ジ回路 3 5 3 にデータを送出する。つまり、セレクトは、1 画素行分の画像データおよび P C データを順次ラッチしていき、水平走査クロック (1 H) に同期して、ラッチ回路 3 5 1 b でデータをストアする。

【 0 2 2 1 】

なお、図 3 4 では、ラッチ回路 3 5 1 の R、G、B は R G B の画像データ 6 ビットのラッチ回路であり、P はプリチャージ信号 (R P C、G P C、B P C) の 3 ビットをラッチするラッチ回路である。

【 0 2 2 2 】

プリチャージ回路 3 5 3 は、ラッチ回路 3 5 1 b の出力が H レベルの時、スイッチ 2 2 1 a をオンさせ、ソース信号線 1 8 にプリチャージ電圧を出力する。電流出力回路 3 3 4 は画像データに応じて、プログラム電流をソース信号線 1 8 に出力する。 10

【 0 2 2 3 】

図 3 4 の構成では、各 R G B 画像データに対応して、プリチャージコントロール (P C) 信号を発生させている。プリチャージの印加は、以上のように R G B ごとに行うことが好ましい。しかし、動画表示、自然画表示では、R G B ごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、R G B を輝度信号に変換し (換算し)、輝度によりプリチャージをするかしないかを判断してもよい。

【 0 2 2 4 】

以上の本発明の構成は、コントローラ回路 (I C) が画像データに基づいて P C 信号 (プリチャージ制御信号) を発生する点、ソースドライバ I C 1 4 が P C 信号をラッチし 1 H の同期信号に同期してソース信号線 1 8 に印加する点に特徴がある。プリチャージモード (P M O D E) 信号により、プリチャージ信号の発生を容易に変更することができる。 20

【 0 2 2 5 】

たとえば、P M O D E とは、階調 0 のみをプリチャージするモード、階調 0 - 7 など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【 0 2 2 6 】

1 画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して (たとえば、重み付け処理など) プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。 30

【 0 2 2 7 】

プリチャージをするかしないかの判定は、1 画素行前の画像データ (あるいは、直前にソース信号線に印加された画像データ) にもとづいて行っても良い。たとえば、あるソース信号線 1 8 に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線 1 8 の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ 8 1 に 1 画素行分 (F I F O のため 2 ラインのメモリが必要) のラインメモリを形成 (配置) することのより容易に実現できる。 40

【 0 2 2 8 】

なお、ソースドライバ回路 (I C) 1 4 を 1 パネルに複数個使用するときは、図 3 5 に図示するように配線接続する。

【 0 2 2 9 】

本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。1 水平走査期間よりも短く、プログラム電流よりも 50

大きい電流をソース信号線 18 に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線 18 に書き込み、その後にプログラム電流をソース信号線 18 に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である（本発明の範囲内である）。

【0230】

本発明のプリチャージ駆動では所定電圧をソース信号線 18 に印加する。また、ソースドライバ IC はプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線 18 に出力するプリチャージ電圧はプログラム電圧をなす。ソースドライバ IC 内にこのプリチャージ電圧のプログラム電圧回路 371 を導入した回路構成が図 36 である。

10

【0231】

図 36 は主として 1 つのソース信号線 18 に対応する 1 出力回路ブロック図である。階調に応じてプログラム電流を出力する電流階調回路 334 と、階調に応じたプリチャージ電圧を出力する電圧階調回路 371 で構成される。電流階調回路 334 と電圧階調回路 371 には映像データが印加される。電圧階調回路 371 の出力はスイッチ 221a、221b がオンすることによりソース信号線 18 に印加される。スイッチ 221a はプリチャージイネーブル（プリチャージ ENBL）信号と、プリチャージ信号（プリチャージ SIG）で制御される。

【0232】

20

電圧階調回路 371 は、サンプルホールド回路、DA 回路などで構成される（図 35 を参照のこと）。デジタルの映像データに基づいて、DA 回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路 381 によりサンプルホールドされ、オペアンプを介してスイッチ 221a の一端に印加される。なお、DA 回路は電圧階調回路 371 ごとに構成または形成する必要がなく、ソースドライバ回路（IC）14 の外部に DA 回路を構成し、この DA 回路の出力を電圧階調回路 371 内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【0233】

図 37 に図示するように、8 ビットの映像 DATA に対応する電圧（プログラム電圧）が、映像クロックに同期して電子ボリウム 291 から出力される。プログラム電圧は、駆動用トランジスタ 11a にプリチャージ電圧として印加される電圧である。また、プログラム電圧は、この電圧を印加することにより、階調にほぼ対応した電流が EL 素子 15 に印加されるように駆動用トランジスタ 11a のゲート端子に保持される電圧である。

30

【0234】

プログラム電圧は Cc 容量に一時的に保持され、バッファアンプ 231a から出力される。出力された電圧は、サンプルホールド回路（この実施例では切り換え回路のように図示している）381 により、各出力端子 93 に順次振り分けられる（出力端子 93a、93b、93c、93d・・・、93n、93a、93b、93c、・・・、93n・・・）。振り分けはクロック CLK に同期して実施される。なお、本発明では、8 ビットのアドレス信号 PADS により、任意の端子にプログラム電圧を振り分けできるように構成されている。このように、アドレス信号 PADS により任意の出力端子 93 に振り分け（8 ビットであるから 256 本の端子のいずれかに振り分け可能である）できるように構成することにより、プログラム電圧を書き換えが必要な端子のみ新規のプログラム電圧を印加することができる。また、プログラム電圧の振り分けをランダム化することができる。プログラム電圧は容量 C に保持され（サンプリングされ）、バッファ回路 231b の出力は、スイッチ Sp の制御により出力端子 93 に印加されたり、遮断されたりする。スイッチ Sp は図 36 では、スイッチ 221a が該当する。

40

【0235】

電流階調回路 334 は、具体的には図 22 の回路構成が該当する。電流階調回路 334 のプログラム電流出力はスイッチ Si により制御される。以上のように、電流階調回路 3

50

34と電圧階調回路371の出力はスイッチS_i、S_pにより制御され、プリチャージ駆動（電圧プログラム）+電流プログラミングが実現される。以上の信号は、出力端子93からソース信号線端子382に印加される。プログラム電圧はソース信号線18の寄生容量C_aを短期間で充放電させる。

【0236】

電圧階調回路371の出力は、図38に図示するように、1Hの最初に印加される（記号Aで示す）。その後、電流出力回路334によりソース信号線にプログラム電流が供給される（記号Bで示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ11aは目的電流に近い値まで、高速に設定される。その後、電流階調回路334が出力するプログラム電流により駆動用トランジスタ11aの特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

10

【0237】

プリチャージ電圧信号が印加されるA期間は、1Hの1/100以上1/5以下の期間が好ましい。または、0.2μsec以上10μsec以下の期間に設定することが好ましい。したがって、A期間以外がB期間のプログラム電流の印加期間である。A期間が短いとソース信号線18の電荷の充放電が十分に行われなため、書き込み不足が発生する。一方、長すぎると電流印加期間（B）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ11aの電流補正不足となる。

【0238】

電圧印加期間（A期間）は、1Hの最初から実施することが好ましいが、これに限定されない。たとえば、1Hの終わりのブランキング期間から開始してもよい。また、1H（水平走査期間）の途中にA期間を実施してもよい。つまり、1Hのいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、1Hの最初から1/4H（0.25H）の期間内に実施することが好ましい。

20

【0239】

図38の実施例では、電圧プリチャージ（A）の期間後、電流を印加（B期間）するとしたがこれに限定するものではない。たとえば、図39（a）に図示するように、1Hの期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（*A）期間としてもよい。

30

【0240】

図39（a）でも理解できるように、ソース信号線18の電位がアノード電位（V_{dd}）に近い場合に、1Hの期間のすべてに（大半に）電圧が印加される。ソース信号線18の電位が0（V）に近くなると、電圧プログラム（A期間）と電流プログラム（B）が1Hの期間内に実施される。なお、ソース信号線18の電位が0（V）に近い場合（高階調領域）では、1Hの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0241】

図39（a）の*A以外の期間は、1Hの一定期間（Aで示す）に電圧プログラムによる電圧をソース信号線18に印加し、その後、Bの期間に電流プログラムによる電流を印加している。以上のようにA期間の電圧の印加により画素16のTFT11aのゲート電位に所定電圧を印加し、概略EL素子15に流す電流が所望値になるようにしている。その後、B期間のプログラム電流により、EL素子15に流れる電流が所定値となるようにしている。*A期間は、1H期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

40

【0242】

図39（a）は、画素16のTFT11a（駆動用トランジスタ）がPチャンネルの場合のソース信号線18への印加信号波形である。しかし、本発明はこれに限定するものではない。画素16のTFT11aがNチャンネルであってもよい。この場合は、図39（b）に図示するように、ソース信号線18の電位が0（V）に近い場合に、1Hの期間のすべてに（大半に）電圧が印加される。ソース信号線18の電位がアノード電圧（V_{dd}

50

）に近くなると、電圧プログラム（A期間）と電流プログラム（B）が1Hの期間に実施される。

【0243】

なお、ソース信号線18の電位がV_{dd}に近い場合（高階調領域）では、1Hの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0244】

本発明では、駆動用トランジスタ11aはPチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ11aはNチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ11aがPチャンネルトランジスタであるとして説明を行うだけである。

10

【0245】

図42などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、1H最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【0246】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である。もちろん、電圧を印加してもよいことは言うまでもない。

20

【0247】

電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを出力端子93でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することはない。

30

【0248】

したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路334からプログラム電流の出力した状態で、スイッチ221（図36を参照のこと）をオンして、電圧階調回路371の電圧を出力端子93に印加してもよいことは言うまでもない。

【0249】

スイッチ221を閉じて出力端子93に電圧と印加した状態で、電流階調回路334からプログラム電流を出力してもよい。電流階調回路334は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

40

【0250】

図40に図示するように、1H期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図40において、Aの期間は電圧プログラムが実施された1H期間であり、Bの期間は電流プログラムが実施されている1H期間である。主として低階調領域では電圧プログラムが実施され（Aで示す）、中間調以上の領域では電流プログラムが実施される（Bで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【0251】

50

図 3 6 の本発明の実施例では、電圧階調回路 3 7 1 と電流階調回路 3 3 4 には、同一の映像 D A T A が入力されている。したがって、映像 D A T A のラッチ回路は電圧階調回路 3 7 1 と電流階調回路 3 3 4 と共通でよい。つまり、映像 D A T A のラッチ回路は電圧階調回路 3 7 1 と電流階調回路 3 3 4 とに独立に設ける必要はない。共通の映像 D A T A のラッチ回路からのデータに基づき、電流階調回路 3 3 4 または（および）電圧階調回路 3 7 1 がデータを出力端子 9 3 に出力される。

【0 2 5 2】

図 4 2 は本発明の駆動方法のタイミングチャートである。図 4 2 において、(a) の D A T A は画像データである。(b) の C L K は回路クロックである。(c) の P c n t l は、プリチャージのコントロール信号である。P c n t l 信号が H レベルの時は、電圧駆動のみモード状態になり、L レベルの時、電圧＋電流駆動モードになる。(d) の P t c はプリチャージ電圧あるいは電圧階調回路 3 7 1 からの出力の切り換え信号である。P t c 信号が H レベルの時は、プリチャージ電圧などの電圧出力がソース信号線 1 8 に印加される。P t c 信号が L レベルの時は、電流階調回路 3 3 4 からのプログラム電流がソース信号線に出力される。

10

【0 2 5 3】

たとえば、データ D (2)、D (3)、D (8) の時は、P c n t l 信号が H レベルであるから、ソース信号線 1 8 に電圧階調回路 3 7 1 から電圧が出力される (A 期間)。P c n t l が L レベルの時は、ソース信号線 1 8 にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間を A で示し、電流が出力される期間を B で示す。電圧を出力する期間 A は、P t c 信号で制御される。P t c 信号は、図 3 6 のスイッチ 2 2 1 のオンオフを制御する信号である。

20

【0 2 5 4】

P c n t l 信号が H レベルの時は、電圧駆動のみモード状態になり、L レベルの時、電圧＋電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態 (低点灯率) の場合も、電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

30

【0 2 5 5】

以上のように、電圧＋電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ (映像データ) に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、E L 素子 1 5 に流す電流を小さくするときは (本発明では低点灯率範囲)、電圧駆動モード期間を長くし、E L 素子 1 5 に流す電流を大きくするときは (本発明では高点灯率範囲)、電圧駆動モード期間を短くするか、もしくは ' なし ' にするように制御あるいは調整もしくは装置を構成する。なお、点灯率の意味あるいは点灯率状態に関しては、本明細書内で詳細に説明しているので省略する。また、電圧＋電流駆動モードにおいて電圧駆動モードに印加 (動作) 期間を、d u t y 比、基準電流比などを制御あるいは調整もしくは装置を構成してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

40

【0 2 5 6】

図 4 2 において、電圧出力期間 A と電流出力期間 B とを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ 2 2 1 (図 3 6 を参照) をオンして、電圧階調回路 3 7 1 の電圧を出力端子 9 3 に印加してもよいことは言うまでもない。また、スイッチ 2 2 1 を閉じて出力端子 9 3 に電圧を印加した状態で、電流階調回路 3 3 4 からプログラム電流を出力してもよい。A 期間後にスイッチ 2 2 1 をオープンにする。以上のように電流階調回路 3 3 4 は高インピーダンスであるので電圧回路と短

50

絡状態にしても回路的には問題がない。

【0257】

図43は、図36などの電流階調回路334と電圧階調回路371の構成部分をさらに詳細に記載したブロック図である。シフトレジスタ回路（セレクト回路）352はスタート信号（ST1）、クロック（CLK1）により順次シフト動作する。シフト動作により、第1のラッチ回路（保持回路）351aに、DATA9ビットの保持位置を指定する。DATA9ビットとは、映像信号8ビットとプリチャージ信号1ビットの計9ビットである。ラッチ回路351aは1水平期間に順次DATAを保持していく。

【0258】

第1のラッチ回路に保持されたDATAは、ロード信号（LD）により2段目の第2のラッチ回路351bにロードされる。ラッチ回路351bに保持されたDATAは、電圧階調回路371の入力と、電流階調回路334の入力となる。プリチャージ信号の1ビットは、電圧階調回路371のプログラム電圧と、電流階調回路334のプログラム電流の切り換え信号である。プリチャージ信号は、切り換え回路（図36のスイッチ221などが該当する）391を時間的に制御し、出力端子93からプリチャージ信号がオンのときはまずプリチャージ電圧を出力し、その後プログラム電流を出力する。

【0259】

なお、電圧階調回路のサンプルホールド回路は比較的低速でしか動作しないため、電圧階調回路のサンプルホールド用として1段のラッチ回路を追加し、3段のラッチ回路で構成してもよいことは言うまでもない。また、切り換え回路391は基板30にポリシリコン技術で形成してもよい。

【0260】

図44はプリチャージ電圧発生回路からの出力（一例としてVpa、Vpb、Vpc）をICチップ15の配線で伝達した構成である。配線は、ICチップの長手方向に形成される（各出力段251と垂直）。プリチャージ電圧（プログラム電圧と同義あるいは類似）Vp（Vpa、Vpb、Vpc、open）を伝達するプリチャージ電圧（プログラム電圧と同義あるいは類似）配線PS（PSa、PSb、PSc、PSd）がソース信号線18に直交するように配線される。プリチャージ電圧（プログラム電圧と同義あるいは類似）配線PSと内部配線222とは直交し、各交点にスイッチSpが配置されている。スイッチSpはSEL信号（プリチャージ電圧の選択信号、openを含む）で切り換えられる。openがスイッチSp0aで選択された場合は、プリチャージ電圧は出力されない。スイッチSpは出力端子93ごとに自由に設定できる。スイッチSpは映像信号の大きさ、変化などにより適切なものが選択され制御される。

【0261】

図43と図44との差異は、図43が映像信号ごとに対応するプリチャージ電圧をサンプルホールドして発生させる構成である。サンプルホールドしたプリチャージ電圧は、出力端子ごとに、プリチャージビット（プリチャージ電圧を印加するか否かの判断ビット）により判断され印加される。図44は複数のプリチャージ電圧を発生させておき、1つのプリチャージ電圧を選択する構成である。選択するプリチャージ電圧は、プリチャージビット（SEL信号：どのプリチャージ電圧を印加するか指定ビット。ただし、プリチャージ電圧を印加しない（open）場合もある）により判断され、ソース信号線18に印加される。

【0262】

なお、プリチャージ電圧（プログラム電圧と同義あるいは類似）は1Hの最初の期間に全ソース信号線18に一斉に印加される。したがって、SEL信号もラッチして保持しておく必要がある。

【0263】

以上の実施例は、ソースドライバIC14を介して、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ30基板に形成したプリチャージ電圧（プログラム電圧と同義ある

10

20

30

40

50

いは類似)用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧(プログラム電圧と同義あるいは類似)線に印加されたプリチャージ電圧(プログラム電圧と同義あるいは類似)をソース信号線18に印加するように構成してもよいことは言うまでもない。

【0264】

図44などで、オープン機能(openの選択、つまりプリチャージを実施しない)を設けている。しかし、これは説明を容易にするためであって、必ずしも構成あるいは形成することに限定するものではない。

【0265】

以上の実施例では、プリチャージ電圧(プログラム電圧と同義あるいは類似)はアノード電圧に近い電圧であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧(プログラム電圧と同義あるいは類似)がカソード電圧に近い場合がある。たとえば、駆動用トランジスタ11aがNチャンネルトランジスタで形成している場合、駆動用トランジスタ11aが、Pチャンネルトランジスタで吐き出し電流(図1の画素構成は吸い込み(シンク)電流)で電流プログラムが実施される場合である。この場合は、プリチャージ電圧(プログラム電圧と同義あるいは類似)はカソード電圧に近い電圧とする必要がある。

【0266】

図45では、プリチャージ電圧 V_{pc} を電子ボリウム291で発生させている。プリチャージ電圧 V_{pc} はVDATAによりスイッチ S_x ($x=1\sim7$)が選択されて出力される。また、電圧 V_1 は8ビットのSDATAがDA変換回路511でDA変換されて印加される。各プリチャージ電圧 V_{pc} は、 V_0 電圧、 V_1 電圧を外付け抵抗 R_x ($x=1\sim6$)で発生される。

【0267】

スイッチ S (図42では $S_1\sim S_7$)はVDATAをデコードすることにより指定される。なお、選択できる V_{pc} の電圧の個数は、表示装置が6インチ以上の場合、表示装置の階調数の $1/8$ 以上にすることが好ましい(256階調の場合は、32階調以上)。特に、 $1/4$ 以上とすることが好ましい(256階調の場合は、64階調以上)。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。6インチ以下の比較的小型の表示パネル(表示装置)では、選択できる V_{pc} の電圧の個数は、2以上にすることが好ましい。 V_{pc} が V_0 の1つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。 V_{pc} が2以上であれば、FRC制御により複数の階調を発生することができ、良好な画像表示を実現できる。

【0268】

図46の実施例のように、 V_2 電圧、 V_8 電圧、 V_{32} 電圧、 V_{128} 電圧と、4倍の階調に対応するように電圧端子を構成すると、折れ線ガンマのプリチャージ電圧回路を構成することができる。 V_2 電圧と V_8 電圧との電位差、 V_8 電圧と V_{32} 電圧との電位差、 V_{32} 電圧と V_{128} 電圧との電位差、 V_{128} 電圧と V_{255} 電圧との電位差はほぼ等しくなる。折れ線ガンマは駆動用トランジスタ11aの $V-I$ 特性と一致させる。

【0269】

図46の構成は、電圧端子は V_0 、 V_1 、 V_2 、 V_8 、 V_{32} 、 V_{128} 、 V_{255} の7端子の実施例である。しかし、本発明はこれに限定されるものではない。たとえば、端子位置を0、8、32、128、512としてもよい。つまり、 V_0 電圧端子、 V_8 電圧端子、 V_{32} 電圧端子、 V_{128} 電圧端子、 V_{512} 電圧端子を形成した実施例である。また、端子位置を0、1、2、8、32、128としてもよい。つまり、 V_0 電圧端子、 V_1 電圧端子、 V_2 電圧端子、 V_8 電圧端子、 V_{32} 電圧端子、 V_{128} 電圧端子を形成してもよい。もちろん、近傍であればよく、たとえば、 V_0 電圧端子、 V_1 電圧端子、 V_3 電圧端子、 V_7 電圧端子、 V_{31} 電圧端子、 V_{127} 電圧端子などであってもよい。

【0270】

以上のように、本発明は、少なくとも電圧端子の1組が4の倍数あるいはその近傍にし

10

20

30

40

50

たものが本発明である。なお、4倍といっても、0階調から開始されるか、1階調から開始されるかにより異なる。たとえば、 V_0 、 V_1 、 V_2 、 V_8 、 V_{32} 、 V_{128} としても、 V_1 、 V_2 、 V_7 、 V_{31} 、 V_{127} などであってもよい。つまり、 V_n/V_{n-1} が4近傍になればよい。たとえば、 V_{127}/V_{31} も4近傍であるので本発明の技術的範疇である。 V_1 、 V_3 、 V_{12} 、 V_{31} 、 V_{255} などであっても1つの組み合わせである V_{12} と V_3 の関係、つまり V_{12}/V_3 が4であるから本発明の技術的範疇である。

【0271】

電流駆動方式では、低階調領域においてプログラム電流が小さくなり、書き込み不足が発生することが課題である。この課題の対策のために本発明では、プリチャージ駆動、電圧＋電流駆動、基準電流比制御などを実施する。 10

【0272】

電流駆動で書き込み不足が発生する原因は、図47に図示するようにソース信号線18の寄生容量 C_s による影響が大きい。寄生容量 C_s はゲート信号線17とソース信号線18との交差部などで発生する。

【0273】

以下の説明は説明を容易にするために、画素16の駆動用トランジスタ11aがPチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（IC）14に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。画素16の駆動用トランジスタ11aがNチャンネルトランジスタの場合あるいは駆動用トランジスタ11aを吐き出し電流（ソースドライバIC14から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。逆の関係に変更あるいは読み変えることは当業者であれば容易であるので説明を省略する。 20

【0274】

以下の説明は画素16の駆動用トランジスタ11aがPチャンネルに限定されるものではない。また、画素構成は図1の画素構成を例示して説明をするが、これに限定するものではなく、他の電流駆動の画素構成であればいずれでもよいことも言うまでもない。なお、以上の事項は、以前あるいはこれ以降に記載する本発明に適用されることはいうまでもない。

【0275】

図47（a）に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（IC）14がシンク電流で駆動することが主体である。ソースドライバ回路（IC）14がプログラム電流 I_{d1} （ I_w ）で寄生容量 C_s の電荷を吸い込む。電流を吸い込むことにより、寄生容量 C_s の電荷を放電し、ソース信号線18の電位が低下する。したがって、画素16の駆動用トランジスタ11aのゲート端子電位が低下し、プログラム電流 I_w を流すように電流プログラムが行われる。 30

【0276】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素16の駆動用トランジスタ11aの動作が主体である。ソースドライバ回路（IC）14は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ11aが動作し、プログラム電流 I_{d2} （ I_w ）の電位に一致するように寄生容量 C_s を充電する。寄生容量 C_s に電荷を充電することにより、ソース信号線18の電位が上昇する。したがって、画素16の駆動用トランジスタ11aのゲート端子電位が上昇し、プログラム電流 I_w を流すように電流プログラムが行われる。 40

【0277】

しかし、図47（a）の駆動は低階調領域では電流 I_{d1} が小さく、また、定電流動作のため、寄生容量 C_s の電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いため白ウィンドウ表示で上辺の輝度が所定輝度より低い。そのため、視覚的にめだつ。図47（b）は駆動用トランジスタ11aが非線形動作するため、比較的電流 I_{d2} が大きい。そのため、 C_s の受電時間が比較的是やい。また、特に黒輝度に到 50

達するまでの時間が短いため白ウインドウ表示で下辺の輝度が低下しやすく、視覚的にめだたない。

【0278】

プログラム電流の書き込み不足の課題を解決するために、電圧＋電流駆動、突き抜け電圧駆動、*duty* 駆動、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが大型になれば、図47(a)の黒から白表示の実現が困難になる場合がある。この対策として、本発明では、1Hの前半にソースドライバ回路(IC)14からのプログラム電流を増加させる。なお、後半は正規のプログラム電流 I_w を出力する。つまり、所定条件の時は、1Hの最初に所定のプログラム電流よりも大きな電流をソース信号線18に流し、後半に正規のプログラム電流をソース信号線18に流す。以下この実施例について説明をする。 10

【0279】

以下に説明する駆動方法(駆動装置あるいは駆動方式)を過電流(プリチャージ電流もしくはディスチャージ電流)駆動と呼ぶ。また、過電流(プリチャージ電流もしくはディスチャージ電流)駆動は本発明の他の駆動方式あるいは駆動装置(電圧＋電流駆動、突き抜け電圧駆動、*duty* 駆動、プリチャージ駆動など)と組み合わせることができることは言うまでもない。

【0280】

図48は本発明の過電流(プリチャージ電流もしくはディスチャージ電流)駆動方式を実施したソースドライバ回路(IC)14の説明図である。図示を容易とするため、単位トランジスタ224が1個の電流回路はトランジスタ群841aとし、'1'で図示している。以下同様に、単位トランジスタ224が2個の電流回路はトランジスタ群841bとし、'2'で図示している。また、単位トランジスタ224が4個の電流回路はトランジスタ群841cとし、'4'で図示している。単位トランジスタ224が8個の電流回路はトランジスタ群841dとし、'8'で図示している。また、これらのトランジスタ群841の1出力段が電流出力回路251cである。なお、作図を容易にするため、RGBは各6ビットとしている。 20

【0281】

図48の構成は、過電流(プリチャージ電流もしくはディスチャージ電流)のプログラム電流を流すトランジスタ群はトランジスタ群841fとしている。つまり、階調データの最上位ビットのスイッチD5をオンオフ制御することにより、過電流(プリチャージ電流もしくはディスチャージ電流)をソース信号線18に流す。過電流(プリチャージ電流もしくはディスチャージ電流)を流すことにより寄生容量Csの電荷を短時間で放電させることができる。 30

【0282】

最上位ビットを過電流(プリチャージ電流もしくはディスチャージ電流)制御に使用するのは、以下の理由による。まず、説明を容易にするため、1階調から4階調に変化させるとする。また、階調数は256階調(RGB各8ビット)とする。

【0283】

1階調から白階調に変化させる場合であっても、1階調から中間調以上(128階調以上)に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量Csの充放電が比較的早いからである。 40

【0284】

しかし、1階調から中間調以下に変化する場合は、プログラム電流が小さく、1H期間に寄生容量Csを十分に充放電させることができない。したがって、1階調から4階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流(プリチャージ電流もしくはディスチャージ電流)駆動を実施する。

【0285】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、1階調から変化させる場合、目標の階調は、'011111 50

以下である（最上位ビットのスイッチ D 5 は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【0286】

最初の階調（変化前の階調）が 1 であれば、スイッチ D 0 がオンで単位トランジスタ 2 2 4 が 1 個動作する。目標の階調が 4 であれば、スイッチ D 2 が動作し、単位トランジスタ 2 2 4 が 4 個動作する。しかし、単位トランジスタ 2 2 4 が 4 個では十分に寄生容量 C s の電荷を目標値まで放電させることができない。そこで、スイッチ D 5 を閉じトランジスタ群 8 4 1 f を動作させる。なお、D 5 スwitchの動作は、D 2 スwitchの動作に加えて実施してもよいし（1 H の前半を D 5 と D 2 スwitchをオンさせ、後半は D 2 スwitchのみをオンさせる）、1 H の前半はスイッチ D 5 のみをオンさせ、後半はスイッチ D 2 のみをオンさせてもよい。

10

【0287】

スイッチ D 5 がオンすれば、単位トランジスタ 2 2 4 が 3 2 個動作する。したがって、D 2 スwitchのみの動作に比較して $32 / 4 = 8$ であるから 8 倍の速度で寄生容量 C s の電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【0288】

スイッチ D 5 をオンさせるか否かは、R G B の映像データごとにコントローラ回路（I C）で判断する。コントローラ回路（I C）からは判断ビット K D A T A がソースドライバ回路（I C）1 4 に印加される。K D A T A は一例として 4 ビットである。K D A T A = 0 の時は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。K D A T A = 1 の時はプリチャージ駆動（電圧＋電流駆動）を実施する。K D A T A = 2 ~ 1 5 が過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施し、K D A T A の大きさは、D 5 ビットをオンさせる時間を示す。

20

【0289】

K D A T A はラッチ回路 3 3 1 で 1 H 期間保持される。カウンタ回路 3 3 2 は H D（1 H の同期信号）でリセットされ、クロック C L K でカウントされる。カウンタ回路 3 3 2 とラッチ回路 3 3 1 のデータが比較され、カウンタ回路 3 3 2 のカウント値が、ラッチ回路 3 3 1 のデータ値（K D A T A）よりも小さいとき、A N D 回路 3 3 3 は内部配線 2 2 2 b にオン電圧を出力しつづけ、スイッチ D 5 のオン状態が維持される。したがって、トランジスタ群 8 4 1 f の単位トランジスタ 2 2 4 の電流が内部配線 2 2 2 a およびソース信号線 1 8 に流れる。なお、電流プログラム時はスイッチ 2 2 2 b が閉じ、プリチャージ駆動時は、スイッチ 2 2 1 a が閉じ、スイッチ 2 2 1 b がオープン状態となる。

30

【0290】

図 4 9 はコントローラ I C（回路）の動作の説明図である。ただし、1 画素列（R G B の組）の処理の説明図である。映像データ D A T A（8 ビット×R G B）は内部クロックに同期してラッチ回路 3 5 1 a と 3 5 1 b に 2 段ラッチされる。したがって、ラッチ回路 3 5 1 b には、1 H 前の映像データが保持され、ラッチ回路 3 5 1 a には現在の映像データが保持される。

40

【0291】

比較回路 9 1 1 は 1 H 前の映像データと現在の映像データを比較し、K D A T A の値を導出する。また、映像データ D A T A はソースドライバ回路（I C）1 4 に転送される。また、コントローラ I C（回路）はカウンタ 3 3 2 の上限カウント値 C N T をソースドライバ回路（I C）1 4 に転送する。

【0292】

K D A T A は比較回路 9 1 1 で決定される。決定は、変化前の映像データ（1 H 前のデータ）と変化後の映像データ（現在のデータ）から決定される。1 H 前のデータとは、現在のソース信号線 1 8 の電位を示す。現在のデータとは、変化させるソース信号線 1 8 の目標電位を示す。

50

【0293】

図47に図示して説明したように、プログラム電流の書き込みは、ソース信号線18の電位を考慮して行うことが重要である。書き込み時間 t は、 $T = ACV / I$ （ A ：比例定数、 C ：寄生容量の大きさ、 V ：変化する電位差、 I ：プログラム電流）で表すことができる。したがって、変化する電位差 V が大きければ書き込み時間が長くなる。一方、プログラム電流 $I = I_w$ が大きくすれば書き込み時間は短くなる。

【0294】

本発明では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動で I を大きくする。しかし、いずれの場合でも I を大きくすると、目標のソース信号線18電位を越える場合が発生する。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する場合には、電位差 V を考慮する必要がある。現在のソース信号線18の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図50の縦方向））から決定される目標のソース信号線18電位から、 $KDATA$ を求める。

10

【0295】

$KDATA$ はD5スイッチをオンさせる時間の場合もあるが、過電流（プリチャージ電流もしくはディスチャージ電流）駆動での電流の大きさでもよい。また、D5スイッチのオン時間（時間が長いほどソース信号線18に印加する過電流（プリチャージ電流もしくはディスチャージ電流）印加時間が長くなり、過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ（大きさが大きいほどソース信号線18に印加する過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、 $KDATA$ はD5スイッチのオン時間であるとして説明をする。

20

【0296】

比較回路911は1H前と変化後（図50を参照のこと）の映像データを比較して $KDATA$ の大きさを決定する。 $KDATA$ に0以上のデータが設定される場合は以下の条件に合致する場合である。

【0297】

1H前の映像データが低階調領域である場合（0階調以上全階調の $1/8$ 以下の領域であることが好ましい。たとえば、64階調の場合は、0階調以上8階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（1階調以上全階調の $1/2$ 以下の領域であることが好ましい。

30

【0298】

たとえば、64階調の場合は、1階調以上32階調以下の領域である。）に $KDATA$ を設定する。設定するデータは、駆動用トランジスタ11aの VI 特性カーブを考慮して決定する。ソース信号線18の V_{dd} 電圧から、0階調目の電圧である V_0 （完全黒表示）までの電位差は大きい。また、 V_0 電圧から、1階調目の V_1 までの電位差は大きい。次の2階調目である V_2 電圧と V_1 電圧までの電位差は、 V_0 電圧から V_1 電圧までの電位差よりもかなり小さい。以降、 V_3 と V_2 、 V_4 と V_3 になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ11aの VI 特性が非線形であることにほかならない。

40

【0299】

階調間の電位差は、寄生容量 C_s の電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流） I_d の印加時間と大きさに連動する。たとえば、1H前の V_0 （階調0）と変化後の V_1 （階調1）の階調差が小さいからといって、過電流（プリチャージ電流もしくはディスチャージ電流） I_d の印加時間を短くすることはできない。電位差が大きいからである。

【0300】

50

逆に、階調差が大きくとも過電流（プリチャージ電流もしくはディスチャージ電流）を大きくする必要がない場合もある。たとえば、階調10と階調32では、階調10の電位V10と階調32の電位32の電位差も小さく、階調32のプログラム電流I_wも大きい
ため、寄生容量C_sを短時間で充放電できるからである。

【0301】

図50は横軸に1H前（変化前、つまり現在のソース信号線18電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つまり変化させる目標のソース信号線18電位を示す）を示している。

【0302】

0階調目（1H前）から0階調目（変化後）に変化させるのは、電位変化がないため、
KDATAは0でよい。ソース信号線18の電位変化がないからである。0階調目（1H
前）から1階調目（変化後）に変化させるのは、V0電位からV1電位に変化させる必要
がある。V1－V0電圧は大きいから、KDATAは最高値の15（例である）に設定す
る。ソース信号線18の電位変化が大きいからである。1階調目（1H前）から2階調目
（変化後）に変化させるのは、V1電位からV2電位に変化させる必要があり、V2－V
1電圧は比較的大きいから、KDATAは最高値近傍の12（一例である）に設定する。
ソース信号線18の電位変化が大きいからである。3階調目（1H前）から4階調目（変
化後）に変化させるのは、V3電位からV4電位に変化させる必要がある。しかし、V4
－V3電圧は比較的小さいため、KDATAは小さい値の2に設定する。ソース信号線1
8の電位変化が小さくてすみ、寄生容量C_sの充放電が短時間で実施でき、目標のプログ
ラム電流を画素16に書き込むことができるからである。

【0303】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、KDATAの値
は0である。変化後の階調に対応するプログラム電流が大きく、1H期間内にソース信号
線18の電位を目標電位または近傍の電位まで変化させることができるからである。た
とえば、2階調から38階調目に変化させる場合は、KDATA＝0である。

【0304】

変化後が変化前より低階調の場合において、過電流（プリチャージ電流もしくはディス
チャージ電流）駆動は実施しない。38階調から2階調目に変化させる場合は、KDATA
＝0である。この場合は、図47（b）が該当し、主として画素16の駆動用トランジ
スタからプログラム電流I_dが寄生容量C_sに供給されるからである。図47（b）の場
合は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式は実施せず、電
圧＋電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【0305】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式において、
基準電流を増加させる駆動方式あるいは基準電流比とdutyを制御する駆動方式と組み
合わせることは効果がある。基準電流の増加により、図48の構成では過電流（プリチャ
ージ電流もしくはディスチャージ電流）も増加させることができるからである。したがっ
て、寄生容量C_sの充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御
により、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の過電流（プ
リチャージ電流もしくはディスチャージ電流）の大きさを制御することができる点も本発
明の特徴ある構成である。

【0306】

以上のように、KDATAがコントロールIC（回路）で決定され、KDATAがソー
スドライバ回路（IC）14に差動信号で伝送される。伝送されたKDATAは図48の
ラッチ回路331で保持され、D5スイッチが制御される。

【0307】

図50の表の関係は、マトリックスROMテーブルを用いてKDATAを設定してもよ
いが、計算式を用いてコントローラIC（回路）の乗算器を用いてKDATAの算出（導
出）を行ってもよい。その他、コントローラIC（回路）の外部電圧の変化によりKDA

10

20

30

40

50

T Aを定めてもよい。また、コントローラ I C（回路）で実施することに限定されるものではなく、ソースドライバ回路（I C）14で実施してもよいことは言うまでもない。

【0308】

本発明は、基準電流の大きさによりプログラム電流 I wの大きさが基準電流に比例して変化する。したがって、図48などの過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の大きさも基準電流の大きさに比例して変化する。図50で説明したK D A T Aの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、K D A T Aの大きさは、基準電流の大きさに連動させるあるいは基準電流の大きさを考慮することが好ましい。

【0309】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ11aからの出力電流などに対応して過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、印加時間、実効値を設定するものである。

【0310】

比較回路911または比較手段などではR G Bの映像データごとに比較を実施するが、R G Bデータから輝度（Y値）を求めて、K D A T Aを算出してもよいことは言うまでもない。つまり、単に、各R G Bで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してK D A T Aを算出あるいは決定もしくは演算する。また、1画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してK D A T Aを導出してもよいことは言うまでもない。たとえば、画面64を複数のブロックに分割し、各ブロック内の映像データなどを考慮してK D A T Aを決定する方式が例示される。

【0311】

図48などにおいて、D5スイッチが選択される時間は、1 H（1水平走査期間）の3／4期間以下1／32期間以上に設定することが好ましい。さらに好ましくは1 H（1水平走査期間）の1／2期間以下1／16期間以上に設定することが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。

【0312】

過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が短いと、目標のソース信号線18の電位まで到達することができない。過電流（プリチャージ電流もしくはディスチャージ電流）駆動では、目標の階調のソース信号線18電位まで行うことが好ましいのは言うまでもない。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動のみで完全に目標のソース信号線電位にする必要はない。1 Hの前半の過電流（プリチャージ電流もしくはディスチャージ電流）駆動後に、正規の電流駆動を実施し、過電流（プリチャージ電流もしくはディスチャージ電流）駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。

【0313】

図51は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施した場合の、ソース信号線18の電位変化を図示している。図51（a）はD5スイッチを1／（2 H）期間オン状態にした場合である。1水平走査期間（1 H）の最初であるt1よりD5スイッチをオンし、32個分の単位トランジスタ224の単位電流が出力端子93から吸い込まれる。D5スイッチは1／（2 H）のt2期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）I d 2がソース信号線18に流れる。したがって、ソース信号線18の電位は目標電位のV n電位近傍のV m電位まで低下する。その後（t2後）、D5スイッチはオフ状態となり、正規のプログラム電流I wが1 Hの終了（t3）まで、ソース信号線18に流れて、ソース信号線18電位は目標のV n電位となる。

【0314】

ソースドライバ回路（IC）14は定電流動作する。したがって、 $t_2 \sim t_3$ 期間には定電流のプログラム電流 I_w が流れる。このプログラム電流 I_w により、寄生容量 C_s が目標電位になるまで充放電されると、画素16の駆動用トランジスタ11aから電流 I が流れ、ソース信号線18の電位は目標プログラム電流 I_w が流れるように保持される。したがって、駆動用トランジスタ11aは所定プログラム電流 I_w が流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素16の駆動用トランジスタ11aにより補正される。

【0315】

図51（b）はD5スイッチを $1/(4H)$ 期間オン状態にした場合である。1水平走査期間（1H）の最初である t_1 よりD5スイッチをオンし、32個分の単位トランジスタ224の単位電流が出力端子93から吸い込まれる。D5スイッチは $1/(4H)$ の t_4 期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流） I_{d2} がソース信号線18に流れる。したがって、ソース信号線18の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後（ t_4 後）、D5スイッチはオフ状態となり、正規のプログラム電流 I_w が1Hの終了（ t_3 ）まで、ソース信号線18に流れて、ソース信号線18電位は目標の V_n 電位となる。

【0316】

ソースドライバ回路（IC）14は定電流動作する。したがって、 $t_4 \sim t_3$ 期間には定電流のプログラム電流 I_w が流れる。このプログラム電流 I_w により、寄生容量 C_s が目標電位になるまで充放電されると、画素16の駆動用トランジスタ11aから電流 I が流れ、ソース信号線18の電位は目標プログラム電流 I_w が流れるように保持される。したがって、駆動用トランジスタ11aは所定プログラム電流 I_w が流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素16の駆動用トランジスタ11aにより補正される。

【0317】

図51（c）はD5スイッチを $1/(8H)$ 期間オン状態にした場合である。1水平走査期間（1H）の最初である t_1 よりD5スイッチをオンし、32個分の単位トランジスタ224の単位電流が出力端子93から吸い込まれる。D5スイッチは $1/(8H)$ の t_5 期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流） I_{d2} がソース信号線18に流れる。したがって、ソース信号線18の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後（ t_5 後）、D5スイッチはオフ状態となり、正規のプログラム電流 I_w が1Hの終了（ t_3 ）まで、ソース信号線18に流れて、ソース信号線18電位は目標の V_n 電位となる。

【0318】

以上のように、単位トランジスタ224の動作個数と、1つの単位トランジスタ224の単位電流の大きさが固定値である。したがって、D5スイッチのオン時間により、比例して寄生容量 C_s の充放電時間を操作することができ、ソース信号線18の電位を操作することができる。なお、説明を容易にするため、寄生容量 C_s を過電流（プリチャージ電流もしくはディスチャージ電流）により充放電させるとしているが、画素16のスイッチトランジスタなどのリークもあるから、 C_s の充放電に限定されるものではない。

【0319】

以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさが単位トランジスタ224の動作個数により把握できる点が本発明の特徴ある構成である。書き込み時間 t は、 $T = ACV/I$ （A：比例定数、C：寄生容量の大きさ、V：変化する電位差、I：プログラム電流）で表すことができるから、KDATAも値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ11aの V_I 特性（アレイ設計時に把握できる）などから理論値にKDATAの値を決定できる。

【0320】

図 4 8 の実施例は、最上位ビット D 5 スイッチを操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。

【0321】

図 5 2 は、ソースドライバ回路（IC）14 が各 RGB 8 ビット構成である場合において、最上位ビットのスイッチ D 7 と最上位ビットから 2 番目のスイッチ D 6 を K D A T A により制御した構成である。なお、説明を容易にするため、D 7 ビットには 128 個の単位トランジスタ 224 が形成または配置されているとし、D 6 ビットには 64 個の単位トランジスタ 224 が形成または配置されているとする。

10

【0322】

図 5 2（a1）は D 7 スイッチの動作を示している。図 5 2（a2）は D 6 スイッチの動作を示している。図 5 2（a3）はソース信号線 18 の電位変化を示している。図 5 2（a）では D 7、D 6 のスイッチを同時に動作するため、単位トランジスタ 224 は $128 + 64$ 個が同時に動作し、出力端子 93 からソースドライバ回路（IC）14 に流れ込む。したがって、階調 0 の V_0 電圧から階調 3 の V_3 電圧まで高速にソース信号線 18 電位を変化させることができる。なお、 t_2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I_w が出力端子 93 からソースドライバ回路（IC）14 に吸い込まれる。

【0323】

20

同様に、図 5 2（b1）は D 7 スイッチの動作を示している。図 5 2（b2）は D 6 スイッチの動作を示している。図 5 2（b3）はソース信号線 18 の電位変化を示している。図 5 2（b）では D 7 スイッチのみが動作するため、単位トランジスタ 224 は 128 個が同時に動作し、出力端子 93 からソースドライバ回路（IC）14 に流れ込む。したがって、階調 0 の V_0 電圧から階調 2 の V_2 電圧まで高速にソース信号線 18 電位を変化させることができる。図 5 2（a）より変化速度は小さい。しかし、変化する電位が V_0 から V_2 であるから、適正である。なお、 t_2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I_w が出力端子 93 からソースドライバ回路（IC）14 に吸い込まれる。

【0324】

同様に、図 5 2（c1）は D 7 スイッチの動作を示している。図 5 2（c2）は D 6 スイッチの動作を示している。図 5 2（c3）はソース信号線 18 の電位変化を示している。図 5 2（c）では D 6 スイッチのみが動作するため、単位トランジスタ 224 は 64 個が同時に動作し、出力端子 93 からソースドライバ回路（IC）14 に流れ込む。したがって、階調 0 の V_0 電圧から階調 1 の V_1 電圧まで高速にソース信号線 18 電位を変化させることができる。図 5 2（b）より変化速度は小さい。しかし、変化する電位が V_0 から V_1 であるから、適正である。なお、 t_2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I_w が出力端子 93 からソースドライバ回路（IC）14 に吸い込まれる。

30

【0325】

以上のように K D A T A により、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ 224 個数を変化させることにより、適正なソース信号線電位を達成できる。

40

【0326】

図 5 2 では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動によるスイッチ D（D 6、D 7）を t_1 から t_2 の期間に動作させるとしたが、これに限定するものではなく、図 4 2 に図示あるいは説明したように、 t_2 、 t_3 、 t_4 などのように K D A T A の値によって変化あるいは変更してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整してもよい。なお、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

50

【0327】

操作するスイッチはD7、D6に限定するものではなく、D5など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。たとえば、図118が実施例である。a期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として1/(2H)の期間D7スイッチをオン状態にして、128個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線18に印加している。

【0328】

b期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として1/(2H)の期間D7、D6スイッチをオン状態にして、128+64個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線18に印加している。 10

【0329】

c期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として1/(2H)の期間D7、D6、D5スイッチをオン状態にして、128+64+32個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線18に印加している。

【0330】

d期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として1/(2H)の期間D7、D6、D5スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが4であれば、D2スイッチ）をオン状態にして、128+64+32+α個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線18に印加している。 20

【0331】

図65は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図65では、外部からY/U V（輝度/色度）映像信号と、コンポジット（COMP）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路1121により選択される。

【0332】

スイッチ回路1121で選択された映像信号は、デコーダおよびA/D回路によりデコードおよびAD変換され、デジタルのRGB画像データに変換される。RGB画像データは各8ビットである。また、RGB画像データはガンマ回路1124でガンマ処理される。同時に輝度（Y）信号が求められる。ガンマ処理により、RGB画像データは各10ビットの画像データに変換される。 30

【0333】

ガンマ処理後、画像データはFRC（フレームレートコントロール）処理または誤差拡散処理が処理回路1129で行われる。FRC処理または誤差拡散処理によりRGB画像データは6ビットに変換される。この画像データはAI処理回路1126でAI処理あるいはピーク電流処理が実施される。また、動画検出回路1127で動画検出が行われる。同時に、カラーマネージメント回路1128でカラーマネージメント処理が行われる。なお、6ビットに変換するに限定されるものではなく、8ビットに変換してもよい。また、誤差拡散処理またはFRC（フレームレートコントロール）処理を実施せず、10ビットデータをソースドライバ回路(IC)14に伝送してもよいことは言うまでもない。 40

【0334】

AI処理回路1126、動画検出回路1127、カラーマネージメント回路1128の処理結果は演算回路1129に送られ、演算処理回路1129で制御演算され、フレーム間制御変換、映像データ変換、duty比制御、基準電流比制御データに変換され、変換された結果が、ソースドライバ回路(IC)14およびゲートドライバ回路12に制御データとして送出される。

【0335】

なお、コントローラ722の機能は、ソースドライバ回路（IC）14に組み込んで一体としてもよいことは言うまでもない（図127などを参照のこと）。

【0336】

また、コントローラ722はソースドライバ回路（IC）14などにコマンドを転送する。転送したコマンドは、ソースドライバ回路（IC）14の電源が印加されているときは、保持される。しかし、電源がオフされると消去される。この課題に対しては、図67に図示するように、ソースドライバ回路（IC）14内にROM3111を形成し、コマンドなどをROM3111に設定しておいてもよい。ROM3111はヒューズROMで形成してもよい。また、フラッシュRAMであってもよい。

【0337】

duty比制御、基準電流比制御、ピーク電流制御などは、OSD（オンスクリーンディスプレイまたはオンスクリーンデマンド）には適用しないことが好ましい。OSDでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。OSDにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【0338】

この課題に対しては、OSDのデータ（OSDDATA）と映像データ（動画データ）とを別のコントロール回路1126で処理をする。基本的には、OSDデータは輝度変調を実施しない。また、OSD表示部あるいはOSDにより表示される文字、記号、画像などに関しては、図84、図85、図124に図示するように表示位置移動処理を実施することが好ましい。OSDによる表示部等は、高階調表示であり、焼きつきやすい。したがって、位置移動処理を実施することにより焼き付けを抑制できる。したがって、表示領域64において、OSDの表示部等と、映像表示部との表示開始位置を別処理する。

【0339】

なお、コントローラ回路（IC）722に関しても、1チップ化することに限定するものではない。たとえば、ゲートドライバ回路12を制御するコントローラ回路（IC）722Gと、ソースドライバ回路（IC）14を制御するコントローラ回路（IC）722Sに分離してもよい。分離により処理内容が明確になり、コントローラICを小サイズ化することが可能である。

【0340】

duty比制御データはゲートドライバ回路12bに送られ、duty比制御が実施される。一方、基準電流比制御データはソースドライバ回路（IC）14に送られ、基準電流比制御が実施される。ガンマ補正され、FRCまたは誤差拡散処理された画像データもソースドライバ回路（IC）14に送られる。

【0341】

画像データ変換は、ガンマ回路1124のガンマ処理により行う必要がある。ガンマ回路1124は、多点折れガンマカーブにより階調変換を行う。256階調の画像データは、多点折れガンマカーブにより1024階調に変換される。ガンマ回路1124により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【0342】

以上の説明ではduty比で制御するとして説明したが、duty比は、所定期間（通常は1フィールドまたは1フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるEL素子15の点灯期間である。つまり、duty比1/8とは、1フレーム（1フィールド）の1/8の期間（1F/8）の間、EL素子15が点灯していることを意味する。したがって、duty比は、画素16が書き換えられる周期時間をTfとし、画素の点灯期間Taとした時、duty比=Ta/Tfと読み替えることができる。

【0343】

なお、画素16が書き換えられる周期時間をTfとし、Tfを基準とするとしたがこれに限定されるものではない。本発明のduty比制御駆動は、1フレームあるいは1フィ

10

20

30

40

50

ールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を1周期としてduty比制御を実施してもよい。したがって、 T_f は画素を書き換える周期だけに限定されるものではなく、1フレームあるいは1フィールド以上であってもよい。たとえば、1フィールドあるいは1フレームごとに点灯期間 T_a が異なる場合は、繰り返し周期(期間)を T_f とし、この期間の総点灯期間 T_a を採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間を T_a としてもよい。duty比についても同様である。duty比がフレーム(フィールド)ごとに異なる場合は、複数フレーム(フィールド)の平均duty比を算出して用いればよい。

【0344】

したがって、白ラスタ表示でのプログラム電流の総和を S_w とし、任意の自然画像でのプログラム電流の総和を S_s とし、最小の点灯期間を T_{as} 、最大の点灯期間を T_{am} (通常は $T_{am} = T_f$ であるから $T_{am}/T_f = 1$)とした時、 $S_w \times (T_{as}/T_f) \geq S_s \times (T_{am}/T_f)$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。 10

【0345】

本発明のソースドライバ回路(IC)14および表示パネルの駆動方法では、基準電流の制御により、プログラム電流をリニアに調整することができる。1つあたりの単位トランジスタ224の出力電流が変化するからである。単位トランジスタ224の出力電流を変化させるとプログラム電流 I_w も変化する。画素のコンデンサ19にプログラムされる電流(実際はプログラム電流に相当する電圧である)が大きいほど、EL素子15に流れる電流も大きくなる。EL素子15に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりEL素子15の発光輝度をリニアに変化させることができる。 20

【0346】

本発明のソースドライバ回路(IC)14は、出力端子93に接続される単位トランジスタ224の個数を制御することによりプログラム電流 I_w を変化させるものであった。また、プログラム電流 I_w は、基準電流 I_c を変化させることにより実現した。

【0347】

しかし、本発明の基準電流比制御などは限定するものではない、一定の基準となるもの(電圧、電流、設定データなど)を変化し、この変化により出力端子93から出力される電流 I_w を変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子93のプログラム電流 I_w が同一割合で変化させることが重要である。なお、プログラム電流 I_w の変化に限定するものではない。プログラム電圧であってもよい。各出力端子93のプログラム電圧が同一割合で変化させることにより、表示画面64の輝度を調整することができるからである。また、RGB端子で変化させることによりホワイトバランスを調整することができるからである。 30

【0348】

本発明は、説明した基準電流比制御方式と、duty比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流比制御方式とduty比制御方式を組み合わせる実施することが好ましい。 40

【0349】

さらに、本発明の駆動方式について説明をする。本発明の駆動方法は、EL表示パネルに消費される消費電流の上限にリミットすることが1つの目的である。EL表示パネルはEL素子15に流れる電流を輝度が比例関係にある。したがって、EL素子15に流れる電流を増大させれば、EL表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流(=消費電力)も増大する。

【0350】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミット(最大値)を設ける必要がある。このリミットを設けること(ピーク電流抑制 50

）が本発明の1つの目的である。

【0351】

画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナミックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の2つめの目的である。以上の目的を実現する本発明をA I 駆動と呼ぶことにする。

【0352】

説明を容易にするために、本発明のI Cチップ14は64階調表示であるとする。A I 駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（I C）14は64階調表示とし、画像データは256階調とする。この画像データをE L表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力256階調（8ビット）を1024階調（10ビット）に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバI C14の64階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（F R C）処理が行われ、ソースドライバI C14に印加される。

【0353】

1画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスタは64階調表示の場合は画像データとしては63であるから、表示画面64の画素数×63が画像データの総和である。1/100の白ウィンドウ表示で、白表示部が最大輝度の白表示では、表示画面64の画素数×（1/100）×63が画像データの総和である。

【0354】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは予測できる値により、d u t y比制御あるいは基準電流比制御を行う。なお、画像データの総和（S U M）とは、表示領域64のすべての各画素に印加されるデータの総和を意味するものだけではなく、画素間引きをした後の残存する画素に印加されるデータの総和であってもよい。また、総和の予測値であってもよい。

【0355】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの1フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより映像信号の平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをA D変換して画像データの総和としてもよい。この場合は、画像データはA P Lレベルとも言うことができる。

【0356】

30フレームから300フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、d u t y比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【0357】

表示画面64を構成する画像のすべてのデータを加算する必要はなく、表示画面64の1/W（Wは1より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、1画素とぼし（奇数または偶数列画素、奇数または偶数行画素）で映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、1画素行ごとに1または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【0358】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のA P Lレベルをもとめる事に一致する場合が多い。また、画像

10

20

30

40

50

データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためA P Lレベルと呼ぶ。

【0359】

白ラスターの時にA P Lレベルは画像がR G B各6ビットであるから63（63階調目であるからデータの表現としては63で示されている）×画素数（Q C I Fパネルの場合は176×R G B×220）となる。したがって、A P Lレベルは最大となる。ただし、R G BのE L素子15で消費する電流は異なるから、R G Bで分離して画像データを算出することが好ましい。

【0360】

この課題に対して、図66に図示する演算回路を使用する。図66において、1131、1132は乗算器である。1131は発光輝度を重み付けする乗算器である。R、G、Bでは視感度が異なる。N T S Cでの視感度は、R：G：B＝3：6：1である。したがって、Rの乗算器1131 Rでは、R画像データ（R d a t a）に対して3倍の乗算を行う。また、Gの乗算器1131 Gでは、G画像データ（G d a t a）に対して6倍の乗算を行う。また、Bの乗算器1131 Bでは、B画像データ（B d a t a）に対して1倍の乗算を行う。ただし、この記述は概念的である。E L素子はR G Bで効率が異なっているからである。

【0361】

E L素子15はR G Bで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良い。そこで、乗算器1132で発光効率の重み付けを行う。Rの乗算器1132 Rでは、R画像データ（R d a t a）に対してRの発光効率の乗算を行う。また、Gの乗算器1132 Gでは、G画像データ（G d a t a）に対してGの発光効率の乗算を行う。また、Bの乗算器1132 Bでは、B画像データ（B d a t a）に対してBの発光効率の乗算を行う。

【0362】

乗算器1131および1132の結果は、加算器1133で加算され、総和回路1134に蓄積される。この総和回路1134の結果にもとづき、d u t y比制御、基準電流比制御を実施する。

【0363】

以上の実施例では、映像データに、E L素子15などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。

【0364】

通常、R G BのE L素子15は、E L材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、E L表示パネルは生産する時の目標色温度が決定されている。したがって、E L表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、E L表示パネルに流すR G B電流の比率と大きさがわかる。このことから、E L表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色度（色温度）を得ることができる。

【0365】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流（カソード電流）を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからE L表示パネルの消費電力を制御することができる。

【0366】

つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、E L表示パネルが必要とするカソード（アノード）電流を得る

10

20

30

40

50

ことができる。この電流の大きさをどの大きさに抑制すべきであるかがわかっていれば、基準電流比制御、d u t y 比制御により電流の大きさを制御することができる。

【0367】

アノード電流あるいはカソード電流の大きさをA D（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流比制御、d u t y 比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流比制御、d u t y 比制御により電流の大きさを制御することができる。つまり、制御方式としてはデジタル、アナログ方式を問わない。

【0368】

入力データはR G Bデータ（赤はR D A T A、緑はG D A T A、青はB D A T A）としているがこれに限定するものではない。Y U V（輝度データと色度データ）であってもよい。Y U Vの場合は、Y（輝度）データあるいはYデータとU V（色度）データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換して重みづけ処理を行う。

【0369】

なお、この動作を実施する場合も現動作状態のd u t y 比を考慮することは言うまでもない。d u t y 比が小さければ、重みづけを行ったデータが大きくともパネルに流れ込む電流は小さく、パネルが過熱状態とはならないからである。

【0370】

R D A T Aには、定数R aが乗算される。G D A T Aには、定数G aが乗算される。B D A T Aには、定数B aが乗算される。乗算されたデータは総和回路（S U M回路）1134で1画面分の電流データ（もしくは類似するデータ）が求められる。なお、以下の説明を容易にするため、R y、G y、B yは1とする。総和回路1134は比較回路（図示せず）に送る。比較回路はあらかじめ設定された比較データ（所定の電流データ以上では過熱状態であることを示すために設定された値またはデータ）と比較し、電流データが比較データ以上の場合、カウンタ回路（図示せず）を制御し、カウンタ回路のカウンタ値を1つアップする。また、電流データが比較データよりも小さい時、カウンタ回路のカウンタ値を1つダウンする。

【0371】

以上の動作を継続し、カウンタ回路のカウンタ値が所定以上に到達した場合、コントローラ回路（I C）722は、ゲートドライバ12bを制御して、d u t y 比を小さくし、パネルに流れる電流を抑制する。したがって、パネルが過熱状態になり劣化することがなくなる。

【0372】

定数R a、G a、B aは、コントローラ回路（I C）722によりコマンドで書き換えできるように構成することが好ましいことは言うまでもない。もちろん、ユーザーが手動で書き換えできるように構成してもよいことは言うまでもない。比較回路の比較データも書き換えできるように構成することが好ましいことは言うまでもない。また、E L素子15は温度依存性があるため、パネルの温度により定数を書き換えるように構成することが好ましい。また、点灯率によっても（E L素子15に流れる電流の大きさによっても）発光効率が変化する。したがって、点灯率によっても定数を書き換えるように構成することが好ましい。以上の事項は、R y、G y、B yについても同様である。

【0373】

以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、E L表示パネルで消費する電力（電流）を算出あるいは制御し、d u t y 比制御、基準電流比制御を実施するものである。

【0374】

映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、E L表示パネルで消費する電力（電流）の算出は、1フレーム（1フィールド）ご

10

20

30

40

50

とに実施することに限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、1フレーム（1フィールド）で複数回行っても良いことは言うまでもない。また、基準電流比制御、duty比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、間欠的に実施してもよいことは言うまでもない。

【0375】

基準電流比制御、duty比制御によりEL表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、EL表示パネルの消費電力を制御することとができることは言うまでもない。

10

【0376】

図66のように制御すると、輝度信号（Y信号）に対するduty比制御、基準電流比制御を実施することができる。しかし、輝度信号（Y信号）を求めて、duty比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではEL表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（B）の視感度が低いためである。そのため、輝度信号（Y信号）の総和（APLレベル）は小さく算出されるため、duty比制御が高duty比になる。したがって、フリッカの発生などが生じる。

【0377】

この課題に対しては、乗算器1131をスルーにして用いるとよい。消費電流に対する総和（APLレベル）が求められるからである。輝度信号（Y信号）による総和（APLレベル）と消費電流による総和（APLレベル）は、両方を求めて加味して総合APLレベルを求めることが望ましい。総合APLレベルによりduty比制御、基準電流比制御またプリチャージ制御などを実施する。

20

【0378】

黒ラスタは64階調表示の場合は0階調目であるから、APLレベルは0で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面64を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が6ビットで表現される場合、上位ビット（MSB）のみをカウントしてもよい。この場合は、階調数が32以上で、1カウントされる。したがって、表示画面64を構成する画像データによりAPLレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

30

【0379】

アナログ的な概念から映像データの総和あるいは総和に類似する指標としてAPLレベルという語を用いる。しかし、後半では、点灯率という語を用いて本発明の駆動方式の説明を行う。なお、点灯率は後に説明をする。

【0380】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【0381】

EL表示パネルで最大に流せる電流を100（mA）とする。白ラスタ表示ととき、総和（APLレベル）は200（単位なし）になるとする。このAPLレベルが200の時、そのままパネルに印加するとEL表示パネルに200（mA）が流れるとする。なお、APLレベルが0の時、EL表示パネルに流れる電流は0（mA）である。また、APLレベルが100の時、duty比は1/2で駆動するものとする。

40

【0382】

したがって、APLが100以上の場合は、制限である100（mA）以下となるようにする必要がある。最も簡単には、APLレベルが200の時、duty比を $(1/2) \times (1/2) = 1/4$ にし、APLレベルが100の時、duty比を1/2とする。APLレベルが100以上200以下の時は、duty比が1/4～1/2の間をとるよう

50

に制御する。d u t y 比 $1/4 \sim 1/2$ は、E L 選択側のゲートドライバ回路 1 2 b が、同時に選択するゲート信号線 1 7 b の本数を制御することにより実現できる。また、1 H (1 水平走査期間) の一部の期間を点灯制御することにより制御できる。

【0383】

ただし、A P L レベルのみを考慮し、d u t y 比制御を実施すれば、画像に応じて表示画面 6 4 の平均輝度 (A P L) に応じて表示画面 6 4 の輝度が変化し、フリッカが発生する。

【0384】

この課題に対して、もとめる A P L レベルは、少なくとも 2 フレーム、このましくは、10 フレームさらに好ましくは 60 フレーム以上の期間保持し、この期間で演算して、A P L レベルにより d u t y 比制御による d u t y 比を算出する。また、表示画面 6 4 の最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) などの画像の特徴抽出を行って d u t y 比制御を行うことが好ましい。以上の事項は、基準電流比制御にも適用されることは言うまでもない。

【0385】

画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M)、シーンの変化状態を考慮して行うとよい。つまり、総和 (A P L レベルあるいは点灯率) は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図 6 6 の加算器 1 1 3 3 c の補正回路 (図示せず) の補正量を加算する構成などが例示される。

【0386】

図 6 9 は横軸を点灯率としている。最大値は 100 % である。縦軸は d u t y 比である。点灯率 = 100 % は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示 (点灯) 領域が少ない画面である。この時は、d u t y 比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時 (最大値は 100 %) は、明るい画面あるいは表示 (点灯) 領域が広い画面である。この時は、d u t y 比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【0387】

図 6 9 では、点灯率が 100 % の時に、到達する d u t y 比值を変化させている。たとえば、d u t y 比 = $1/2$ は画面の $1/2$ が画像表示状態になる。したがって、画像は明るい。d u t y 比 = $1/8$ は画面の $1/8$ が画像表示状態になる。したがって、d u t y 比 = $1/2$ に比較して $1/4$ の明るさである。

【0388】

図 6 8 は、各 R、G、B の画素で、d u t y 比カーブを異ならせた実施例である。図 6 8 では、G と B では d u t y 比カーブを一致させているがこれに限定されるものではない。R G B のすべてが異なってもよい。ただし、E L 材料の発光特性は、すべてが大きく異なることはない。一般的に R の E L 材料だけが、他の E L 材料と異なっている。したがって、R の E L 材料のみを図 6 8 に図示するように d u t y 比 (基準電流を変化させてもよい。また、d u t y 比と基準電流の両方を変化させてもよい) を変化させる。また、R 材料の寿命は、G B に対して長寿命である。

【0389】

図 6 8 の実施例では、R の E L 画素 1 6 は点灯率が 50 % 以下でも d u t y 比 $3/4$ としている。したがって、E L 材料に対する負荷が G B より大きい。そのため、R の E L 材料は基本的には長寿命であるが、d u t y 比が小さいため寿命が短くなる。結果、R G B の E L 画素 1 6 の寿命は一致する。つまり、R G B のホワイトバランスが保たれ、E L 表示パネル使用に対する表示品位は保たれる。

【0390】

10

20

30

40

50

以上のように、本発明は、RGBのEL画素において、duty比、基準電流などを異ならせることを特徴としている。また、duty比を異ならせる場合は、duty比1/1の範囲をRGBで変化させることを特徴としている。図68の実施例では、G、Bのduty比1/1の範囲は、点灯率0以上25%以下の範囲であり、Rのduty比1/1の範囲は、点灯率0以上50%以下の範囲である。

【0391】

本発明の駆動方式では、点灯率、duty比、基準電流、データ値などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【0392】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、1フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【0393】

EL表示パネルは、黒表示は、EL素子に流れる電流が0の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は0である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が0であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【0394】

本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、duty比制御により画面の輝度変化は10倍近く変化させることができる。また、変化はduty比に線形の関係になるから制御も容易である。また、R、G、Bを同一比率で変化させることができる。したがって、どのduty比においてもホワイトバランスは維持される。

【0395】

点灯率とduty比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【0396】

以上の切り換え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、duty比を小さくし、または基準電流を小さくする。もしくは、duty比をまたは基準電流のいずれか一方を小さくする。基準電流またはduty比を小さくすることによりEL表示パネルの消費電力を低下させることができる。

【0397】

以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図69のaのカーブを選択する。しかし、高い輝度で表示し続けるとEL素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、cのカーブを選択する。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるような構成しておく。

【0398】

したがって、ユーザーがボタンで切り換えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り換えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、duty比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のd

10

20

30

40

50

u t y 比カーブから 1 つを選択できるように構成することが好ましい。

【0399】

なお、d u t y 比カーブなどの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) の 1 つあるいは複数を加味して行うことが好ましいことは言うまでもない。

【0400】

以上のように、たとえば、a は屋外用のカーブである。c は屋内用のカーブである。b は屋内と屋外との中間状態用のカーブである。カーブ a、b、c との切り換えは、ユーザーがスイッチを操作することにより切り換えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り換えるようにしてもよい。なお、ガンマカーブを切り換えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。

10

【0401】

図 69 の d u t y 比は直線であったが、これに限定するものではない。図 70 に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じて d u t y 比の傾きを変化させる。もちろん、d u t y 比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類、映像データの表示内容、O S D 表示などによりリアルタイムで d u t y 比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。

【0402】

表示パネルの消費電力低減が必要な場合は、図 70 の c カーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図 70 の a カーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。

20

【0403】

本発明の他の実施例において、d u t y 比の変化は、点灯率が 1 / 10 以上の範囲で実施する。点灯率が 1 に近い画像の発生は少なく、図 69 のように点灯率が 100 まで、d u t y 比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、d u t y 比の変化は点灯率が 8 / 10 以上の範囲で実施する。

30

【0404】

自然画では、点灯率が 20 % から 40 % の画像が多い。したがって、この範囲では d u t y 比が大きい方が好ましい。一方で点灯率が高い (60 % 以上) では消費電力が大きく E L 表示パネルが発熱し劣化する傾向になる。したがって、点灯率が 20 % から 40 % の範囲あるいは近傍では d u t y 比 1 / 1 あるいはその近傍とし、点灯率が 60 % あるいはその近傍以上では、d u t y 比を 1 / 1 よりも小さくするように制御することが好ましい。

【0405】

図 71 では点灯率が 0.9 以下では d u t y 比を 1 / 1 から 1 / 5 まで変化させている。したがって、5 倍のダイナミックレンジが実現されていることになる。図 71 において、点灯率が 0.9 以上では d u t y 比が 1 / 5 である。したがって、表示輝度は最大値輝度の 1 / 5 になっている。点灯率 100 % は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の 1 / 5 に低下している。

40

【0406】

点灯率が 10 % 以下では、d u t y 比は 1 / 1 である。画面の 1 / 10 が表示領域 (白ウインドウなどの場合) である。もちろん、自然画では、暗い部分が多い画像である。d u t y 比が 1 / 1 では、非点灯領域 62 がないため、E L 素子の発光輝度がそのまま画素の表示輝度となる。

【0407】

点灯率 10 % とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表

50

示されている状態である。たとえば、点灯率が10%以下の画像表示とは、真っ暗な夜空に月がでている画像である（説明のための参考イメージ画像例である。白ウインドウでは、1/10白ウインドウ表示である）。この画像でduty比を1/1にするということは、月の部分は、白ラスターの輝度（図71で点灯率100%での輝度）の5倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは1/10の領域であるから、1/10の領域の輝度を5倍にしたとしても消費電力の増加はわずかである。

【0408】

以上のように、本発明では点灯率が低い画像では、duty比を1/1あるいは比較的大きくしている。duty比1/1では発光している画素は常時電流が流れている。したがって、1つの画素からみれば消費電流が大きい。しかし、EL表示パネルにおいて、発光している画素が少ないため、EL表示パネル全体からみれば、消費電力の増加はほとんどない。EL表示パネルでは黒部分は完全黒（非発光）である。したがって、duty比1/1で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。

10

【0409】

一方、本発明では点灯率が高い画像では、duty比を1/5など比較的小さくしている。また、点灯率に応じて、duty比が小さくなるように制御を行う。duty比が小さい時は発光している画素は間欠電流が流れている。したがって、1つの画素の消費電流は小さい。EL表示パネルにおいて、発光している画素は多いが、1画素あたりの消費電流が少ないため、EL表示パネル全体からみれば、消費電力の増加は少ない。

20

【0410】

以上のように点灯率に対してduty比を制御する本発明の駆動方法はEL表示パネルなどの自己発光表示パネルに最適な駆動方法である。duty比が小さくなれば画像輝度は小さくなるが、画面全体として発生光束が多いため、暗くなったという印象は感じられない。

【0411】

以上のように、duty比制御と、基準電流比制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジを拡大され、低消費電力化を実現できる。

30

【0412】

以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（duty比1/1）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、duty比に比例して増減する。なお、本発明はduty比、基準電流は点灯率により、変化させることに特徴ある。つまり、duty比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。

【0413】

点灯率が0に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

40

【0414】

以上の実施例では、点灯率が0では、duty比を1/1にするとしたが、本発明はこれに限定するものではない。duty比を1より小さい値となるようにしてもよいことは言うまでもない。duty比のカーブは曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状などが例示される。

【0415】

duty比に最大値を設ける場合は、少なくとも点灯率20%以上50%以下の範囲で

50

いずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、 $duty$ 比を $1/1$ など、他の点灯率の範囲よりも大きくすることにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率 35% で $duty$ 比を $1/1$ とし、点灯率 20% 、 60% では $duty$ 比を $1/2$ とする制御方式が例示される。

【0416】

点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率 0% 以上 20% 以下の場合、 $duty$ 比を $1/1$ とし、点灯率 20% より大きく 60% 以下の場合、 $duty$ 比を $1/2$ とし、点灯率 60% より大きく 100% 以下の場合、 $duty$ 比を $1/4$ とする制御方法を言う。

10

【0417】

図72に図示するように、赤(R)、緑(G)、青(B)の画素で、 $duty$ 比カーブを変化させてもよい。図72では、青(B)の $duty$ 比の変化の傾きを最も大きくし、緑(G)の $duty$ 比の変化の傾きを次に大きくし、赤(R)の $duty$ 比の変化の傾きを最も小さくしている。以上のように駆動すれば、RGBのホワイトバランス調整を最適にすることができる。もちろん、1色を一定(点灯率が変化しても変化させない)とし、他の2色を点灯率に応じて変化するように制御してもよい。

【0418】

点灯率と $duty$ 比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、 $duty$ 比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度(パネル温度)が高い場合は、 $duty$ 比を低下($1/4$ など)させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。

20

【0419】

温度変化は温度変化を積分し、その積分値が所定値を超えた時、 $duty$ 比制御などの電流抑制手段を動作させるように制御してもよい。なお、積分時には、パネルからの放熱によるパネル温度の低下を考慮することが好ましい。したがって、単純に積分値で制御するのではなく、放熱量分を減算して制御する。放熱量は実験などにより容易に導出できる。

30

【0420】

以上のことから、映像データの総和を求め、総和を積分し、また、積分値から放熱量を減算することにより、パネル温度を推定あるいは予測することができる。予測の結果、パネル温度が規定以上の上昇する場合あるいは可能性があるとき、 $duty$ 比制御、基準電流比制御などを実施して、パネルの消費電力を抑制する。また、抑制によりパネルが規定温度以下に低下したと予測される時は、通常の $duty$ 比制御、基準電流比制御などを実施する。

【0421】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じて $duty$ 比、基準電流などを変化させるとのフリッカが発生する。したがって、ある $duty$ 比から他の $duty$ 比などに変化する時は、ヒステリシス(時間遅延)を設けて変化させることが好ましい。たとえば、ヒステリシス期間を 1 sec とすると、 1 sec 期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前の $duty$ 比が維持される。つまり、 $duty$ 比は変化しない。以上の事項は、基準電流比制御などにも適用できることは言うまでもない。なお、変化は、R、G、Bで異ならせても良い。

40

【0422】

このヒステリシス(時間遅延)時間を $Wait$ 時間と呼ぶ。また、変化前の $duty$ 比を変化前 $duty$ 比と呼び、変化後の $duty$ 比を変化後 $duty$ 比と呼ぶ。なお、ヒス

50

テリシス（時間遅延）と呼ぶが、ヒステリシスには、変化をゆっくりと行う意味も含まれる。たとえば、 $duty$ 比 $1/1$ から $1/2$ に変化させる時、2秒の時間をかけてゆっくりと変化させる例が例示される（ほとんど、制御はこの方式である）。

【0423】

変化前 $duty$ 比が小さい状態から、他の $duty$ 比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前 $duty$ 比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【0424】

特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、 $duty$ 比が小さい領域では、変化 $duty$ 比との差が大きくなる傾向がある。もちろん、 $duty$ 比の差が大きくなる時は、OEVを用いて制御する。しかし、OEV制御にも限界がある。以上のことから、変化前 $duty$ 比が小さい時は、 $wait$ 時間を長くする必要がある。

【0425】

以上のように、本発明の $duty$ 比制御は $duty$ 比に応じて $wait$ 時間を変化させる。 $duty$ 比が小さい時は $wait$ 時間を長くし、 $duty$ 比が大きい時は $wait$ 時間を短くする。つまり、少なくとも $duty$ 比を可変する駆動方法にあって、第1の変化前の $duty$ 比が第2の変化前の $duty$ 比よりも小さく、第1の変化前 $duty$ 比の $wait$ 時間が、第2の変化前 $duty$ 比の $wait$ 時間よりも長く設定することを特徴とするものである。

【0426】

以上の実施例では、変化前 $duty$ 比を基準にして $wait$ 時間を制御あるいは規定するとした。しかし、変化前 $duty$ 比と変化後 $duty$ 比との差はわずかである。したがって、前述の実施例において変化前 $duty$ 比を変化後 $duty$ 比と読み替えても良い。

【0427】

以上の実施例において、変化前 $duty$ 比と変化後 $duty$ 比を基準にして説明した。変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $wait$ 時間を長く取る必要があることはいうまでもない。また、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることが良好であることは言うまでもない。

【0428】

本発明の $duty$ 比制御方法は、変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $wait$ 時間を長く取る駆動方法である。つまり、 $duty$ 比の差に応じて $wait$ 時間を変化させる駆動方法である。また、 $duty$ 比の差が大きい時に $wait$ 時間を長く取る駆動方法である。なお、先にも説明したように $wait$ 時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【0429】

本発明の $duty$ 比の方法は、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることを特徴とする駆動方法である。

【0430】

以上の実施例では、 $duty$ 比に対する $wait$ 時間を、R（赤）G（緑）B（青）で異ならせるとして説明した。しかし、本発明は、R、G、Bで $wait$ 時間を変化させてもよいことは言うまでもない。RGBで視感度が異なるからである。視感度にあわせて $wait$ 時間を設定することにより、より良好な画像表示を実現できる。

【0431】

以上の実施例は、 $duty$ 比制御に関する実施例であった。基準電流比制御についても $wait$ 時間を設定することが好ましい。

【0432】

以上のように、本発明の駆動方法では、 $duty$ 比、基準電流は急激に変化させない。急激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、0.

2 秒以上 10 秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、 $duty$ 比、基準電流を変化させる）などにも適用できることは言うまでもない。

【0433】

基準電流が小さい時は表示画面 64 が暗く、基準電流が大きい時は表示画面 64 が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いために、 $Wait$ 時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いために、 $Wait$ 時間が短くても良い。

10

【0434】

以上のような、 $duty$ 比制御は、1 フレームあるいは 1 フィールドで完結する必要はない。数フィールド（数フレーム）の期間で $duty$ 比制御を行っても良い。この場合の $duty$ 比は数フィールド（数フレーム）の平均値を $duty$ 比とする。なお、数フィールド（数フレーム）で $duty$ 比制御を行う場合であっても、数フィールド（数フレーム）期間は、6 フィールド（6 フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、2.5 フレーム（2.5 フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【0435】

以上のように、EL 表示パネル（表示装置）は、有機 EL は電流駆動素子である。また、自発光表示パネルであるから、点灯率に比例してパネル消費電流が増加する。また、本発明の電流プログラム方式では、映像データの大きさと発光輝度は比例の関係になる。発光輝度と消費電流（消費電力）も比例の関係にある。したがって、映像データをロジック処理によりパネルの消費電流（電力）制御を実現できる。最大電力抑制と画面輝度制御を容易に行うことができる。

20

【0436】

コントロール IC はソースドライバ回路（IC）14 に印加する映像データを加算する。1 フィールド（フレーム）を加算した映像データは、EL 表示装置で消費されている電力（電流）に比例する。電源回路 1281 は、電力（電流）に必要な出力を発生する。映像データの加算値から点灯率が一義に求まり、点灯率から一定の電力を維持するための $duty$ 比が求まる。リアルタイムで加算値を求め、加算値により $duty$ 比を制御し、電力制御すれば、所定の最大電力を超えないように制御することができる。

30

【0437】

図 117 は以上の実施例である。図 117 で横軸を単位加算値とし、最大値を 100 としている。100 とは、表示で映像信号が最大の白ラスタ表示である。つまり、映像データが 8 ビットの場合は、最大値 255 のデータ $\times$ 画素数である。この場合と 100 とし、その $1/2$ を 50 としている。単位加算値が 0 の場合は、黒ラスタ表示である。この場合は、 $duty$ 比を最大の 1.0 とする。つまり、全画面 64 が表示領域 63 である。コントローラは、映像データを加算する。画面が 240 画素行ある場合は、1 画素行目から 240 行目まで順次加算する。次のフィールド（フレーム）の 1 画素行目を加算するとき、前フィールド（フレーム）の 1 画素行目の映像データを加算値から削除する。以上のように、加算データは映像データあるいは映像データと相関するデータから求められる（映像データに限定されるものではない。たとえば、映像データを加工したデータから求めてもよい）。また、本発明の加算値とは、EL 表示パネルで現に流れる電流値に一致あるいは相関あるいは比例するものを意味する。

40

【0438】

コントローラ 722 は加算値から対応する $duty$ 比を算出する。この算出した $duty$ 比になるように、ゲートドライバ回路 12b のスタートパルス印加を制御する。スタートパルスにより表示領域 64 の $duty$ 比が決定される。したがって、映像データに基づ

50

いてリアルタイムにduty比が可変される。図117の点線は、加算値の最大で、duty比を0.5とした実施例である。図117の実線は、加算値の最大で、duty比を0.25とした実施例である。

【0439】

なお、図117の実施例では、表示領域64の全映像データを加算して加算値を求めるとしたが、これに限定するものでない。たとえば、1画素行置きに映像データを加算し、2倍しても全表示領域64の加算値を推定あるいは求めることができる。また、全画面64の一部の映像データの加算値によっても全表示領域の加算値を推定することができる。また、映像データをランダムに加算したデータからも全表示領域の加算値を推定することができる。また、先のフィールド（フレーム）から次の表示領域の加算値を推定することができ、いずれもこの加算値を用いてリアルタイムにduty比を制御あるいは可変もしくは調整もしくは設定することができる。

【0440】

また、コントローラ722は加算値から対応するduty比を求めて、ゲートドライバ回路12bなどを制御するとした。しかし、本発明はこれに限定するものではない。たとえば、加算値から対応する基準電流比を求め、ソースドライバ回路（IC）14を制御してもよい（基準電流比を可変あるいは制御してもよい）。

【0441】

図11などのゲートドライバ回路12bにはOE端子を有している。OE端子をLレベルにすると、全ゲート信号線17bに非選択状態となる。したがって、画素16のトランジスタ11dにオフ電圧が印加され、表示領域64は非点灯状態となる。OE端子をHレベルにすると、選択されているゲート信号線17bにはオン電圧が出力され、非選択のゲート信号線17bはオフ電圧が出力される（通常駆動状態）。したがって、表示領域64は所定のduty比駆動の状態となる。1水平走査期間あるいは1フィールド（フレーム）期間において、OE端子をLレベルにする期間を変化させることはduty比を変化させていることになる。duty比の変化はEL表示パネルの消費電力を調整あるいは可変することになる。

【0442】

以上の制御により、OE端子の制御により、duty比を制御できる。なお、図118の駆動方式では、ゲートドライバ12bには絶えずスタートパルスが入力され、ゲートドライバ12bとしてはduty比1/1となっている。図118のduty比制御とは、OE端子で全画面64が同一タイミングで点灯あるいは非点灯状態となり、duty比が可変されることをいう。また、加算値によりOE端子を制御することは、duty比を変化させ、電力調整することになる。したがって、所定の最大電力を超えないように制御することができる。なお

図118は、点灯率（％）によりOE端子をHレベルにする期間を制御する本発明の駆動方式の説明図である。縦軸は1水平走査期間において、OE端子をHレベルにする期間を示している。なお、1水平走査期間は60μsecとする。

【0443】

点灯率25％以下では、OE端子をHレベルにする期間は最大の60μsecである。したがって、ゲートドライバ回路12bは通常状態で駆動あるいは制御される。なお、この状態は、図117ではduty比=1.0である。点灯率が100％のときは、OE端子がHレベルに維持される期間は15μsecである。つまり、1H期間である60μsecの15μsecが表示画面64は点灯状態であり、45μsecが非点灯状態である。つまり、duty比0.25を実現していることになる。点灯率100％と25％間はOE端子をHレベルにする期間は比例して増減する。図118の駆動方式は、図117の実線と同一の駆動状態を実現している。

【0444】

点灯率を（単位）加算値は相関する。したがって、図118の実線は、図119の実線に置き換えることができる。したがって、図117の点線は図119の点線に置き換える

10

20

30

40

50

ことができることは言うまでもない。

【0445】

以上の事項は、電流駆動方式だけでなく、電圧駆動方式にも適用できる。また、一般的な自己発光表示装置に適用できることは言うまでもない。

【0446】

動画と静止画とでは、*duty* 比パターンを変化させる。*duty* 比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画の *duty* 比と静止画の *duty* 比との差異によって発生する。動画では非表示領域 62 を一括して挿入する *duty* 比パターンを用いる。静止画では非表示領域 62 を分散して挿入する *duty* 比パターンを用いる。非表示領域 62 の面積／画面面積 64 の比率が *duty* 比となる。または、それと比例した *duty* 比となる。しかし、同一 *duty* 比であっても、非表示領域 62 の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

10

【0447】

中間動画は、非表示領域 62 の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域 62 が 3 分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

20

【0448】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面 64 が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態移行させてもよい。たとえば、動画表示の *duty* 比状態から、中間動画表示 1 の *duty* 比状態に移行し、さらに中間動画表示 2 の *duty* 比状態に移行してから静止画表示の *duty* 比状態に移行させてもよい。

【0449】

動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間は *Wait* 時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域 62 の変化がゆっくりとなるようにする。

30

【0450】

FRC（フレームレートコントロール）と動画表示とは関係する。FRC で用いるフレーム数（たとえば、4 FRC では、4 フレームを用いて、2 ビット分の階調表示（階調数を 4 倍）にする。16 FRC では、16 フレームを用いて、4 ビット分の階調表示（階調数を 16 倍）にする。しかし、*n* FRC（*n* は 2 以上の整数）の *n*（フレーム数）が増加すると、静止画では問題がないが、動画では、動画性能が低下する。したがって、動画表示では、*n* FRC の *n* は小さい方が望ましい。また、動画表示では、一定以上の階調数は必要でない。ほとんどの場合が、256 階調以下で十分である。一方、静止画では、多くの階調数が必要である。

40

【0451】

たとえば、第 1 フレームと次の第 2 フレーム間で、同一位置の画素データの差分を求め、差分の値が一定以上ある場合に動画画素と判定する。1 パネルの画素数が 10 万画素とすれば、前記差分演算により動画画素と判定された画素の割合が 2.5 万画素であれば、動画画素の割合は 25% である。

【0452】

動画画素の割合が 0%～25% 以下で、完全静止画あるいはそれに近いと判断し、16

50

F R C ($n = 16$) としている。また、動画画素の割合が 25 % ~ 50 % 以下で、動画に近い中間画像と判断し、12 F R C ($n = 12$) としている。また、動画画素の割合が 50 % ~ 75 % 以下で、静止画に近い中間画像と判断し、8 F R C ($n = 8$) としている。動画画素の割合が 75 % 以上で、完全動画あるいはそれに近いと判断し、1 F R C ($n = 1$ つまり F R C 制御しない) としている。

【0453】

以上のように、表示画像の内容にもとづいて、F R C を変化させることのより最適な画像表示を実現できる。F R C の変更はコントローラ回路 (I C) 722 により行う。

【0454】

F R C の変更は、画像のシーンが急変する時に実施することが好ましい。画像シーンが急変する状態とは、画面がコマーシャルに変化したとき、チャンネルを切り換えた時、ドラマのシーンが変化したときなどが例示される。なお、シーンの急変時は、本発明のピーク電流抑制、d u t y 比制御でも説明をしている。

【0455】

したがって、動画画像の割合が変化した場合にリアルタイムで n F R C の F R C 数を変化させると画面がフリッカ的な表示状態になる。したがって、シーンの急変時に F R C 数を変化させることが好ましい。

【0456】

プリチャージ電圧の印加は点灯率あるいは d u t y 比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。

【0457】

プリチャージ駆動は、特に電流駆動方式において、白表示部の下にクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面 64 全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。

【0458】

本発明は点灯率が高い (表示画面 64 において全体的に白表示部分が多い) 時に、d u t y 比を小さくする。つまり、d u t y 比 $1/n$ の n を大きくする。点灯率が低い (表示画面 64 の全体的に黒表示部分が多い) 時に、d u t y 比を大きくする。つまり、d u t y 比 $1/1$ に近づく。したがって、d u t y 比と点灯率とは相関関係がある。映像データから点灯率 (点灯率) を求め、点灯率から d u t y 比制御を行うのであるから当然である。また、点灯率をプリチャージ制御とも関係がある。

【0459】

図 73 (a) に図示するように、d u t y 比と点灯率 (%) の関係があるとする。図 73 (b) はプリチャージのオンオフ状態を示している。図 73 (b) では、d u t y 比が 20 % 以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動としても、本発明のプリチャージ駆動には、a l l プリチャージモード、適応型プリチャージモード、0 階調プリチャージモード、選択階調プリチャージモードがある。したがって、図 73 (b) ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、d u t y 比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。

【0460】

d u t y 比あるいは点灯率 (%) とガンマ制御も相関がある。図 74 はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数 (通常、係数は 2.2 とされている) を大きくして、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画

像のメリハリ感がつく。

【0461】

点灯率に対する $duty$ 比を図75であるとする。図75の制御では、表示画像の点灯率が100%に近いと $duty$ 比はほぼ $1/4$ にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になっていしまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【0462】

以上のことから、本発明では、点灯率あるいは $duty$ 比に応じて、ガンマカーブの係数を変化させている。図74はその説明図である。

10

【0463】

本発明は点灯率が高い（表示画面64の全体的に白表示部分が多い）時に、 $duty$ 比を小さくする。つまり、 $duty$ 比 $1/n$ の n を大きくする。点灯率が低い（表示画面64の全体的に黒表示部分が多い）時に、 $duty$ 比を大きくする。つまり、 $duty$ 比 $1/1$ に近づく。したがって、 $duty$ 比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率から $duty$ 比制御を行うのであるから当然である。

【0464】

図74（a）に図示するように、 $duty$ 比と点灯率（%）の関係があるとする。図74（b）のグラフは縦軸をガンマカーブの係数を示している。図74（b）では、 $duty$ 比が70%以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

20

【0465】

$duty$ 比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ELは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスタ表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【0466】

本発明では、点灯率が高いときに、 $duty$ 比制御の $1/n$ の n を大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、 $duty$ 比を $1/1 = 1$ または $1/1$ に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

30

【0467】

まず、点灯率（点灯率）と $duty$ 比の関係を図75に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、EL表示パネルではBの発光効率が悪いので、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

40

【0468】

図75は点灯率0%の時に、 $duty$ 比を $1/1$ とし、点灯率100%の時に最低 $duty$ 比を $1/4$ とした例である。図76は、電力と点灯率との掛算をした結果である。図75で点灯率が0から100%まで、絶えず $duty$ 比 $1/1$ であれば、図76のaで示すカーブとなる。なお、図76において点灯率とは、 $duty$ 比制御などを実施する前の値である。図76の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブaでは、点灯率と消費電力は比例関係にある。したがって、点灯率0%で消費電力は0（電力比0）であり、点灯率100%では、消費電力100（電力比100%）となる。

50

【0469】

図76のカーブbは、図75のduty比カーブで電力制限を実施した実施例である。点灯率100%の時のduty比は1/4であるから、カーブaに比較して、電力比は1/4の25%になる。カーブbは電力1/3よりも小さい範囲で動作している。したがって、図75のようにduty比制御を実施すると、電源容量は、従来（カーブa）に比較して1/3で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

【0470】

従来（カーブa）で点灯率が高い状態がつづくパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、duty比制御を実施した本発明ではカーブbでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【0471】

duty比と点灯率との積（ $a = \text{duty比} \times \text{点灯率}$ ）は以下の条件に合致するように制御することが好ましい。

【0472】

$0.2 \leq \text{duty比} \times \text{点灯率} \leq 0.6$ ただし、点灯率は、15%以上。

【0473】

たとえば、duty比が1/2で、点灯率が50%であれば、 $\text{duty比} \times \text{点灯率} = 0.25$ で上記条件に合致する。点灯率は、100%と1.0として計算している。また、duty比が1/4で、点灯率が100%であれば、 $\text{duty比} \times \text{点灯率} = 0.25$ で上記条件に合致する。duty比が1/3で、点灯率が90%であれば、 $\text{duty比} \times \text{点灯率} = 0.30$ で上記条件に合致する。しかし、duty比が1/1で、点灯率が10%であれば、 $\text{duty比} \times \text{点灯率} = 0.10$ で上記条件に合致しない。なお、点灯率は、duty比制御などをピーク電流抑制処理がされない場合に表示パネルのアノードあるいはカソード端子に流れる電流より求めたものである。

【0474】

$a = \text{duty比} \times \text{点灯率}$ が、0.2より小さい場合は、画像表示輝度が低く、実用的でない。一方、aが0.6より大きい場合は、輝度変化が大きい画像が表示された場合、フリッカが発生しやすい。また、電源モジュールの電源容量が大きくなり実用的ではない。

【0475】

図75のduty比カーブにおいて、最低duty比を1/2にした実施例がカーブcである。また、最低duty比を1/3にして実施例がカーブdである。同様に最低duty比を1/8にして実施例がカーブeである。

【0476】

図75はduty比カーブを直線にしたものあった。しかし、duty比カーブは、多種多様な直線あるいは曲線で発生させることができる。duty比カーブにより、図76のb、c、d、eに示すように点灯率に対する電力比が変化する。以上のようにduty比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【0477】

duty比制御カーブは、ユーザーが外部環境に応じてボタンで自由にduty比カーブを切り換えるようにする。明るい外部環境では、duty比の大きなカーブを選択し、外部環境が暗いときは、より電力を抑制するため、duty比の小さなカーブを選択するようにする。また、duty比制御カーブは自由に変更できるように構成しておくことが好ましい。

【0478】

図77に図示するように、低点灯率領域（図77では点灯率20%以下）でduty比を低下させ（図77（a））、duty比の低下にあわせて、基準電流比を上昇させ（図77（b））てもよい。以上のようにduty比制御と基準電流比制御を同時に行うこと

10

20

30

40

50

により、図 77 (c) で図示するように輝度の変化はなくなる。低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図 77 に実施するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。

【0479】

図 77 において、点灯率が高い領域（図 77 では 40 % 以上）では、 $duty$ 比は低下させるが、基準電流比は 1 のまま一定とする。したがって、輝度は $duty$ 比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、 $duty$ 比の最大を $1/1$ とする駆動方法では、非表示領域 62 は一括して挿入 10

【0480】

基準電流比、 $duty$ 比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生が増加またはパネルの自己発熱による劣化が加速されるからである。検討の結果によれば、点灯率が 30 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 (A) が 0.7 以上 1.4 以下にすることが好ましい。さらに好ましくは 0.8 以上 1.2 以下にすることが好ましい。また、点灯率が 80 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 (A) が 0.1 以上 0.8 以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは 0.2 以上 0.6 以下になるように制御あるいは設定することが好ましい。 20

【0481】

あるいは、点灯率 50 % の時の $duty$ 比 $\times$ 基準電流比を A とした時、点灯率が 30 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 $\times$ A が 0.7 以上 1.4 以下に設定あるいは制御することが好ましい。さらに好ましくは 0.8 以上 1.2 以下に設定あるいは制御することが好ましい。また、点灯率が 80 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 $\times$ A が 0.1 以上 0.8 以下に設定あるいは制御することが好ましい。さらに好ましくは 0.2 以上 0.6 以下に設定あるいは制御することが好ましい。

【0482】

本発明は第 1 の点灯率（アノード端子のアノード電流、データの総和に対する比率などでもよいことは以前に説明をした）もしくは点灯率範囲（アノード端子のアノード電流範囲、データの総和に対する比率の範囲などでもよいことは以前に説明をした）において、第 1 の FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積などもしくはこれらの組合せとして変化させる。 30

【0483】

また、第 2 の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第 2 の FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積など、もしくはこれらの組合せとして変化させるものである。また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。 40

【0484】

図 78 は、一例としての点灯率とアノード電圧の関係を示したものである。なお、 V_{dd+2} 、 V_{dd+4} は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【0485】

図 78 において、点灯率が 25 % 以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率 75 % 以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【0486】

図 78 は、一例としての点灯率とアノード電圧の関係を示したものである。本発明はこれに限定するものではない。たとえば、点灯率などに応じて、アノード端子電圧とカソード端子電圧との電位差を変化させてもよいことはいうまでもない。たとえば、アノード端子電圧が 6 (V)、カソード端子電圧が -9 (V) であれば、電位差は $6 - (-9) = 15$ (V) である。つまり、アノード電圧をカソード電圧との絶対値を点灯率あるいは基準電流もしくはアノード端子に流れる電流などに応じて変化させる。

【0487】

図 79 において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【0488】

プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図 80 に図示するように変化させてもよい。図 80 の実線 a は、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図 80 の点線 b は、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線 b では、基準電流に対するアノード電圧の変化点は 1 点であるので回路構成が容易となる。

【0489】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線 18 の電位を変化させることと同義である。図 1 などの駆動用トランジスタ 11 a が P チャンネルの場合は、プログラム電流 I_w あるいは基準電流を増加させることは、ソース信号線 18 の電位を低くすることである（GND 電位に近くなる）。逆に、プログラム電流 I_w あるいは基準電流を小さくすることは、ソース信号線 18 の電位を高くすることである（アノード V_{dd} に近くなる）。

【0490】

以上のことから、図 81 に図示するように、制御を行っても良い。つまり、ソース信号線 18 の電位が 0 (GND) 電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線 18 の電位が V_{dd} 電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、EL 素子 15 に高電圧が印加される期間を短くすることができ、EL 素子 15 を長寿命化できる。

【0491】

パネルあるいはパネルの周囲温度に応じて、duty 比などを変化させてもよい。図 82 はその実施例である。図 82 において実線は、パネル温度が 40 °C 以下の場合である。実線では、点灯率 40 % 以下で、duty 比を 1 / 1 とし、40 % 以上で duty 比を低下させている。点線では点灯率 20 % 以下で duty 比を 1 / 2 とし、点灯率 20 % 以上で duty 比を低下させる。40 °C から 60 °C の間では、点線と実線の間のカーブを描く。

【0492】

EL 表示装置は、EL 画素 16 に電流が流れることにより劣化する。特に、表示画面 64 に固定パターンが表示されることにより、固定パターンが焼きつく。焼きつきは、高輝度点灯している画素の劣化が促進され、低輝度点灯している画素が劣化しないことの差から発生する。

【0493】

点灯しているため、EL 材料の劣化が促進されることはしかたがない。本発明は、固定パターンの焼きつきが見えることを低減するため、画面 64 の画像表示位置を移動させるこ

とによりこの課題を解決している。以下、対策の本発明の実施例について説明をする。

【0494】

コントローラ722は主として映像信号のSUM演算を実施し、実施結果に基づいてduty比を求める。このduty比により表示画面64の非点灯領域62の面積が決定される。したがって、図83に図示するように、duty比は、時間tで逐次変化している。

【0495】

図83において、1の箇所では、duty費が0.3(3/10)程度からduty比1.0(1/1)に急変している。1以前の時間では、duty比は0.25~0.5の範囲をゆっくりと変化している。したがって、この範囲ではduty比に対応して非点灯領域62は、点灯率に対応するように変化している。画像は白ラスタ表示に近い範囲である。つまり、点灯率は高いが、duty比は小さく制御されているので、表示パネルに流れる電流は比較平均的に制御されている。したがって、特に問題は発生しない。

10

【0496】

また、図83において、2の箇所では、duty比が1.0(1/1)程度からduty比0.25(1/4)に急変している。1位置から2位置の時間では、duty比は0.75~1.0の範囲をゆっくりと変化している。したがって、この範囲ではduty比に対応して非点灯領域62は、点灯率に対応するように変化している。画像は黒ラスタ表示に近い範囲である。つまり、点灯率は低い、duty比は高く制御されているので、表示パネルに流れる電流は比較平均的に制御されている。したがって、特に問題は発生しない。

20

【0497】

1の位置では、点灯率が急変し、それに伴いduty比が急変する。画面64は白表示状態(高輝度表示の画素16が多い状態)から黒表示状態(低輝度表示の画素16が多い状態)に変化する。つまり、画面64の表示画像は急に暗くなる(ただし、duty比が制御され、明るさは調整される)。

【0498】

2の位置では、点灯率が急変し、それに伴いduty比が急変する。画面64は黒表示状態(低輝度表示の画素16が多い状態)から白表示状態(高輝度表示の画素16が多い状態)に変化する。つまり、画面64の表示画像は急に明るくなる(ただし、duty比が制御され、明るさは調整される)。

30

【0499】

1位置と2位置では、画面64の表示状態が急変する。本発明では、1位置と2位置のように点灯率が急変する箇所、あるいはduty比が急変する箇所で画面64の表示位置を変化させる。画面64の表示位置を変化させるとは、1画素行あるいはそれ以上の複数画素行位置を上下に移動させること(図84(b)の1、2、3を参照のこと)、1画素列あるいはそれ以上の複数画素列位置を左右に移動させること(図85(b)の1、2、3を参照のこと)である。もちろん、画素行と画素列を同時に移動させてもよいことは言うまでもない。

【0500】

なお、本発明は、duty比、点灯率が急変する箇所で画素行位置、画素列位置を移動させるとしたが、これに限定するものではない。本発明は、画面64の表示状態が急変するときに、画素行位置、画素列位置を移動させるものである。画面64の表示状態が急変する例として、チャンネルを切り替え、表示番組を選択するときが例示される。当然シーンが急激に変化するからである。また、変化時に黒画面表示などになっても問題ないからである。また、表示装置の電源をオンオフさせるときが例示される。電源をオフしたときの画面位置をフラッシュメモリに保持し、次に電源をオンさせ画像を表示させるときに、フラッシュメモリからデータを読み出し、画面位置の移動を行って画像を表示する。また、電源オン時に、乱数発生回路で乱数を発生させ、乱数により画面位置を設定してもよい。このことは、チャンネルを変更するときにも同様に適用できる。また、シーン急変時に画面移動させるときにも適用できることは言うまでもない。

40

50

【0501】

画面位置の移動は、水平同期信号に対するゲートドライバ回路12のスタートパルス（ST1）タイミングを変化させることにより実現できる。また、メインクロックに対するソースドライバ回路（IC）14のスタートパルスタイミングを変化させることにより容易に実現できる。

【0502】

画面64が急変するしないの判断は、図85（a）の表にしたがって行う。斜線内に変化するとき画面64の表示位置を変化させる。図85（a）の横軸は、変化前の点灯率である。または、変化前のduty比である。図85（a）の縦軸は、変化後の点灯率である。または、変化後のduty比である。なお、duty比は基準電流比に置き換えることができる。一実施例としてduty比10/10を基準電流比4とし、duty比2/10を基準電流比1と置き換える。

10

【0503】

図85において、変化前の点灯率20%（duty比10/10）から、変化後のA点である点灯率80%（duty比4/10）に変化するとき、斜線の範囲内である。図83では、2位置の状態である。このときには、図85（b）、図85（a）のように画素行位置、画素列位置を移動させる。また、変化前の点灯率80%（duty比4/10）から、変化後のB点である点灯率20%（duty比10/10）に変化するとき、斜線の範囲内である。図83では、1位置の状態である。このときには、図85（b）、図85（a）のように画素行位置、画素列位置を移動させる。以上のように本発明では、図85の斜線範囲内に変化するとき、画面位置を移動させる。

20

【0504】

斜線の範囲は、図84（a）に図示するように小面積に設定してもよい。以上のように、画面位置の変化条件（斜線範囲）は、コントローラIC（回路）722のコマンド設定により変化あるいは変更できるようにすることが好ましい。図84（a）のBは、変化前の点灯率90%（duty比3/10）から、変化後のB点である点灯率20%（duty比10/10）に変化するとき、図83では、1位置の状態である。このときには、図85（b）、図85（a）のように画素行位置、画素列位置を移動させる。以上のように本発明では、図85の斜線範囲内に変化するとき、画面位置を移動させる。

【0505】

本発明は、プリチャージ電圧（駆動）あるいは過電流（駆動）を印加（実施）することにより良好な黒表示を実現する。しかし、垂直ブランキング期間などは、ソース信号線18には映像信号は印加されない。また、いずれの画素行もゲート信号線17aにより選択されたい。そのため、垂直ブランキング期間はソース信号線18がフローティング状態となる。

30

【0506】

フローティング状態となると、画素16のVdd端子からソース信号線18にリーク電流が供給され、垂直ブランキング期間には、ソース信号線18の電位が低下する。そのため、画面64の第1画素行目に黒表示を行う場合には、ソース信号線18の電位が黒表示電位まで復帰しない。

40

【0507】

この課題を解決するため、本発明では、垂直ブランキング期間に、低階調のプログラム電流をソース信号線に供給し、ソース信号線18の電位を保持する。この低階調とは、全階調の1/10以下の階調範囲である。たとえば、256階調であれば、25階調より低い階調（1階調（0階調目は電流0）以上25階調以下）である。

【0508】

この方式を実現するために、図86に図示するように、表示領域64以外の範囲（画像表示として画像を表示しない部分あるいは表示されないように構成されている部分：無効領域）にダミーの画素16aからなる画素行を形成または配置する。図87に図示するように画面64の上下のうち、少なくとも一方にダミー画素16aを配置または形成する。

50

画素 16 a には E L 層 29 は形成されていない。したがって、選択されても発光しない。

【0509】

垂直ブランキング期間において、ゲートドライバ回路 12 a は、ゲート信号線 17 a 1 を選択する。ゲート信号線 17 a 1 の選択により画素 16 a のトランジスタ 11 c 1 がオン状態となる。同時に、ソースドライバ回路 (IC) 14 は低階調のプログラム電流を供給する。このプログラム電流は、画素 16 a の V d d 端子から、駆動用トランジスタ 11 a 1、スイッチ用トランジスタ 11 c 1、ソース信号線 18 を介してソースドライバ回路 (IC) 14 に流れ込む。

【0510】

以上の動作により、垂直ブランキング期間において、ソース信号線 18 の電位が低階調時の電位に保持される。したがって、表示領域 64 の 1 画素行目から良好な表示を実現できる。なお、表示領域 64 の画像表示を上下反転する場合は、画素 16 a 1 を画面の上下部に配置するか、表示反転を実施しても、垂直ブランキング期間にはゲート信号線 17 a 1 を選択するようにゲートドライバ 12 a を制御するように構成する。なお、以上の動作を水平ブランキング期間に実施してもよいことは言うまでもない。

【0511】

以上の実施例は、ブランキングにダミー画素 16 a に低階調のプログラム電流を供給することにより、ソース信号線 18 の電位を所定値あるいは所定範囲に保持する。しかし、本発明はこれに限定されるものではない。本発明は、ブランキング期間にソース信号線 18 の電位を低階調の所定値に保持するものである。

【0512】

したがって、たとえば、図 88 に図示するように、垂直ブランキング期間に図 32、図 36 などのスイッチ 221 a をクローズすることにより、ソース信号線 18 にプリチャージ電圧 V p c を供給してもよい。プリチャージ電圧 V p c の供給によりソース信号線 18 に電位は低階調の電位に保持することができる。なお、ブランキング期間のすべての期間において、プリチャージ電圧 V p c を印加する必要はない。1 回以上短期間に印加してもよい。また、パルス状に断続的に印加してもよいことは言うまでもない。

【0513】

本発明は説明を容易にするため、画素 16 の駆動用トランジスタ 11 a を P チャンネルとして説明している。したがって、V d d 電圧に近い場合が低階調領域 (黒表示) であり、G N D 電位に近い方が高階調 (白表示) である。

【0514】

本発明において、画素 16 を黒表示から白表示に書き換える時、規定のプログラム電流を画素 16 に供給しても 1 フィールド (1 フレーム) では目標の輝度を得られない。この現象が発生するのは、1 H 単位でプログラム電流を変化させるとき、変化の間に一旦ソース信号線 18 をフローティングにするためと推定される。

【0515】

任意の画素 16 に着目して説明をする。従来の駆動方式を図 89 (a) に示す。また、本発明の駆動方式を図 89 (b) に示す。なお、第 0 フィールド (フレーム) が書き換えまでのソース信号線 18 の電位 = 画素 16 に書き込む電位とし、第 1 フィールド (フレーム) で白表示 (高階調表示) の電位を書きこむとする。つまり、ソース信号線 18 の電位は低下させる。第 2 フィールド (フレーム) 以降は第 1 フィールド (フレーム) の階調を維持するものとする。

【0516】

図 89 (a) に図示するように、第 0 フィールド (フレーム) が黒表示 (低階調表示) とし、第 1 フィールド (フレーム) で白表示 (高階調表示) を画素 16 にプログラム電流を書き込むとする。従来の駆動方式では、図 89 (a) に図示するように、第 1 フィールド (フレーム) で目標値の階調に対応するプログラム電流を画素 16 に印加する。以降のフィールド (フレーム) で同一プログラム電流を画素 16 に印加する。しかし、実際には、第 1 フィールド (フレーム) で到達する輝度 (プログラム電流) は、目標値の 70 % 程

度にしか到達しない。この原因は、ソース信号線 18 を一定の期間、ソースドライバ回路（IC）14 から切り離し、フローティングにするために、ソース信号線 18 の電位が急激に変化するためと Vdd 方向に電位移動するため推定される。この現象はあたかも応答性が遅れているように表示される。この表示状態を低応答性状態と呼ぶ。

【0517】

本発明の駆動方式を図 89（b）に図示している。第 1 フィールド（フレーム）では、目標階調のプログラム電流よりも高階調のプログラム電流を画素 16 に書き込む。もしくは、図 48 などでも説明したように本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。第 2 フィールド（フレーム）以降は、目標階調のプログラム電流を画素 16 に書き込む。第 1 フィールド（フレーム）で書き込むプログラム電流は、本来の目標プログラム電流の 10% 以上 40% 以下とする。さらに好ましくは、20% 以上 35% 以下とすることが好ましい。

10

【0518】

したがって、第 0 フィールド（フレーム）から第 1 フィールド（フレーム）に変化させるとき（書き込んでいる階調のプログラム電流を変化させるとき）、第 1 フィールド（フレーム）では、目標値よりも 10% 以上 40% 以下大きい、つまり、目標階調プログラム電流を 100% とすれば、110% 以上 140% 以下のプログラム電流を画素 16 に印加する。この駆動方式を図 89（b）に示している。

【0519】

なお、以上の実施例では、プログラム電流を供給するとし、電流プログラムを実施することを前提に説明した。しかし、目標値の 70% 程度にしか到達しないという現象は電圧プログラムでも発生する。したがって、電圧プログラムの場合は、第 0 フィールド（フレーム）から第 1 フィールド（フレーム）に変化させるとき（書き込んでいる階調のプログラム電圧を変化させるとき）、第 1 フィールド（フレーム）では、目標値よりも 10% 以上 40% 以下大きい、つまり、目標階調プログラム電圧を 100% とすれば、110% 以上 140% 以下の電流が EL 素子 15 に流れるように、プログラム電圧を画素 16 に印加する。

20

【0520】

なお、電圧プログラムの場合は、ソース信号線 18 をフローティングにする期間が発生しなければ、ソース信号線 18 の電位が急激に変化することがないため、図 89（b）の駆動を実施する必要はない。たえず、ソース信号線 18 の電位が固定されているからである。電圧プログラム方式の場合は、R、G、B のソース信号線 18 を 1H 期間内に順次選択する 3 選択切り替え方式の場合などに本発明を実施する。R、G、B のソース信号線 18 をソースドライバ回路（IC）14 の端子と接続していない期間は各ソース信号線 18 がフローティング状態となるからである。

30

【0521】

電流プログラム（電流駆動）の場合は、低階調領域ではプログラム電流は微小であるから、フローティング状態である。したがって、ブランク期間に故意にフローティング状態を実施せずとも、基本的にフローティング状態である。したがって、図 89（a）の駆動では、第 1 フィールド（フレーム）では目標輝度が得られない。そのため、図 89（b）の本発明の駆動方式を実施する。

40

【0522】

なお、以上の実施例は、画素 16 の駆動用トランジスタ 11a が P チャンネルトランジスタの場合である。画素 16 の駆動用トランジスタ 11a が N チャンネルの場合は、第 1 フィールド（フレーム）では、Vdd 方向の電位に設定することは言うまでもない。つまり、本発明は、画素 16 の階調が変化するとき、所定値より減少あるいは増強した電位にソース信号線 18 を変化させるものである。また、第 2 フィールド（フレーム）では目標値を印加とするとしたが、実際には、この電位も 5～10% 程度目標に到達しない。したがって、目標値に到達するように調整あるいは制御してもよいことは言うまでもない。

【0523】

50

以上の事項は本発明の他の実施例においても同様である。また、本発明の他の実施例と本発明の駆動方法と組み合わせられることは言うまでもない。

【0524】

低応答性状態は、ソース信号線18の電位が所定の電位とならないことから発生する。したがって、ソース信号線18を制御すればよい。図90はソース信号線18の制御により、低応答性状態を改善する本発明の駆動方式の説明図である。

【0525】

図90の本発明の駆動方法は、ソース信号線18の寄生容量2701を利用している。図90は画素16に書き込む電流を変化させる場合の説明である。

【0526】

図90(a)に図示するように、まず、画素16のプログラム電流を書き換える際、画素16のスイッチング用トランジスタ11cをオフ(オープン)状態にし、ソース信号線18からソースドライバ回路(IC)14に目標のプログラム電流 I_w を引き込む。トランジスタ11cはオフ状態であるから、プログラム電流 I_w は寄生容量2701から供給される。したがって、ソース信号線18の電位はGND側に低下する。つまり、図89(b)の第2フィールド(フレーム)の状態となる。

【0527】

次に、スイッチ用トランジスタ11cをクローズする。すると、プログラム電流 I_w は駆動用トランジスタ11aから供給される(図90(b))。以上の駆動により、ソース信号線18の電位は一旦目標値よりも低下するから、図90(b)の駆動で目標プログラム電流が画素16に良好に書き込まれる。図90(c)はプログラム完了後の状態である。スイッチ用トランジスタ11cがオープンさせている。

【0528】

図91は、基準電流を変化させる実施例である。一例としてソースドライバ回路(IC)14に外づけ抵抗 R_1 、 R_2 が取り付けられている。 $R_2 > R_1$ なる関係とし、 R_1 と R_2 のどちらの抵抗を利用するかは、ソースドライバ回路(IC)14内に構成されたアナログスイッチ S_p で切り換えることができる。一例として、 $R_2 = 10 \cdot R_1$ なる関係とする。つまり、スイッチ S_p により R_2 を選択した場合の基準電流 I_{c2} は、 R_1 を選択した場合の基準電流 I_{c1} に対して10倍($I_{c2} = 10 \cdot I_{c1}$)の関係となる。つまり、基準電流を通常より大きく設定することができる。

【0529】

なお、以下の実施例は、プリチャージ電圧あるいは過電流駆動に限定されるものではなく、基準電流、プログラム電流などの制御に広く適用されるものである。

【0530】

基準電流 I_c は R_2 を選択したとき、 I_{c2} となり、トランジスタ群228bに印加され、端子93から出力される電流も通常の10倍となる。基準電流 I_c は R_1 を選択したとき、 I_{c1} となり、トランジスタ群228bに印加され、端子93から出力される電流は通常どおりとなる。

【0531】

端子93から出力される電流はトランジスタ群251cを制御するスイッチDの状態により異なる。 I_{c2} がトランジスタ群228に印加されるときは、プログラム電流は10倍となる。図92に図示するように、プリチャージ期間にはスイッチ S_p はb端子を選択している。したがって、抵抗 R_2 が選択され、一例として通常の10倍の基準電流 I_{c2} が流れる。プリチャージ期間以外は、スイッチ S_p はa端子を選択している。したがって、抵抗 R_1 が選択され、一例として通常の基準電流 I_{c1} が流れる。なお、プリチャージ期間は、コントローラ722からの制御信号により可変することが可能である。プリチャージ期間が長ければ、ソース信号線18への電流(電圧)印加期間が長くなる。プリチャージ期間が短ければ、ソース信号線18への電流(電圧)印加期間が短くなる。

【0532】

したがって、図91の実施例では、プリチャージ期間は、基準電流が大きくなるため、

10

20

30

40

50

プリチャージによるソース信号線18の電荷の充放電を短期間で実施できる。ただし、プリチャージビットが選択されていない場合は、プリチャージ期間にはプログラム電流を出力するスイッチD(221)(図22を参照のこと)がすべてオープン状態となる。したがって、端子93からは電流が出力されない。つまり、プリチャージ電流はソース信号線18に印加されない。この期間は図92のA期間である。プリチャージビットは0である。したがって、スイッチSpは選択されているが、スイッチD(221)がオープン状態のためプリチャージ電流(P電流)は出力されない。図92のBおよびC期間は、プリチャージビットは1である。したがって、スイッチSpはb端子を選択し、スイッチD(221)が制御信号に対応して制御され、プリチャージ電流(P電流)がプリチャージ期間にソース信号線18に出力される。基準電流がIc1の期間は、画素への電流プログラムが実施されている期間である。この期間は、映像データに対応するプログラム電流(映像電流)またはプログラム電圧が各画素16に書き込まれる。以上の動作は、端子ごとに、また、映像データごとに実施されることが好ましい。また、プリチャージ期間も、端子ごとに、また、映像データごとに変化あるいは可変してもよいことは言うまでもない。もちろん、ソースドライバ回路(IC)14全体で、プリチャージ期間の長さ、プリチャージ期間の基準電流Ic2の大きさなどを同一動作させてもよい。

10

20

30

40

50

【0533】

図91は、外付け抵抗R(R1、R2)を選択して基準電流を可変するとした。しかし、本発明はこれに限定するものではない。図93に記載するように、ソースドライバ回路(IC)14に内蔵の抵抗R(Ra、Rb)を形成し、この抵抗をスイッチSrで切り換えることにより基準電流Icの大きさを変化させてもよい。スイッチSrがクローズすることにより、内蔵抵抗はRaとなり、スイッチSrをオープンさせれば内蔵抵抗はRa+Rbとなる。また、外付け抵抗は、図91のように2つに限定するものではなく、図93に図示するように3つ以上から選択してもよい。

【0534】

また、図94に図示するように、ソースドライバ回路(IC)14内に内蔵抵抗を複数直列または並列に接続して構成し、スイッチSp(Spa~Spn)を選択することにより基準電流Icを多様に変化あるいは変更してもよい。

【0535】

図91の外付け抵抗は、図95に図示するように、RGBで変更できるように構成することが好ましい。EL表示パネルでは、RGBで発光効率が異なるため、RGBの基準電流Ic(Icr、Icg、Icb)が異なるからである。したがって、RGBごとに、プリチャージ期間に印加するプリチャージ電流の大きさも異なる。図95のように構成することにより、RGBで最適なプログラム電流、プリチャージ電流に設定できる。図95の事項は、図91のように、以上の事項は図93などの内蔵抵抗にも適用される。つまり、RGBで内蔵抵抗の値を変化させたソースドライバ回路(IC)14を形成すればよい。

【0536】

なお、ホワイトバランス(Wバランス)の調整は、図96に図示するように、輝度計2961あるいは色彩輝度計を用いて、表示画面64の輝度あるいは色度を測定し、定電流回路の抵抗R1(赤色用R1R、緑色用R1G、青色用R1B)の抵抗値を最適値に調整することにより行う。なお、図96に図示するように、定電流回路のオペアンプ231aの+端子に印加する電圧は、RGBで共通である電子ポリウム291で調整あるいは設定する。つまり、定電流回路の抵抗R1(赤色用R1R、緑色用R1G、青色用R1B)の両端に印加される電圧は、RGBで共通である。

【0537】

以上の説明では、抵抗Rの値を変化させることにより、基準電流Icの大きさを変化すると説明した。しかし、本発明は、プリチャージ期間の基準電流と、プログラム期間(通常期間)の基準電流とを変化させることを技術的思想としている。したがって、図97に図示する構成も本発明の技術的範疇である。

【0538】

図 9 7 はトランジスタ群 2 2 8 b を複数のトランジスタで構成している。各トランジスタには選択するスイッチ S (S 1 ~ S 4) が形成されている。スイッチ S のクローズ数を変更することにより、基準電流 I c を分流するトランジスタ 2 2 8 b 数を変更できる。変更により、トランジスタ 2 2 8 b とカレントミラー回路を構成するトランジスタ群 2 5 1 c とのミラー比を変更できる。ミラー比を変更することにより、端子 9 3 から出力する電流を変更 (可変) することができる。したがって、図 9 1 と同様に、プリチャージ期間に出力電流 (プリチャージ電流) を大きくし、通常期間に出力電流 (プログラム電流) を映像データに最適な大きさにすることができる。

【0 5 3 9】

図 9 8 はトランジスタ群 2 2 8 b を複数のトランジスタ群 (2 2 8 b 1、2 2 8 b 2) で構成している。トランジスタ群 2 2 8 b 1 (一例として 2 個のトランジスタ 2 2 8 b 1 で構成されている) には基準電流 I c 1 が印加され、トランジスタ群 2 2 8 b 2 (一例として 2 個のトランジスタ 2 2 8 b 2 で構成されている) には基準電流 I c 2 が印加される。それぞれの基準電流 I c 1、I c 2 の大きさを変化させることにより、また、それぞれの基準電流 I c 1、I c 2 をオンオフさせることにより、トランジスタ 2 2 8 b とカレントミラー回路を構成するトランジスタ群 2 5 1 c とのミラー比を変更できる。ミラー比を変更することにより、端子 9 3 から出力する電流を変更 (可変) することができる。したがって、図 9 1 と同様に、プリチャージ期間に出力電流 (プリチャージ電流) を大きくし、通常期間に出力電流 (プログラム電流) を映像データに最適な大きさにすることができる。

【0 5 4 0】

図 9 9 はトランジスタ群 2 2 8 a を複数のトランジスタで構成した実施例である。各トランジスタには選択するスイッチ S a (S a 1 ~ S a 3) が形成されている。スイッチ S a のクローズ数を変更することにより、基準電流 I c の大きさを変更できる。スイッチ S a の設定変更により、トランジスタ 2 2 8 b に流れる基準電流 I c の大きさが変化し、端子 9 3 から出力する電流を変更 (可変) することができる。したがって、図 9 1 と同様に、プリチャージ期間に出力電流 (プリチャージ電流) を大きくし、通常期間に出力電流 (プログラム電流) を映像データに最適な大きさにすることができる。

【0 5 4 1】

図 9 7 と同様の回路構成を応用展開し、図 1 0 0 に図示するように、R G B の基準電流を変化できるように構成してもよい。トランジスタ群 2 2 8 b を複数のトランジスタで形成し、単位トランジスタ群 2 5 1 c とのミラー比を変化させる。ミラー比はスイッチ S 1 ~ S 4 によって切り替える。切り替え制御はコントローラ 7 2 2 からのコマンド設定で行う。また、設定値をフラッシュメモリに格納しておき、コントローラ 7 2 2 でフラッシュメモリから設定データを読み出し、ソースドライバ回路 (I C) 1 4 に設定する。

【0 5 4 2】

図 1 0 0 では、赤 (R) 回路では、スイッチ S 1、S 2、S 3 をクローズさせる。ミラー比は 3 : X となる。なお、X は接続されている単位トランジスタ群 2 5 1 c の数量で決定される。図 1 0 0 では、緑 (G) 回路では、スイッチ S 1、S 2、S 3、S 4 をクローズさせる。ミラー比は 4 : X となる。青 (B) 回路では、スイッチ S 1、S 2 をクローズさせる。ミラー比は 2 : X となる。スイッチ S 1 ~ S 4 の制御により、トランジスタ群 2 2 8 b と単位トランジスタ群 2 5 1 c とのミラー比が変化するから、R G B の単位トランジスタ群 2 5 1 c から端子 9 3 を介して出力されるプログラム電流は可変される。つまり、R G B 回路でスイッチ S 1 ~ S 4 をオンオフ (オープン、クローズ) 制御することにより、プログラム電流の大きさを、間欠的に変化あるいは変更設定することができる。特に E L 表示パネルでは、R G B の効率が異なるから、図 1 0 0 の構成は都合がよい。単位トランジスタ群 2 5 1 c その他の構成を、R G B で全く同一に形成し、スイッチ S 1 ~ S 4 の制御でプログラム電流を可変できるからである。なお、スイッチ S の形成個数は、3 以上 1 0 以下とすることが好ましい。

【0 5 4 3】

図100は、白表示を行う単位トランジスタ群251cとミラー回路を構成するトランジスタ群228bなどを有している。つまり、図100のソースドライバ回路(IC)14は、赤、緑、青、白の4色表示である。RGBの3原色に加えて、W(白)を追加形成することにより、画像にピーク輝度を表示することができる。したがって、高輝度表示を実現でき、消費電力も低減できる。

【0544】

基準電流Icの大きさを設定する抵抗R1は、図101に図示するようにソースドライバ回路(IC)14に内蔵させることが好ましい。抵抗R1は拡散抵抗で形成する。もちろんポリシリコンで形成してもよい。抵抗R1が規定値あるいは規定範囲からばらつく場合は、レーザートリミングにより所定範囲内に調整しておくことが好ましい。抵抗R1の値は、RGBで異ならせて作製してよい。しかし、表示パネルの画素配置はRGBがどの順序になるかわからない。また、どの順序であっても、ソースドライバ回路(IC)14が対応できるように構成しておくことが好ましい。したがって、RGB(W)の内蔵抵抗R1の値は、同一にすることが好ましい。もちろん、同一に形成し、その後、レーザなどで調整あるいは変更してもよい。

10

【0545】

また、図102に図示するように、電源Vcを印加する端子を選択してもよい。図102では、R回路はa端子にVc電圧を接続している。したがって、R回路では4Rとなる。また、G回路はc端子にVc電圧を接続している。したがって、G回路では2Rとなる。B回路はb端子にVc電圧を接続している。したがって、B回路では2Rとなる。以上のように、Vc電圧を印加する端子を調整することにより、基準電流の大きさをRGBで変化あるいは変更設定することができる。図102では、基準電流は、Rが最も大きく、次にBの基準電流が大きく、Gが最も小さい。基準電流の大きさは、R : G : B = 4 : 2 : 3である。

20

【0546】

以上のように本発明のソースドライバ回路(IC)14およびそれを用いた表示装置では、図101、図102のように、抵抗R1(Rで構成されている)を内蔵する。内蔵抵抗は値がばらつく、しかし、このばらつきは、電子ボリウム291の値設定により吸収することができる。また、図100のようにミラー比をRGB(W)で設定できる。

【0547】

なお、以上の実施例は、外付け抵抗Rの一端子をVdd電圧など高電圧側に接続する実施例であった。しかし、本発明はこれに限定するものではない。図104に図示するように、外付け抵抗Rの一端子をGND側に接続する構成であってもよい。つまり、基準電流の発生方式に制約はない。図104の他の構成は他の実施例と同様である。また、図97から図104の実施例は相互に組み合わせできることも言うまでのない。

30

【0548】

図102はRGBの基準電流をそれぞれ独立に調整あるいは可変できるように構成した実施例である。図103は図102に加えて、RGBの基準電流の比率を維持したまま(つまり、ホワイトバランスを維持したまま)、8ビットのIMDATAのより電子ボリウム291Mを制御し、各RGBの基準電流の大きさを変化あるいは可変できるようにしたものである。

40

【0549】

図103において、電子ボリウム291Mの出力は電子ボリウム291R、291G、291Bの電位端子に接続されている。電子ボリウム291Mの出力電圧を変化させることにより、その変化に対応して電子ボリウム291(291R、291G、291B)の出力電圧を変化させることができる。

【0550】

したがって、図103の回路構成では、電子ボリウム291R、291G、291Bで表示パネルの表示画面64のホワイトバランスを調整し、電子ボリウム291Mを制御するIMDATAによりRGBの基準電流の大きさは、先に調整したホワイトバランスを維

50

持したまま、変更できる。つまり、画面 64 へのプログラム電流の大きさを変化させることができるから、表示画面 64 の輝度を変化できる。また、duty 比制御との組み合わせも実施できることは言うまでもない。したがって、図 71 の駆動方式などの実施が容易である。

【0551】

以上のことは、本発明のソースドライバ回路 (IC) 14 のすべてに適用できることは言うまでもない。また、端子 93 から出力されるプリチャージ電流、プログラム電流の方向は、吐き出し電流方向、吸い込み (シンク) 電流方向のいずれでもよいことは言うまでもない。

【0552】

以上のように、目標プログラム電流あるいはソース信号線 18 電位から適切な大きさの過電流 (プリチャージ電流もしくはディスチャージ電流) I_d を制御に用い、過電流 (プリチャージ電流もしくはディスチャージ電流) の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線 18 の電位変化を理論的に予測あるいは推測することができるから、コントローラ IC (回路) 722 (図示せず) で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【0553】

以上の実施例は、1H 期間内の過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動または／およびプリチャージ電圧駆動の実施例であった。しかし、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動または／およびプリチャージ電圧駆動は 1H 期間内だけではなく、1 フレームあるいは複数水平走査期間のソース信号線 18 の電位状態を考慮して行うことが好ましい。

【0554】

本発明では、図 105 で図示するようにプリチャージ電圧も FRC 化している。たとえば、図 105 (b) は 4 FRC の駆動方法である。図 105 (b) において、○ (白丸) はプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加 (出力) されたことを示しており、● (黒丸) はプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されていないことを示している。つまり、図 105 (b) (1) では、4 フレーム (フィールド) で 1 回しかプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されないことを示している。

【0555】

同様に図 105 (b) (2) では、4 フレーム (フィールド) で 2 回しかプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されないことを示しており、図 105 (b) (3) では、4 フレーム (フィールド) で 3 回プリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されることを示している。図 105 (b) (4) では、4 フレーム (フィールド) ともプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されることを示している。

【0556】

以上の動作 (方法) を実施することによりプリチャージ電圧 (プログラム電圧と同義あるいは類似) で階調表示を増大することができる。したがって、階調数が増加しより良好な画像表示を実現できる。つまり、低階調領域では主としてプリチャージ電圧 (プログラム電圧と同義あるいは類似) で階調表示を実現し、高階調領域ではプログラム電流により階調表示を実現する。

【0557】

FRC とプリチャージ駆動 (プリチャージ電圧を印加する駆動方式) を組み合わせた場合、プリチャージ駆動を実施する階調と、プリチャージ駆動を実施しない階調で画像表示のみだれが発生する場合がある。

【0558】

たとえば、7 階調目と 8 階調目の組み合わせで階調表示を行っている複数の第 2 の画素

10

20

30

40

50

行の帯表示（横線）があるとする。前記画素の1画素行前の第1の画素行に、1階調目の階調表示が実施されているとする。1階調目から7階調目に変化する時はプリチャージ駆動を実施する。1階調目から8階調目に変化する時はプリチャージ駆動を実施しないとする。すると、第1の画素行の画素から、第2の画素行の画素に変化する時、第2の画素行の画素が、7階調目の時はプリチャージ駆動を実施され、比較的完全な階調に対応する輝度表示（高輝度）が実現される。第1の画素行の画素から、第2の画素行の画素に変化する時、第2の画素行の画素が、8階調目の時はプリチャージ駆動を実施されず、比較的低輝度表示となる。そのため、第2の画素行では、FRC駆動に同期して、比較的高輝度と低輝度表示が入り混じり、また、次の画素行にお引きが発生し、ノイズっぽい表示となる。

10

【0559】

第2の画素行の帯表示が、8階調目と9階調目の組み合わせでFRC駆動による表示が行われている場合は、第1の画素行の画素から、第2の画素行の画素に変化する時であっても、前述の課題は発生しない。1画素行前の第1の画素行に1階調目の階調表示が実施されているとし、1階調目から8階調目に変化する時はプリチャージ駆動を実施しないし、1階調目から9階調目に変化する時はプリチャージ駆動を実施しないからである。つまり、第2の画素行の帯表示では、FRCは実施されていても、その表示部の画素には、プリチャージ駆動が実施されていないからである（プリチャージ駆動を実施する画素と、実施しない画素が入り混じっていない）。

20

【0560】

第2の画素行の帯表示が、6階調目と7階調目の組み合わせでFRC駆動による表示が行われている場合も、第1の画素行の画素から、第2の画素行の画素に変化する時であっても、前述の課題は発生しない。1階調目から6階調目に変化する時はプリチャージ駆動を実施するし、1階調目から7階調目に変化する時もプリチャージ駆動を実施するからである。つまり、第2の画素行の帯表示では、FRCは実施されていても、その表示部の画素はすべて、プリチャージ駆動は実施されているからである（プリチャージ駆動を実施する画素と、実施しない画素が入り混じっていない）。

【0561】

本発明は、上記の課題を解決するため、プリチャージ駆動を実施し、かつFRC駆動を実施する場合において、以下の条件でプリチャージ駆動を実施するかしないかを判定して、プリチャージ駆動を実施する。

30

【0562】

本発明では、プリチャージ駆動を実施する階調を、プリチャージ駆動を実施しない階調が入り混じるFRC階調（前述の実施例では、7階調目と8階調目によるFRC駆動の範囲）では、プリチャージ駆動は実施しない。

【0563】

たとえば、1階調目から7階調目に変化する時はプリチャージ駆動を実施し、第1階調目から8階調目に変化する時は、プリチャージ駆動を実施する場合、

- ・7階調目と8階調目でFRC駆動を実施している階調には、プリチャージ駆動を実施しない。

40

- ・6階調目と7階調目でFRC駆動を実施している階調には、プリチャージ駆動を実施する。

- ・8階調目と9階調目でFRC駆動を実施している階調には、プリチャージ駆動を実施しない。

つまり、プリチャージ駆動を実施する階調（階調差、階調変化あるいは変化量）と、プリチャージ駆動を実施する階調（階調差、階調変化あるいは変化量）の組み合わせによるFRC駆動の階調では、プリチャージ駆動を実施しない。

【0564】

判定は以下のロジックで行う。まず、プリチャージ駆動を行う階調は、あらかじめ設定されている、あるいは、条件判断で設定されるから既定値（たとえば、7階調目はプリチ

50

ャージする)あるいは既定範囲(たとえば、1階調目から7階調目の変化ではプリチャージする)である。この階調が、どのFRCの階調を構成しているかも既定値あるいは既定範囲である(たとえば、7階調目と8階調目において、4FRC駆動で階調表示する)。以上のことから、たとえば、7階調目と8階調目のFRCが、プリチャージしないと判断できればよい。

【0565】

FRC駆動が4フレームで階調表示するFRC(4FRC)をすると、映像データの下位2ビットを用いてFRC駆動を実施する。プリチャージ駆動を実施するかの判定は、ある映像データの階調データから変化する映像データの階調データ(次に印加する階調データ)において、プリチャージ駆動を実施すると判断される条件において、変化する映像データの階調データの下位ビット(4FRCの場合は下位2ビット、8FRCの場合は下位3ビット、つまり、nFRCの場合は、2のnでFRC数が表現されるから、下位nビット)を無視する(0とする)。なお、この場合、下位nビットは、階調の小数点以下を表現している。

【0566】

たとえば、7階調目と8階調目で、4FRCによる階調表示を行う場合は、7.25、7.50、7.75、8.00と表現されるが、小数点以下は無視されるから、8.00以外は表現されない。8階調目はプリチャージ駆動を実施しないから、この階調(7階調目と8階調目によるFRC)において、プリチャージしないと判定される。したがって、プリチャージ駆動する階調と、プリチャージ駆動しない階調からなる階調範囲では、プリチャージ駆動は実施しないと判定される。

【0567】

一方、6階調目と7階調目で、4FRCによる階調表示を行う場合は、6.25、6.50、6.75、7.00と表現されるが、小数点以下は無視されるから、7.00以外は表現されない。7階調目はプリチャージ駆動を実施するし、6階調目も実施するから、この階調(6階調目と7階調目によるFRC)において、プリチャージすると判定される。

【0568】

また、8階調目と9階調目で、4FRCによる階調表示を行う場合は、8.25、8.50、8.75、9.00と表現されるが、小数点以下は無視されるから、9.00以外は表現されない。8階調目はプリチャージ駆動を実施しないし、9階調目も実施しないから、この階調(8階調目と9階調目によるFRC)において、プリチャージしないと判定される。

【0569】

プリチャージ駆動の実施範囲は、条件により多種多様な設定がある。たとえば、1階調目から7階調目の変化ではプリチャージするとし、2階調目から7階調目の変化ではプリチャージしないとする場合もある。1階調目から7階調目の変化ではプリチャージしないが、0階調目から7階調目の変化ではプリチャージするという場合もある。いずれの場合も、変化先の階調を含むFRC(たとえば、1階調目から7階調目の変化ではプリチャージするとし、8階調目ではプリチャージ駆動をしない場合の、7階調目と8階調目によるFRC駆動)の映像データの下位nビットで判定を行い、プリチャージを実施するしないを設定する。他の階範囲においても同様であり、他のnFRC駆動との組み合わせにおいても同様である。

【0570】

なお、以上の駆動方式において、プリチャージを実施するか、しないかの判断は2画素行間に限定されるものではなく、3画素行以上の範囲で判断してもよいことは言うまでもない。

【0571】

本発明では、プリチャージ電流(過電流)あるいはプリチャージ電圧駆動を実施とした。たとえば、8ビット(256階調)のソースドライバ回路(IC)14で1024

10

20

30

40

50

階調を実現するためには、図105で説明したように4FRCと組み合わせる。したがって、1024階調で、2階調目は、256階調のソースドライバ回路(IC)14では、0階調目の出力と1階調目の出力とを組み合わせる表示する。したがって、FRC駆動ではソース信号線18には、1Hごとに0階調目の電圧(プリチャージ電圧と1階調目のプログラム電圧またはプログラム電流)が交互に印加される。この領域は低階調領域であるから、1階調目は必ずプリチャージ駆動が実施される。プリチャージ駆動はラスター表示でも実施される。プリチャージ駆動すると、電流駆動であっても電圧駆動状態となり表示の均一性が低下する。一方ラスター表示では、たとえ低階調領域であっても書き込み不足は発生しないため、プログラム電流のみで均一表示を実現できる。プリチャージ駆動を実施することにより均一性が低下することは好ましくない。

10

【0572】

この課題を解決するため、本発明は、FRC駆動を実施する場合は、隣接した階調出力の場合(256階調のソースドライバ回路(IC)14では、0階調目の出力と1階調目が隣接出力である。また、1階調目の出力と2階調目が隣接出力である)は、プリチャージ駆動は実施しない。つまり、ソース信号線18に印加される出力が、1階調分しか差がないときはプリチャージ駆動(電圧プリチャージ、電流プリチャージなど)を実施しない。FRCによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。1階調差はFRCを実施するため、プリチャージ駆動を実施すると、画面全体に電圧駆動が実施されることになり、各画素16の駆動用トランジスタ11aの特性ばらつきが画面64に表示される可能性が高いからである。

20

【0573】

なお、FRCとは、隣接した階調を組み合わせる間の階調表示を実現する技術である。たとえば、6ビット表示(64階調)で4FRCを実施すると、約256階調表示を実現できる。この表示方法では、たとえば、1階調目と2階調目(隣接した階調)を組み合わせ、1階調目と2階調目間に7階調の表示を実現できる。同様に、2階調目と3階調目(隣接した階調)を組み合わせ、1階調目と2階調目間に7階調の表示を実現できる。

【0574】

2階調以上の差があるときは、プリチャージ駆動(電圧プリチャージ、電流プリチャージなど)を実施する(特に低階調領域では実施する)。たとえば、256階調のソースドライバ回路(IC)14では、ソース信号線18に印加する出力が0階調目から2階調目に変化する時である。また、1階調目の出力から3階調目に変化する時である。2階調以上変化する時は、FRC以上の階調変化として判断し、書き込み不足をプリチャージ駆動で解決する。以上の判断は、コントローラ回路(IC)722で行う。つまり、2階調差以上では、FRC駆動は実施されないからである。

30

【0575】

さらに実施例を記載すれば、1024階調の6階調目は、256階調のソースドライバ回路(IC)14では、1階調目の出力と2階調目の出力で表示する。ソース信号線18には256階調のソースドライバ回路(IC)14から、1階調目の出力と2階調目の出力が交互にあるいは一定周期で印加される。

【0576】

このように、ソース信号線18に印加する映像データが1階調分の時は、プリチャージ駆動は実施しない。つまり、ソース信号線18に印加される出力が、FRCを考慮しない階調(本実施例では256階調)で1階調分しか差がないときはプリチャージ駆動(電圧プリチャージ、電流プリチャージなど)を実施しない。FRCによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。

40

【0577】

2階調以上の差があるときは、プリチャージ駆動(電圧プリチャージ、電流プリチャージなど)を実施する。特に低階調領域で実施する。たとえば、256階調のソースドライバ回路(IC)14では、ソース信号線18に印加する出力が1階調目から3階調目以上に変化する場合は例示される。なお、高階調領域ではプリチャージ駆動を実施する必要が

50

ない。書き込み電流が大きいためである。

【0578】

以上はFRCを実施するときに、本階調（実施例では256階調）で、ソース信号線18に印加する階調数が2階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとした。しかし、本発明はこれに限定するものではない。FRCを実施しない場合においても、ソース信号線18に印加する階調数が2階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。

【0579】

ただし、隣接した画素行での変化（ソース信号線18に印加する信号レベルの変化）が1階調差の場合であっても、プリチャージ駆動を実施してもよい。たとえば、自然画を表示する場合は、プリチャージ駆動を実施しても、各画素16の駆動用トランジスタ11aの特性ばらつきはめだたない（白ラスタなどのパターン表示の場合は、駆動用トランジスタ11aの特性ばらつきがめだつ）。したがって、表示画像をコントローラ回路（IC）722で判断して、プリチャージ駆動の実施の有無を決定すればよい。

【0580】

また、nFRC後の階調で変化する階調数がCとした場合に、 C/n が1よりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。たとえば、4FRCで、1024階調表示をする場合、1024階調で変化する階調数が4（ $C=4$ ）であれば、 $4/4=1$ で、プリチャージ駆動は実施しない。1024階調で変化する階調数が5以上（ $C=5$ 以上）であれば、 $5/4>1$ で、必要に応じてプリチャージ駆動を実施する。

【0581】

以上の実施例では、 C/n が1よりも大きい場合に必要に応じてプリチャージ駆動を実施するとして説明したが、 C/n がKよりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよい。Kの値は、点灯率により変化させる。たとえば、4FRCで、1024階調表示をする場合、点灯率が70%以上の場合は $K=4$ とし、1024階調で変化する階調数が16（ $C=16$ ）以上であれば、プリチャージ駆動を実施するとしてもよい。C=16未満の場合はプリチャージ駆動を実施しない。また、4FRCで、1024階調表示をする場合、点灯率が20%以上の場合は $K=2$ とし、1024階調で変化する階調数が8（ $C=8$ ）以上であれば、 $8/4=2=K$ で、プリチャージ駆動を実施するとしてもよい。C=8未満の場合はプリチャージ駆動を実施しない。

【0582】

プリチャージするか否かの判断は、1画素前のソース信号線18の電位（1画素前に印加する映像データ）だけでなく、複数画素前のソース信号線18の電位（複数画素前に印加する映像データ）も考慮して実施することが好ましい。この実施例を図106に図示している。

【0583】

図106の表の横方向には、画素列の番号（0、1、2、・・・、9、10、・・・）を示している。縦方向のi行はi画素行のプリチャージ条件に該当するか否かの判定である。0はプリチャージしない。1はプリチャージすることを示す。縦方向のi-1行はi-1画素行（i行に対して1画素行前）のプリチャージ条件に該当するか否かの判定である。同様に0はプリチャージしない。1はプリチャージすることを示す。

【0584】

今回の本実施例では、i画素行がプリチャージ条件に該当（1）で、かつ、i-1画素行がプリチャージ条件に該当（1）の時に、プリチャージ電圧をソース信号線18に印加する。つまり、2画素あるいはそれ以上の画素行に印加される映像データあるいはその変化から、プリチャージ電圧を印加するか否かを決定（判断）する。以上のように、実施するようにより、より良好なプリチャージ駆動を実現することができる。

【0585】

前述の実施例では、ソース信号線18に印加する出力が1階調目から3階調目以上に変

化する場合など、低階調から高階調に変化する時、3階調目から1階調目以下、10階調目から8階調目以下などのように、高階調から低階調に変化する時に、プリチャージ駆動してもよいことは言うまでもない。なお、所定階調以上の高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【0586】

プリチャージ駆動を実施する範囲は、点灯率によって可変することが望ましい。図107はその実施例である。点灯率が低い範囲では、画面全体が暗い場合が多い。したがって、プリチャージ電圧を印加する階調は低階調あるいは低階調の範囲だけでよい。逆にあまり広い階調でプリチャージ電圧を印加すると、プリチャージ電圧を印加した階調で色づきが発生したりする場合がある。しかし、一定以上の低階調の範囲では、プリチャージ電圧を印加する階調あるいは階調範囲を広くするほうがよい場合がある。プリチャージ電圧を印加しないと画像のお引きが発生し、視覚的に目立つからである。

【0587】

点灯率が高い場合は、比較的高い階調においてもプリチャージ電圧を印加してもよい。高階調あるいは高階調の範囲でプリチャージ電圧を印加することにより、画像の輪郭（階調変化が発生する箇所）がはっきりとし高精細の画像表示を実現できる。

【0588】

図107(a)では、点灯率75%以上でプリチャージ電圧を印加する階調範囲（プリチャージ階調範囲）を大きくしている。点灯率75%以下では、0階調から6階調の範囲でプリチャージ電圧を印加する。なお、この範囲であっても、前述のFRC駆動の組み合わせなどによりプリチャージ電圧を印加しない階調あるいは階調変化の範囲があることは言うまでもない。点灯率75%以上では、点灯率が大きくなるにつれ、プリチャージ階調範囲を大きくしている。一例として点灯率100%では、0-24階調の範囲でプリチャージ電圧を印加する階調あるいは階調変化の範囲がある。

【0589】

図107(b)は、図107(a)に加えて、点灯率25%以下の範囲においても、プリチャージ階調範囲を増加させている。点灯率25%以上の時は、0-6階調の範囲でプリチャージ電圧を印加する。点灯率0%近傍では、一例として0-24階調の範囲でプリチャージ電圧を印加する。

【0590】

なお、図107の実施例では、点灯率に対応してプリチャージ電圧を印加する範囲を変化させるとしたが、本発明はこれに限定するものではない。たとえば、動画と静止画でプリチャージ電圧を印加する階調あるいは階調範囲を変化あるいは変更もしくは調整してもよい。また、1画面に表示されるあるいは連続した表示画像において、静止画像と動画の割合に応じてプリチャージ電圧を印加する階調あるいは階調範囲を変化あるいは変更もしくは調整してもよいことは言うまでもない。

【0591】

また、一定の階調が連続する時と、非連続の状態、各ソース信号線に階調に印加するプリチャージ電圧あるいはプログラム電圧を変化させてもよい。たとえば、図108(a)は、表示画面94に白線に囲まれた黒格子が表示された画像を示している。図108(a)において、縦方向にソース信号線18が形成されている。したがって、Aの範囲に対応するソース信号線18には、常時白表示に対応するプログラム電流が印加されている。Bの範囲に対応するソース信号線18は、ほとんどの時間は、黒表示のプログラム電流が印加されているが、一定の周期で短い期間は、白表示のプログラム電流が印加される。

【0592】

図108(a)のa-a'に対応するソース信号線18には、図108(b)に図示するように、黒表示のときは、ソース信号線18には、黒表示のアノード電圧V_{dd}に近い電圧V_{dd}に維持される。白表示のときは、ソース信号線電位はV_b電圧となる。図108(b)で図示されるように、白表示から黒表示、黒表示から白表示に変化するが、ソース信号線18の電位は、V_a電圧まで変化しない（V_b電圧までしか上昇しない）。また

、変化は時定数により遅延するため、白表示輝度は低下する。

【0593】

一方、図108(c)に図示するように、b-b'のような変化では、ソース信号線18に印加されるプログラム電流に対するソース信号線18の電位は一定である。したがって、ソース信号線18の電位はほぼ理想てきな電位Vaとなる。

【0594】

以上のことから、図108(a)のa-a'線におけるソース信号線18の電位と、b-b'線の電位では白表示部での輝度が異なる。a-a'線の白表示での輝度は、b-b'線での白表示での輝度より低い。

【0595】

この課題を解決するため、本発明では、図108(a)のa-a'線での白表示の階調に対して、図108(a)のb-b'線の白表示の階調では、階調番号を低下させている。たとえば、図108(a)のa-a'線での白表示の階調が階調255であれば、図108(a)のb-b'線の白表示の階調は、240としている。

【0596】

以上のように、本発明は、同一階調であっても、階調が連続するか、変化するかに対応して階調番号を変化させている。図108(a)のように1つのソース信号線18に印加するプログラム電流が変化するばあいは、白表示での階調番号と黒表示での階調番号は正規またはそれ以上とする。図108(b)のように1つのソース信号線18に印加するプログラム電流が連続するばあいは、白表示での階調番号の階調番号を正規より小さく（階調番号を小さく）する。

【0597】

画像の点灯率、表示状態が目ざまぐるしく変化し、その変化にリアルタイムに対応して分割数、黒挿入率を変化させると、電源回路で発生する電流（電圧）も急変するため負担が大きい。また画像表示状態も落ち着きのない画像表示となる。

【0598】

この課題に対策するため、本発明では、図110で図示するように駆動している。図110において、斜線を記載した表示画像64は、点灯率が急変した画像を示している。また、図110で示す1～8の表示64は、フィールド（フレーム）ごとの変化を示している。274では5番目において点灯率が急変したことを示している。したがって、点灯率に対応してduty比を変化させると5番目でduty比を変化させる必要がある。しかし、5番目の前後の点灯率は一定している。この場合は、5番目のように点灯率にもとづいてduty比を変化させないことが好ましい。

【0599】

図110では、1～8のフレームの画像64の点灯率をラッチ回路351に取り込み（記憶し）、ラッチ回路351にメモリされた点灯率に基づいてduty比制御回路（コントローラIC）274はゲートドライバ回路12bのスタートパルスを制御する。図110では、5番目だけの点灯率変化であるから、duty比制御回路（コントローラIC）274は5番目の点灯率変化は考慮せず、ゲートドライバ回路12bのスタートパルスを制御する。つまり、分割数、duty比は4番目から変化させない。したがって、点灯率変化などによるフリッカなどは発生せず、良好な画像表示を実現できる。

【0600】

以上の事項は、図111に図示するように、動画から静止画あるいは静止画から動画の切り替えにおいても同様である。ラッチ回路351は動画、静止画の変化も検出して記憶しているが、たとえば、5番目の表示画像64が動画と判定され、その前後が静止画である場合は黒挿入62を一括する動画モードには切り替えない。

【0601】

また、黒挿入部62の分割数は、図112に図示するように、一定時間継続する時に変化させる。たとえば、一例として、分割数を1から2に変化させる場合は、200msecの間維持する。同様に、分割数を2から3に変化させる場合は、300msecの間維

10

20

30

40

50

持する。分割数を3～5では、400msecの間維持する。分割数を5～8に変化させる場合は、500msecの間維持する。維持期間はコマンドで変更できるようにする。

【0602】

また、duty比によっても、変化時間を調整あるいは制御することが好ましい。たとえば、図113に示すように、duty比が0.25以下の場合は、変化単位時間は1である。duty比が0.75以上の場合は、変化単位時間は4である。つまり、duty比が0.25以下の場合に比較して、4倍の変化時間とする。duty比が0.25以上0.75以下の場合は、duty比に比例して、あるいは対応して変化単位時間を変化させる。

【0603】

点灯率に対応してduty比と分割数は一定の関係を維持させる。この関係を図114に図示している。点灯率は0% (0) から100% (1.00) の値をとる。点灯率が高いと、消費する電流を抑制するため、duty比を低減する。また、duty比が小さい時は、1画面に占める表示領域63が少ない。したがって、分割数を多くしないとフリッカが発生する。たとえば、点灯率100% (1.0) の白ラスタ表示では、duty比を1/4とする。したがって、表示領域63は全画面の1/4である。3/4は黒表示である。したがって、1/4の白ラスタ表示部を複数に分割し、フリッカを抑制する。たとえば、表示領域63を、1/8×2として2分割とする。一例として、duty比と表示領域63の分割数は図115の関係とする。

【0604】

以上のことから点灯率に対応してduty比と分割数は一定の関係を維持させる。図114にその実施例を示す。図114の横軸は点灯率である。縦軸は、duty比×分割数である。点灯率0.5 (50%) 以下の場合は、duty比×分割数は、0.9としている。duty比×分割数=0.9とは、duty比が0.45 (45%) の時の分割数は2である。また、duty比が0.3 (30%) の場合は、分割数は3である。duty比×分割数は、 $0.6 \leq \text{duty比} \times \text{分割数} \leq 1.2$ の関係を維持するようにduty比に対する分割数を決定する。

【0605】

点灯率に対応させて、ソースドライバ回路(IC)14の基準電流比を可変する場合は、duty比×基準電流比の関係も図116の関係を維持することが好ましい。基準電流比が高くなると、パネルの消費電流が大きくなる。基準電流比が高く、点灯率も高いと、消費する電流を抑制するため、黒挿入領域を多くする。つまり、duty比を低減させる。したがって、duty比と点灯率とは所定の関係を維持しないと、パネルが発熱し劣化する。図116(a)は点灯率と基準電流比の関係を図示している。図116(b)は点灯率に対するduty比の変化を図示している。図116(c)は図116(a)と(b)を掛け合わせたグラフである。

【0606】

図116(c)の点線は図116(a)の点線と図116(b)のduty比とを掛け合せたものである。図116(c)の実線は図116(a)の実線と図116(b)のduty比とを掛け合せたものである。duty比×基準電流比の関係は、 $0.2 \leq \text{duty比} \times \text{基準電流比} \leq 0.6$ とする。なお、この範囲は、点灯率は0.25以上の範囲である。つまり、点灯率が0.25以上の範囲において、 $0.2 \leq \text{duty比} \times \text{基準電流比} \leq 0.6$ となるように、基準電流比またはduty比を決定してゲートドライバ回路12bなどを制御する。

【0607】

図116(c)の実線では、点灯率0.25～0.30の範囲において、 $0.6 \leq \text{duty比} \times \text{基準電流比}$ となっているから、 $0.2 \leq \text{duty比} \times \text{基準電流比} \leq 0.6$ の範囲外である。したがって、点線のようになるように、図116(a)の基準電流比は点線のようにする。点灯率が0.25 (25%) 以上の範囲で、 $0.2 \leq \text{duty比} \times \text{基準電流比} \leq 0.6$ の関係を満足させている。なお、この範囲は、点灯率は0.25以上0.75

10

20

30

40

50

以下の範囲で満足させることが好ましい。

【0608】

なお、表示領域63と非表示領域62の分割数を変化あるいは可変を開始するとき、1フレームあるいは1フィールド、場合によっては、数フレームあるいは数フィールドの期間は、表示領域63と非表示領域62の面積を略同一に保持できない場合がある。ゲートドライバ12bへのスタートパルスが入力が順番であり、一時的に非表示領域62あるいは表示領域63の面積が維持されたまま画面64を走査されていくからである。しかし、この期間は非常に短期間であること、また、面積のずれは大きくないことから、視覚的に認識されることはない。したがって、以上の場合も、本発明の範疇である。つまり、表示領域63と非表示領域62のうち、少なくとも一方の面積を略同一に保持して状態とみなす。 10

【0609】

図120は本発明のEL表示装置にレターボックス表示を行う時の実施例である。本発明のEL表示装置は、図120に図示するように、ゲートドライバ12a、12bを有している。ゲートドライバ12aは書き込む画素行を選択する。ゲートドライバ12aは、スタートパルスST1、クロックCLK1、イネーブルENB1によって制御される。ゲートドライバ12bは主としてduty比を制御する。ゲートドライバ12bは、スタートパルスST2、クロックCLK2、イネーブルENB2によって制御される。

【0610】

レターボックス表示とは、図120に図示するように、画面64の上下に黒表示部64b1、64b2を表示する表示方法である。つまり、4:3の表示画面64に、16:9の表示画面64aを表示する場合に用いる。 20

【0611】

図121は第1の実施例においてレターボックス表示方法である。図121において、t2が通常のゲートドライバ12のシフトクロックである。t1はt2よりも短いクロック期間であり、一例として、t1はt2の1/4のクロック期間（周波数4倍）である。

【0612】

ゲートドライバ回路12aのST1が出力されている期間（Hレベルの期間）は、図121に図示するように、ゲートドライバ回路12bのST2はLレベルである。したがって、ゲートドライバ回路12aが選択している画素行に対応するゲート信号線17bはゲートドライバ12bによっては選択されない。画素のゲート信号線17aとゲート信号線17bが同時に選択されると、表示不良が発生するからである。 30

【0613】

図121の駆動方式の特徴は黒表示領域64b1と黒表示領域64b2では、CLK1、CLK2が4倍速で動作する。したがって、通常の1Hの期間に4画素行が書き込まれる。黒表示領域64b（64b1、64b2）は映像信号のブランキング期間に書き込まれる。表示領域64aは1Hごとに1画素行が書き込まれる。したがって、良好な画像表示を実現できる。

【0614】

図122は、1フレームにおいて、ゲートドライバ回路12aに2つのST1を印加するものである。クロックCLK1、CLK2は同一であり、一定周波数で駆動される。図122の駆動方法において、画面64の最初にST1がゲートドライバ回路12bに印加される。スタートパルスが表示領域64b2の上端までシフトされると次のスタートパルスが印加される。したがって、ゲートドライバ回路12b内において、1つのスタートパルスは表示領域64b1の範囲のゲート信号線17bを選択し、他方のスタートパルスは表示領域64b2の範囲のゲート信号線17bを選択する。 40

【0615】

表示領域64aでは、画素行間引きが実施される。画素行間引きは、図123に説明する駆動方式で容易に実現できる。図123において、SIGは映像信号である。CLK2はゲートドライバ回路12bのクロック信号、ENB2はゲートドライバ回路12bのイ 50

ネーブル信号である。

【0616】

図123(a)は、4画素行を3画素行に間引く駆動方式である。つまり、4Hの映像信号から1H分を削除する。図123(a)で図示するように、4Hに1Hの期間、CLK2が停止する。同時にENB2もLレベルとなる。以上のように駆動することにより、4Hに1回(4画素行選択する期間に1画素行の期間)、画素行位置はシフトされない。同時にいずれの画素行も選択されない。ソースドライバ回路(IC)14はこの期間もプログラム電流をソース信号線18に供給する。しかし、いずれの画素行も選択されていないから、プログラム電流は流れない。したがって、4Hの期間に3Hが順次選択され、良好に電流プログラムが実施される。

10

【0617】

図123(b)は、5画素行を4画素行に間引く駆動方式である。つまり、5Hの映像信号から1H分を削除する。図123(b)で図示するように、5Hに1Hの期間、CLK2が停止する。同時にENB2もLレベル(すべての表示領域64のゲート信号線17bが選択されていない状態)となる。以上のように駆動することにより、5Hに1回(5画素行選択する期間に1画素行の期間)、画素行位置はシフトされない。同時にいずれの画素行も選択されない。ソースドライバ回路(IC)14はこの期間もプログラム電流をソース信号線18に供給する。しかし、いずれの画素行も選択されていないから、プログラム電流は流れない。したがって、5H(5画素行の選択)の期間に4H(4画素行)が順次選択され、良好に電流プログラムが実施される。

20

【0618】

図85、図84で説明したように、点灯率が急変するとき、あるいは一定の条件を満たすときに、画面位置を変化させるとした。以上の技術的思想は、図120などのレターボックスあるいは再度ボックス表示にも適用することができる。レターボックスの表示領域64aと表示領域64bの境目が焼きつきやすいからである。

【0619】

図124はレターボックスで表示領域64aを位置変化させた実施例である。位置変化のタイミングは、図85、図84で説明したので説明を省略する。画面位置64aは図124(a)の中央位置、図124(b)の上方位置、図124(c)の下方位置の3位置を順次変化する。また、サイドボックス表示の場合は、左右に画面位置を変化させる。

30

【0620】

コントローラ回路(IC)722あるいはその機能は、ソースドライバ回路(IC)14内に組み込んでもよい。たとえば、ソースドライバ回路(IC)14とコントローラ回路(IC)722とを1チップの半導体ICとして構成し、基板30にCOG実装する構成が例示される。図125のように、1つのパネルに複数のソースドライバ回路(IC)14あるいは1枚のアレイ基板30に複数のソースドライバ回路(IC)14を実装する場合は、選択されたソースドライバ回路(IC)14内のコントローラ722機能を動作させ、他のコントローラ機能を停止させる。動作と停止はソースドライバ回路(IC)14に印加するコマンドあるいはロジック信号により設定あるいは調整する。

【0621】

1つのパネルに複数のソースドライバ回路(IC)14あるいは1枚のアレイ基板30に複数のソースドライバ回路(IC)14を実装する場合であっても、各ソースドライバ回路(IC)14内のコントローラ722機能を動作させてもよい。例えば、ソースドライバ回路(IC)14内に組み込まれた各コントローラ回路722は、図65などで説明した動作を行う。たとえば、入力された映像信号を演算し、表示領域全域に渡り点灯率を求める演算、duty比あるいは／または基準電流比を求める演算を行う。

40

【0622】

この演算結果は、ソースドライバ回路(IC)14aとソースドライバ回路(IC)14bでは同一の結果となる。ソースドライバ回路(IC)14aは、表示領域64の1/2のソース信号線18にプログラム電流などを出力し、ソースドライバ回路(IC)14

50

bは先の表示領域64以外の1/2のソース信号線18にプログラム電流などを出力する。また、ソースドライバ回路(IC)14aは、ゲートドライバ12aの制御信号を出力し、ゲートドライバ12bの制御信号に出力は停止(出力はハイインピーダンス状態)する。ソースドライバ回路(IC)14bは、ゲートドライバ12bの制御信号を出力し、ゲートドライバ12aの制御信号に出力は停止(出力はハイインピーダンス状態)する。

【0623】

つまり、各ソースドライバ回路(IC)14は、同一の映像データなどに基づき、同一の演算を行う。ソース信号線18への出力は、担当するソース信号線18に対して行う。ゲートドライバ12の制御は担当するゲートドライバ12がある場合に行う。なお、各ソースドライバ回路(IC)14で演算した演算結果(制御も含む)は、複数のソースドライバ回路(IC)14間に比較し、一方あるいは多数決により1つの演算結果としてもよい。また、フレームあるいは一定周期または不定期周期で、演算あるいは制御を担当するソースドライバ回路(IC)14を切り換えてもよいことはいうまでもない。

10

【0624】

図125に図示するように、コントローラ722を内蔵するソースドライバ回路(IC)14を複数個、アレイ基板30に実装する場合には、以下のように構成する。

【0625】

図125では、アレイ基板30にマスターのソースドライバ回路(IC)14mとスレーブのソースドライバ回路(IC)14sが実装されている。実際には、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sは同一の構成である。マスターとなるかスレーブになるかは、ソースドライバ回路(IC)14に入力されたm/s信号により指定される。m/s=1(ロジックH)のときは、ソースドライバ回路(IC)14mがマスターとなり、ソースドライバ回路(IC)14sがスレーブとなる。逆に、m/s=0(ロジックL)のときは、ソースドライバ回路(IC)14sがマスターとなり、ソースドライバ回路(IC)14mがスレーブとなる。なお、ソースドライバ回路(IC)14ごとにm/s端子をHまたはLの電圧を印加できるときは、m/s信号線は必要がない。

20

【0626】

MSEL信号は、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sとを選択する信号である。MSEL=1(ロジックH)のときは、ソースドライバ回路(IC)14mが選択され、映像信号(DATA)などがソースドライバ回路(IC)14mに入力(ラッチ)される。逆に、MSEL=0(ロジックL)のときは、ソースドライバ回路(IC)14sが選択され、ソースドライバ回路(IC)14sに映像信号(DATA)などが入力(ラッチ)される。

30

【0627】

図125の構成では、ソースドライバ回路(IC)14mに内蔵されたコントローラ722mが映像信号のSUM演算などを実施し、duty比を求め、duty比にもとづくゲートドライバ回路12bのスタート信号(ST2)、クロック(CLK2)、イネーブル信号(ENB2)などを発生させる。また、必要に応じて、基準電流の制御を実施する。また、ゲートドライバ回路12aのスタート信号(ST1)、クロック(CLK1)、イネーブル信号(ENB1)などを発生させる。

40

【0628】

図125では、ソースドライバ回路(IC)14m内のコントローラ722mが動作する。一方、ソースドライバ回路(IC)14s内のコントローラ722sはm/s信号により動作を停止させられている。他の構成および動作などは、本発明の他の実施例で説明しているので説明を省略する。

【0629】

図126はソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの内部動作の説明図である。ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの回路構成は同一であるが、説明を容易にするため、動作の差異がある箇所の

50

ブロックを太線で示している。また、説明を容易にするため、特に説明が必要な箇所のみ説明をする。他の箇所は本明細書の他の箇所で説明した内容と同一または類似である。したがって、説明を省略する。たとえば、本発明の *duty* 比制御などが適用される。つまり、以上および以下に説明する内容は本発明の明細書で記載された事項が適用される。また、相互に組み合わせられて実施される。また、類似の動作を行う。

【0630】

図126において、ソースドライバ回路(IC)14mは、全データSUM回路で映像信号(DATA)の加算を行う。あるいは、以前に説明したようにSUMに対応する処理を実施する。一方、ソースドライバ回路(IC)14sの全データSUM回路は、クロックが停止され、動作しない状態に制御される。したがって、ソースドライバ回路(IC)14sの全SUM回路では消費電力は発生しない。

10

【0631】

以前に説明したように、SUMデータより *duty* 比演算回路で *duty* 比が求められる。また、*duty* 比などから、ゲートドライバ回路12bの制御信号が発生される。この制御信号(CLK2、ENB2、ST2)は、ゲートドライバ回路12bに印加される。

【0632】

また、ソースドライバ回路(IC)14mではHD、VDよりゲートドライバ12aの制御信号(CLK1、ENB1、ST1)が発生される。この制御信号は、ゲートドライバ回路12aに印加される。

20

【0633】

ソースドライバ回路(IC)14mは、映像信号DATAの1~160RGB分をラッチする。なお、表示領域64の画素数は横方向320とし、縦方向を320として説明する。また、ソースドライバ回路(IC)14sは、映像信号DATAの161~320RGB分をラッチする。以下のガンマ処理などの動作あるいは制御は、出力端子93が1~160と、端子161~320と異なるだけでソースドライバ回路(IC)14mとソースドライバ回路(IC)14sとで同一である。ラッチした映像信号をRGBデコード回路でデコードしてRGB各8ビットの映像データに変換する。デコードされた映像データは、ガンマ処理回路で通常2.0~3.0乗のガンマ処理がなされる。また、コントラスト/ブライトネス処理が実施され、最後にFRC(フレームレートコントロール)が実施されて端子93より出力される。

30

【0634】

以上のように図126の実施例では、ソースドライバ回路(IC)14mがメイン動作となり、ソースドライバ回路(IC)14mがゲートドライバ回路12a、12bの制御信号を発生させる。ソースドライバ回路(IC)14sは端子93の161~320の対応する映像信号処理のみを実施する。図126などでは、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sでは同一回路構成である。動作は、m/s端子とMSEL端子のロジック入力に変更あるいは設定される。

【0635】

図127も図126と同様にソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの内部動作の説明図である。先の313の実施例と異なる点は、ソースドライバ回路(IC)14sでゲートドライバ回路12aとゲートドライバ回路12bの制御信号を発生する点である。他の点は先の実施例と同様である。

40

【0636】

ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの回路構成は同一であるが、説明を容易にするため、動作の差異がある箇所のブロックを太線で示している。図127において、ソースドライバ回路(IC)14sは、全データSUM回路で映像信号(DATA)の加算を行う。あるいは、以前に説明したようにSUMに対応する処理を実施する。一方、ソースドライバ回路(IC)14mの全データSUM回路は、クロックが停止され、動作しない状態に制御される。したがって、ソースドライバ回路(IC)

50

C) 14mの全SUM回路では消費電力は発生しない。もちろん、消費電力などが問題なければソースドライバ回路(IC)14mの全データSUMブロックなどを動作させてもよいことは言うまでもない。

【0637】

以前に説明したように、SUMデータよりduty比演算回路でduty比が求められる。また、duty比などから、ゲートドライバ回路12bの制御信号が発生される。この制御信号(CLK2、ENB2、ST2)は、ゲートドライバ回路12bに印加される。

【0638】

また、ソースドライバ回路(IC)14sではHD、VDよりゲートドライバ12aの制御信号(CLK1、ENB1、ST1)が発生される。この制御信号は、ゲートドライバ回路12aに印加される。

【0639】

ソースドライバ回路(IC)14sは、映像信号DATAの161~320RGB分をラッチする。なお、表示領域64の画素数は横方向320とし、縦方向を320として説明する。また、ソースドライバ回路(IC)14sは、映像信号DATAの161~320RGB分をラッチする。

【0640】

以上のように図127の実施例では、ソースドライバ回路(IC)14sがメイン動作となり、ソースドライバ回路(IC)14sがゲートドライバ回路12a、12bの制御信号を発生させる。ソースドライバ回路(IC)14mは端子93の1~160の対応する映像信号処理のみを実施する。

【0641】

図128も図125と同様に、アレイ基板30にマスターのソースドライバ回路(IC)14mとスレーブのソースドライバ回路(IC)14sが実装されている。図125と図128との差異は、図128では、ソースドライバ回路(IC)14mがゲートドライバ12aの制御信号(ST1、ENB1、CLK1)を発生させる。また、ソースドライバ回路(IC)14sがゲートドライバ12bの制御信号(ST2、ENB2、CLK2)を発生させる点である。

【0642】

実際には、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sは同一の構成である。マスターとなるかスレーブになるかは、ソースドライバ回路(IC)14に入力されたm/s信号により指定される。m/s=1(ロジックH)のときは、ソースドライバ回路(IC)14mがマスターとなり、ソースドライバ回路(IC)14sがスレーブとなる。逆に、m/s=0(ロジックL)のときは、ソースドライバ回路(IC)14sがマスターとなり、ソースドライバ回路(IC)14mがスレーブとなる。なお、ソースドライバ回路(IC)14ごとにm/s端子をHまたはLの電圧を印加できるときは、m/s信号線は必要がない。図129のブロック図は、図128を図126と同様に回路ブロックで記載したものである。

【0643】

図129の構成でも図126などと同様に、ソースドライバ回路(IC)14sに内蔵されたコントローラ722sが映像信号のSUM演算などを実施し、duty比を求め、duty比にもとづくゲートドライバ回路12bのスタート信号(ST2)、クロック(CLK2)、イネーブル信号(ENB2)などを発生させる。また、必要に応じて、基準電流の制御を実施する。ソースドライバ回路(IC)14mは、ゲートドライバ回路12aのスタート信号(ST1)、クロック(CLK1)、イネーブル信号(ENB1)などを発生させる。

【0644】

図129では、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14s内のコントローラ722mおよび722sが動作する。他の構成および動作などは、本

発明の他の実施例で説明しているので説明を省略する。

【0645】

図129はソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの内部動作の説明図である。ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sの回路構成は同一であるが、説明を容易にするため、動作の差異がある箇所のブロックを太線で示している。

【0646】

図129において、ソースドライバ回路(IC)14sは、全データSUM回路で映像信号(DATA)の加算を行う。あるいは、以前に説明したようにSUMに対応する処理を実施する。以前に説明したように、SUMデータよりduty比演算回路でduty比が求められる。また、duty比などから、ゲートドライバ回路12bの制御信号が発生される。この制御信号(CLK2、ENB2、ST2)は、ゲートドライバ回路12bに印加される。

10

【0647】

また、ソースドライバ回路(IC)14mではHD、VDよりゲートドライバ12aの制御信号(CLK1、ENB1、ST1)が発生される。この制御信号は、ゲートドライバ回路12aに印加される。

【0648】

ソースドライバ回路(IC)14mは、映像信号DATAの1~160RGB分をラッチする。なお、表示領域64の画素数は横方向320とし、縦方向を320として説明する。また、ソースドライバ回路(IC)14sは、映像信号DATAの161~320RGB分をラッチする。以下のガンマ処理などの動作あるいは制御は、出力端子93が1~160と、端子161~320と異なるだけでソースドライバ回路(IC)14mとソースドライバ回路(IC)14sとで同一である。ラッチした映像信号をRGBデコード回路でデコードしてRGB各8ビットの映像データに変換する。デコードされた映像データは、ガンマ処理回路で通常2.0~3.0乗のガンマ処理がなされる。また、コントラスト/ブライトネス処理が実施され、最後にFRC(フレームレートコントロール)が実施されて端子93より出力される。

20

【0649】

以上のように図129の実施例では、ソースドライバ回路(IC)14mがゲートドライバ回路12aの制御信号を発生させる。また、ソースドライバ回路(IC)14sがゲートドライバ回路12bの制御信号を発生させる。各ソースドライバ回路(IC)14の動作は、m/s端子とMSEL端子のロジック入力に変更あるいは設定される。

30

【0650】

図129の構成は、ソースドライバ回路(IC)14mとソースドライバ回路(IC)14sは同一構成のソースドライバ回路(IC)14を使用した実施例であった。しかし、本発明はこれに限定されるものではない。図130はソースドライバ回路(IC)14mとソースドライバ回路(IC)14sで内部構成を異ならせた実施例である。図130の実施例では、ソースドライバ回路(IC)14mに全データSUM回路、duty比演算回路などを削除している。また、ソースドライバ回路(IC)14sからゲートドライバ回路12aのタイミング信号発生回路を削除している。

40

【0651】

ソースドライバ回路(IC)14sは、内蔵されたコントローラ722sが映像信号のSUM演算などを実施し、duty比を求め、duty比にもとづくゲートドライバ回路12bのスタート信号(ST2)、クロック(CLK2)、イネーブル信号(ENB2)などを発生させる。また、必要に応じて、基準電流の制御を実施する。ソースドライバ回路(IC)14mは、ゲートドライバ回路12aのスタート信号(ST1)、クロック(CLK1)、イネーブル信号(ENB1)などを発生させる。他の構成および動作は以前に説明した構成あるいは方式と同様であるので説明を省略する。図129の構成でも図126などと同様に、ソースドライバ回路(IC)14sに内蔵されたコントローラ72

50

2 s が映像信号の SUM 演算などを実施し、duty 比を求め、duty 比にもとづくゲートドライバ回路 12 b のスタート信号 (ST2)、クロック (CLK2)、イネーブル信号 (ENB2) などを発生させる。また、必要に応じて、基準電流の制御を実施する。ソースドライバ回路 (IC) 14 m は、ゲートドライバ回路 12 a のスタート信号 (ST1)、クロック (CLK1)、イネーブル信号 (ENB1) などを発生させる。

【0652】

図 129 では、ソースドライバ回路 (IC) 14 m とソースドライバ回路 (IC) 14 s 内のコントローラ 722 m および 722 s が動作する。他の構成および動作などは、本発明の他の実施例で説明しているので説明を省略する。

【0653】

図 129 はソースドライバ回路 (IC) 14 m とソースドライバ回路 (IC) 14 s の内部動作の説明図である。ソースドライバ回路 (IC) 14 m とソースドライバ回路 (IC) 14 s の回路構成は同一であるが、説明を容易にするため、動作の差異がある箇所のブロックを太線で示している。

【0654】

図 129 において、ソースドライバ回路 (IC) 14 s は、全データ SUM 回路で映像信号 (DATA) の加算を行う。あるいは、以前に説明したように SUM に対応する処理を実施する。以前に説明したように、SUM データより duty 比演算回路で duty 比が求められる。また、duty 比などから、ゲートドライバ回路 12 b の制御信号が発生される。この制御信号 (CLK2、ENB2、ST2) は、ゲートドライバ回路 12 b に印加される。

【0655】

また、ソースドライバ回路 (IC) 14 m では HD、VD よりゲートドライバ 12 a の制御信号 (CLK1、ENB1、ST1) が発生される。この制御信号は、ゲートドライバ回路 12 a に印加される。

【0656】

ソースドライバ回路 (IC) 14 m は、映像信号 DATA の 1 ~ 160 RGB 分をラッチする。なお、表示領域 64 の画素数は横方向 320 とし、縦方向を 320 として説明する。また、ソースドライバ回路 (IC) 14 s は、映像信号 DATA の 161 ~ 320 RGB 分をラッチする。以下のガンマ処理などの動作あるいは制御は、出力端子 93 が 1 ~ 160 と、端子 161 ~ 320 と異なるだけでソースドライバ回路 (IC) 14 m とソースドライバ回路 (IC) 14 s とで同一である。ラッチした映像信号を RGB デコード回路でデコードして RGB 各 8 ビットの映像データに変換する。デコードされた映像データは、ガンマ処理回路で通常 2.0 ~ 3.0 乗のガンマ処理がなされる。また、コントラスト / ブライツネス処理が実施され、最後に FRC (フレーム レート コントロール) が実施されて端子 93 より出力される。

【0657】

以上のように図 129 の実施例では、ソースドライバ回路 (IC) 14 m がゲートドライバ回路 12 a の制御信号を発生させる。また、ソースドライバ回路 (IC) 14 s がゲートドライバ回路 12 b の制御信号を発生させる。各ソースドライバ回路 (IC) 14 の動作は、m / s 端子と MSEL 端子のロジック入力に変更あるいは設定される。

【0658】

以下、本発明の EL 表示パネルまたは EL 表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図 53 は情報端末装置の一例としての携帯電話の平面図である。筐体 1333 にアンテナ 1331、テンキー 1332 などが取り付けられている。1332 などが表示色切換キーあるいは電源オンオフ、フレームレート切り換えキーである。

【0659】

キー 1332 を 1 度押さえると表示色は 8 色モードに、つづいて同一キー 1332 を押さえると表示色は 4096 色モード、さらにキー 1332 を押さえると表示色は 26 万色

10

20

30

40

50

モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。

【0660】

図54は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図54において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0661】

ボデー1333の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）1334から出射した迷光がボデー1333の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）38、偏光板39などが配置されている。このことは図3、図4でも説明している。

【0662】

接眼リング1341には拡大レンズ1342が取り付けられている。観察者は接眼リング1341をボデー1333内での挿入位置を可変して、表示パネル1334の表示画面64にピントがあうように調整する。

【0663】

また、必要に応じて表示パネル1334の光出射側に正レンズ1343を配置すれば、拡大レンズ1342に入射する主光線を収束させることができる。そのため、拡大レンズのレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0664】

図55はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部1352とビデオカメラ本体1333と具備し、撮影レンズ部1352とビューファインダ部1333とは背中合わせとなっている。また、ビューファインダ（図54も参照）1333には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル1334の表示画面64を観察する。

【0665】

本発明のEL表示パネルは表示モニターとしても使用されている。表示部64は支点1351で角度を自由に調整できる。表示部64を使用しない時は、格納部1353に格納される。

【0666】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図56に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体1361に付属されたモニター64として用いる。カメラ本体1361にはシャッター1363の他、スイッチ1354が取り付けられている。

【0667】

本発明のEL表示パネルは、3D（立体）表示装置にも採用できる。図58は本発明の3D表示装置の説明図である。図58に図示するように、2枚のEL表示パネル（EL表示アレイ）30a、30bは対面して配置されている。また、表示パネル30aの画素電極15aと、表示パネル30bの画素電極15bとは対面する位置に配置されている。2枚のEL表示パネルの間隔は隔離柱1411で保持されている。隔離柱1411は表示領域64の周囲に配置され、リング状の形状をしている。ガラスなどの無機材料で構成されている。隔離柱1411（高さ）は圧膜技術、塗布技術、印刷技術などで形成または構成してもよい。また、アレイ基板30をエッチング技術あるいは研磨技術を用いて表示領域64などを掘り下げることにより形成してもよい。

【0668】

隔離柱1411は1mm以上8mm以下の厚みである。特に、隔離柱1411は3mm以上7mm以下の厚みにすることが好ましい（図60のdが該当する）。隔離柱1411は封止樹脂6332でパネル30a、30bに貼り付けられている。空間6333には必要に応じて乾燥剤が配置あるいは形成または構成される。

10

20

30

40

50

【0669】

なお、図58では、表示パネル30aと30bは2枚の基板で一体化されているように図示したがこれに限定するものではない。表示パネル30aと30bはそれぞれアレイ基板と対向基板（封止基板）を有するように構成してもよい。つまり、独立した表示パネル30aと30bを隔離柱1411などの隔離手段（一定間隔を保持する手段）を用いて配置してもよい。

【0670】

表示パネル30aの画素電極15aと、表示パネル30bの画素電極15bとは、異なる画像あるいは同一の画像を表示する。画像はA方向から観察する。したがって、EL表示パネル30aは透過型である必要がある。画素電極15aを介して表示パネル30bの画素電極15bに表示される画像を観察する必要があるからである。表示パネル30bのEL素子15の両電極は透過性を有する必要がある。液晶表示装置では画像表示にバックライトが必要である。したがって、透過型に構成することはできない。EL表示パネルは自己発光パネルであるので、表示画像を両面から見えるように構成することができる。つまり、A側から表示パネル30aの画像を観察することができる。かつ、表示パネルはA側から表示パネル30bの画像を観察できるように構成する必要がある。表示パネル30bは透過型であっても、反射型であってもよい。

10

【0671】

表示パネル30bは液晶表示パネルで構成してもよい。その場合は、図58に図示するようにバックライト1414を配置し、表示パネル30bの画像がA側から観察できるように構成する。表示パネル30aと30bの画面サイズは一致されることが好ましいが、これに限定するものではない。一方の表示パネル30の画面サイズを小さくしてもよい。

20

【0672】

表示パネル30aと30bに映像信号を供給する映像処理回路は共通にすれば低コスト化が望める。また、表示パネル30aと30bの表示画像の明るさうち、一方の明るさを他方の明るさに対して変化ありは変更できるように構成することが好ましい。

【0673】

表示パネル30aの表示画像64aは、表示パネル30bの表示画層64bよりも明るく（輝度を高く）表示させる。表示画像64aと表示画像64bとの輝度差を発生させることにより、A側から見た画像が立体的に見える。輝度差は、10%以上80%以下にするとよい。特に、20%以上60%以下にするとよい。

30

【0674】

図59は、2つの表示パネル30の画像表示状態の説明図である。コントローラIC（回路）は表示パネル30aのソースドライバ回路（IC）14aなどと、表示パネル30bのソースドライバ回路（IC）14bなどを制御して画像を制御し、表示画像64aと64bとで3D表示を実現する。

【0675】

図60は、透過型の自発光型表示パネル30aと、非発光型の液晶表示パネル1653とを組み合わせた実施例である。液晶表示パネル1653の背面にはバックライト1651が配置されている。バックライト1651と液晶表示パネル1653間には偏光板（偏光フィルム）39aが配置されており、液晶表示パネル1653の光出射面側にも偏光板（偏光フィルム）39bが配置されている。液晶表示パネル1653はノーマリホワイトモードであり、偏光板39aと偏光板39bの偏光軸は直交している。液晶表示パネル1653、バックライト1651、EL表示パネル30aは保持具（筐体）1652に一体となるように取り付けられている。したがって、液晶表示パネル1653の画像表示位置と、EL表示パネル30aの画像表示位置間距離dは精度よく一定に保たれている。

40

【0676】

なお、ここでいう直交とは、液晶表示パネルの液晶層に電圧が印加されていない時、偏光板39aに入射した光が、液晶表示パネル1653を透過し、偏光板39bに入射した際に、偏光板39bで吸収されて、偏光板39bから透過しない状態（最も光を透過しな

50

い状態)に構成または配置することを意味する。

【0677】

一方、EL表示パネル30aと液晶表示パネル1651間には、円偏光板1654aが配置されている。円偏光板1654は $\lambda/4$ 板($\lambda/4$ フィルム)38と偏光板(偏光フィルム)39から構成される。EL表示パネル30aの光射出面にも、円偏光板1654bが配置されている。円偏光板1654aの偏光板39cの偏光軸と、円偏光板1654bの偏光板39dの偏光軸とは、直交するように配置されている。

【0678】

なお、ここでいう直交とは、偏光板39cに入射した直線偏光が、 $\lambda/4$ 板($\lambda/4$ フィルム)38cで円偏光に変換され、EL表示パネル30aを透過し、円偏光板38dで先の直線偏光と90度位相が異なる直線偏光に変換され、偏光板39dを透過する状態(最も光を透過する状態)に構成または配置することを意味する。 10

【0679】

以上の関係を図61に図示している。図61の偏光板39上に示す矢印は、偏光軸を示している。バックライト1651からの光は、偏光板39aに入射し、直線偏光に変換される。直線偏光は、液晶表示パネル1653に入射し、液晶表示パネル1653は直線偏光を印加される映像信号に応じて変調する。変調された直線偏光は、変調の割合に応じて偏光板39bで吸収または透過する。偏光板39bを透過する直線偏光は、偏光板39aを透過する直線偏光を90度位相が回転している。

【0680】

偏光板39bを透過した直線偏光は、そのまま、偏光板39cを透過する(一部減衰する)。偏光板39cに入射した直線偏光が、 $\lambda/4$ 板($\lambda/4$ フィルム)38cで円偏光に変換され、EL表示パネル30a透過し、円偏光板38dで先の直線偏光と90度位相が異なる直線偏光に変換され、偏光板39dを透過する。したがって、液晶表示パネル1653の表示画像は、EL表示パネル30aを透過して、観察することができる。もちろん、EL表示パネル30aは自己発光であるから、円偏光板1654bを介して、EL表示パネルの表示画像も観察することができる。以上の構成により、図46で説明したように、A側から見た画像が立体的に見える。 20

【0681】

図62は、外光の抑制を説明する説明図である。外光BはEL表示パネル30a側から入射する。外光Bは偏光板39dに入射し、直線偏光となる。この直線偏光は、 $\lambda/4$ 板($\lambda/4$ フィルム)38dで円偏光に変換され、EL表示パネル30aに入射する。外光は、主としてカソード電極30で反射される。反射された光Cは、再び、 $\lambda/4$ 板($\lambda/4$ フィルム)38dに入射する。入射した反射光Cは、 $\lambda/4$ 板($\lambda/4$ フィルム)38dで直線偏光に変換される。この直線偏光は、外光Bが偏光板39dを透過した直線偏光と90度位相が異なっている。したがって、光Cは偏光板39dで吸収される。そのため、本発明は、外光Bの影響を受けず、良好なコントラスト表示を実現できる。 30

【0682】

図60などにおいて、表示パネル30aはEL表示パネルとして説明したが、表示パネル30aは、自己発光表示パネルであり、光透過性を有するものであればいずれの表示パネルであればよいことは言うまでもない。また、1653は、液晶表示パネルに限定するものではなく、画像を表示する表示パネル(有機および無機EL表示パネル、SED、FEDなど)であればいずれでもよい。 40

【0683】

なお、図60、図61、図62などにおいて、液晶表示パネル1653とEL表示パネル(自己発光パネル)30aとの位置関係は入れ替えてもよい。たとえば、図60において、液晶表示パネル1653および偏光板39などをEL表示パネル(自己発光パネル)30aおよび円偏光板1654を入れ替えてもよい。また、自己発光パネル30aは本発明の駆動方式、構造、構成などを採用することにより、より良好な3D(立体)表示を実現できる。 50

【0684】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面64がたわみやすい。その対策のため、本発明では図57に示すように表示パネルに外枠1371をつけ、外枠1371をつり上げられるように固定部材1374で取り付けしている。この固定部材1374を用いて、壁などに取り付ける。

【0685】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部1373を配置し、複数の脚1372で表示パネルの重量を保持できるようにしている。

【0686】

脚1372はAに示すように左右に移動でき、また、脚1372はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0687】

図57のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【0688】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【0689】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0690】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【0691】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0692】

以上の実施例は、本発明の表示パネルなどを表示装置として用いるものであった。しかし、本発明はこれに限定するものではない。図64は、情報発生装置として用いるものである。図11などで説明したように、ゲートドライバ回路12に入力する信号（特にST信号）により、非点灯領域62と点灯領域63を発生することができる。点灯領域63は該当画素16のEL素子15が発光している領域である。つまり、ゲート信号線17bにオン電圧が印加され、図1の画素構成では、トランジスタ11dがオン状態となっている領域である。非点灯領域62は該当画素16のEL素子15に電流が流れていない領域である。つまり、ゲート信号線17bにオフ電圧が印加され、図1の画素構成では、トランジスタ11dがオフ状態となっている領域である。

10

20

30

40

50

【0693】

ソースドライバ回路（IC）14から表示領域64に白ラスタ表示の信号が印加されているとする。ゲートドライバ12bを制御することにより、表示領域64にストライプ状（画素行単位で点灯、非点灯制御されるため）に点灯領域63と非点灯領域62を発生させることができる。図64に図示するように、ゲートドライバ回路12bの制御によりバーコード表示を実現できる。

【0694】

ゲートドライバ回路12aのST1端子には、1フレームに1回のスタートパルスが印加される。ゲートドライバ回路12bのST2端子には、バーコード表示に対応させてスタートパルスが印加される。通常の印刷物のバーコードと異なる点は、表示領域64の各バーコード表示位置が水平走査信号に同期して移動する点である。

10

【0695】

したがって、図63に図示するように、EL表示パネルの表示領域64に、1画素行の点灯状態を検出できるホトセンサ1391を配置または形成すれば、ホトセンサ1391を固定した状態で、 $1 / (1 \text{ 秒間のフレーム数} \cdot \text{画素行数})$ のレートでバーコードの表示状態を検出できる。ホトセンサ1391で検出したデータはデコーダ（バーコード解読器）1392により電気信号に変換され解読されて情報になる。EL表示パネルは応答性が速いため、高速の情報を表示することができる。

【0696】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（3D）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（FED）、SED（キャノンと東芝が開発したディスプレイ）、PDP（プラズマディスプレイパネル）などに適用できる。

20

【0697】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、PHS、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。

【0698】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。

30

【0699】

また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、バーコードなどの情報の発生機器にも適用することができる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0700】

本発明は、炊飯器などの家庭電器機器の表示モニター、カーオーディオの表示部、車のスピードメーター、ひげそりの表示部、ポケットゲーム機器およびそのモニター、電話器の番号、工場の計測器のインジケータなどの表示モニター、電車の行き先表示モニター、ネオン表示装置の置き換え、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置、天井灯、窓ガラス、車のヘッドライトなどの照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。

40

【0701】

また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0702】

50

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機 E L 表示パネルは有効である。R G B のドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、本発明の表示装置から出力される光を単一波長あるいは狭帯域の波長ができるように構成し、レーザー表示装置またはその応用として用いてもよいことは言うまでもない。狭帯域化は、干渉効果あるいは光学フィルタなどを用いることにより実現できる。

【0703】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせられて実施されてもよく、その場合は、その組み合わせによる特徴ある効果が得られる。

【産業上の利用可能性】

【0704】

本発明のソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、E L 素子 15 に流れる電流バラツキが発生しないように駆動する。また、各端子に接続する単位トランジスタ群を変化させる。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。駆動用トランジスタ素子の温度依存性も補償する。また、d u t y 比制御などによりダイナミックレンジが広い画像表示を実現できる。

【0705】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0706】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【0707】

本発明にかかる E L 表示装置は、上記効果を有し、有機または無機エレクトロルミネセンス (E L) 素子などを用いた E L 表示パネル (表示装置) などの自発光表示パネル、また、これらの表示パネルなどの駆動回路 (I C など) および駆動方法等として有用である。

【図面の簡単な説明】

【0708】

【図 1】本発明の表示パネルの画素の構成図である。

【図 2】従来の表示パネルの画素の構成図である。

【図 3】本発明の表示パネルの構成図である。

【図 4】本発明の表示パネルの構成図である。

【図 5】本発明の表示パネルの構成図である。

【図 6】本発明の表示パネルの構成図である。

【図 7】本発明の表示パネルの構成図である。

【図 8】本発明の表示パネルの駆動方法の説明図である。

【図 9】本発明の表示パネルの駆動方法の説明図である。

【図 10】本発明の表示パネルの駆動方法の説明図である。

【図 11】本発明の表示パネルの構成図である。

【図 12】本発明の表示パネルの構成図である。

【図 13】本発明の表示パネルの駆動方法の説明図である。

【図 14】本発明の表示パネルの駆動方法の説明図である。

【図 15】本発明の表示パネルの駆動方法の説明図である。

【図 16】本発明の表示パネルの画素の構成図である。

10

20

30

40

50

- 【図 1 7】 本発明の表示パネルの画素の構成図である。
- 【図 1 8】 本発明の表示パネルの画素の構成図である。
- 【図 1 9】 本発明の表示パネルの画素の構成図である。
- 【図 2 0】 本発明の表示パネルの駆動方法の説明図である。
- 【図 2 1】 本発明の表示パネルの駆動方法の説明図である。
- 【図 2 2】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 2 3】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 2 4】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 2 5】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 2 6】 本発明のソースドライバ回路（I C）の構成図である。 10
- 【図 2 7】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 2 8】 本発明のソースドライバ回路（I C）の説明図である。
- 【図 2 9】 本発明のソースドライバ回路（I C）の説明図である。
- 【図 3 0】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 1】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 2】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 3】 本発明のソースドライバ回路（I C）の説明図である。
- 【図 3 4】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 5】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 6】 本発明のソースドライバ回路（I C）の構成図である。 20
- 【図 3 7】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 3 8】 本発明の表示パネルの駆動方法の説明図である。
- 【図 3 9】 本発明の表示パネルの駆動方法の説明図である。
- 【図 4 0】 本発明の表示パネルの駆動方法の説明図である。
- 【図 4 1】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 4 2】 本発明の表示パネルの駆動方法の説明図である。
- 【図 4 3】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 4 4】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 4 5】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 4 6】 本発明のソースドライバ回路（I C）の構成図である。 30
- 【図 4 7】 本発明のソースドライバ回路（I C）の説明図である。
- 【図 4 8】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 4 9】 本発明のソースドライバ回路（I C）の構成図である。
- 【図 5 0】 本発明のソースドライバ回路（I C）の説明図である。
- 【図 5 1】 本発明の表示パネルの駆動方法の説明図である。
- 【図 5 2】 本発明の表示パネルの駆動方法の説明図である。
- 【図 5 3】 本発明の表示装置の構成図である。
- 【図 5 4】 本発明の表示装置の構成図である。
- 【図 5 5】 本発明の表示装置の構成図である。
- 【図 5 6】 本発明の表示装置の構成図である。 40
- 【図 5 7】 本発明の表示装置の構成図である。
- 【図 5 8】 本発明の表示装置の構成図である。
- 【図 5 9】 本発明の表示装置の構成図である。
- 【図 6 0】 本発明の表示装置の構成図である。
- 【図 6 1】 本発明の表示装置の構成図である。
- 【図 6 2】 本発明の表示装置の構成図である。
- 【図 6 3】 本発明の表示装置の構成図である。
- 【図 6 4】 本発明の表示装置の説明図である。
- 【図 6 5】 本発明の表示装置のブロック図である。
- 【図 6 6】 本発明の表示装置のブロック図である。 50

- [illegible]

- 【図 1 1 7】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 1 8】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 1 9】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 0】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 1】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 2】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 3】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 4】本発明の表示パネルの駆動方法の説明図である。
- 【図 1 2 5】本発明の表示パネルの説明図である。
- 【図 1 2 6】本発明の表示パネルの説明図である。
- 【図 1 2 7】本発明の表示パネルの説明図である。
- 【図 1 2 8】本発明の表示パネルの説明図である。
- 【図 1 2 9】本発明の表示パネルの説明図である。
- 【図 1 3 0】本発明の表示パネルの説明図である。

【符号の説明】

【0 7 0 9】

- 1 1 T F T（薄膜トランジスタ）
- 1 2 ゲートドライバ I C（回路）
- 1 4 ソースドライバ回路（I C）
- 1 5 E L（素子）（発光素子）
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量（付加コンデンサ、付加容量）
- 2 9 E L 膜
- 3 0 アレイ基板（自発光表示パネル）
- 3 1 土手（リブ）
- 3 2 層間絶縁膜
- 3 4 コンタクト
- 3 5 画素電極
- 3 6 カソード電極
- 3 7 乾燥剤
- 3 8 $\lambda/4$ 板（ $\lambda/4$ フィルム、位相板、位相フィルム）
- 3 9 偏光板
- 4 0 封止フタ
- 4 1 薄膜封止膜
- 6 1 書き込み行
- 6 2 非表示領域（非点灯領域、黒表示領域）
- 6 3 表示領域（点灯領域、画像表示領域）
- 8 1 シフトレジスタ回路
- 8 2 バッファ回路
- 9 1 電流保持回路
- 9 2 ポリシリコン電流保持回路（内蔵電流保持回路）
- 9 3 出力端子
- 2 2 1 スイッチ（オンオフ手段）
- 2 2 2 内部配線（出力配線）
- 2 2 3 ゲート配線
- 2 2 4 単位トランジスタ
- 2 2 8 トランジスタ
- 2 3 2 トランジスタ

10

20

30

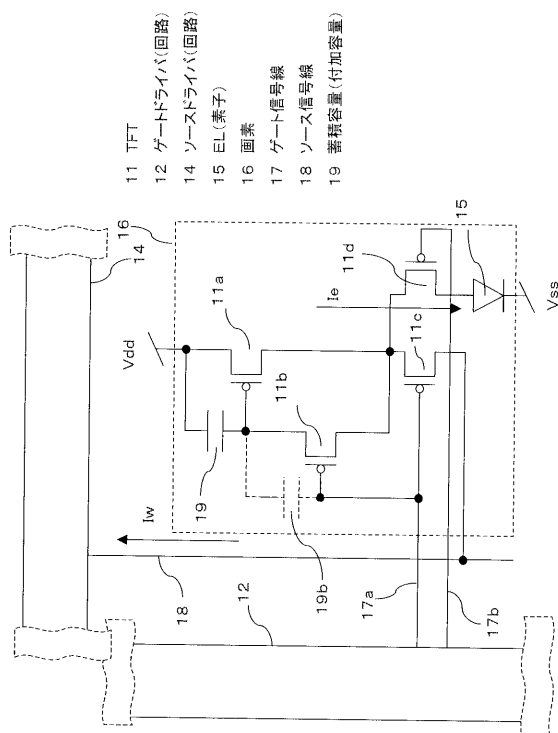
40

50

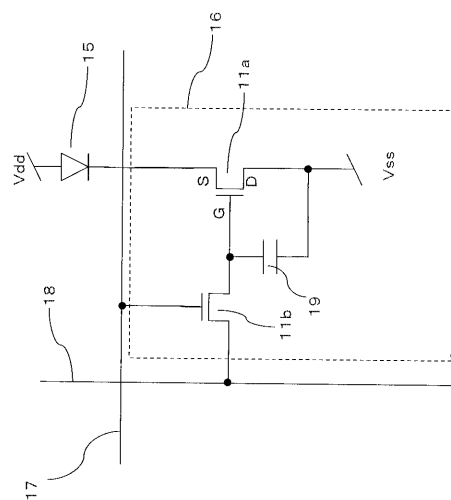
2 3 1	オペアンプ	
2 5 1	トランジスタ群	
2 9 1	電子ポリウム	
3 3 1	一致回路	
3 3 2	カウンタ	
3 3 3	A N D回路	
3 3 4	電流出力回路	
3 5 1	ラッチ回路	
3 5 2	セクタ回路	
3 5 3	プリチャージ回路	10
3 7 1	電圧階調回路	
3 8 1	サンプルホールド回路（電圧保持手段）	
3 8 2	ソース信号線端子	
3 9 1	切り換え回路	
8 4 1	単位トランジスタ（単位電流出力回路）	
9 1 1	比較回路	
1 1 2 1	スイッチ回路（切り換え手段）	
1 1 2 2	デコーダ回路	
1 1 2 6	A I 処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）	
1 1 2 7	動画検出処理（I D 処理）	20
1 1 2 8	カラーマネージメント処理回路（色補償／補正、色温度補正回路）	
1 1 2 9	演算回路（M P U、C P U）	
1 1 3 1、1 1 3 2	乗算器	
1 1 3 3	加算器	
1 1 3 4	総和回路（S U M回路、データ処理回路、総電流演算回路）	
1 2 8 1	昇圧回路	
1 3 3 1	アンテナ	
1 3 3 2	キー	
1 3 3 3	筐体	
1 3 3 4	表示パネル	30
1 3 4 1	接眼リング	
1 3 4 2	拡大レンズ（正レンズ）	
1 3 4 3	凸レンズ（正レンズ）	
1 3 5 1	支点（回転部）	
1 3 5 2	撮影レンズ（撮影手段）	
1 3 5 3	格納部	
1 3 5 4	スイッチ	
1 3 6 1	本体	
1 3 6 2	撮影部	
1 3 6 3	シャッタスイッチ	40
1 3 7 1	取り付け枠	
1 3 7 2	脚	
1 3 7 3	取り付け台	
1 3 7 4	固定部	
1 3 9 1	ホトセンサ	
1 3 9 2	デコーダ（バーコード解読器）	
1 3 9 3	E L 表示パネル（自発光表示パネル（装置））	
1 4 1 1	隔離柱（隔離壁（リング））	
1 4 1 2	封止樹脂（封止手段）	
1 4 1 3	空間	50

- 1 4 1 4 バックライト
- 1 5 3 1 出力選択回路
- 1 6 5 1 バックライト
- 1 6 5 2 保持具（筐体）
- 1 6 5 3 液晶表示パネル（非発光表示パネル）
- 1 6 5 4 円偏光板
- 2 7 0 1 寄生容量
- 2 7 4 1 d u t y 比制御回路
- 2 9 6 1 輝度計（照度計、明るさ測定手段）
- 2 9 7 1 紫外線カット膜
- 3 0 0 1 スペーサ柱
- 3 0 0 2 空間
- 3 0 1 1 乾燥材
- 3 1 1 1 ヒューズROM（EEPROM）
- 3 1 2 1 インバータ回路

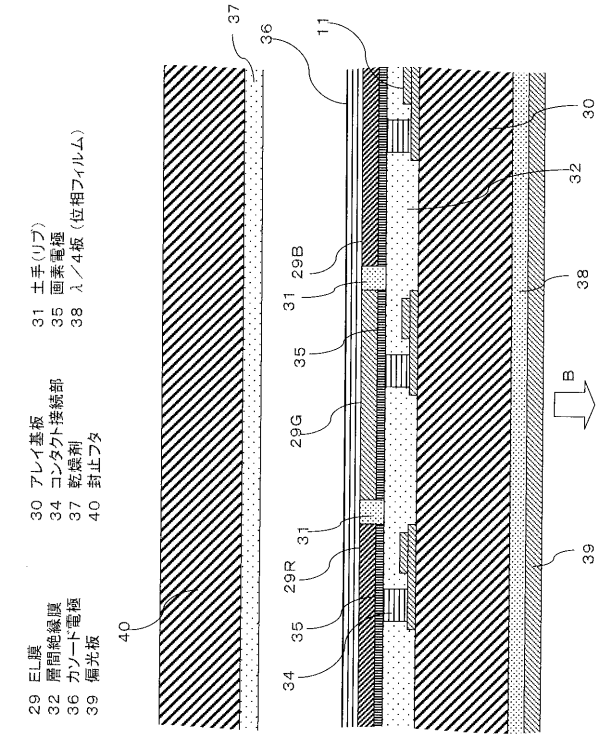
【図 1】



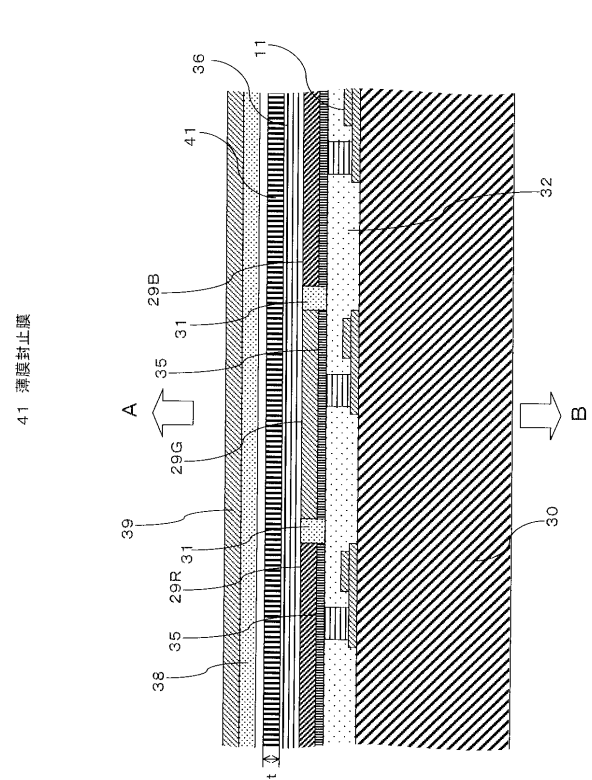
【図 2】



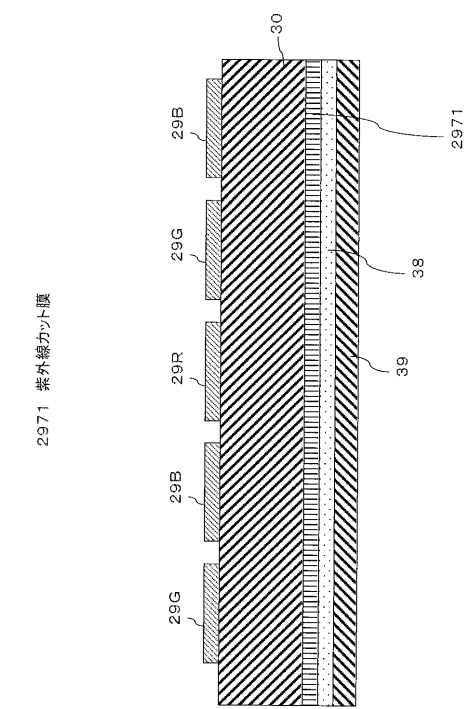
【図 3】



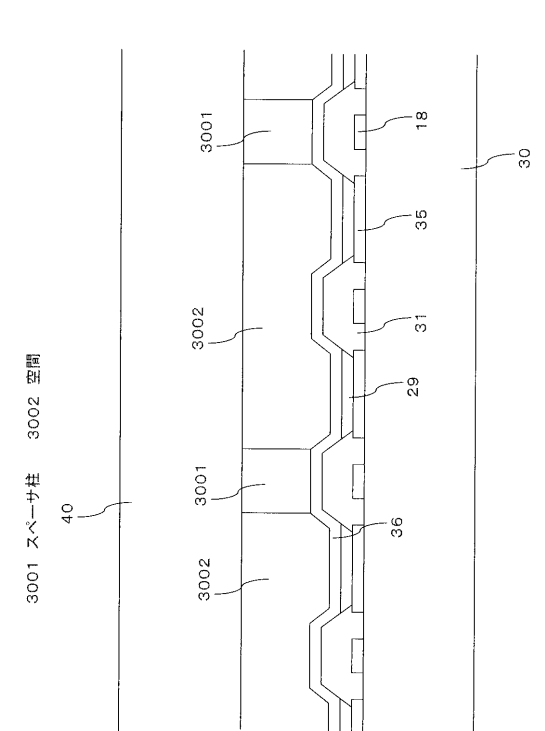
【図 4】



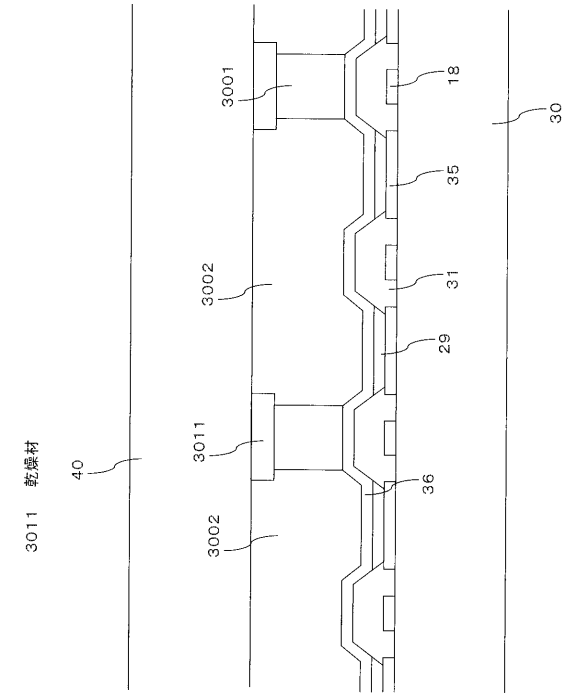
【図 5】



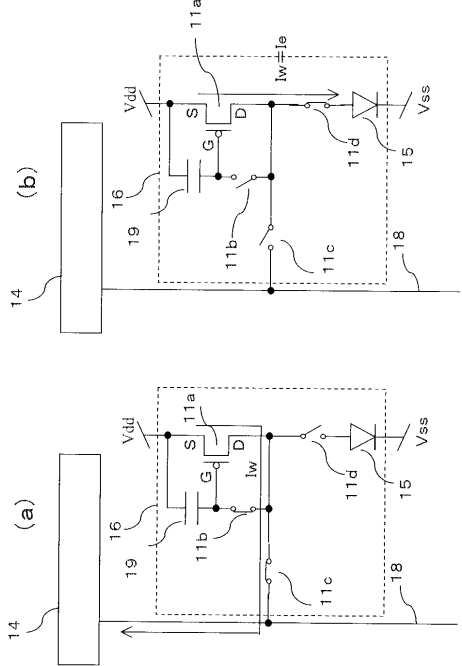
【図 6】



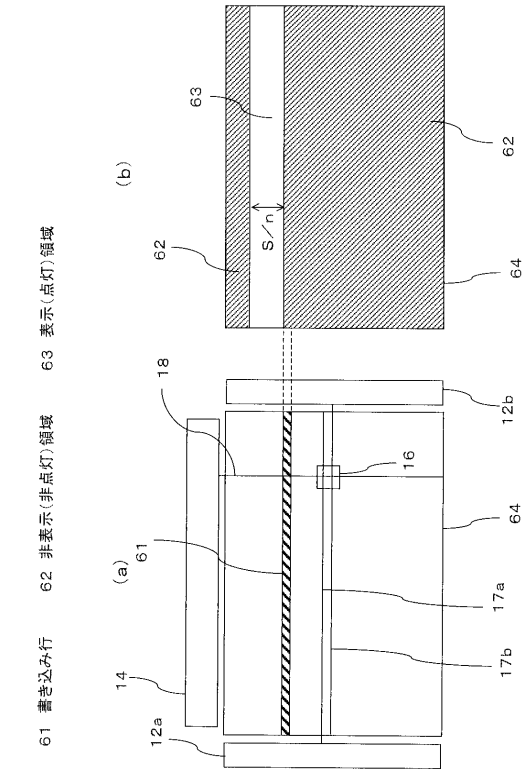
【図 7】



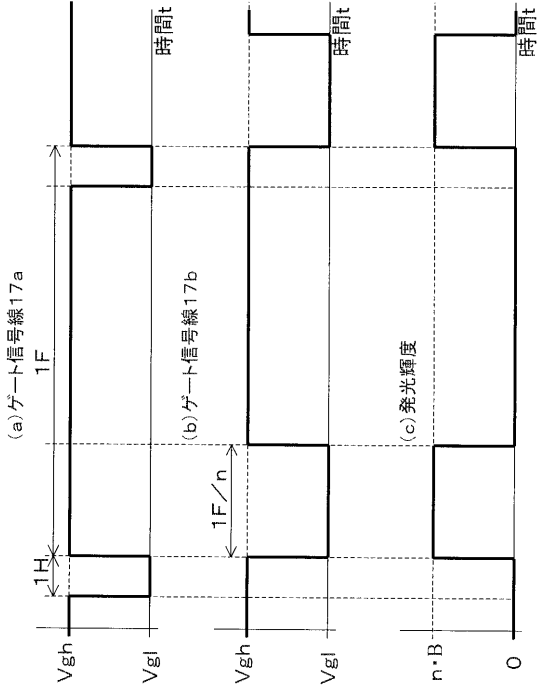
【図 8】



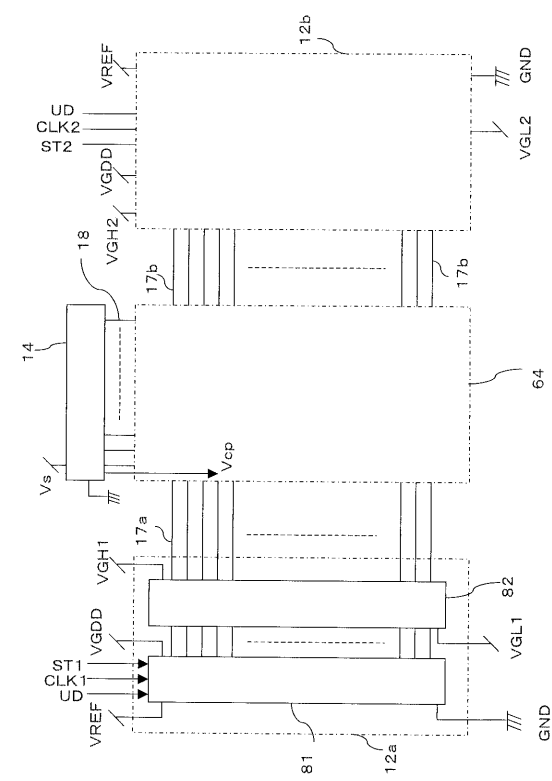
【図 9】



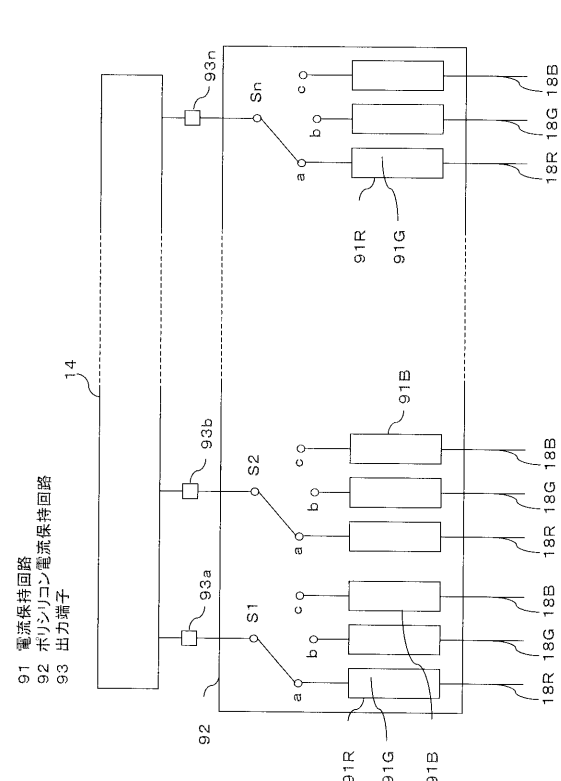
【図 10】



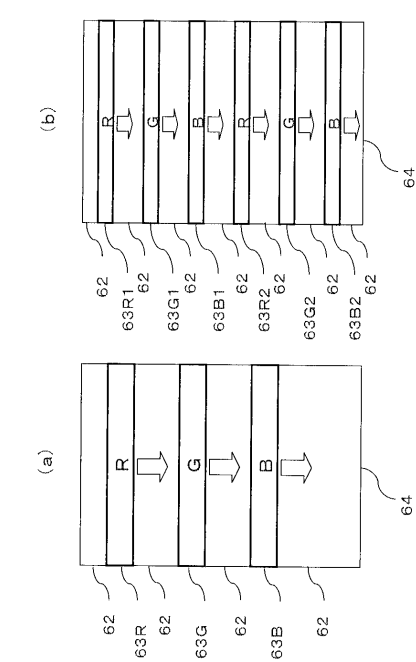
【図 1 1】



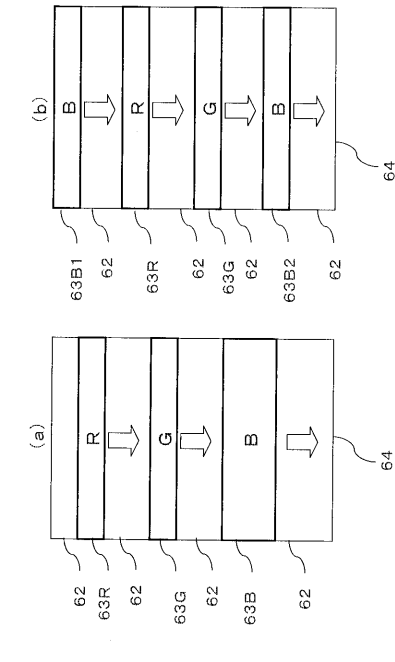
【図 1 2】



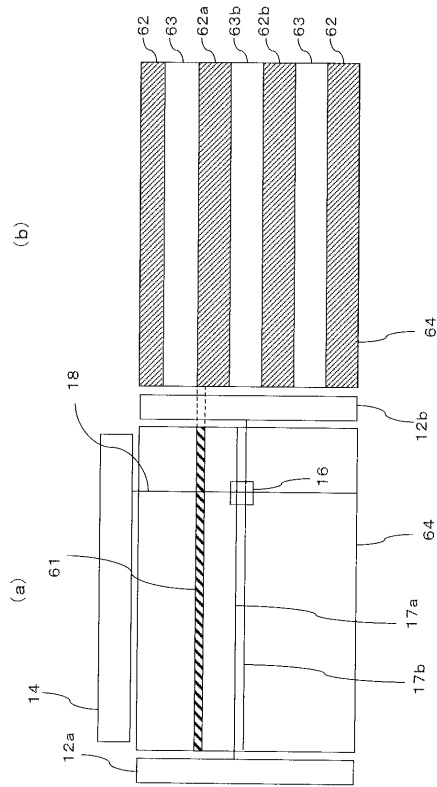
【図 1 3】



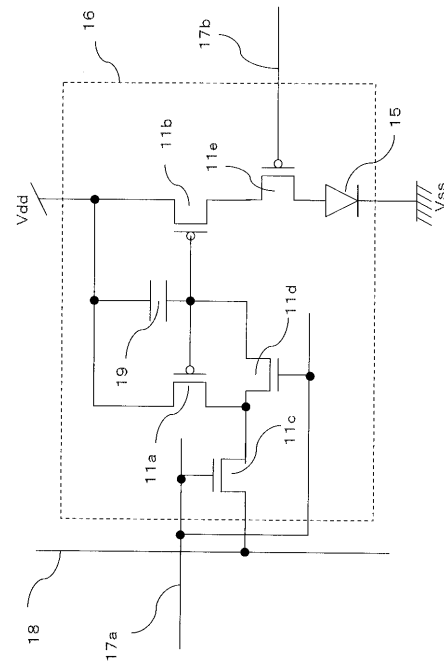
【図 1 4】



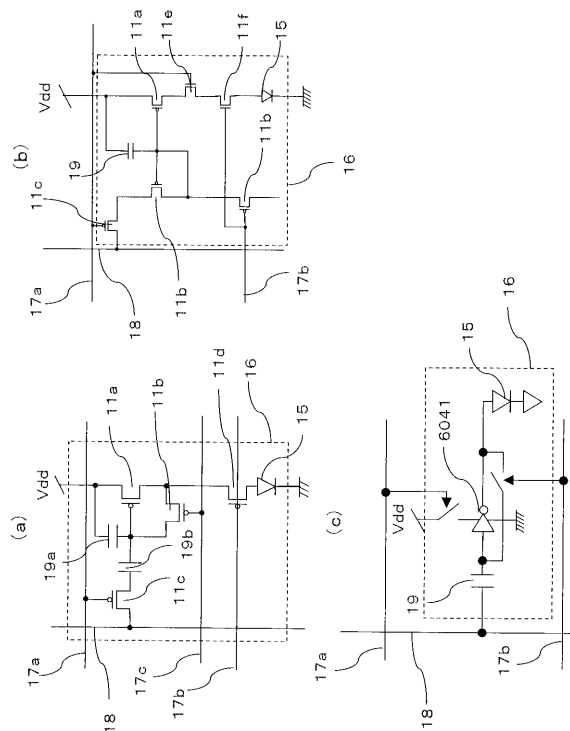
【图 1 5】



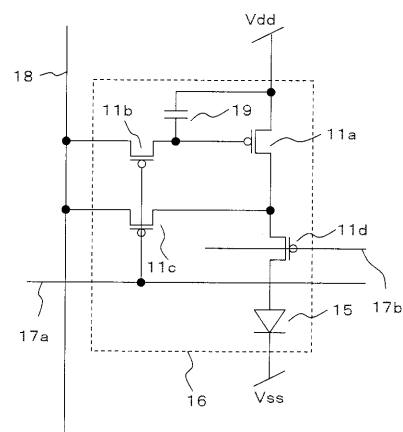
【 図 1 6 】



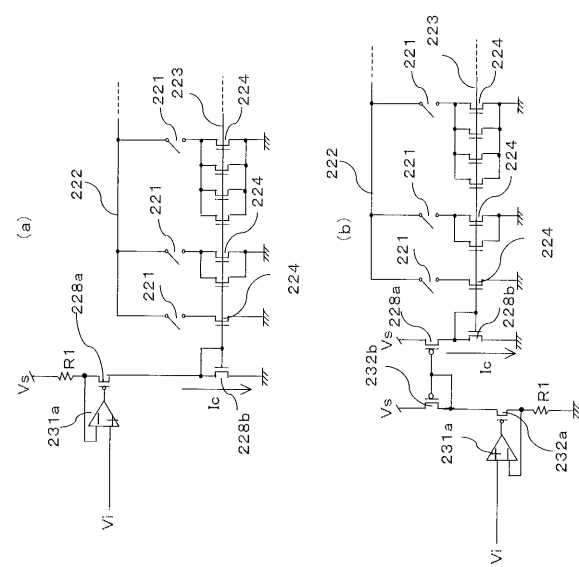
【 図 1 7 】



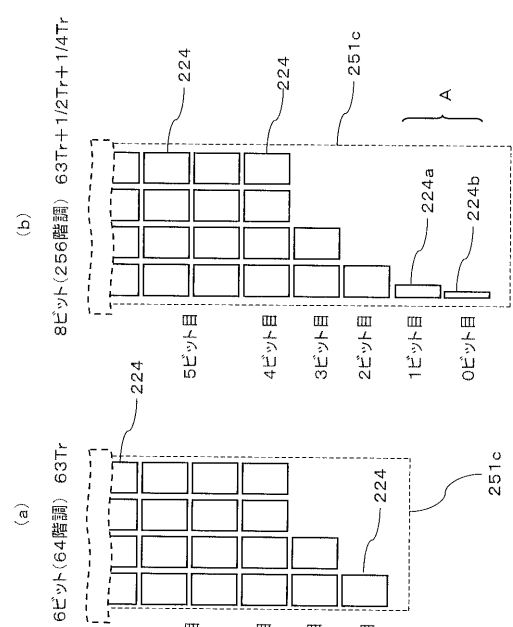
【 図 1 8 】



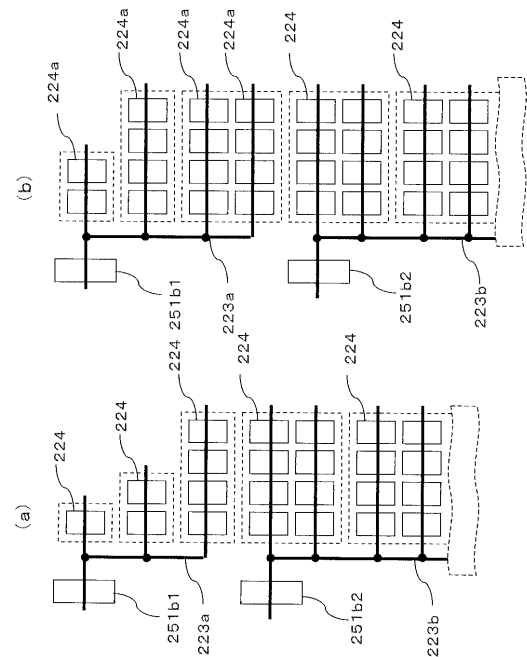
【図 2 3】



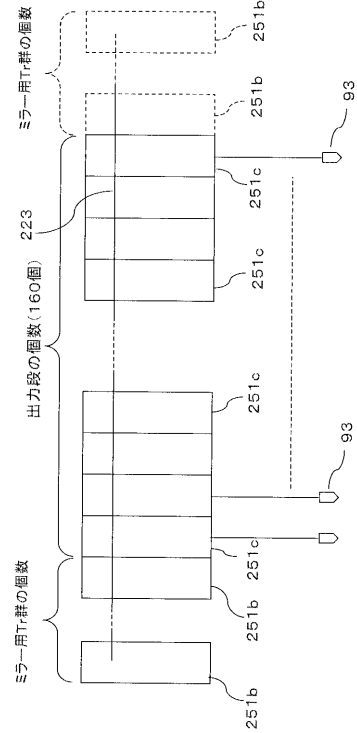
【図 2 4】



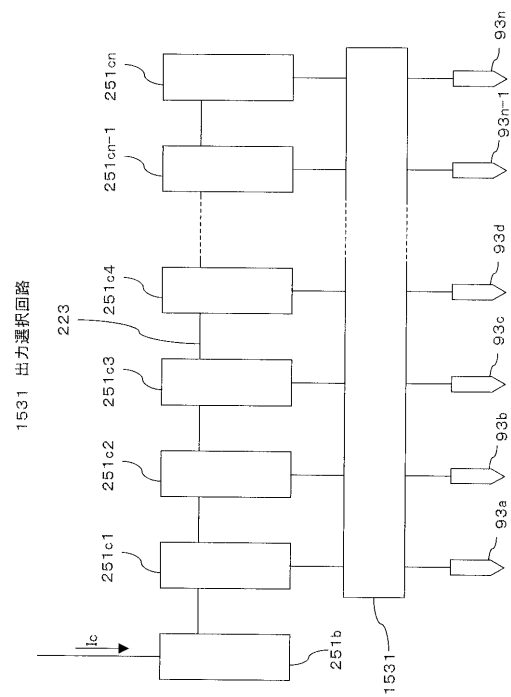
【図 2 5】



【図 2 6】



【図 2 7】



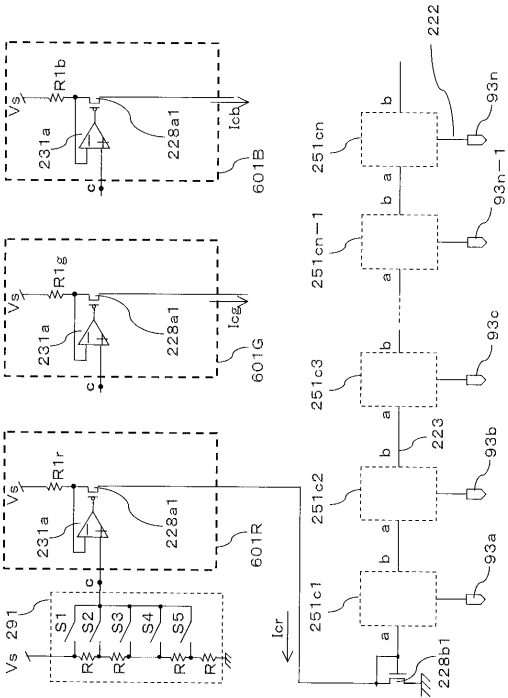
【図 2 8】

端子	93a	93b	93c	93d	93e
H	1	n	n-1	n-2	n-3
1	2	1	n	n-1	n-2
2	3	2	1	n	n-1
3	4	3	2	1	n
4	5	4	3	2	1
5	6	5	4	3	2
6	7	6	5	4	3
7					

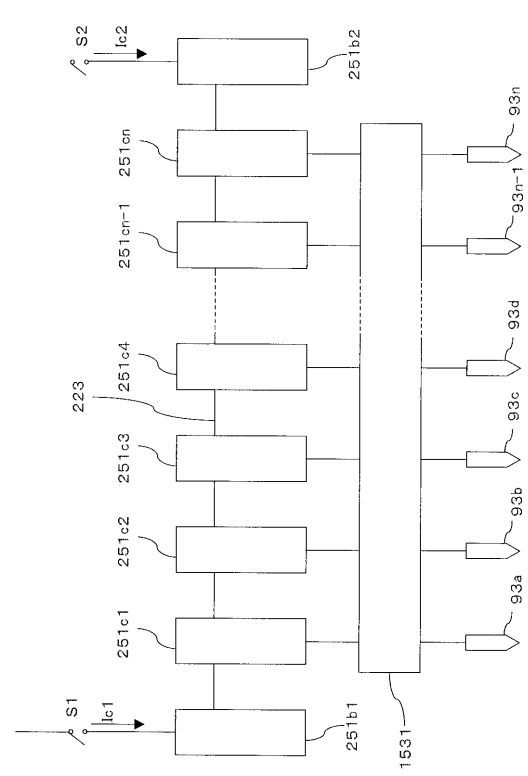
【図 2 9】

H	1Fの基準電流	2Fの基準電流
1	Ic1	Ic2
2	Ic2	Ic1
3	Ic1	Ic2
4	Ic2	Ic1
5	Ic1	Ic2
6	Ic2	Ic1

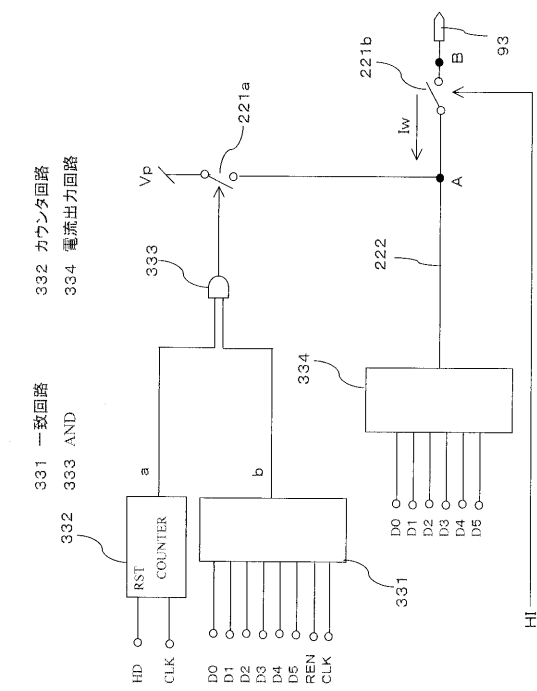
【図 3 0】



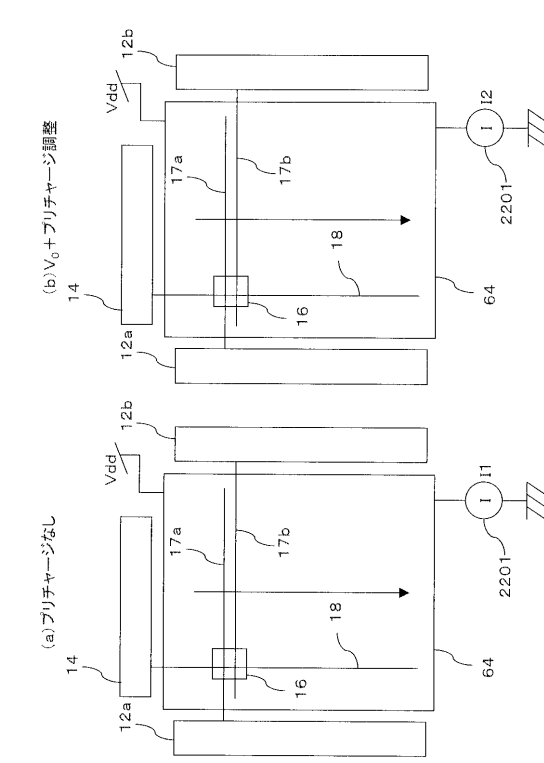
【図 3 1】



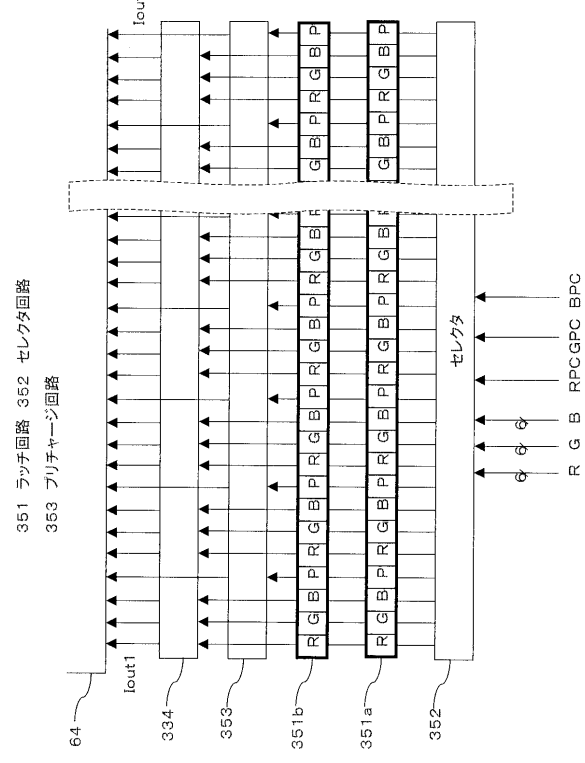
【図 3 2】



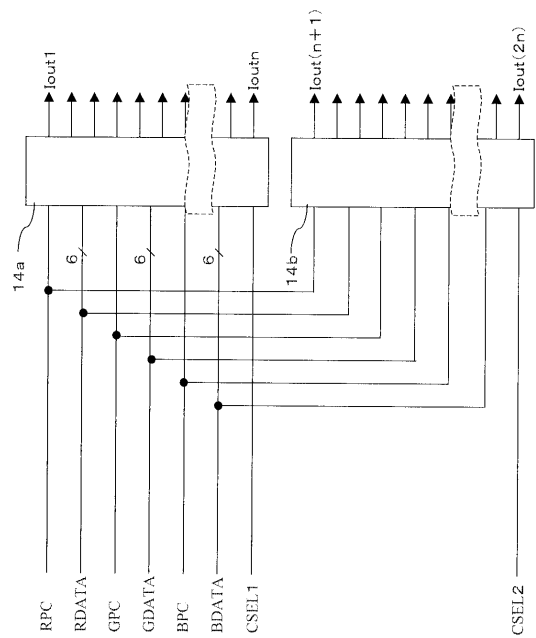
【図 3 3】



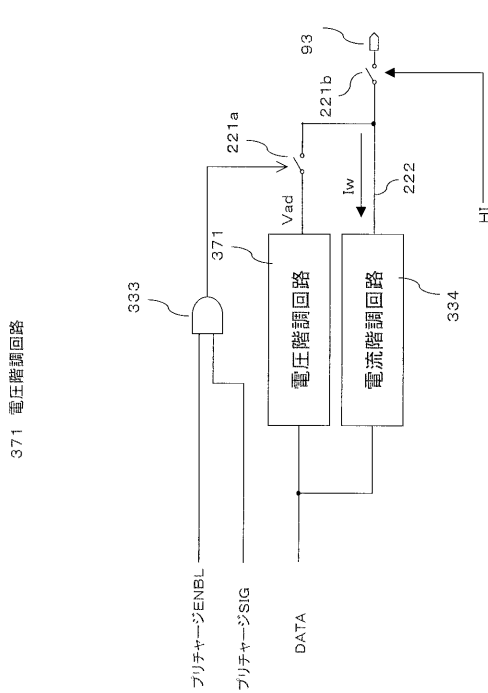
【図 3 4】



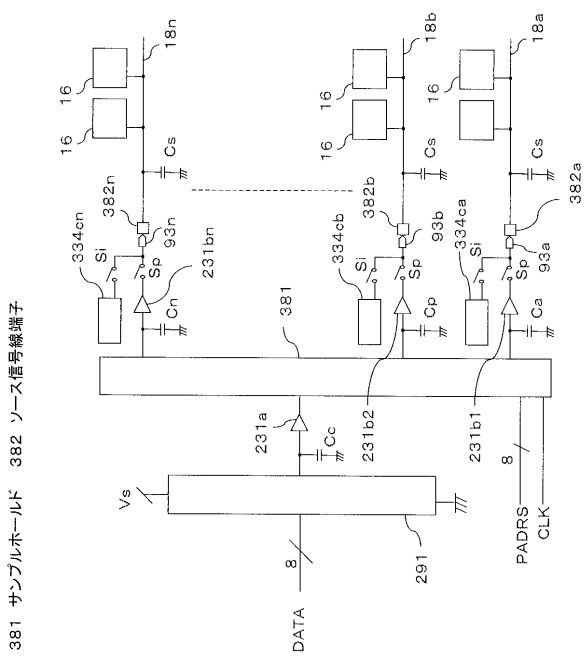
【図 3 5】



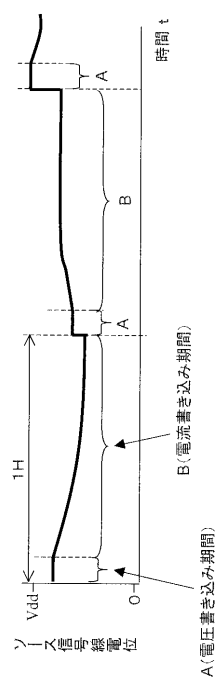
【図 3 6】



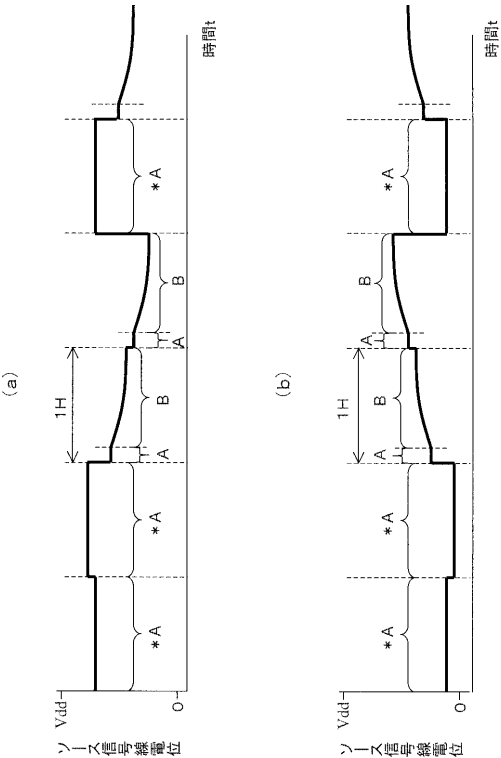
【図 3 7】



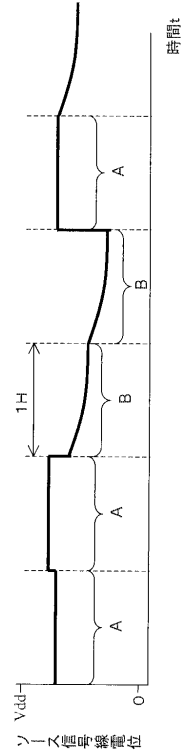
【図 3 8】



【図 3 9】

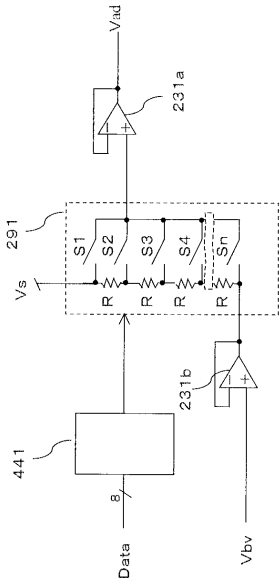


【図 4 0】

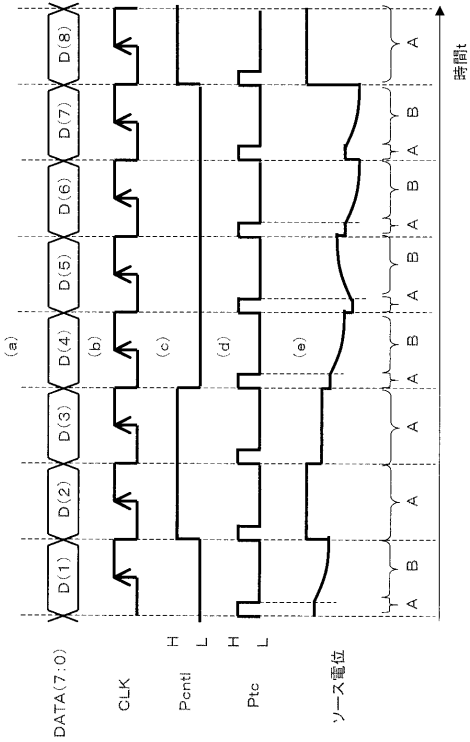


【図 4 1】

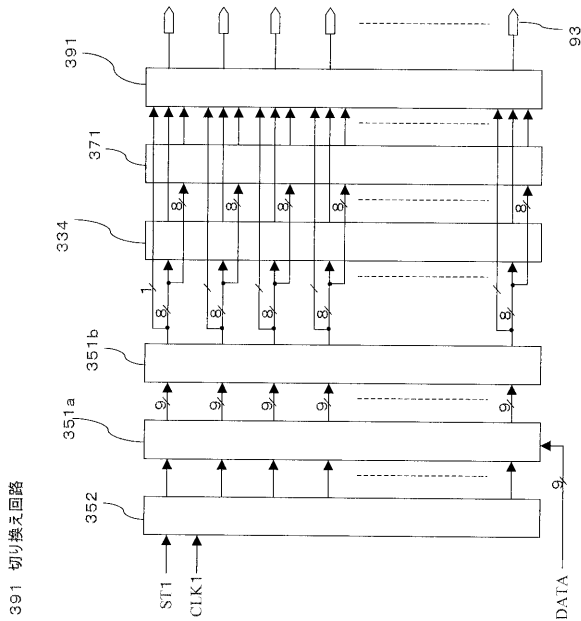
441 デコーダ



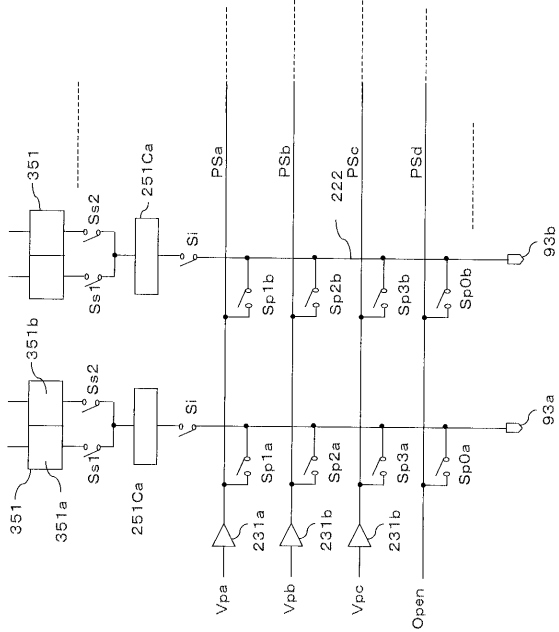
【図 4 2】



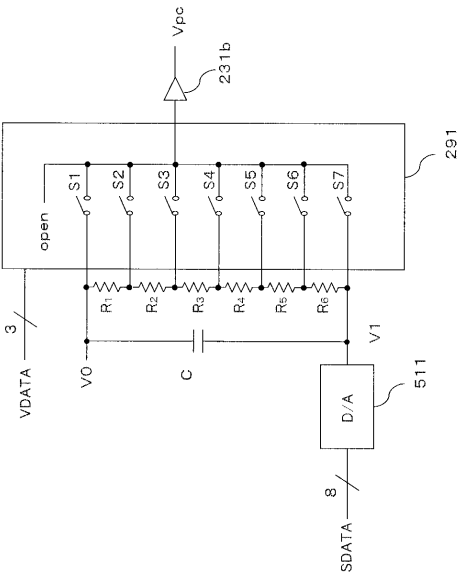
【図 4 3】



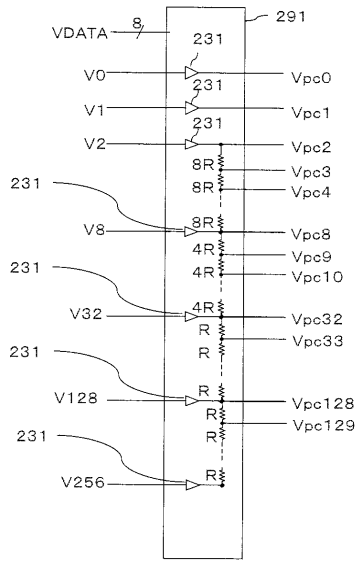
【図 4 4】



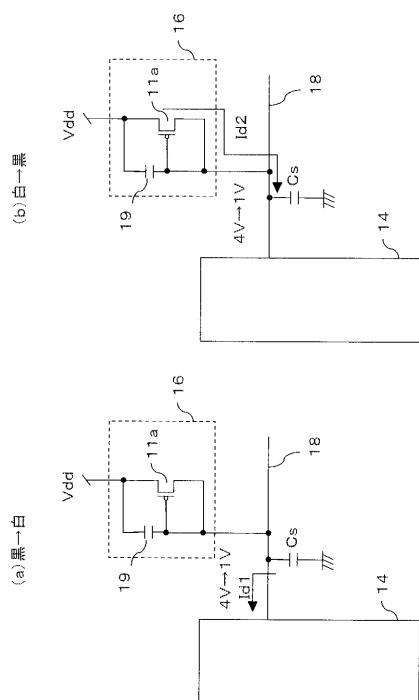
【図 4 5】



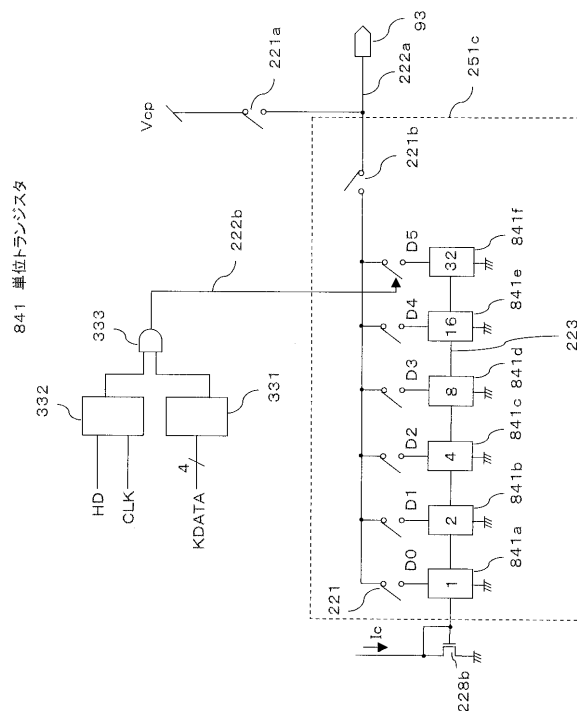
【図 4 6】



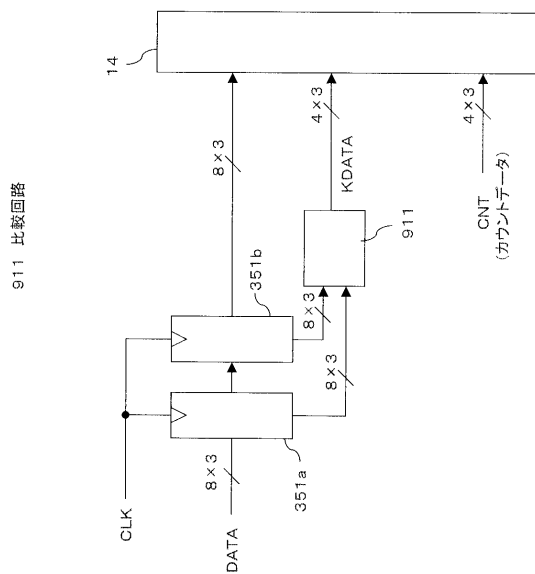
【图 4 7】



【图 4 8】



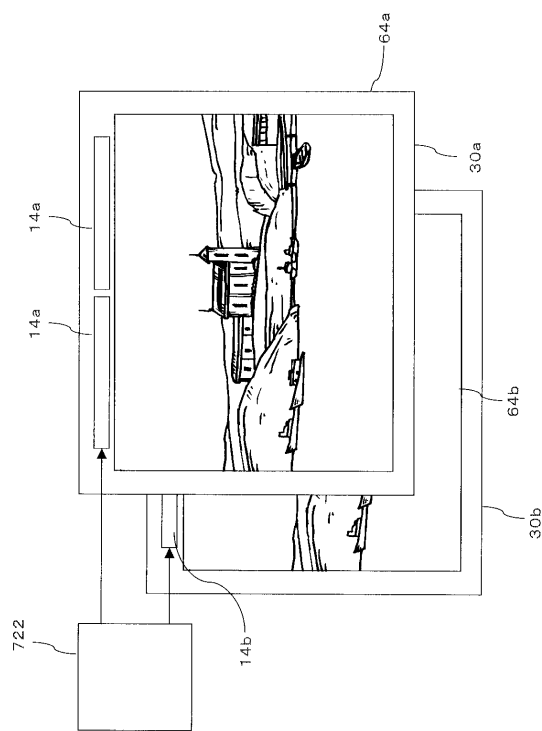
【図 49】



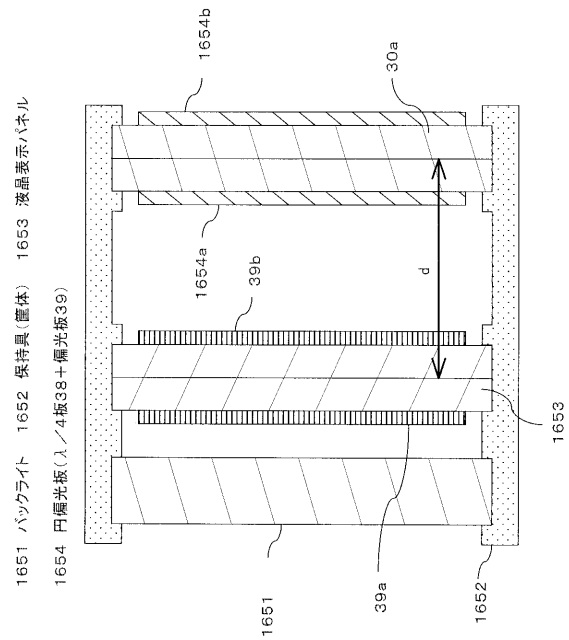
【図 50】

		変化前 (14期)					
		0	1	2	3	n-1	n
変化前	0	0	—	—	—	—	—
	1	15	0	—	—	—	—
	2	12	10	0	—	—	—
	3	10	8	6	0	—	—
	4	8	6	4	2	—	—
	—	—	—	—	—	—	—
変化後		0	0	0	0	—	—
		0	0	0	0	—	—

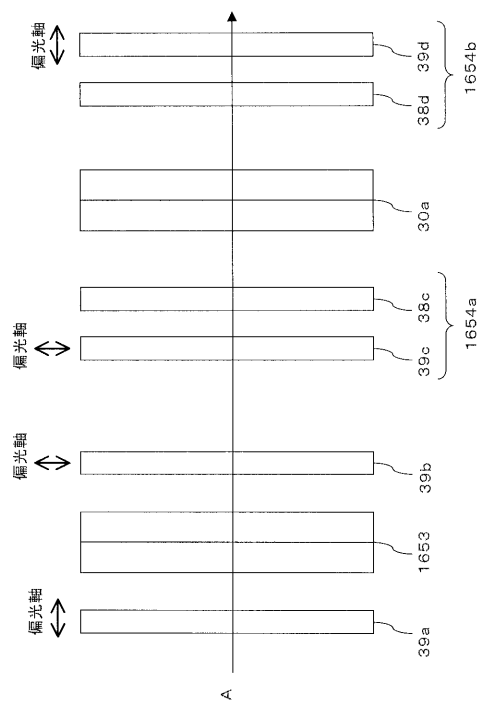
【図 59】



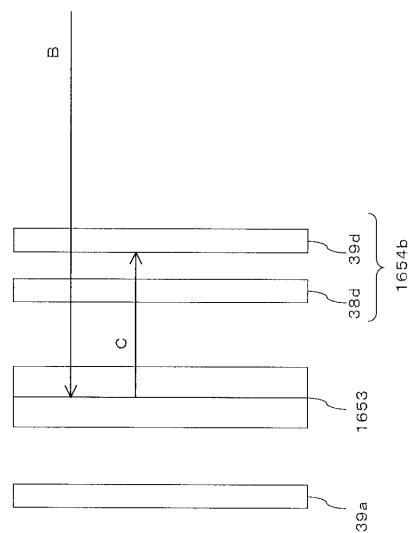
【図 60】



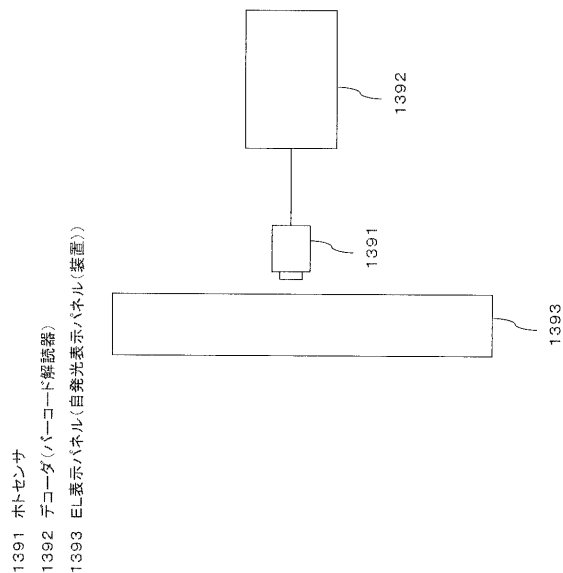
【図 61】



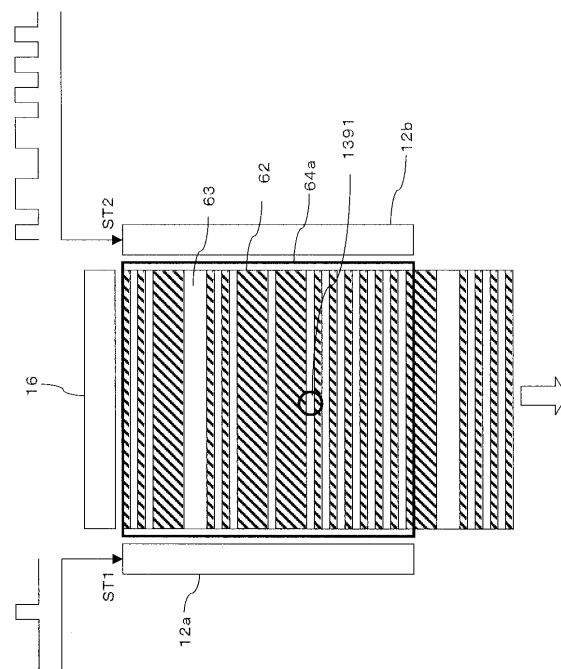
【図 62】



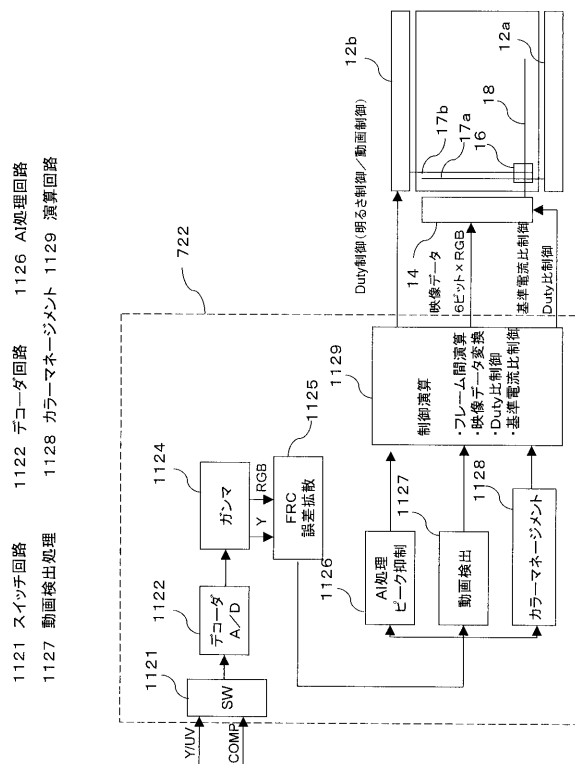
【图 6 3】



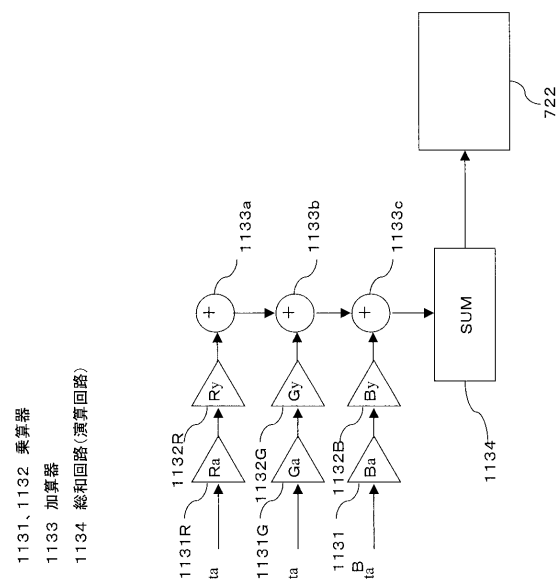
【图 6 4】



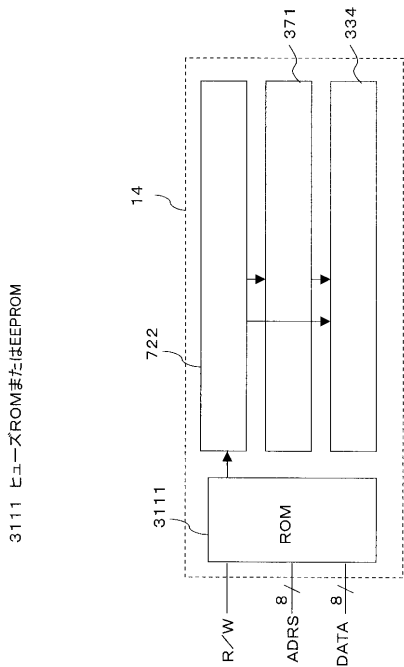
【図 6 5】



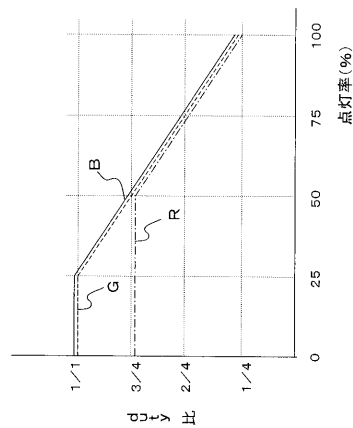
【図 6 6】



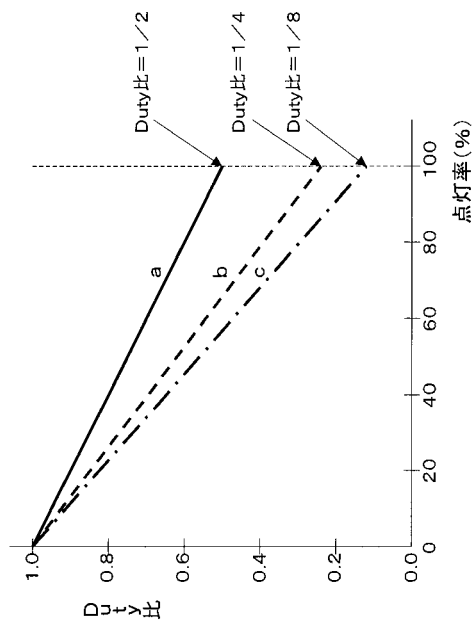
【図 6 7】



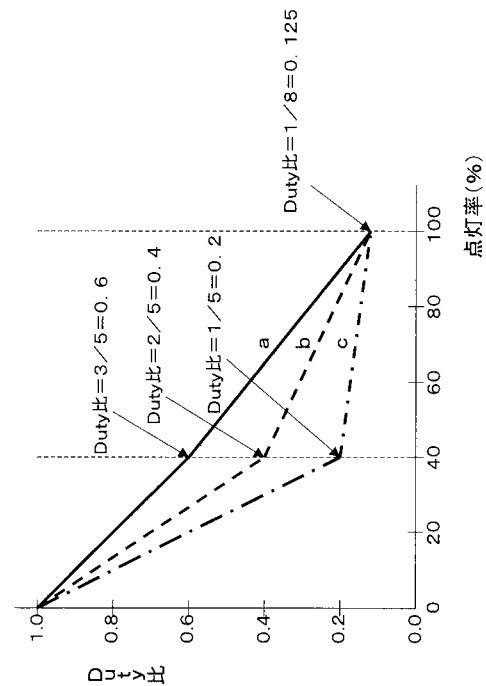
【図 6 8】



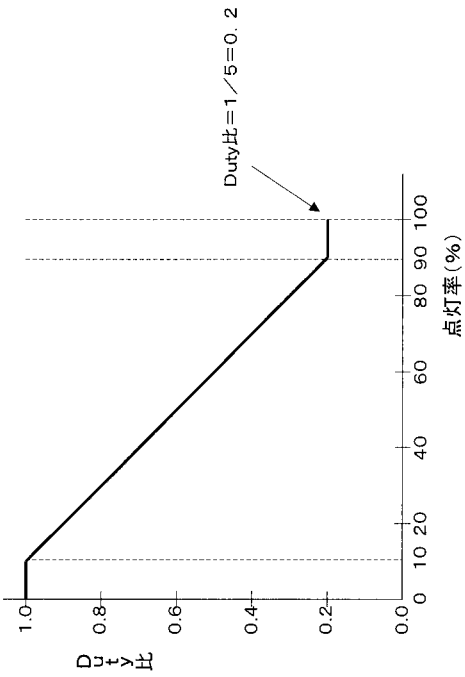
【図 6 9】



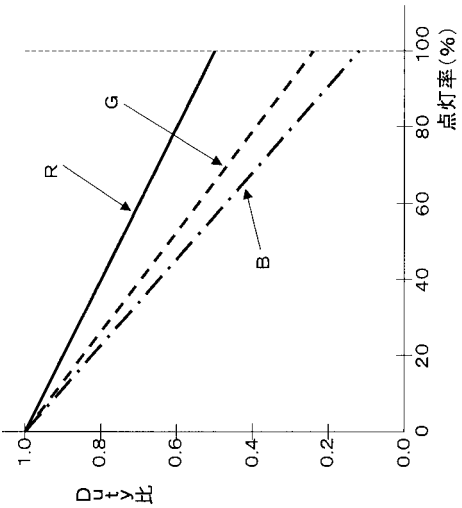
【図 7 0】



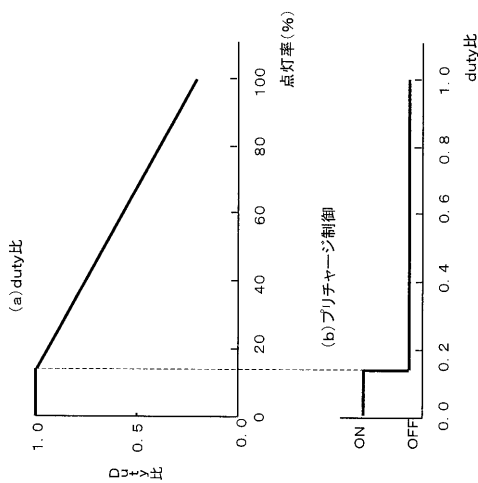
【図 7 1】



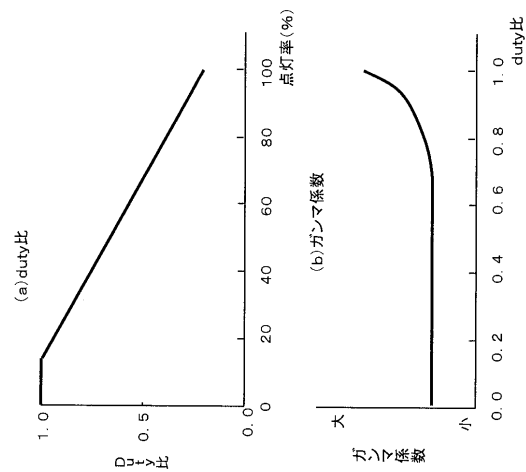
【図 7 2】



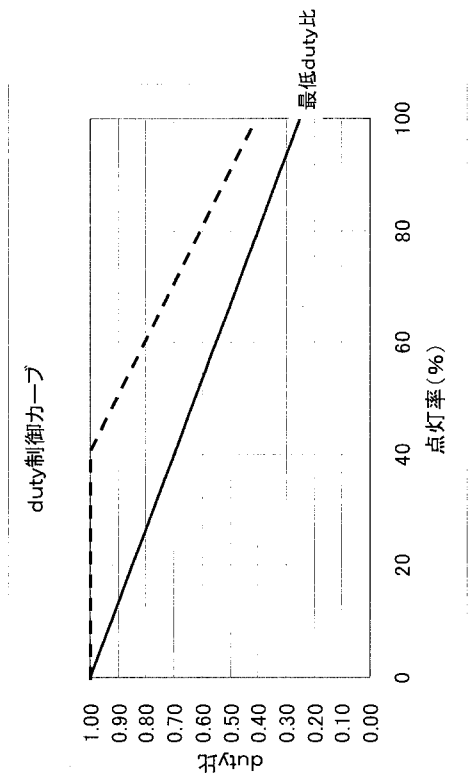
【図 7 3】



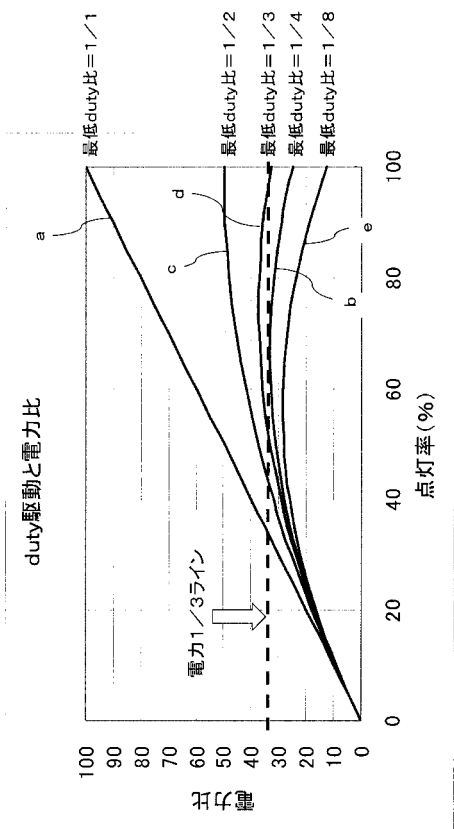
【図 7 4】



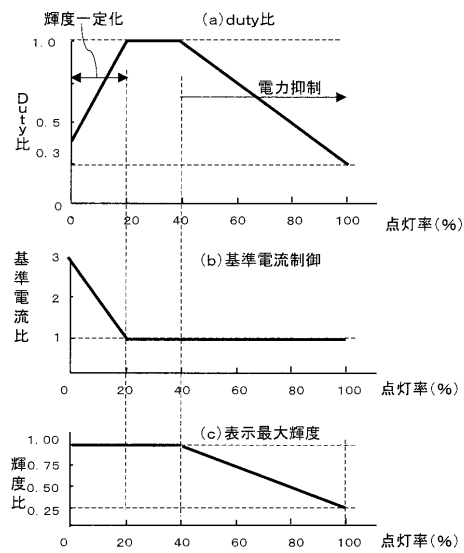
【図 7 5】



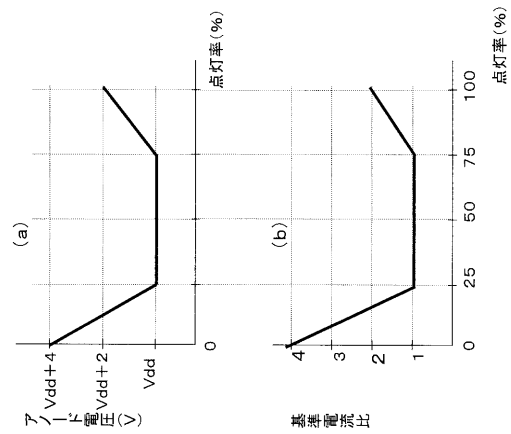
【図 7 6】



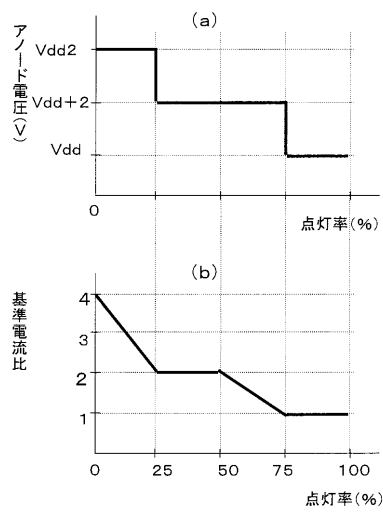
【図 7 7】



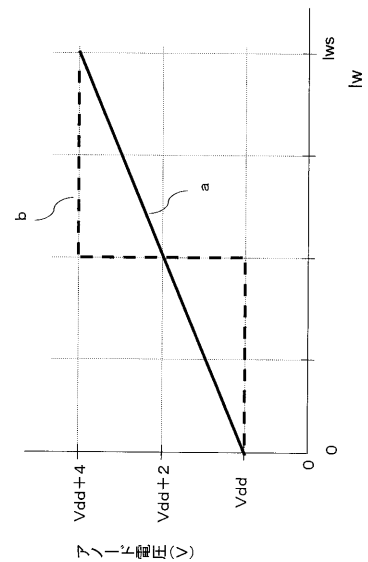
【図 7 8】



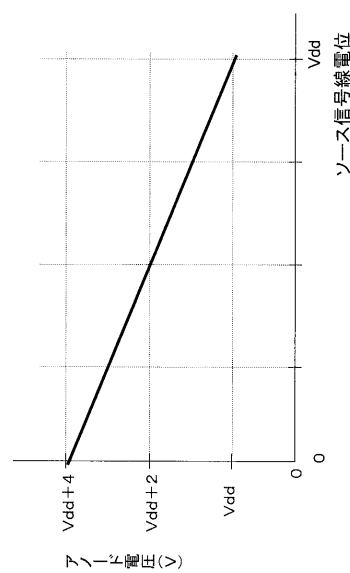
【図 7 9】



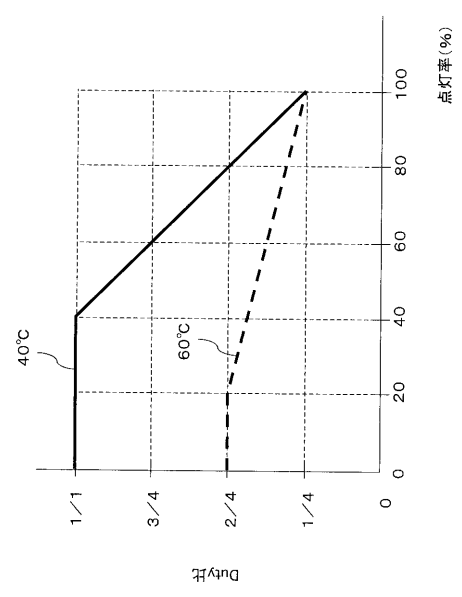
【図 8 0】



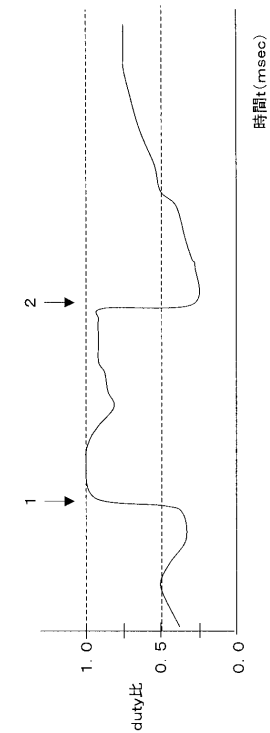
【図 8 1】



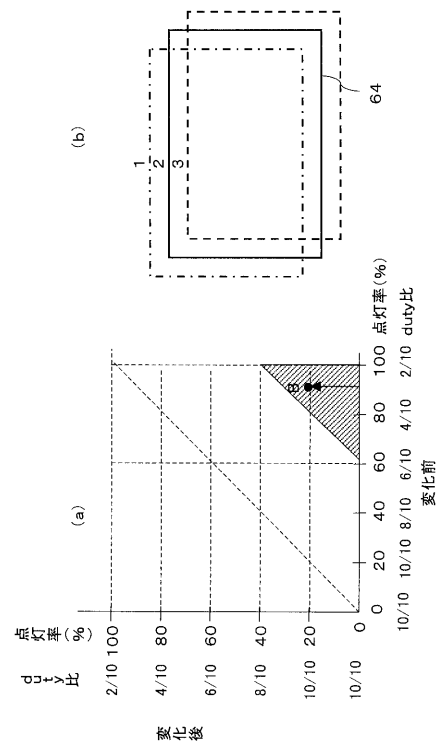
【図 8 2】



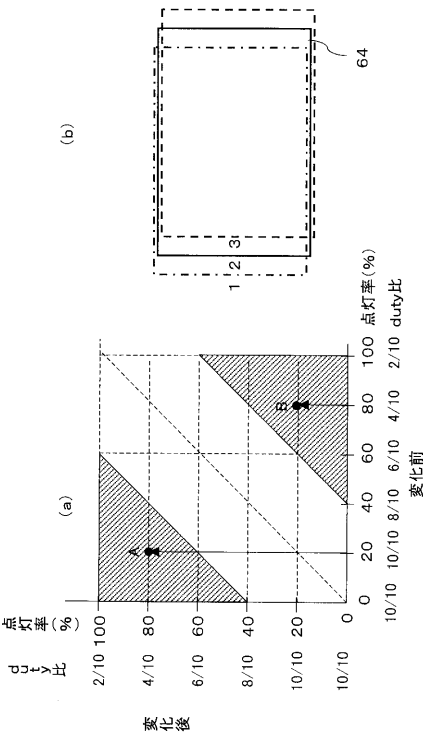
【図 8 3】



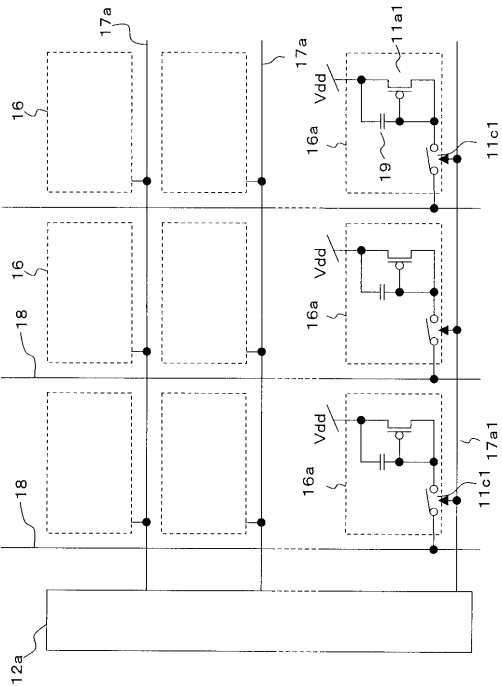
【図 8 4】



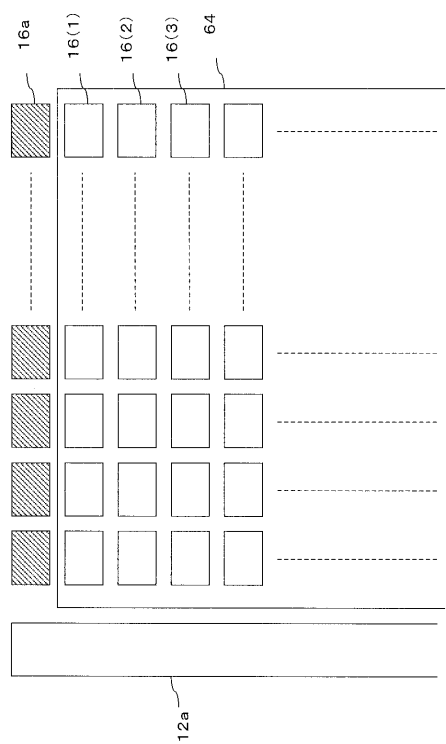
【図 8 5】



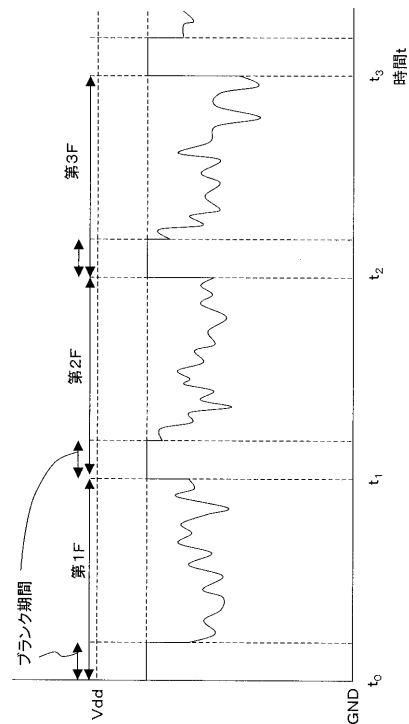
【図 8 6】



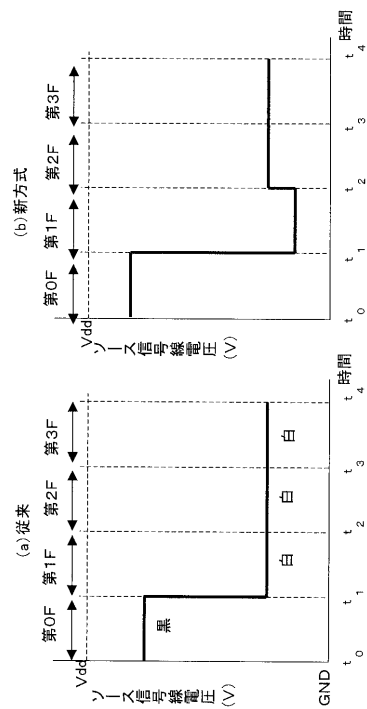
【図 8 7】



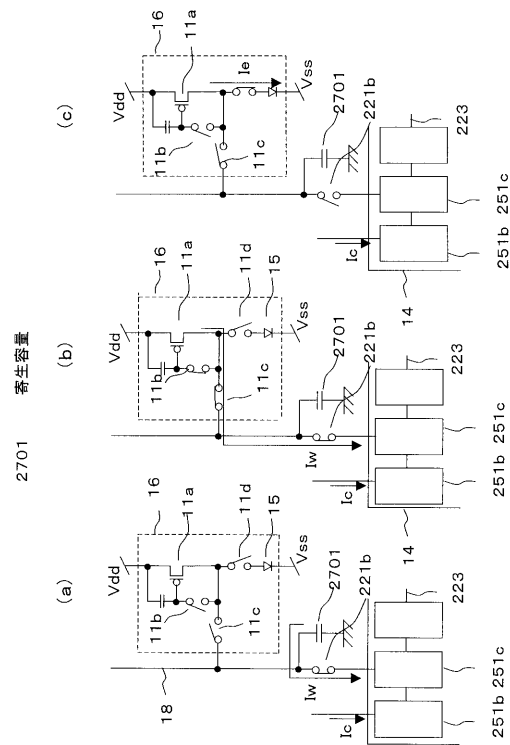
【図 8 8】



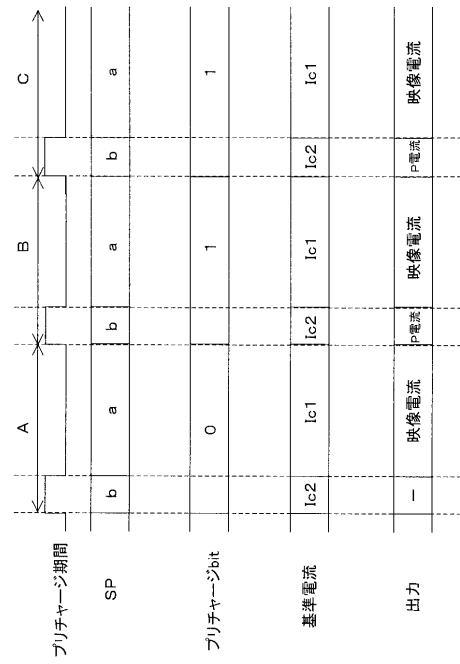
【図 8 9】



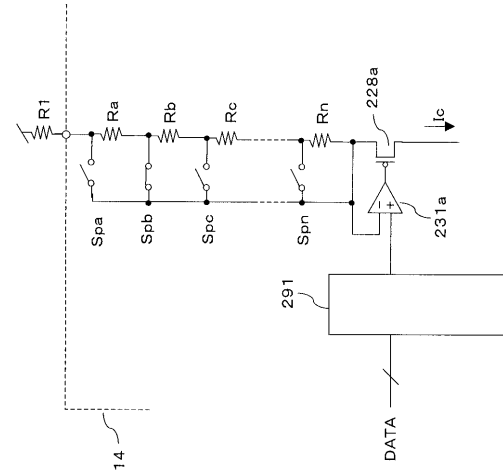
【図 9 0】



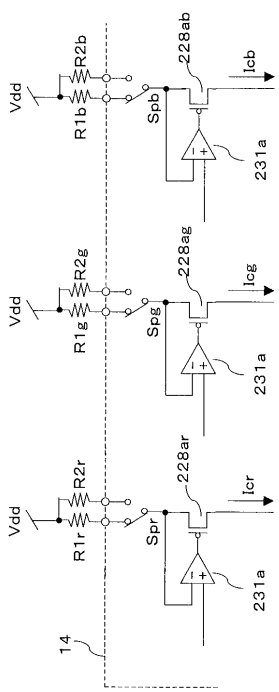
【图 9-2】



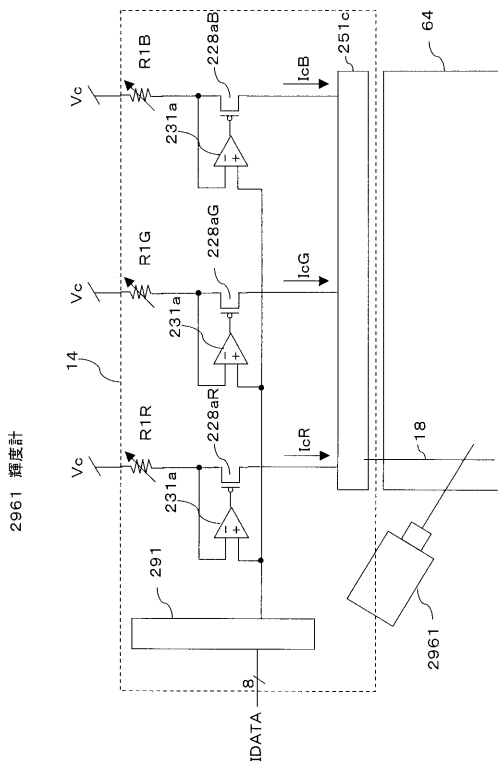
【 図 9 4 】



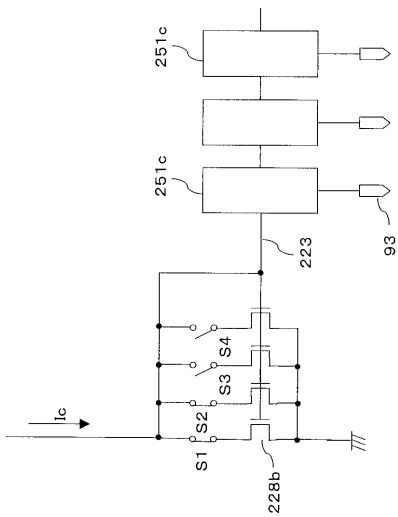
【図 9 5】



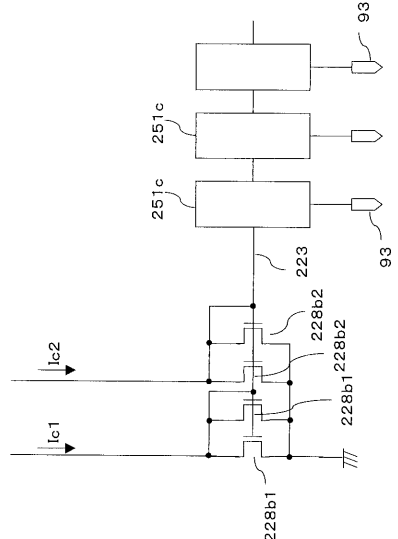
【図 9 6】



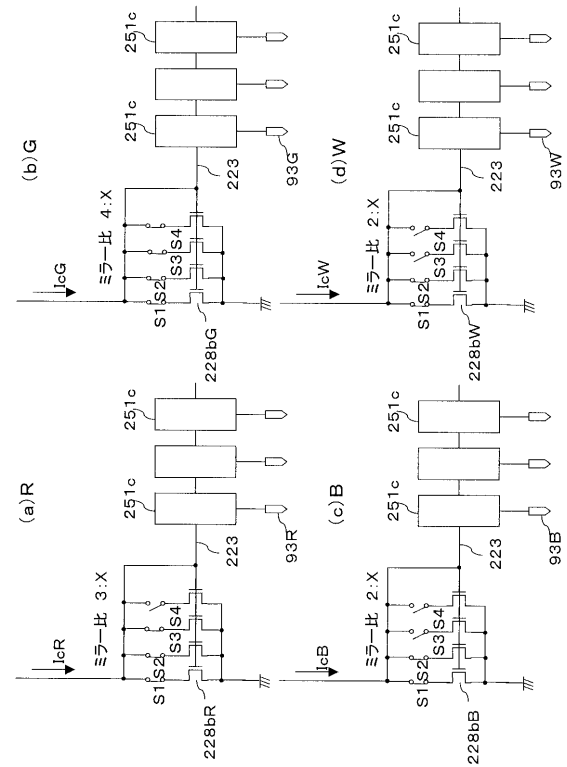
【図 9 7】



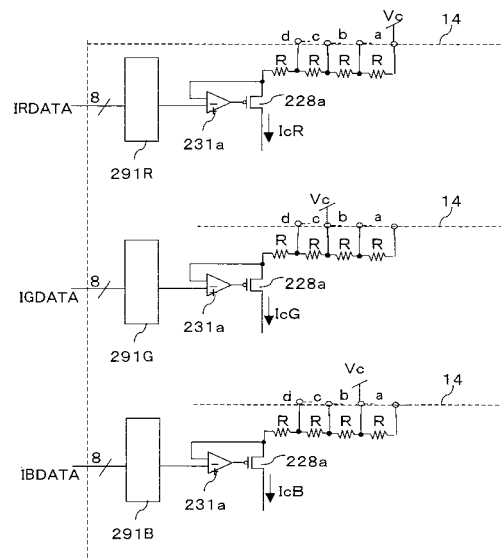
【図 9 8】



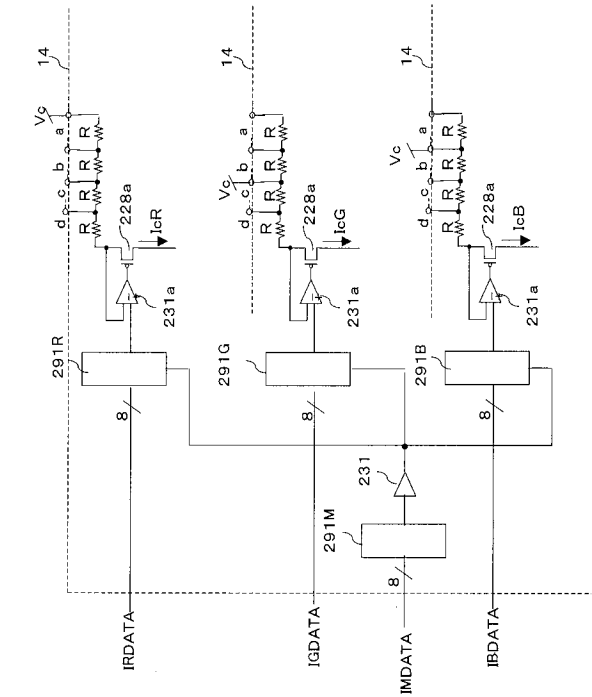
【 図 1 0 0 】



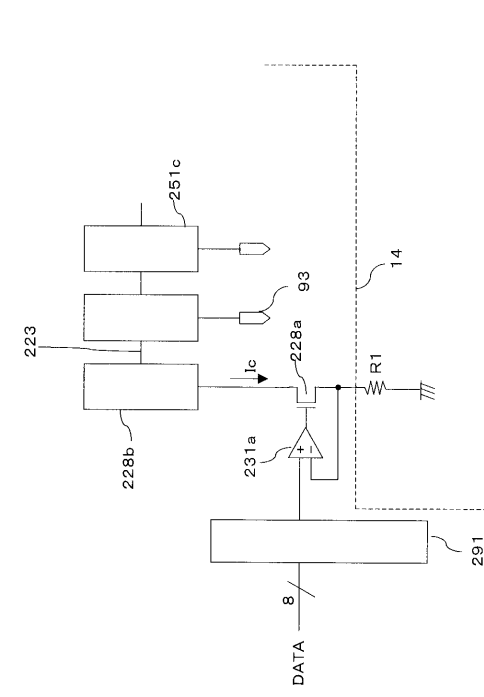
【図 1 0 2】



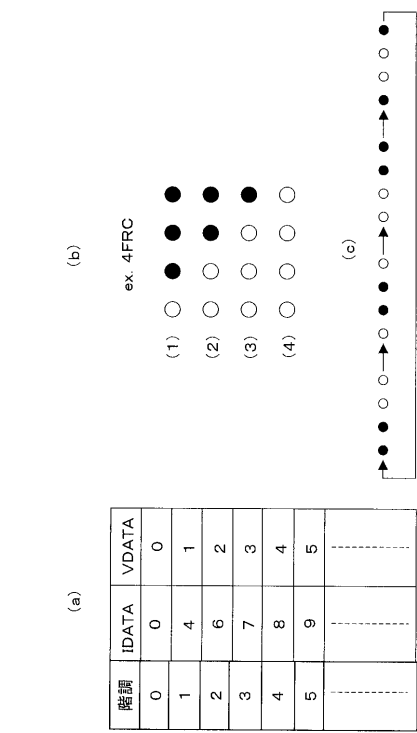
【図 1 0 3】



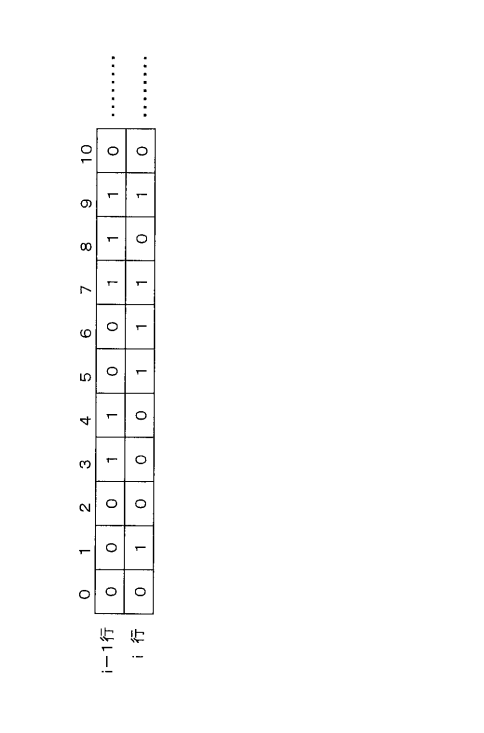
【図 1 0 4】



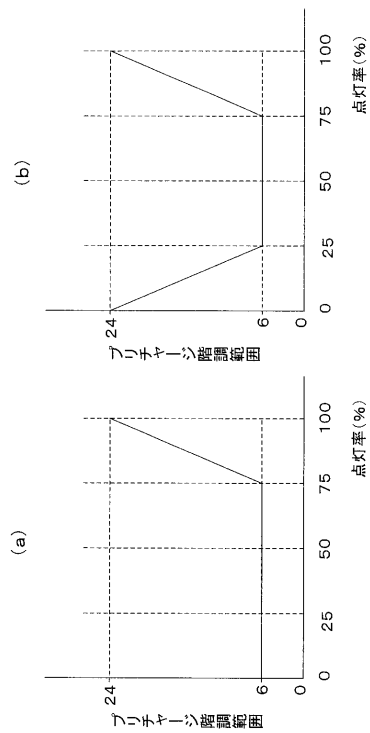
【図 1 0 5】



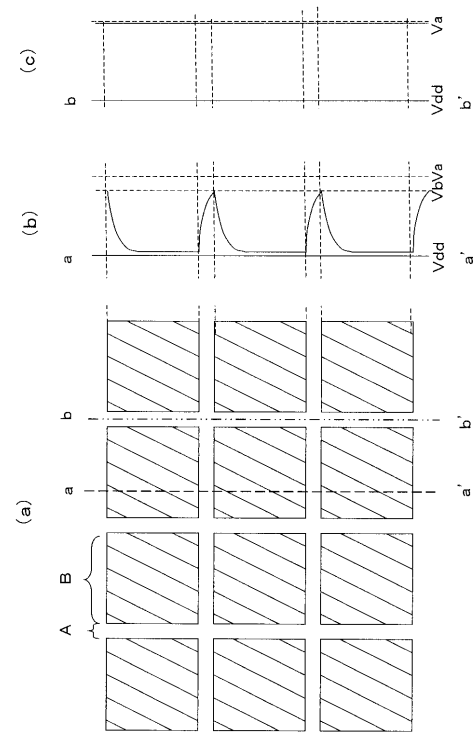
【図 1 0 6】



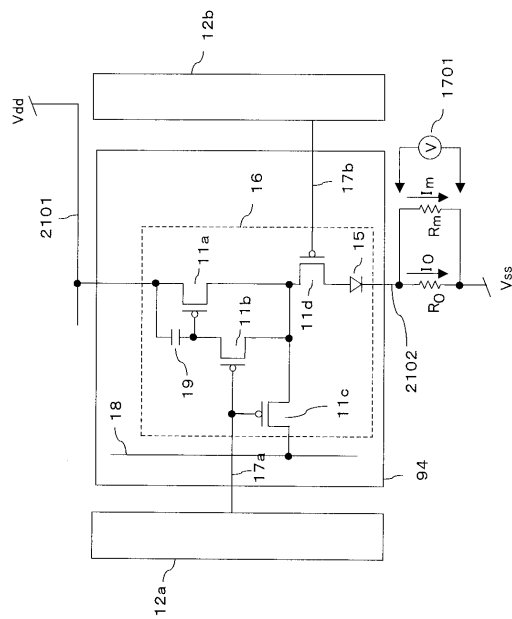
【 図 1 0 7 】



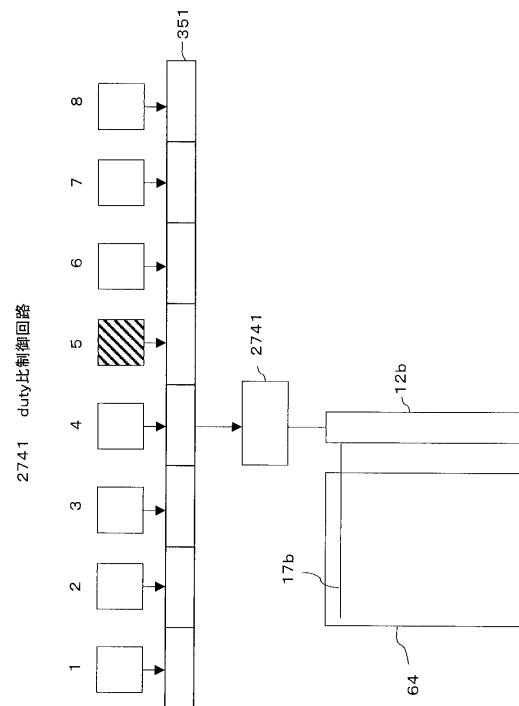
【图 108】



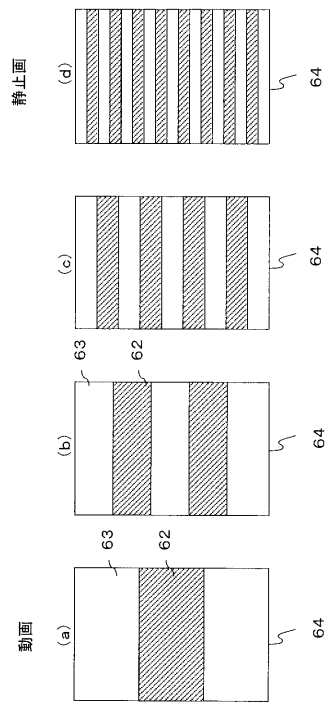
【 図 1 0 9 】



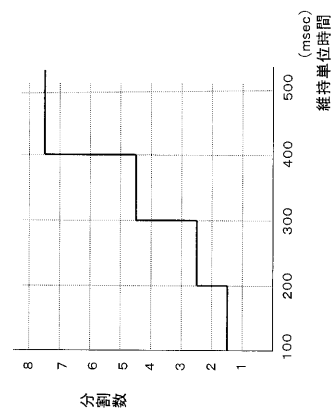
【 図 1 1 0 】



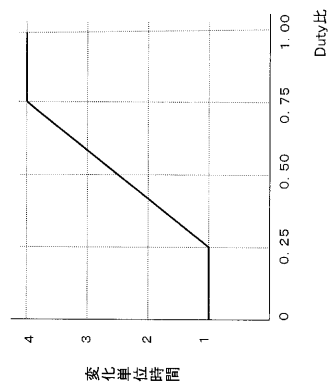
【図 1 1 1】



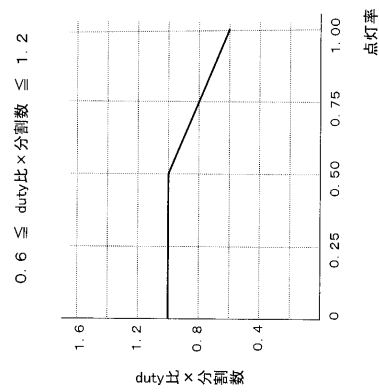
【図 1 1 2】



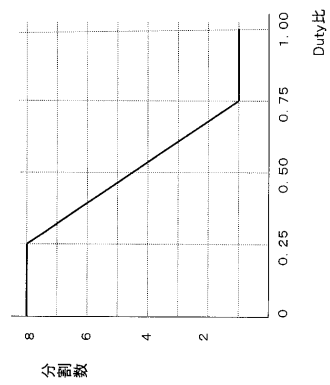
【図 1 1 3】



【図 1 1 4】

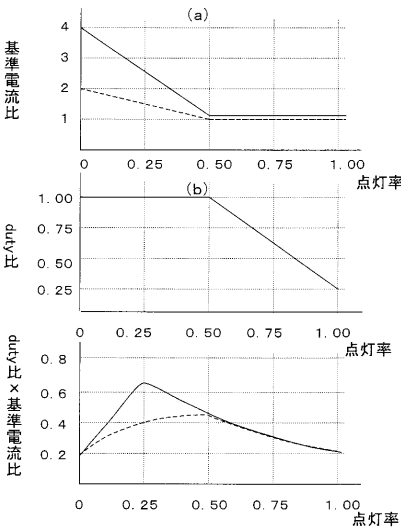


【図 1 1 5】

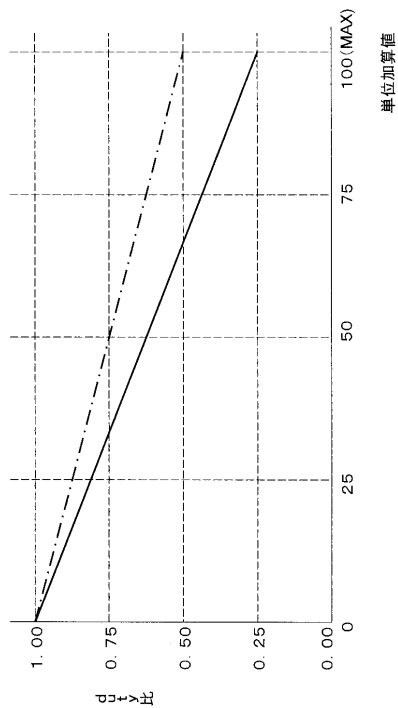


【図 1 1 6】

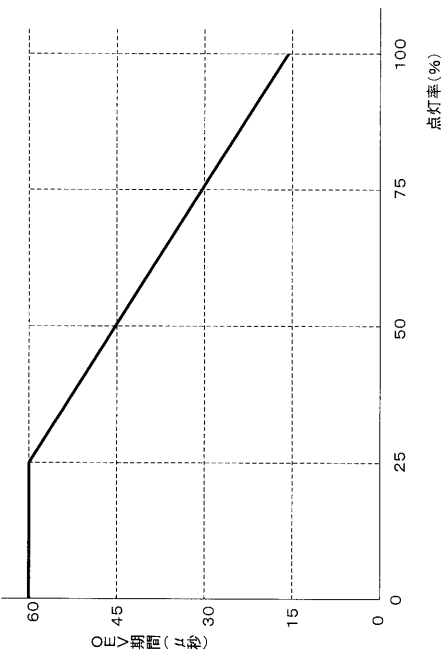
$0.2 \leq \text{duty比} \times \text{基準電流比} \leq 0.6$ (点灯率 ≥ 0.25)



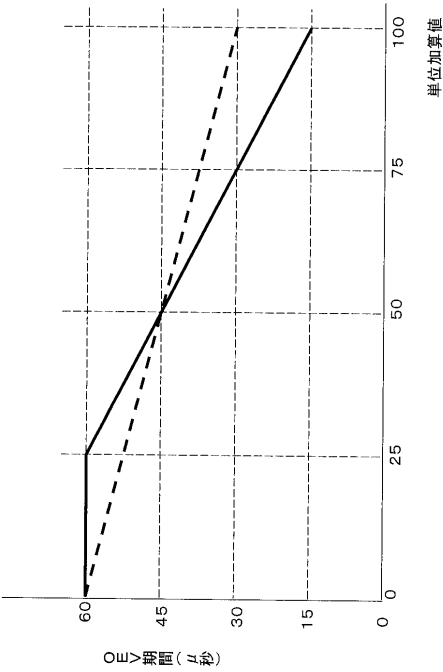
【図 1 1 7】



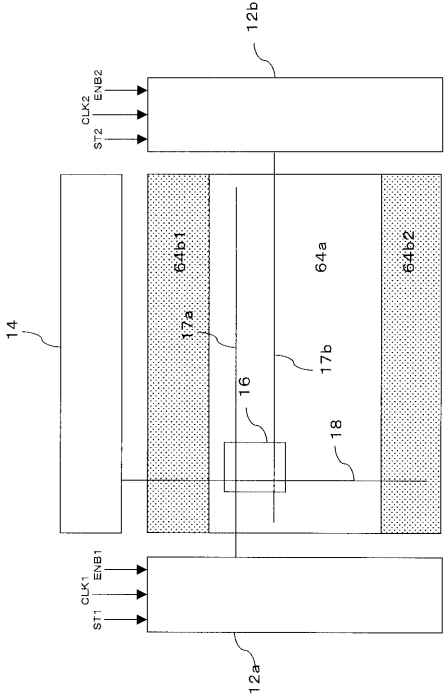
【図 1 1 8】



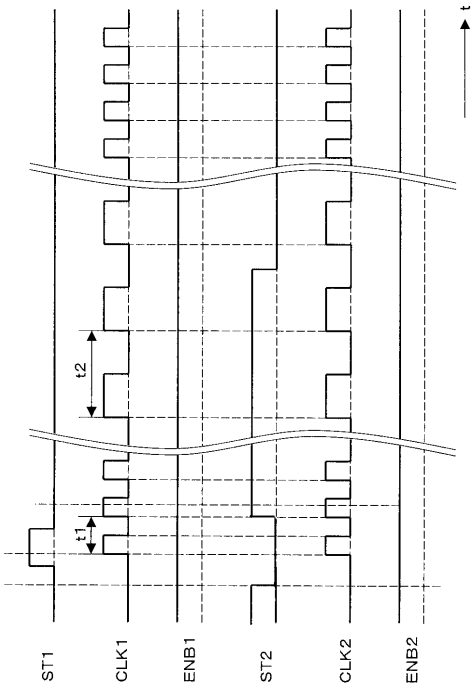
【図 1 1 9】



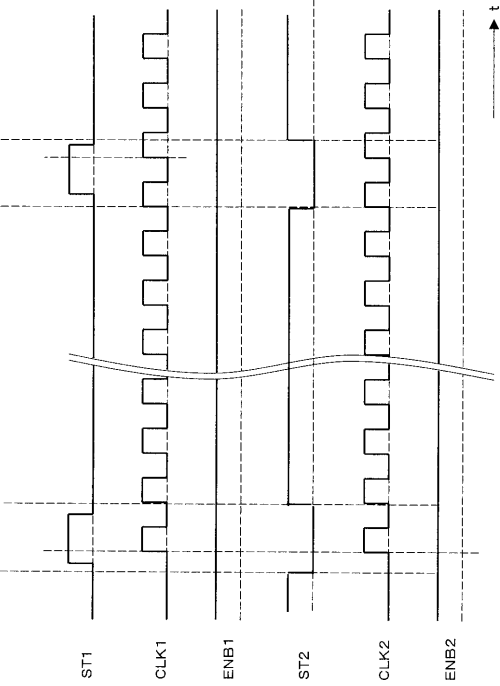
【図 1 2 0】



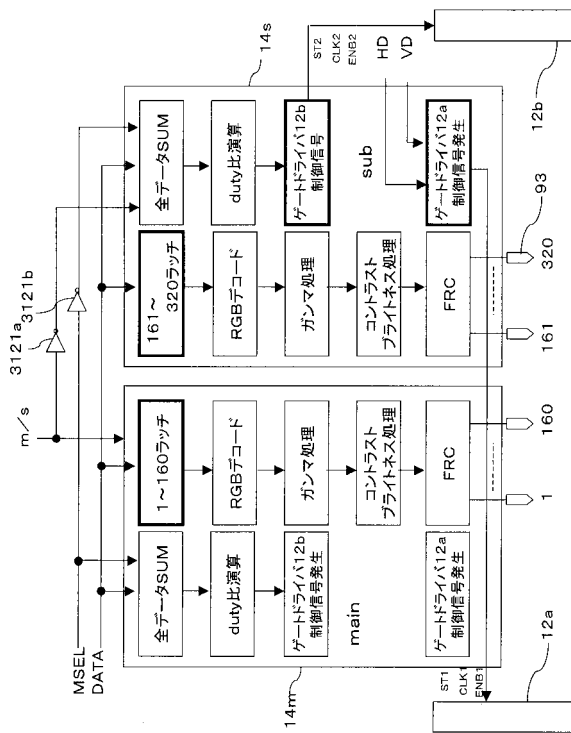
【図 1 2 1】



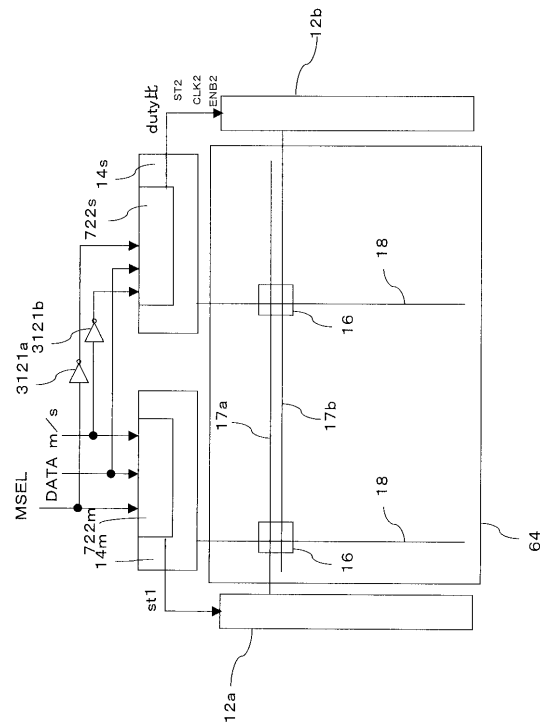
【図 1 2 2】



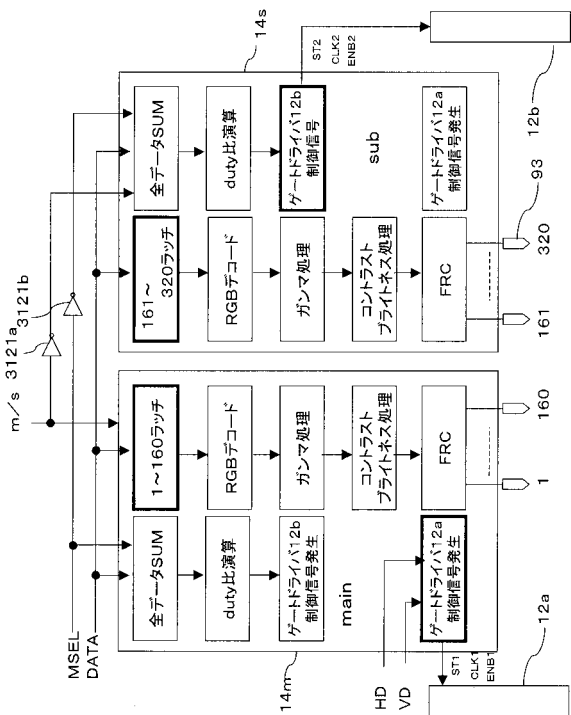
【図 127】



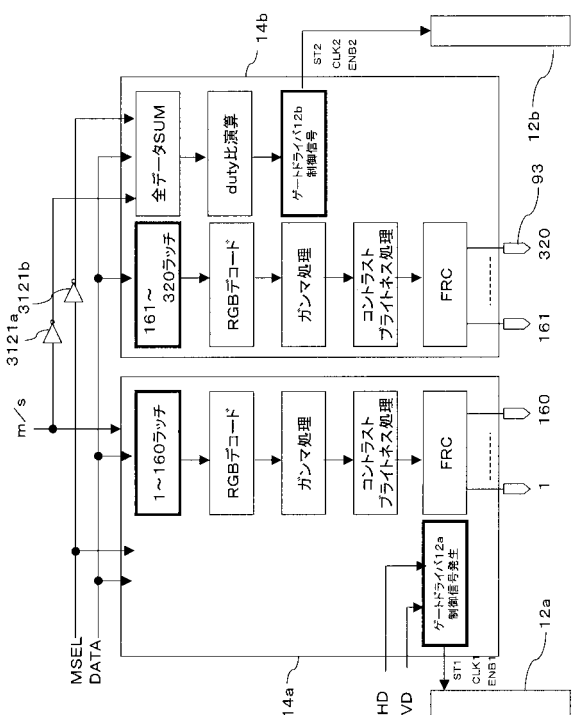
【図 128】



【図 129】



【図 130】



フロントページの続き

(51)Int.Cl.	F I		テーマコード (参考)
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 2 A
	G 0 9 G	3/20	6 8 0 G
	H 0 5 B	33/14	A