(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월12일
(11) 등록번호 10-1773951
(24) 등록일자 2017년08월28일

(51) 국제특허분류(Int. Cl.)
H01L 31/0236 (2006.01) *H01L 21/02* (2006.01)
H01L 21/3213 (2006.01) *H01L 21/67* (2006.01)
H01L 29/06 (2006.01) *H01L 31/0392* (2006.01)
H01L 31/18 (2006.01)
(52) CPC특허분류
H01L 31/02366 (2013.01)
H01L 21/02063 (2013.01)
(21) 출원번호 10-2016-0074557
(22) 출원일자 2016년06월15일
심사청구일자 2016년06월15일
(56) 선행기술조사문헌
KR1020110034761 A*
KR1020120106267 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국과학기술연구원
서울특별시 성북구 화랑로14길 5 (하월곡동)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김인호
서울특별시 성북구 화랑로 14길 5
김원목
서울특별시 성북구 화랑로 14길 5
(뒷면에 계속)
(74) 대리인
특허법인 티앤아이

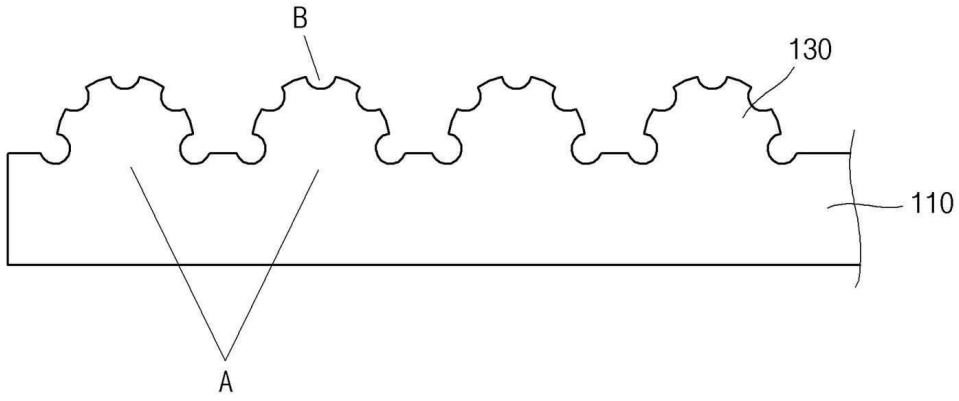
전체 청구항 수 : 총 7 항 심사관 : 이규재

(54) 발명의 명칭 **반도체 기판의 텍스처링 방법, 이 방법에 의해 제조된 반도체 기판 및 이를 포함하는 디바이스**

(57) 요 약

본 발명은 텍스처링된 반도체 기판에 있어서, 상기 반도체 기판이 텍스처링된 포물선형 구조체와 상기 포물선형 구조체의 표면과 상기 반도체 기판의 표면을 포함하는 전체 표면에는 일정 간격의 나노홀 구조를 구비하되, 상기 포물선형 구조체의 표면에는 복수의 나노홀 구조가 형성된 것을 특징으로 하는 텍스처링된 반도체 기판을 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/32139 (2013.01)
H01L 21/67098 (2013.01)
H01L 29/0665 (2013.01)
H01L 31/0392 (2013.01)
H01L 31/18 (2013.01)
Y02E 10/50 (2013.01)
(72) 발명자
이택성
서울특별시 성북구 화랑로 14길 5
이경석
서울특별시 성북구 화랑로 14길 5
이욱성
서울특별시 성북구 화랑로 14길 5
정두석
서울특별시 성북구 화랑로 14길 5
이도권
서울특별시 성북구 화랑로 14길 5
천시은
서울특별시 성북구 화랑로 14길 5
최경진
울산광역시 울주군 언양읍 유니스트길 50
김주영
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업
과제고유번호 1415142809
부처명 산업통상자원부
연구관리전문기관 한국에너지기술평가원
연구사업명 신재생에너지핵심기술개발
연구과제명 이온주입법을 이용한 고효율 결정형 실리콘 태양전지용 두께 50 미크론이하 초박형 웨이퍼 제조기술 개발
기 여 율 1/1
주관기관 한국과학기술연구원
연구기간 2015.10.01 ~ 2016.09.30

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

반도체 기판을 텍스처링하는 방법에 있어서,

상기 반도체 기판 상에 다수의 입자를 정렬시키는 단계;

상기 다수의 입자를 마스크로 상기 반도체 기판을 식각하여 포물선형 구조체를 형성하는 단계;

상기 포물선형 구조체의 표면과 상기 반도체 기판의 표면을 포함하는 전체 표면에 제1 금속막을 형성하는 단계;

제1 금속막을 열처리 하여 금속입자들을 형성하는 단계;

상기 금속입자들을 포함하는 전체 표면 상에 제2 금속막을 형성하는 단계;

리프트오프 공정을 통해 금속입자의 상부에 있는 제2 금속막을 제거하는 단계; 및

상기 제2 금속막을 마스크로 식각공정을 수행하여 복수의 나노홀 구조를 형성하는 반도체 기판을 텍스처링하는 방법.

청구항 7

제6 항에 있어서,

상기 반도체 기판 상에 다수의 입자를 정렬시키는 단계는,

용매에 입자를 분산시켜서 코팅을 수행하되, 상기 용매는 양쪽성을 갖는 에틸렌 글리콜 (Ethylene glycol; EG)과 양쪽성 유기용매인 Dimethylformamide(DMF)와 Dimethyl sulfoxide (DMSO) 중 적어도 한 종류를 혼합하여 사용하는 반도체 기판을 텍스처링하는 방법.

청구항 8

제7 항에 있어서,

상기 양쪽성 유기용매 80 중량% 내지 95 중량%를 혼합하는 반도체 기판을 텍스처링하는 방법.

청구항 9

제6 항에 있어서,

상기 포물선형 구조체 표면과 나노홀들과 상기 반도체 기판 표면 상부에 반사방지층을 형성하는 단계를 더 포함하는 반도체 기판을 텍스처링하는 방법.

청구항 10

제6 항에 있어서,

상기 포물선형 구조체의 주기는 0.5 ㎛ 내지 0.7 ㎛를 가지고, 높이가 0.2 ㎛ 내지 0.4 ㎛를 가지는 반도체 기판을 텍스처링하는 방법.

청구항 11

제6 항에 있어서,

상기 나노홀 구조의 깊이는 50nm 내지 300nm, 폭 50nm 내지 500nm를 가지는 반도체 기판을 텍스처링하는 방법.

청구항 12

제11 항에 있어서,

상기 나노홀 구조의 깊이는 100nm 내지 200nm, 폭 100nm 내지 300 nm를 가지는 반도체 기판을 텍스처링하는 방법.

청구항 13

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 기판의 텍스처링 방법, 이 방법에 의해 제조된 반도체 기판 및 이를 포함하는 태양전지에 관한 것으로, 더욱 상세하게는, 포물선 형상의 패턴 상에 나노홀 구조를 가지도록 하는 반도체 기판의 텍스처링 방법, 이 방법에 의해 제조된 반도체 기판 및 이를 포함하는 태양전지에 관한 것이다.

배 경 기 술

[0003] 태양전지는 빛 에너지를 전기 에너지로 변환시키는 장치로서, 친환경적인 미래 에너지원으로 크게 주목받고 있다. 태양전지는 반도체의 성질을 이용하여 전기를 생산하는데, 구체적으로 P(positive)형 반도체와 N(negative)형 반도체를 접합시킨 PN접합 구조를 하고 있으며, 이러한 태양전지에 태양광이 입사되면, 입사된 태양광이 가지고 있는 에너지에 의해 상기 반도체 내에서 정공(hole) 및 전자(electron)가 발생하고, 이때, PN접합에서 발생한 전기장에 의해서 상기 정공은 P형 반도체 쪽으로 이동하고 상기 전자는 N형 반도체 쪽으로 이동하게 되어 전위가 발생된다.

[0004] 일반적으로, 태양전지의 전력생산 성능은 빛 에너지가 전기 에너지로 변환되는 광전변환효율로 측정된다. 그러나, 태양전지로 입사된 태양광의 일부는 태양전지를 구성하는 다양한 층간의 경계에서 반사됨으로써 태양전지의 전력 생산에 기여할 수 없게 되어 태양전지의 효율을 떨어뜨린다. 따라서, 태양전지의 효율을 향상시키기 위해서는 상술한 바와 같은 태양광의 반사율을 가급적 줄여야 한다.

[0005] 이를 위하여 태양전지에서는 텍스처링(texturing) 공정이 널리 쓰이고 있다. 텍스처링 공정이란, 태양전지를 구성하는 반도체 기판이나 다양한 층의 표면을 거칠게 만드는 것, 즉 반도체 기판이나 다양한 층의 표면에 요철이나 피라미드 형상의 패턴을 형성하는 것을 말한다. 예컨대, 반도체 기판 표면에 피라미드 형상의 패턴이 형성된 경우, 처음 빛이 도달하여 경사진 피라미드 벽에 부딪히면 일부는 흡수되고 일부는 반사되어 되돌아 가게 되는데, 이때 되돌아가는 빛을 주변에 있는 다른 피라미드 벽에 계속해서 부딪히게 함으로써 광 흡수량이 증가되도록 하는 것이다. 이렇게 해서 피라미드 구조로 인해 광 흡수량이 증가되고 그 결과 셀 효율 향상을 얻을 수 있게 된다. 따라서, 표면처리 방법을 통해 태양전지 기판을 제조하면, 태양전지의 표면반사의 저감, 캐리어 수집효과의 향상 및 태양전지의 내부반사에 의한 빛가둠 효과를 구현할 수 있게 된다.

[0006] 예컨대, 특허문헌 1(대한민국 등록특허공보 특0180621호)은 수산화칼륨용액 0.5 내지 5.0 부피%, 이소프로필알

코올 3.0 내지 20.0부피%, 탈이온수 75.0 내지 96.5 부피%의 비율로 혼합된 텍스쳐 에칭 용액을 이용하여 실리콘 기판을 텍스처링하는 방법에 대해 개시하고 있다. 이 방법에 따르면 실리콘 웨이퍼 표면에 미세 피라미드 구조가 형성되는데, 이렇게 텍스처링된 실리콘 표면은 내부 반사 효율을 높여 태양전지의 효율을 높일 수 있게 된다.

[0007] 그러나, 이러한 방법에 의해 형성된 피라미드 구조의 경우, 그 크기가 수 마이크론에서 수십 마이크론까지 다양한 분포를 갖게 되어, 에칭시 수십 마이크론 두께의 웨이퍼 손실이 발생하게 되며, 또한 원가 절감에 유리한 50 마이크론 두께 이하의 초박형 웨이퍼 태양전지의 응용에는 한계가 있다.

[0008] 이러한 문제를 해결하기 위하여, 나노리소그라피(nano-lithography)를 이용하여 실리콘 웨이퍼 표면을 나노 또는 서브 마이크론 크기로 텍스처링하는 방법이 연구되고 있다.

[0009] 상기 나노리소그라피 공정으로서는 나노임프린트(특허문헌 2 참고), 레이저 간섭리소그라피(비특허문헌 1 참고), 극자외선(extreme ultra violet, EUV)를 이용한 포토리소그라피(특허문헌 3 참고) 등이 대표적이다. 그러나, 이들 공정은 대부분 공정비용이 고가인 문제가 있다.

[0010] 한편, 실리콘 웨이퍼 표면을 나노 또는 서브 마이크론 크기로 텍스처링하는 다른 종래의 방법으로서, 특허문헌 4(US 2009/0236317 A1)는 진공증착을 통해 금속을 나노크기의 입자로 합성한 후 금속촉매 에칭법을 이용하여 나노 패터닝하는 방법에 대해 기재하고 있다. 이 방법은 상기한 나노리소그라피 공정들에 비해 상대적으로 저비용 공정이긴 하지만, Au, Ag등과 같은 고가의 귀금속을 이용하고, 금속 에칭 결과가 에칭 용액 환경에 민감하여, 대면적 공정이 어렵다는 문제가 있었다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) KR 0180621 B

(특허문헌 0002) KR 1020120010152 A

(특허문헌 0003) KR 1020130020458 A

(특허문헌 0004) US 20090236317 A1

비특허문헌

[0013] (비특허문헌 0001) Nano Lett. 2012, 12, 2792-2796

발명의 내용

해결하려는 과제

[0014] 본 발명이 해결하고자 하는 과제는, 반도체 기판 표면을 나노 구조로 텍스처링하는 방법을 제공하는 것이다.

[0015] 본 발명이 해결하고자 하는 다른 과제는, 공정비용이 저렴하고, 풀 웨이퍼(full wafer) 스케일의 대면적 응용이 가능한 반도체 기판의 텍스처링 방법을 제공하는 것이다.

[0016] 본 발명이 해결하고자 하는 또 다른 과제는, 입사광의 반사율이 저하되어 우수한 광흡수율을 나타내고, 초박형 태양전지에 적용이 가능한 반도체 기판을 제공하는 것이다.

[0017] 본 발명에 해결하고자 하는 또 다른 과제는, 상기 반도체 기판을 포함하는 태양전지를 제공하는 것이다.

과제의 해결 수단

[0019] 상기와 같은 과제를 해결하기 위하여, 본 발명의 일측면은 텍스처링된 반도체 기판에 있어서, 상기 반도체 기판이 텍스처링된 포물선형 구조체; 및 상기 포물선형 구조체의 표면과 상기 반도체 기판의 표면을 포함하는 전체 표면에는 일정 간격의 나노홀 구조를 구비하되, 상기 포물선형 구조체의 표면에는 복수의 나노홀 구조가 형성된

것을 특징으로 하는 텍스처링된 반도체 기판을 제공한다.

[0020] 바람직하게는, 상기 포물선형 구조체 표면과 나노홀들과 상기 반도체 기판 표면 상부에 반사방지층을 더 포함할 수 있다.

[0021] 상기 포물선 구조체의 주기는 0.5 ㎛ 내지 0.9 ㎛를 가지고, 높이가 0.2 ㎛ 내지 0.4 ㎛를 가지는 것이 바람직하다.

[0023] 본 발명의 다른 측면은 반도체 기판을 텍스처링하는 방법에 있어서, 상기 반도체 기판 상에 다수의 입자를 정렬시키는 단계; 상기 다수의 입자를 마스크로 상기 반도체 기판을 식각하여 포물선형 구조체를 형성하는 단계; 상기 포물선형 구조체의 표면과 상기 반도체 기판의 표면을 포함하는 전체 표면에 제1 금속막을 형성하는 단계; 제1 금속막을 열처리 하여 금속입자들을 형성하는 단계; 상기 금속입자들을 포함하는 전체 표면 상에 제2 금속막을 형성하는 단계; 리프트오프 공정을 통해 금속입자의 상부에 있는 제2 금속막을 제거하는 단계; 및 상기 제2 금속막을 마스크로 식각공정을 수행하여 복수의 나노홀 구조를 형성하는 반도체 기판을 텍스처링하는 방법을 제공한다.

[0024] 바람직하게는, 상기 반도체 기판 상에 다수의 입자를 정렬시키는 단계는, 용매에 입자를 분산시켜서 코팅을 수행하되, 상기 용매는 양쪽성을 갖는 에틸렌 글리콜 (Ethylene glycol; EG)과 양쪽성 유기용매인 Dimethylformamide(DMF)와 Dimethyl sulfoxide (DMSO) 중 적어도 한 종류를 혼합하여 사용한다. 한편, 양쪽성 유기용매 Dimethylformamide(DMF)와 Dimethyl sulfoxide (DMSO) 중 적어도 한 종류는 80 중량% 내지 95 중량%를 혼합하는 것이 바람직하다.

[0026] 본 발명에 따르면 상기 반도체 기판을 포함하는 태양전지가 제공된다. 상기한 바와 같은 반도체 기판의 텍스처링 방법 및 텍스처 구조를 갖는 반도체 기판은 상기 태양전지뿐만 아니라 광전소자(photovoltaic device), 광학 및 전기화학적 검출기/센서, 바이오검출기(biodetectors)/바이오센서, 촉매, 전극, 및 입사광의 반사를 감소시켜 소자의 효율을 개선시키는 기타 장치에도 사용될 수 있다. 상기 언급된 본 발명의 반도체 기판의 어플리케이션들은 디바이스로 총칭한다.

발명의 효과

[0028] 본 발명에 의해 텍스처링된 반도체 기판은 입사광의 반사율이 낮아 우수한 광흡수율을 나타내고, 텍스처링시 표면적 증가율이 낮아 전하수집 효율이 높으며, 특히 초박형 웨이퍼 기반의 태양전지의 광흡수를 극대화시키는데 효과적이다.

[0029] 본 발명에 의하면, 초박형 실리콘 태양전지의 광흡수율을 증가시켜, 광전효율을 향상 시킬 수 있고, 발전단가가 낮은 고효율 초박형 태양전지의 제조를 가능하게 하는 효과가 있다.

[0030] 본 발명에 의하면, 기계적으로 유연한 특성을 갖으면서 경량의 고효율 실리콘 태양전지의 제조가 가능하게 하는 효과가 있다.

[0031] 본 발명에 따르면 경제적이고, 풀 웨이퍼(full wafer) 스케일의 대면적 응용이 가능한 반도체 기판의 텍스처링 방법을 제공할 수 있고, 이렇게 제조된 반도체 기판의 경우 광흡수율이 우수하며 초박형 태양전지에 적용이 가능하다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시예에 따른 반도체 기판의 텍스처링 과정을 나타낸 것이다.

도 2는 본 발명의 텍스처링 반도체 표면에 형성되는 실리콘 나노구조 형상의 단면을 도시한 도면이다.

도 3은 본 발명의 도 2에 나타낸 실리콘 나노구조를 갖는 실리콘 반도체 웨이퍼의 반사도를 RCWA(Rigorous Coupled-Wave Analysis) 계산을 이용하여 구한 결과를 나타내는 그래프이다.

도 4는 본 발명의 일 실시예에 따라, 세가지 다른 주기를 갖는 실리콘 나노구조를 제조한 후, 반도체 기판의 단면을 SEM을 이용해서 얻은 사진이고, 아래 그림은 세가지 다른 주기로 텍스처링 된 실리콘 웨이퍼의 SiNx 유/무에 따른 반사도를 측정한 결과이다.

도 5는 반도체 기판 표면에 형성된 나노홀 구조와 나노필러 구조의 반사율 차이점을 비교한 그래프이다.

도 6a 내지 도 6h를 참조하여 본 발명의 일 실시예에 따른 텍스처링된 반도체 기판의 제조방법의 흐름도이다.

도 7은 본 발명의 실시예에 따라서 실리카 입자가 2차원적으로 배열된 상황을 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 이하에서 설명되는 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념으로 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 바람직한 실시예에 불과할 뿐이고, 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0036] 도 1은 본 발명의 일 실시예에 따른 텍스쳐링된 반도체 기판을 나타낸 것이다.

[0037] 도 1을 참조하면, 텍스처링된 반도체 기판은 포물선형 구조체(A)를 포함하고 포물선 실리콘 구조체의 표면과 반도체 표면을 포함하는 전체 표면에는 일정 간격의 나노홀(B)이 형성된 구조를 가진다. 여기서 나노홀(B)은 각 포물선형 구조체(A)의 표면에는 다수개의 나노홀(B)이 존재하도록 구성될 수 있다. 선택적으로는 상기 전체 구조체 상부에 반사방지층(미도시)이 형성될 수 있다. 반사방지층은 SiO_2, MgF_2 및 SiN_x 등으로 이루어진 군에서 선택된 단일층 또는 이중층 이상의 다층막을 포함한다. 포물선 형상의 구조체의 높이는 100nm 이상 900 nm 이하를 가진다. 나노홀 구조체는 전기적 손실을 막기 위해, 깊이 50nm 내지 300nm, 폭 50nm 내지 500 nm를 가지는 것이 바람직한데, 더욱 바람직하게는 깊이 100nm 내지 200nm, 폭 100nm 내지 300 nm를 가지는 것이 효과적이다.

[0038] 반도체 기판은 Si, Ge, GaAs 및 InGaAs로 이루어진 군에서 선택된 어느 하나 또는 둘 이상을 포함할 수 있고, 바람직하게는 Si를 포함할 수 있다. 더욱 바람직하게 상기 Si는 결정성 Si일 수 있고, 상기 결정성 Si는 단결정 실리콘, 다결정 실리콘 및 이들이 복합된 형태일 수 있다.

[0039] 도 2는 본 발명의 텍스쳐링 반도체 표면에 형성되는 형상의 도시하기 위한 도면이고, 도 3은 본 발명의 텍스쳐링된 반도체의 형상에 따른 반사율을 확인하기 위한 RCWA 계산결과이다.

[0040] 실리콘 나노 구조는 2차원 육방정구조로 배치되어 있고, 인접 나노구조의 중심점간의 거리를 주기로 정의하였다. 실리콘 나노구조는 포물선의 중심축을 기준으로 회전하여 얻을 수 있는 포물선형의 나노돔 구조이다. 나노구조 밑면이 길이는 주기의 80% 로 설정하였다.

[0041] 도 3은 본 발명의 도 2에 나타낸 실리콘 나노구조를 갖는 실리콘 반도체 웨이퍼의 반사도를 RCWA(Rigorous Coupled-Wave Analysis) 계산을 이용하여 구한 결과이다.

[0042] 무반사 효과를 높이기 위해, 광학굴절율 1.9의 두께 70 nm 박막이 일정한 두께로 코팅되어 있다고 가정 하였고, 실리콘 나노구조의 주기 및 높이를 변화시켜 가며 반사도를 계산하였다.

[0043] 본 실험에 의하면, 실리콘 기판을 선택적으로 식각하여 반구 형태의 형상을 가지도록 한다. 반구 형태의 형상을 제조하는 방식은 도 6a 내지 도 6h의 방식을 이용하므로 후술한다. 도 2를 참조하면, 본 실험에서는 반구 형태의 돔 형상의 전체 밑면의 크기는 전체 주기의 80%가 되도록 설정하였다.

[0044] 도 3을 참조하면, 가로축은 주기를 나타내고 세로축은 높이를 나타내고 있으며, 주기와 높이에 따라서 변화되는 반사율은 색깔로 등고선이 표시되어 있다. 그리고 0.9%의 반사율에 해당하는 등고선이 실선으로 표시되어 있다.

[0045] 도 3을 참조하면, 주기가 0.5 ㎛ 내지 0.9 ㎛를 가지는 경우 높이가 0.2 ㎛ 내지 0.6 ㎛를 가지는 조건에서 특히 반사율이 낮음을 확인할 수 있다. 이 경우 주기를 돔형상의 밑면의 크기로 환산하면 0.4 ㎛ 내지 0.72 ㎛ 정도의 크기를 갖는다. 따라서, 이 돔 형상은 대체적으로 돔형상의 밑면 전체의 크기가 높이보다 큰 포물선 형상을 가지는 것이 바람직하다. 더욱 바람직하게는 밑면 전체의 크기가 높이 보다 20% 내지 50% 정도 큰 포물선 형상이다.

[0046] 본 실험에 의한 그래프에서는 돔 형상의 전체 밑면의 크기가 전체 주기의 80%가 되도록 설정하였는데, 전체 주기의 50% 이상 내지 90% 미만으로 설정한 경우도 동일한 경향이 있었음을 밝혀둔다.

[0047] 도 4는 본 발명의 일 실시예에 따른 텍스처링된 반도체 기판의 실험예를 나타낸 도면들이다. 도 4는 본 발명의 일 실시예에 따라, 세가지 다른 주기를 갖는 실리콘 나노구조를 제조한 후, 반도체 기판의 단면을 SEM을 이용해

서 얻은 사진이다. 아래 그림은 세가지 다른 주기로 텍스처링 된 실리콘 웨이퍼의 SiNx 유/무에 따른 반사도를 측정한 결과이다.

[0048] 도 4의 경우는 도 1의 실시예에 반사방지층이 형성되어 있다. 반사방지층은 MgF_2, SiO_2, SiN_x로 이루어진 군에서 선택된 어느 하나 또는 둘 이상의 단일층 또는 다층막을 포함한다. 본 실험예에서는 70nm 의 실리콘나이트라이드층이다.

[0049] 도 4를 참조하면, 반사방지층이 형성된 구조가 미형성 구조에 비해 반사율이 낮게 나타나고 있음을 보여준다. 또한, 주기가 520nm이고 밑면 전체의 크기가 360nm, 높이가 300인 경우 가장 낮은 반사율을 나타내고 있다.

[0051] 텍스처링된 반도체 기판에서 반사율을 감소시키기 위해서는 포물선형 구조체(A)를 형성하는 것이 효과적임은 이미 설명하였는데 나노홀(B)을 포물선 구조체 표면과 반도체 기판 전체 표면에 형성함으로써 더욱 반사율을 감소시킬 수 있다.

[0052] 도 5는 반도체 기판 표면에 형성된 나노홀 구조와 나노필러 구조의 반사율 차이점을 FDTD를 이용 계산 후, 결과를 비교한 그래프이다. 도 5의 계산결과에서는 반사방지층이 형성된 구조를 서로 대비하였다. 나노 구조의 표면에 굴절율 1.9, 두께 70 nm의 무반사층이 코팅되어 있다고 설정하였다. 실리콘 웨이퍼로 입사된 빛 에너지 중 나노구조와 상호 작용 후 기판방향으로 전방 산란되는 빛 에너지 분율을 계산한 결과이다. 계산결과는 Finite-difference-time-doman (FDTD)방법을 이용하여 얻었다.

[0053] 도 5를 참조하면, 반사방지층을 증착 후, 나노홀의 경우 나노필러 구조와 대비하여, 광대역(파장대역: 400 nm ~ 1100nm)에서 더 적은 손실로 전방 산란되고 있음을 확인할 수 있다. 이러한 사실은 나노홀의 경우 나노필러 대비 기판과의 근접성(proximity)이 높아, 강한 근접장 상호작용(near field interaction)으로 전방 유도 산란 효과가 우수한 것으로 판단된다.

[0055] 이하, 도 6a 내지 도 6h를 참조하여 본 발명의 일 실시예에 따른 텍스처링된 반도체 기판의 제조방법을 설명한다.

[0056] 먼저, 도 6a를 참조하면, 반도체 기판 상부에 실리카 비드들(120)을 2차원적으로 배열한다. 도 6a에는 도시의 편의를 위해 단면을 도시하고 있다.

[0057] 한편, 실리카 입자를 배열하기 반도체 기판은 세척단계를 거친 기판일 수 있고, 세척 단계는 반도체 기판에 흡착되어 있을지 모를 오염 물질을 제거하기 위한 목적으로 수행된다. 이러한 세척 단계에는 세척제가 공급되는 샤워 헤드로부터 반도체 기판의 전 표면에 세척제를 분사시키는 스프레이 방식이나 반도체 기판을 세척액 내에 일정 시간 동안 담근 후 빼내는 딥핑 방식 등 통상의 세척방법이 사용될 수 있으며, 이에 한정되는 것은 아니다. 실리카 입자는 최소 300nm 내지 1000nm 의 크기를 갖는다.

[0058] 실리카 입자 또는 콜로이드 입자를 단일층으로 배열하기 위해서는 스핀코팅을 이용하는 방법도 있으나 스핀코팅 시 DI 워터, 메탄올, 에탄올과 같은 용매가 빠른 속도로 휘발되어 결함농도가 높은 막이 얻어지는 문제가 발생하는 경우가 존재할 수 있다. 이러한 문제점을 해결하기 위해 용매 내 실리카 입자의 고른 분산을 위해 용매를 잘 선택하는 것이 중요하다. 바람직한 용매의 종류는 양쪽성을 가지는 용매이다. 또한, 스핀코팅시 콜로이드 용액과 실리콘 기판과의 젖음성이 우수한 것이 좋다. 이러한 요구조건을 만족하는 용매로 끓는점이 섭씨 190도 이상으로 높으며 양쪽성을 갖는 에틸렌 글리콜 (Ethylene glycol; EG)과 끓는점이 EG보다 다소 낮지만 일반적인 용매 (DI 워터, 메탄올, 에탄올) 보다는 높은 (섭씨 100도 이상) 양쪽성 유기용매 Dimethylformamide(DMF), Dimethyl sulfoxide (DMSO) 등과 혼합한 용매를 이용하여 스핀코팅 방법으로 실리카 입자 또는 콜로이드 입자를 단일층으로 배열한다. 바람직한 혼합 비율은 양쪽성 유기용매 80 중량% 내지 95 중량%를 혼합하고, 일반적인 용매는 20 중량% 내지 5 중량%를 혼합한다. 이러한 방식에 의해 우수한 실리카 나노입자 단일층을 배열할 수 있다.

[0059] 도 7은 본 발명의 실시예에 따라서 실리카 입자가 2차원적으로 배열된 상황을 도시하고 있다. 비교예를 위해, 실리카 입자를 자기조립시 각각 water, 메탄올, 양쪽성 유기용매 Dimethylformamide(DMF), 그리고 에틸렌 글리콜 (Ethylene glycol; EG)과 Dimethylformamide(DMF)를 혼합한 용액을 이용하였다. 실리카 비드 1 um를 이용하였고 스핀코팅 공정 후 자기조립 단일층을 형성하고 광학현미경으로 사진을 촬영한 결과이다. 도 7을 참조하면, 에틸렌 글리콜 (Ethylene glycol; EG)과 Dimethylformamide(DMF)을 혼합한 용액을 사용한 경우 실리카 비드가 잘 정렬되었음을 확인할 수 있다.

[0060] 다음으로, 도 6b를 참조하면, 실리카비드 단일층을 건식 에치마스크로 하여 건식식각을 수행한다. 건식식각시에

는 고방향성 건식식각을 이용하는 것이 효과적일 있다. 건식식각에 의해서 실리카비드의 가장자리가 식각됨에 따라 반도체 기판에 도 6b와 같은 형상이 전사된다. 이 때, 반도체 기판에 택스처링되는 패턴의 형상은 포물선 형상인 것이 바람직하다. 포물선 형상을 제조하기 위해서는 실리카 비드 대비 반도체 기판 (예를 들어, 실리콘)의 에칭속도비가 0.5 내지 0.7인 것이 바람직하다.

[0061] 다음으로, 포물선 형상의 패턴들에 나노홀 구조를 형성하기 위한 공정을 수행한다.

[0062] 도 6d를 참조하면, 포물선 형상의 패턴들을 포함하는 기판 전체 상부에 제1 금속막(140)을 증착한다. 금속막은 인듐(In), 주석(Sn) 또는 인듐과 주석의 합금과 같은 융점이 섭씨 250도 이하로 낮은 금속을 증착한다. 그 후, 금속막이 증착된 기판을 열처리한다. 열처리에 의해 인듐 주석 등의 금속은 금속입자들이 일정한 거리를 두고 형성된다. 이러한 상황은 도 6e에 도시되어 있다. 제1 금속막(140)의 증착 두께는 50nm ~ 200nm인 것이 바람직하며, 유효두께가 50nm 미만일 경우 기판 상에 합성되는 저융점 금속 나노입자의 평균직경이 과소해질 우려가 있고, 반면 200nm를 초과할 경우에는 저융점 금속 나노입자의 평균직경이 과대해질 우려가 있다. 열처리 온도는 300℃ ~ 500℃인 것이 바람직하며, 상기 열처리 온도가 300℃ 미만일 경우 저융점 금속 나노입자의 표면 커버리지가 과대해질 우려가 있고, 반면 500℃를 초과할 경우 표면 커버리지가 과소해질 우려가 있다.

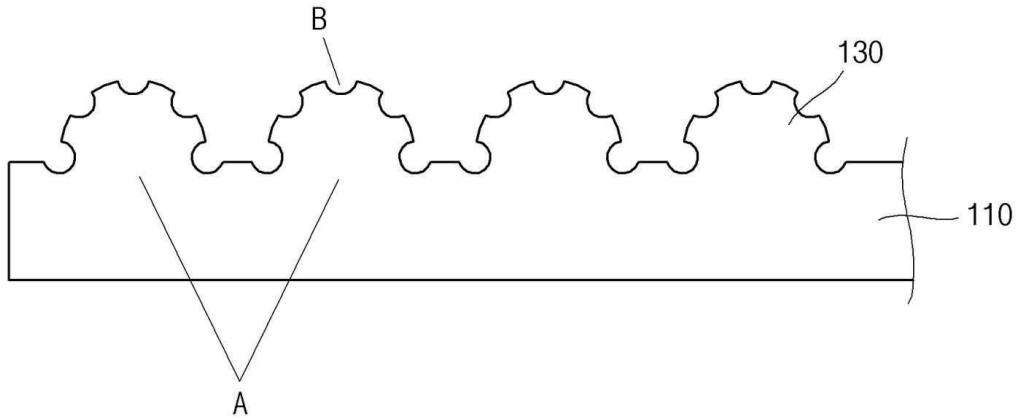
[0063] 도 6f를 참조하면, 상기 기판 전체 상부에 제2 금속막(150)을 형성한다. 제2 금속막(150)은 크롬(Cr), 니켈(Ni), 티타늄(Ti) 등의 금속을 이용할 수 있다. 그런다음, 리프트오프 공정을 수행한다. 금속나노입자의 상부에 있는 제2 금속막(150)은 제거된다. 이어서 제2 금속막(150)을 에치마스크로 하여 식각공정을 수행한다. 이때, 상기 건식 에칭에 사용되는 에칭 가스는 CF_4, CHF_3, SF_6, Ar, Cl_2 및 O_2로 이루어진 군에서 선택된 어느 하나 또는 둘 이상의 혼합가스일 수 있으며, 바람직하게는 CF_4/O_2 혼합가스, SF_6/O_2 혼합가스 및 Cl_2/O_2 혼합가스 중 선택된 어느 하나 일 수 있다. 상기 나노구조체의 형상은 건식에칭 과정에서 플라즈마 공정 변수의 제어를 통해 비등방성의 정도를 조절함으로써 제어할 수 있다.

[0064] 도 6g 및 도 6h를 참조하면, 반도체 기판에는 포물선 형상을 가지는 패턴(A)의 표면에 나노홀 구조체(B) 가 텍스처링되어 있다. 포물선 형상의 구조체의 높이는 100nm 이상 900 nm 이하를 가진다. 나노홀 구조체의 깊이는 전기적 손실을 막기위해 300nm 이하로 제한하는 것이 바람직하다.

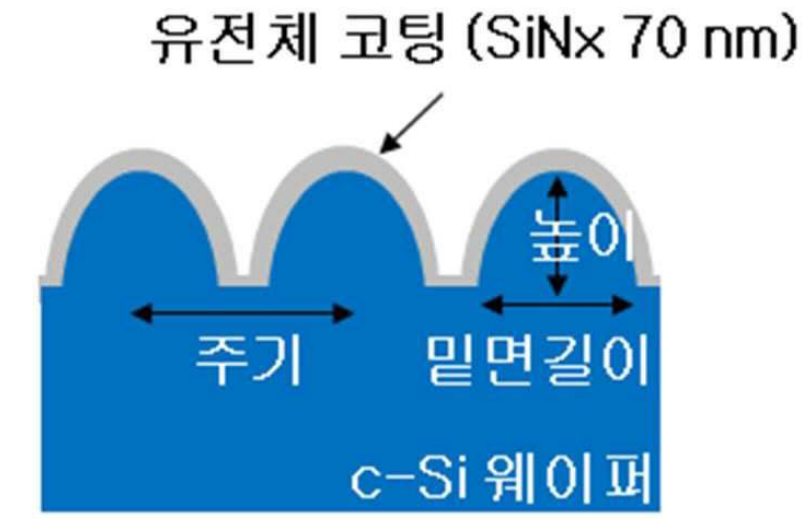
[0066] 이하, 실시예들을 들어 본 발명에 관하여 더욱 상세히 설명하지만, 본 발명이 이러한 실시예들에 한정되는 것은 아니다. 이상, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것으로서, 본 발명의 보호범위는 아래의 특허청구범위에 의하여 해석되어야 하며 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

도면1

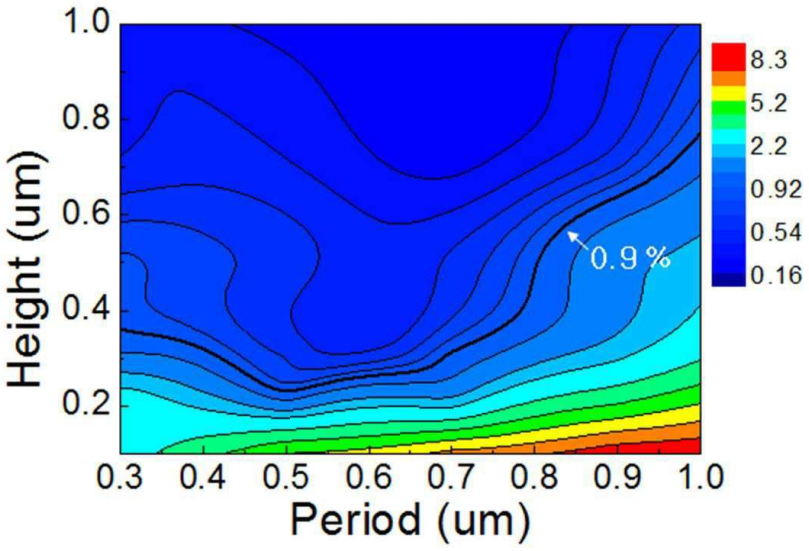


도면2

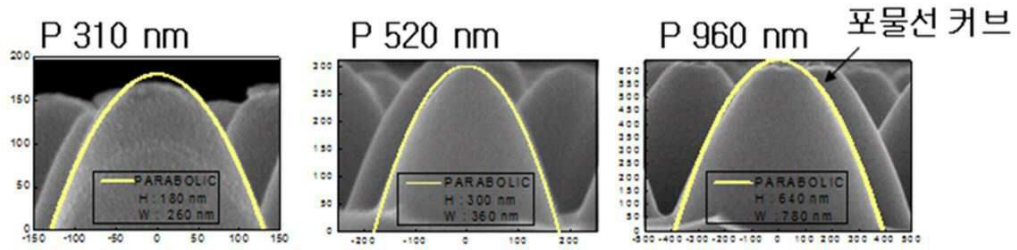


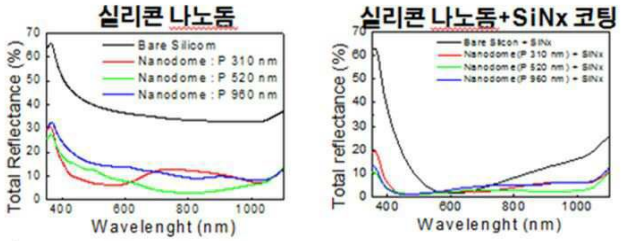
나노돔 밑면 길이 = 주기 ×**0.8**

도면3



도면4

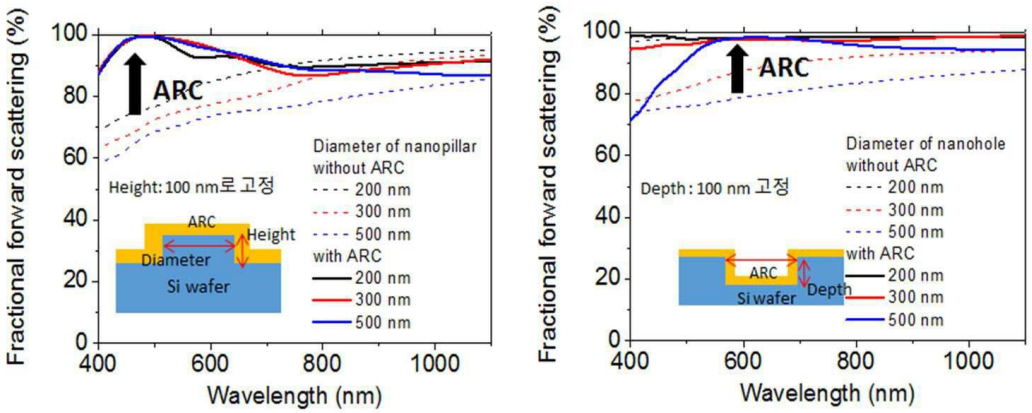




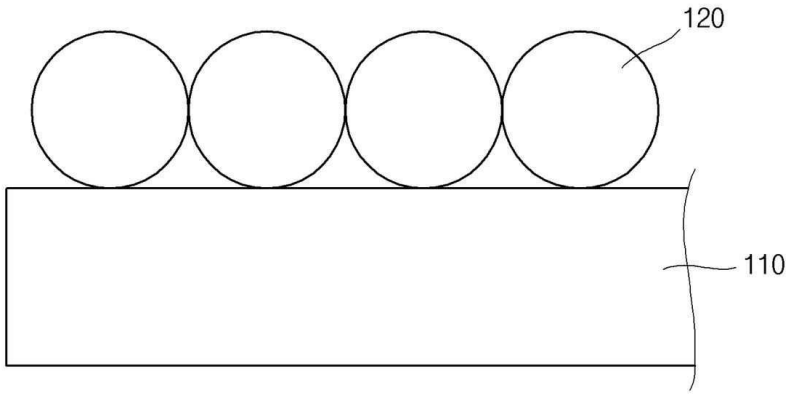
평균반사도

	P 310 nm	P 520 nm	P 960 nm	Planar
Nanodome	10.09 %	8.36 %	13.41 %	37.62 %
Nanodome+SiNx	3.78 %	1.65 %	4.19 %	11.20 %

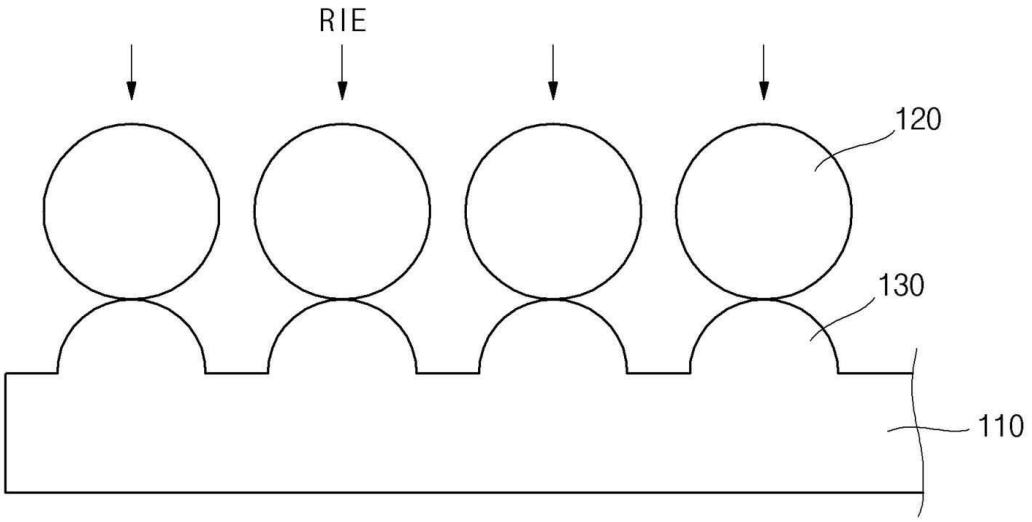
도면5



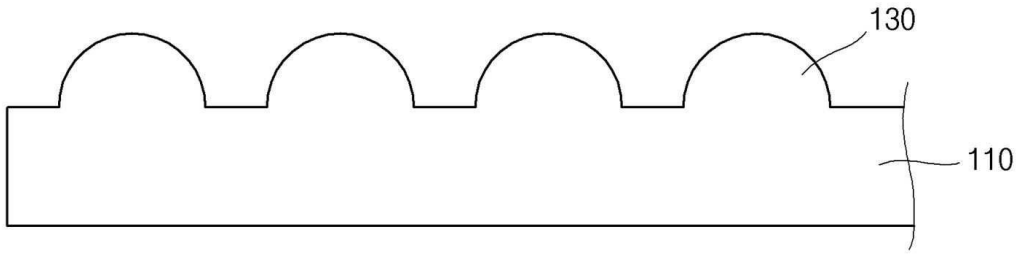
도면6a



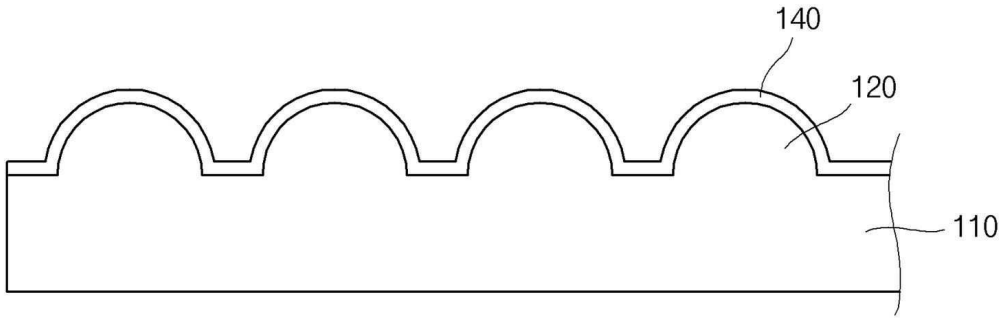
도면6b



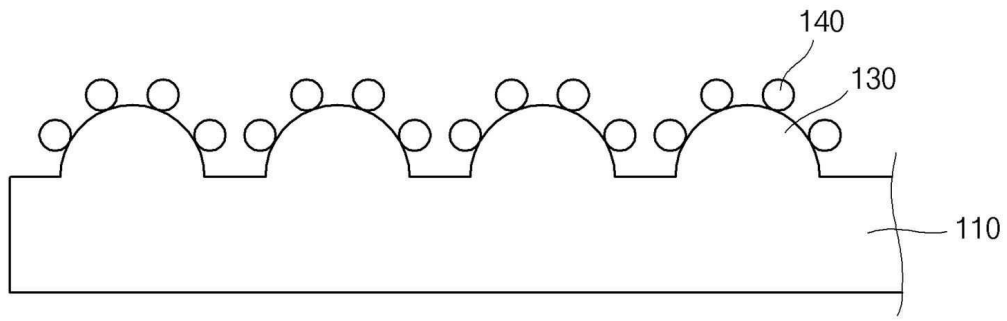
도면6c



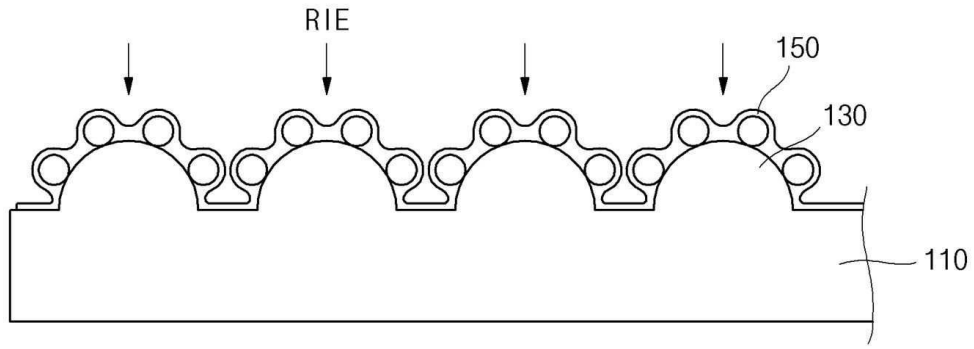
도면6d



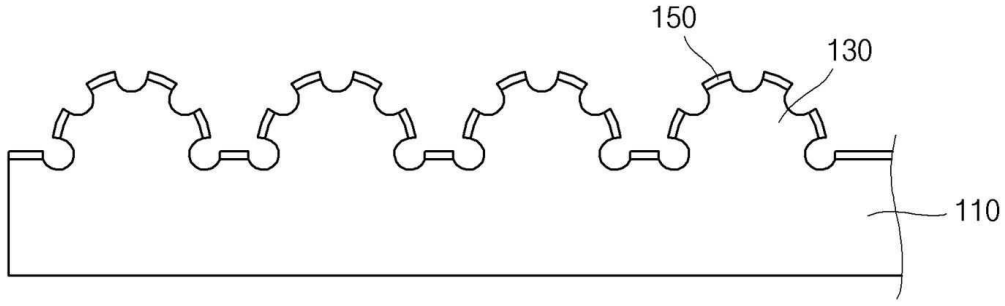
도면6e



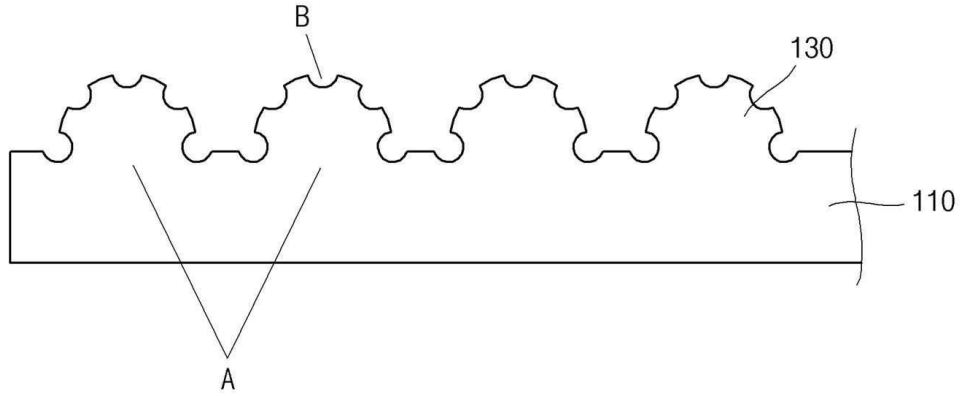
도면6f



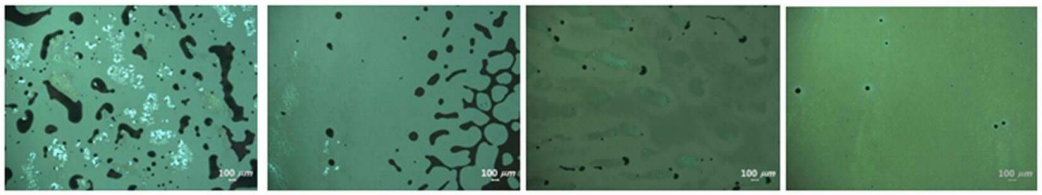
도면6g



도면6h



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

상기 포물선 구조체의

【변경후】

상기 포물선형 구조체의