



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년06월29일

(11) 등록번호 10-1752375

(24) 등록일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)

H01G 13/00 (2006.01) H01L 21/822 (2006.01)

H01L 23/12 (2006.01) H01L 27/04 (2006.01)

(21) 출원번호 10-2011-7004569

(22) 출원일자(국제) 2009년07월23일

심사청구일자 2014년07월15일

(85) 번역문제출일자 2011년02월25일

(65) 공개번호 10-2011-0042336

(43) 공개일자 2011년04월26일

(86) 국제출원번호 PCT/CA2009/001039

(87) 국제공개번호 WO 2010/009553

국제공개일자 2010년01월28일

(30) 우선권주장

12/180,042 2008년07월25일 미국(US)

(56) 선행기술조사문현

JP3910907 B2*

US20060007631 A1*

WO2007130110 A1*

*는 심사관에 의하여 인용된 문헌

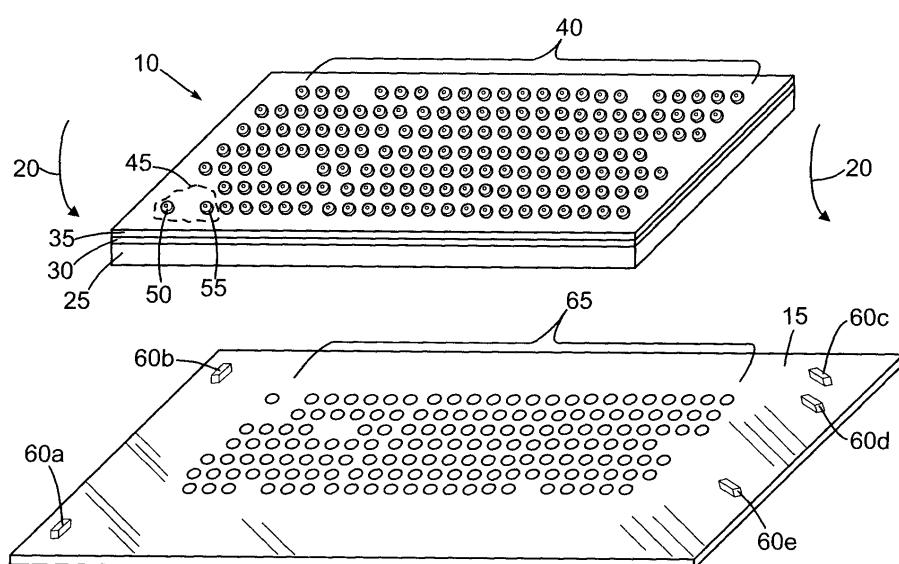
전체 청구항 수 : 총 26 항

심사관 : 조성찬

(54) 발명의 명칭 온다이 커패시터를 위한 언더 범프 금속화

(57) 요 약

다양한 온칩 커패시터들 및 그 제조 방법이 개시된다. 일 실시형태에서, 커패시터를 제조하는 방법이 제공되는바, 이 방법은 반도체 칩 상에 제 1 전도체 구조를 형성하는 것과, 그리고 상기 제 1 전도체 구조 상에 패시베이션 구조를 형성하는 것을 포함한다. 상기 패시베이션 구조 상에 언더 범프 금속화 구조가 형성된다. 상기 언더 범프 금속화 구조가 상기 제 1 전도체 구조의 적어도 일부와 중첩하여 커패시터가 제공된다.

대 표 도 - 도 1

(72) 발명자

총 다니엘

캐나다 온타리오 엠3씨 4씨2 노스 요크 제씨 드라
이브 10

총 테렌스

캐나다 온타리오 엠2엔 7이3 에이피티. #1826 토론
토 해리슨 가든 블러버드 80

명세서

청구범위

청구항 1

커패시터(capacitor)를 제조하는 방법으로서,

반도체 칩(semiconductor chip) 상에 제 1 커패시터 플레이트(capacitor plate)로서의 역할을 하는 제 1 전도체 구조를 형성하는 단계와;

상기 제 1 전도체 구조 상에 패시베이션 구조(passivation structure)를 형성하는 단계와;

상기 패시베이션 구조 상에 상기 제 1 전도체 구조와 중첩(overlap)하여 제 2 커패시터 플레이트로서의 역할을 하는 언더 범프 금속화 구조(under bump metallization structure)를 형성하는 단계와; 그리고

상기 언더 범프 금속화 구조에 폴리머 층(polymer layer)을 도포(apply)하는 단계를 포함하여 구성되며,

상기 폴리머 층은 상기 언더 범프 금속화 구조에 대해 구조적 보호(structural protection)를 제공하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 2

제1항에 있어서,

상기 제 1 전도체 구조를 형성하는 단계는 복수의 공통 결합 전도체 라인(commonly tied conductor line)들을 형성하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 3

제1항에 있어서,

상기 제 1 전도체 구조를 형성하는 단계는 재배선 상호연결 층(redistribution interconnect layer)을 형성하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 4

제1항에 있어서,

상기 패시베이션 구조를 형성하는 단계는 복수의 절연체 층들의 적층체(laminate)를 형성하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 5

제1항에 있어서,

상기 언더 범프 금속화 구조 상에 제 2 전도체 구조를 형성하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 6

제5항에 있어서,

상기 제 2 전도체 구조를 형성하는 것은 솔더 범프(solder bump)를 형성하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 7

제1항에 있어서,

상기 반도체 칩은 파워 레일(power rail) 및 그라운드 레일(ground rail)을 포함하고, 상기 방법은, 상기 제 1 전도체 구조, 상기 패시베이션 구조, 및 상기 언더 범프 금속화 구조의 결합체를 상기 파워 레일과 상기 그라운드

드 레일 양단에 연결시키는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 8

제1항에 있어서,

상기 반도체 칩을 회로 보드(circuit board)에 결합시키는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 9

제8항에 있어서,

상기 회로 보드를 컴퓨팅 디바이스(computing device) 내에 장착하는 것을 포함하는 것을 특징으로 하는 커패시터 제조 방법.

청구항 10

제1항에 있어서,

상기 방법은 컴퓨터 판독가능 매체에 저장된 명령들을 실행함으로써 수행되는 것을 특징으로 하는 커패시터 제조 방법.

청구항 11

제조 방법으로서,

반도체 칩 상에 재배선 층(redistribution layer)을 형성하는 단계와, 상기 재배선 층은 제 1 커패시터 플레이트로서의 역할을 하는 제 1 전도체 구조를 가지며;

상기 재배선 층 상에 패시베이션 구조를 형성하는 단계와;

상기 패시베이션 구조 상에 언더 범프 금속화 층을 형성하는 단계와, 상기 언더 범프 금속화 층은 복수의 언더 범프 금속화 구조들을 가지며, 상기 언더 범프 금속화 구조들 중 적어도 하나는 제 1 커패시터를 제공하기 위해 상기 제 1 전도체 구조와 적어도 부분적으로 중첩함과 아울러 제 2 커패시터 플레이트로서의 역할을 하고; 그리고

상기 언더 범프 금속화 구조에 폴리머 층을 도포하는 단계를 포함하여 구성되며,

상기 폴리머 층은 상기 언더 범프 금속화 구조에 대해 구조적 보호를 제공하는 것을 특징으로 하는 제조 방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 제 1 전도체 구조를 그라운드 레일에 연결시키는 것, 그리고 전도체 라인(conductor line)들의 복수의 그룹들 중 적어도 하나를 파워 레일에 연결시키는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 14

제11항에 있어서,

상기 패시베이션 구조를 형성하는 것은 복수의 절연체 층들의 적층체를 형성하는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 15

제11항에 있어서,

상기 복수의 언더 범프 금속화 구조들 중 적어도 일부분 상에 전도체 구조들을 형성하는 것을 포함하는 것을 특

징으로 하는 제조 방법.

청구항 16

제15항에 있어서,

상기 전도체 구조들을 형성하는 것은 솔더 범프들을 형성하는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 17

제11항에 있어서,

상기 반도체 칩은 파워 레일 및 그라운드 레일을 포함하고, 상기 방법은, 상기 제 1 전도체 구조, 상기 패시베이션 구조, 및 상기 적어도 하나의 언더 범프 금속화 구조의 결합체를 상기 파워 레일과 상기 그라운드 레일 양단에 연결시키는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 18

제11항에 있어서,

상기 반도체 칩을 회로 보드에 결합시키는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 19

제18항에 있어서,

상기 회로 보드를 컴퓨팅 디바이스 내에 장착하는 것을 포함하는 것을 특징으로 하는 제조 방법.

청구항 20

삭제

청구항 21

제 1 커패시터 플레이트로서의 역할을 하는 제 1 전도체 구조를 갖는 반도체 칩과;

상기 제 1 전도체 구조 상의 패시베이션 구조와;

상기 패시베이션 구조 상의 언더 범프 금속화 구조와; 그리고

상기 언더 범프 금속화 구조 상의 폴리머 층을 포함하여 구성되며,

상기 언더 범프 금속화 구조는 제 2 커패시터 플레이트로서의 역할을 하여 커패시터가 확립되도록 하기 위해 상기 제 1 전도체 구조의 적어도 일부분과 중첩하지만 상기 제 1 전도체 구조에 전기저항적으로(ohmically) 연결되지는 않으며,

상기 폴리머 층은 상기 언더 범프 금속화 구조에 대해 구조적 보호를 제공하는 것을 특징으로 하는 장치.

청구항 22

삭제

청구항 23

제21항에 있어서,

상기 제 1 전도체 구조의 형성은 재배선 상호연결 층을 포함하는 것을 특징으로 하는 장치.

청구항 24

제21항에 있어서,

상기 패시베이션 구조는 복수의 절연체 층들의 적층체를 포함하는 것을 특징으로 하는 장치.

청구항 25

제21항에 있어서,

상기 언더 범프 금속화 구조 상의 제 2 전도체 구조를 포함하는 것을 특징으로 하는 장치.

청구항 26

제25항에 있어서,

상기 제 2 전도체 구조는 솔더 범프를 포함하는 것을 특징으로 하는 장치.

청구항 27

제21항에 있어서,

상기 반도체 칩은 파워 레일 및 그라운드 레일을 포함하고, 상기 제 1 전도체 구조, 상기 패시베이션 구조, 및 상기 언더 범프 금속화 구조의 결합체가 상기 파워 레일과 상기 그라운드 레일 양단에 전기적으로 연결되는 것을 특징으로 하는 장치.

청구항 28

제21항에 있어서,

상기 반도체 칩에 결합되는 회로 보드를 포함하는 것을 특징으로 하는 장치.

청구항 29

제28항에 있어서,

상기 회로 보드에 결합되는 컴퓨팅 디바이스를 포함하는 것을 특징으로 하는 장치.

발명의 설명

기술 분야

[0001]

본 발명은 일반적으로 반도체 프로세싱에 관한 것으로, 특히 온다이 커패시턴스(on-die capacitance)를 제공하기 위한 방법 및 장치에 관한 것이다.

배경 기술

[0002]

캐스코드(cascode) 스타일 및 다른 타입의 회로들, 예를 들어, 마이크로프로세서들, 그래픽 프로세서들, 및 애플리케이션 특정 집적 회로들에서 빈번히 사용되는 것들과 같은 것은, 전형적으로 풀-전압(full-voltage) 및 미드포인트-전압(midpoint-voltage) 파워 서플라이 레일(rail)들을 필요로 한다. 종래의 많은 반도체 다이들에서, 파워 서플라이 노이즈를 억제하기 위해 사용되는 온다이 디커플링 커패시턴스(on-die decoupling capacitance)는 전형적으로 커패시터들을 풀-전압 레일과 그라운드 레일 양단에서 그라운드 레일(ground rail)로부터 미드-전압 레일(mid-voltage rail)로 그리고 미드-전압 레일로부터 풀-전압 레일(full-voltage rail)로 적층시킴으로써 형성된다.

[0003]

집적 회로들에 대한 최소 디바이스 크기는 수년 동안 꾸준히 줄어들고 있다. 디바이스 크기가 축소됨에 따라, 결과적으로 파워 밀도 및 동작 주파수에서의 증가가 수반된다. 파워 밀도 및 주파수에 따라, 트랜지스터 스위칭 동안 전류 변동(current fluctuations)은 칩의 파워 레일들 상에서 전압 바운스(voltage bounces)를 일으킬 수 있다. 만약 그 크기가 큰 경우, 이 전압 바운스는 타이밍 에러(timing errors)를 일으킬 수 있고 심지어 디바이스 고장을 일으킬 수 있다.

[0004]

칩 레일들 상에서의 전압 불규칙성(irregularities)에 대처하기 위한 한 가지 종래의 방법은, 파워 레일과 그라운드 레일 양단에 커패시터들을 배치하는 것을 수반한다. 한가지 종래 변형된 방법은 금속 옥사이드 반도체(Metal Oxide Semiconductor, MOS) 커패시터 디자인을 사용하는 것이다. 많은 이러한 MOS 커패시터들이 소정 다이의 다양한 위치에 걸쳐 산재되어 있을 수 있다. 이상적으로는, 디커플링 커패시터는 파괴적 커패시터 대 파워 레일 인덕턴스(disruptive capacitor-to-power rail inductance)를 수용 가능한 레벨로 유지시키기 위해 스위칭 사이트(swapping site)에 근접하여 위치된다. 실제로, 다이에서의 레이아웃 제약으로 인해 원하는 근접도(proximity)를 제공하는 것은 종종 어렵다.

[0005] 디커플링을 개선하는 한 가지 종래의 기술은 다이 상에 더 많은 로우 커패시턴스(raw capacitance)를 제공하는 것을 포함한다. 그러나, 이 기술은 패킹 밀도의 요건에 의해 심하게 제약될 수 있거나, 혹은 다이 크기가 커지게 할 수 있다.

[0006] 본 발명은 앞서의 단점들 중 하나 이상의 영향을 극복하거나 혹은 감소시키는 것에 관한 것이다.

발명의 내용

과제의 해결 수단

[0007] 본 발명의 일 실시형태에 따르면, 커패시터를 제조하는 방법이 제공되며, 이 방법은 반도체 칩 상에 제 1 전도체 구조를 형성하는 것과, 그리고 상기 제 1 전도체 구조 상에 패시베이션 구조(passivation structure)를 형성하는 것을 포함한다. 상기 패시베이션 구조 상에 언더 범프 금속화 구조(under bump metallization structure)가 형성된다. 상기 언더 범프 금속화 구조는 상기 제 1 전도체 구조의 적어도 일부와 중첩(overlap)한다.

[0008] 본 발명의 또 다른 실시형태에 따르면, 제조 방법이 제공되며, 이 제조 방법은 반도체 칩 상에 재배선 층(redistribution layer)을 형성하는 것을 포함한다. 상기 재배선 층은 복수의 전도체 라인들을 갖는다. 상기 재배선 층 상에 패시베이션 구조가 형성된다. 상기 패시베이션 구조 상에 언더 범프 금속화 층이 형성된다. 상기 언더 범프 금속화 층은 복수의 언더 범프 금속화 구조들을 갖는다. 상기 재배선 층과 상기 언더 범프 금속화 층은, 상기 복수의 전도체 라인들 중 적어도 하나의 전도체 라인과 상기 복수의 언더 범프 구조들 중 적어도 하나의 언더 범프 구조가 적어도 부분적으로 중첩하지만 전기저항적으로 연결되지는 않아 커패시터가 제공되도록 형성된다.

[0009] 본 발명의 또 다른 실시형태에 따르면, 장치가 제공되며, 이 장치는 제 1 전도체 구조를 갖는 반도체 칩을 포함한다. 상기 제 1 전도체 구조 상에 패시베이션 구조가 있고, 상기 패시베이션 구조 상에 언더 범프 금속화 구조가 있다. 상기 언더 범프 금속화 구조는 상기 제 1 전도체 구조의 적어도 일부와 중첩하지만 상기 제 1 전도체 구조에 전기저항적으로 연결되지는 않아 커패시터가 확립되게 한다.

[0010] 본 발명의 앞서 살펴본 장점 및 다른 장점이 도면을 참조하고 다음의 상세한 설명을 숙독하는 경우 명백하게 될 것이다.

도면의 간단한 설명

[0011] 도 1은 반도체 칩과 회로 보드의 예시적 실시예의 부분적 분해 도면이다.

도 2는 도 1에 도시된 반도체 칩으로부터 제거된 작은 부분을 나타낸 도면이다.

도 3은 도 2에 도시된 반도체 칩의 해당 부분의 부분적 분해 도면이다.

도 4는 도 3에 도시된 반도체 칩의 일부의 상부 도면이다.

도 5는 반도체 칩의 다른 예시적 실시예의 일부의 상부 도면이다.

도 6은 반도체 칩의 커패시터의 예시적 실시예의 부분적 분해 도면이다.

도 7은 온칩 커패시터를 포함하는 예시적 반도체 칩에 대한 예시적 파워 및 그라운드 회로를 도식적으로 나타낸 도면이다.

도 8은 반도체 칩에 대한 예시적인 언더 범프 금속화 및 재배선 층 구성의 부분적 분해 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 아래에서 설명되는 도면의 경우, 동일한 구성요소가 하나보다 많은 도면에서 나오는 경우 일반적으로 참조 번호들은 반복된다. 이제 도면을 참조하면, 특히 도 1에서, 기판 혹은 회로 보드(circuit board)(15)에 장착되도록 설계된 반도체 칩(10)의 예시적 실시예의 부분 분해 도면이 제시된다. 이러한 예시적 실시예에서, 반도체 칩(10)은 플립칩 장착되도록 구성되는바, 즉, 화살표(20)로 표시된 바와 같이 뒤집혀서 회로 보드(15)에 장착되도록 구성된다. 이 반도체 칩(10)은, 예를 들어, 마이크로프로세서, 그래픽 프로세서, 결합된 마이크로프로세서/그래픽 프로세서, 애플리케이션 특정 집적 회로, 메모리 디바이스 등과 같은 전자공학 분야에서 사용되는 수많은 서로 다른 타입의 회로 디바이스들 중 어느 하나일 수 있고, 그리고 단일 코어 혹은 복수 코어일 수 있으며 또는 추가적인 다이들로 적층될 수도 있다. 반도체 칩(10)은 다양한 활성 디바이스들 및 회로들(보이지는 않

음)이 형성되는 베이스 반도체 부분(base semiconductor portion)(25)을 포함하고, 그리고 만약 반도체온절연체(semiconductor-on-insulator) 설계가 사용된다면, 절연층을 포함할 수 있다. 반도체 칩(10)은 모놀리식 구조(monolithic structure)가 아닌, 대신에 복수 층들의 적층체(laminate)이다. 두 개의 층들이 도시되는바, 각각 30 및 35로 표시되어 있다. 층(30)은 패시베이션 구조로서의 역할을 하고, 모놀리식일 수 있으며 혹은 아래에서 더 상세히 설명되는 바와 같이 복수의 적층된 절연 물질 층들로 구성될 수 있다. 층(35)은 전도체 구조들을 위한 구조적 보호(도 1에서는 보이지 않음)를 제공하도록 설계되고, 하지만, 솔더 범프(solder bump)들, 전도성 필러(conductive pillar)들 등일 수 있는 전도체 구조들의 어레이(40)에 전기적으로 상호연결된다. 층(35)은 유리하게는 폴리이미드(polyimide), 벤조시클로부텐(benzocyclobutene) 혹은 유사한 폴리머들과 같은 폴리머 물질들로 구성된다. 두 개의 예시적 전도체 구조들(50 및 55)(본 경우에 있어서는 솔더 범프들)을 포함하고 있는, 불규칙한 타원 형상의 점선(45)으로 둘러싸인 반도체 칩(10)의 일부가 반도체 칩(10)으로부터 제거되어 이하에서 설명될 도 2에서 더 크게 확대되어 도시된다.

[0013] 회로 보드(15)는 패키지 기판, 회로 카드 혹은 다른 타입의 프린트된 배선 보드일 수 있다. 필요한 경우, 회로 보드(15)는 또 다른 회로 보드 혹은 카드에 전기적으로 연결될 수 있고 그리고 사실상 임의 타입의 컴퓨팅 디바이스, 예를 들어, 컴퓨터, 전화기, 제어기, 텔레비전 등에 장착될 수 있다. 모놀리식 구조가 회로 보드(15)를 위해 사용될 수 있지만, 보다 전형적인 구성은 빌드업(build-up) 설계를 사용한다. 이와 관련하여, 회로 보드(15)는 중앙 코어로 구성될 수 있고, 이 중앙 코어 상에 하나 이상의 빌드업 층들이 형성되고, 이 중앙 코어 아래에 추가적인 하나 이상의 빌드업 층들이 형성된다. 이 코어는 자체적으로 하나 이상의 층들로 된 적층체로 구성될 수 있다. 이러한 구성의 한 예가 소위 "2-4-2" 구성으로 불릴 수 있는바, 이 구성에서, 두 개의 빌드업 층들의 두 세트들 사이에 4층 코어가 적층되어 있다. 회로 보드(15)에서의 층들의 수는 네 개에서 열여섯 개 혹은 그 이상 변할 수 있지만, 네 개보다 더 적은 층들이 사용될 수도 있다. 소위 "코어리스(coreless)" 설계가 또한 사용될 수 있다. 회로 보드(15)의 층들은, 잘 알려진 다양한 애토시들과 같은 절연 물질로 구성되는바, 여기에는 금속 상호연결부들이 산재되어 있다. 빌드업이 아닌 복수 층 구성이 사용될 수 있다. 선택에 따라서는, 회로 보드(15)는 잘 알려진 세라믹으로 구성될 수 있고, 혹은 패키지 기판 혹은 인쇄 회로 기판에 적합한 다른 물질들로 구성될 수 있다. 필터링 및 다른 기능들을 제공하기 위해, 회로 보드(15)에는 복수의 수동 디바이스들이 제공될 수 있는바, 이 중 몇 개가 도시되는바, 도면 부호 60a, 60b, 60c, 60d 및 60e로 표시되어 있다. 수동 디바이스들(60a, 60b, 60c, 60d 및 60e)은 저항기들, 커패시터들, 인덕터들, 혹은 필요한 경우 다른 수동 디바이스들일 수 있다. 칩(10)이 회로 보드(15)에 장착될 때, 칩(10)의 솔더 범프들의 어레이(40)와 야금학적으로(metallurgically) 링크(link)되도록 설계된 범프 패드들의 상보적 어레이(65)가 회로 보드(15)에 제공된다.

[0014] 솔더 범프들의 어레이들(40 및 65)은 납기반 솔더(lead-based solder) 혹은 무연솔더(lead-free solder)로부터 제조될 수 있다. 그 예로는 주석-납 공융 및 비공융 혼합물들, 주석-은, 주석-은-구리 등이 있다. 리플로우 공정(reflow process)이 어레이들(40 및 65)을 솔더 조인트(solder joint)들의 어레이로 결합시키기 위해 수행된다.

[0015] 반도체 칩(10)의 추가적인 세부 내용이 이제 도 2를 참조함으로써 이해될 수 있는바, 도 2는 도 1에서 타원형 점선(45)으로 둘러싸인 반도체의 일부가 이 반도체로부터 절취된 후 더 크게 확대되어 도시된 것이다. 앞서 언급된 바와 같이, 점선 부분(45)은 솔더 범프들(50 및 55), 절연 층(35), 패시베이션 구조(30), 및 반도체 부분(25)을 포함한다. 반도체 부분(25)은 반도체 층(68) 및 복수의 상호연결 층들(70, 75, 80, 85 및 90)을 포함하는 적층된 층들의 세트로 구성될 수 있다. 이 층들(70, 75, 80, 85 및 90)은 레벨간 유전체 물질(interlevel dielectric layer)이 산재되어 있는 연속적인 금속화 층들로 구성될 수 있다. 다섯 개의 상호연결 층들(70, 75, 80, 85 및 90)이 도시되었지만, 사실상 임의의 개수가 사용될 수 있음을 이해해야 한다. 상호연결 층들(70, 75, 80, 85 및 90)이 솔더 범프들(50 및 55)(그리고 도 1에 도시된 전체 어레이(40))과 반도체 부분(68) 내의 내부 회로 구조들(이들 중 두 개가 도면 부호 95 및 100의 점선 박스로 도식적으로 나타나 있음) 사이에 전기적 경로들을 제공한다.

[0016] 패시베이션 구조(30)는 모놀리식일 수 있거나, 혹은 서로 다른 유전체 물질들의 복수의 교번 층들로 구성될 수 있다. 예시적 실시예에서, 패시베이션 구조(30)는, 하부로부터 시작하여 위쪽을 향해 진행하는, 실리콘 나이트라이드(silicon nitride) 및 비도핑 실리케이드 유리(undoped silicate glass)의 교번 층들로 구성될 수 있다. 실리콘 나이트라이드 및 비도핑 실리케이트 유리의 층들은 각각 총 세 개일 수 있으며, 총 두께는 약 4.0 내지 15.0 마이크론일 수 있다.

[0017] 반도체 칩(10)의 더 상세한 설명이 이제 도 3을 참조함으로써 이해될 수 있는바, 도 3은 도 2에 도시된 부분(45)의 부분적 분해도이다. 솔더 범프들(50 및 55)이 폴리머 층(35)으로부터 분해되어 한 쌍의 개구들(105 및

110)이 드러나도록 도시되어 있다. 개구들(105 및 110)이 잘 알려진 리소그래픽 패터닝 및 애칭 공정에 의해 알맞게 형성된다. 솔더 범프들(50 및 55)은 잘 알려진 솔더 증착 및 성형 기술에 의해 개구들(105 및 110) 내에서의 각각의 돌출부들(115 및 120)을 갖도록 형성된다. 폴리머 층(35)은 언더 범프 금속화(Under Bump Metallization, UBM) 층(125) 위에 위치하며, 언더 범프 금속화(UBM) 층(125)은 복수의 UBM 구조들로 구성되고, 이들 중 여섯 개가 각각 도면 부호 130, 135, 140, 145, 150 및 155로 표시되어 보여지고 있다. 용어 "UBM"은, 필러들처럼, 범프들과는 다른 것을 사용하는 구성에 동등하게 적용될 수 있음을 이해해야 한다. 도 3은 도 1에 도시된 반도체 칩(10)의 단지 작은 부분(45)만을 나타내기 때문에, UBM 구조들(130, 135, 140, 145, 150 및 155)은 도시된 것보다 길이 면에서 훨씬 더 연장될 수 있음을 이해해야 한다. 더욱이, 반도체 칩(10)의 특정 레이아웃에 따라, 이러한 UBM 구조들(130, 135, 140, 145, 150 및 155)은 수십 개 혹은 수백 개 혹은 심지어 수천 개 존재할 수 있다. 폴리머 층(35)이 UBM 층(125) 아래가 아닌 위에 위치하기 때문에, 다양한 UBM 구조들(130, 135, 140, 145, 150 및 155)이 라우팅(routing)으로서의 역할을 할 수 있으며, 아울러 본 예시적 예에서는, 추가적인 온칩 커패시턴스를 제공하는데 사용될 수 있는 하나 이상의 커패시터 구조들의 플레이트로서의 역할을 할 수 있다. UBM 구조들(130, 135, 140, 145, 150 및 155)은 필요에 따라 파워, 그라운드 혹은 신호들을 전하도록 구성될 수 있다. 이 예를 설명하기 위해, UBM 구조들(130, 140 및 150)이 그라운드 전위(V_{SS})에 연결되고, UBM 구조들(135, 145 및 155)이 어떤 전압 전위(V_{DD})에 연결된다고 가정한다. 전압 전위(V_{DD})는 온칩 파워 레일 시스템에 대한 바이어스 레벨을 나타낼 수 있다. UNM 구조들(130 및 135 그리고 150 및 155)은 그라운드 및 파워 라우팅을 제공하도록 제작될 수 있으며, UBM 구조들(140 및 145)은 커패시터 구조를 위해 따로 준비될 수 있다. 커패시터 구조들의 보다 완벽한 설명을 하기 전에, 도 3에서의 구조들 중 나머지가 지금 설명된다. 앞서 언급된 패시베이션 구조(30)가 UBM 층(125) 아래에 위치하며, 여기에는 복수의 개구들(160, 165, 170 및 175)이 제공되는바, 이 개구들은 잘 알려진 리소그래픽 패터닝 및 애칭 기술에 의해 형성될 수 있다. 패시베이션 구조(30) 아래에는, "재배선 층(redistribution layer)"으로 언급될 수 있는, 최상위 상호연결 층(180)이 위치하게 된다. 재배선 층(180)은 일반적으로 파워, 그라운드 및 신호들을 반도체 칩(10)에서의 다양한 다른 위치들로 라우팅시키도록 구성된다. 이것을 설명할 목적으로, 재배선 층(180)이, 파워에 연결된 전도체 라인들의 각각의 그룹들(185, 190 및 195)과, 그리고 그라운드에 연결된 각각의 그룹들(200, 205 및 210)을 포함한다고 가정한다. 시각적 편의를 위해, 전도체 라인들의 각각의 그룹들(185, 190 및 195)은 전도체 구조들의 그룹들(200, 205 및 210)보다 더 두꺼운 라인 두께를 갖도록 도시되었다. 그룹(185)의 전도체 라인들은 하나 이상의 전도체 패드들(이들 중 하나가 도면 부호 215로 표시되어 도시됨)에 공통 결합될 수 있다. 전도체 라인들의 그룹들(190 및 195)은 각각의 전도체 패드들(220 및 225)에 공통 연결될 수 있다. 유사하게, 전도체 라인들의 그룹들(200, 205 및 210)은 각각의 전도체 패드들(230, 235 및 240)에 공통 연결될 수 있다. UBM 구조(135)는, 개구(160)를 통해 돌출되는 전도체 구조 혹은 비아(245)를 경유해서, 전도체 라인들의 그룹(185)에 전기적으로 연결될 수 있다. 유사하게, UBM 구조(155)는, 개구(175)를 통해 아래로 돌출되는 비아(250)를 경유해서, 전도체 라인들의 그룹(195)에 전기적으로 연결될 수 있고 전도체 패드(225)에 야금학적으로 본딩(bonding)된다.

[0018] 재배선 층(180) 아래의 그 다음 금속화 층의 전도체 라인들 몇 개가 드러나도록 상호연결 층(90)의 일부가 절단되어 도시되었다. 이와 관련하여, 몇 개의 전도체 라인들(260, 265, 270 및 275)을 볼 수 있지만, 이것은 절연 물질(본 도면에서 절단되어 도시됨)로 통상적으로 덮여있다. 층들(70, 75, 80, 85 및 90)을 통한 하향 연결들이 다수의 개구들을 통해 제공될 수 있는바, 이들 중 몇 개가 집합적으로 도면 부호 280으로 표시되어 있다. 라인(260)이 그라운드(V_{SS})에 있을 수 있고, 라인들(265 및 270)이 파워(V_{DD})에 있을 수 있고, 그리고 라인(275)이 그라운드(V_{SS})에 있을 수 있다. 라인(260)과 UBM 구조(140) 간의 전기적 연결은, 개구(165) 내에 위치하며 UBM 구조(140)에 야금학적으로 연결되는 비아(285)에 의해 제공될 수 있다. UBM 구조(145)는, 패시베이션 구조(30)에서의 개구(170) 내에 위치하며 UBM 구조(145)에 야금학적으로 본딩되는 비아(290)를 통해, 전도체 라인(270)(V_{DD} 에 있게 됨)에 연결될 수 있다. 전도체 패드(220) 및 이에 따른 전도체들의 그룹(190)이, 층(90) 내의 개구들(280) 중 하나(이것은 볼 수 없는데, 왜냐하면 층(90)이 부분적으로 절단되어 도시되었기 때문임)에 위치할 수 있는 비아(295)를 통해 전도체 라인(265)(이것은 V_{DD} 에 있게 됨)에 연결될 수 있다. 유사하게, 전도체 패드(235) 및 이에 따른 전도체들의 그룹(205)이 대응하는 비아(300)를 통해 그라운드 라인(275)에 연결될 수 있다.

[0019] 재배선 층(180) 및 특히 그 전도체 라인들(185 및 210)의 그룹은 반도체(10)의 반도체 부분(25) 내의 회로 구조들(95 및 100)에 파워 및/또는 그라운드 혹은 신호들을 아래로 라우팅시키기 위해 사용될 수 있다. 이 라우팅은 점선(302 및 304)으로 각각 표시되어 있다. 점선(305 및 310)은 서로 다른 층들(70, 75, 80, 85 및 90)에서의

다양한 금속화 구조들(예를 들어, 라인들 및 비아들)일 수 있는 것의 도식적 표현임을 이해해야 한다.

[0020] UBM 구조들(140 및 145) 및 하부 전도체 라인들의 그룹들(190 및 195)과 관련된 연결들의 구성으로, 용량성 구조들이 제공될 수 있다. 이와 관련하여, 용량성 구조가, V_{SS} 에 있는 UBM 구조(140)와 V_{DD} 에 있는 하부 전도체 라인들의 그룹(190)과 그리고 이 둘 사이에 삽입되어 있는 패시베이션 층(30)의 결합에 의해 제공되는바, 하부 전도체 라인들의 그룹(190)은 UBM 구조(140)와 전기저항으로 연결되지 않는다(즉 UBM 구조(140)와 단락되지 않음). 유사하게, V_{DD} 에 있는 UBM 구조(145)와 V_{SS} 에 있는 하부 전도체 라인들의 그룹(205)과 그리고 이 둘 사이에 삽입되어 있는 패시베이션 구조(30)의 결합이 또 다른 커패시터 구조를 만든다. UBM 구조(140), 하부 전도체 라인들의 그룹(190), 및 패시베이션 구조(30)로 구성되는 커패시터에 대한 커패시턴스(C)는 다음과 같이 주어진다.

$$C = \epsilon A/d \quad (1)$$

[0021] 여기서, ϵ 는 패시베이션 구조(30)의 유전 상수이고, A는 UBM 구조(140)와 복수의 전도체 라인들(190) 간의 중첩하는 면적이며, d는 패시베이션 구조(30)의 두께이다. UBM 구조(140)와, 하부의 복수의 전도체 라인들(195), 및 패시베이션 구조(30)로 구성되는 커패시터의 커패시턴스가 또한 방정식 1에 의해 주어진다(비록 UBM 구조(145) 및 전도체 라인들(195)에 대해 적절한 중첩 면적을 가질지라도). 본 예시적 실시예에서, 실리콘 나이트라이드 및 비도핑 실리케이트 유리의 교번 층들로 구성되는 적층 패시베이션 구조에 대한 유전 상수 ϵ 는 적정한 정밀도로 다음과 같이 근사화될 수 있다.

$$\epsilon \approx \frac{\sum_{n=1}^k \epsilon_n t_n}{\sum_{n=1}^k t_n} \quad (2)$$

[0023]

[0024] 여기서 ϵ_n 은 적층체 내의 소정 층에 대한 유전 상수이고, t_n 은 소정 층의 두께이며, 그리고 n 은 층들의 개수이다.

[0025] 커패시터 구조들의 추가적 상세 설명이 이제 도 4를 참조함으로써 이해될 수 있는바, 도 4는 점선으로 도시된 상부 UBM 구조들(140 및 145)과 함께 도시된, 전도체 패드(220) 및 전도체 구조들의 그룹(190), 그리고 전도체 패드(235) 및 전도체 구조들의 그룹(205)의 상부 도면이다. 여기에 표시된 점선은 종래 도면에서의 경우와 같이 매립된 구조를 나타내고 있지 않음을 이해해야 한다. 실제로, 점선은 하부의 복수의 전도체 라인들(190 및 205) 위에 놓이는 UBM 구조들(140 및 145)을 나타내기 위해 각각 사용되었다. 약간 더 두꺼운 라인 폭이 그룹(190)을 그룹(205)과 구분되도록 하기 위해 사용되었다. UBM 구조(140)가 전도체 패드(220) 위에서 연장되는 돌출부(310)를 포함하고 있음에 유의해야 한다. 전도체 패드(220)로부터 돌출하는 추가적인 전도체 라인들(315a, 315b, 315c 및 315d)을 형성함으로써, UBM 구조(140)와의 추가적인 용량성 중첩이 제공될 수 있다. 전도체들의 그룹(190) 아래에 있는 층들과의 연결을 위해 추가적인 영역을 제공하기 위해, 추가적인 전도체 라인들(320)이 또한, 전도체 패드(220)와 접촉하도록 하지만 전도체 라인들(315)의 방향과는 반대 반향으로 연장하도록 형성될 수 있다. 유사하게, 전도체 라인들의 그룹(190)을 향해 연장된 돌출부(325)를 갖는 UBM 구조(145)가 형성될 수 있다. 전도체 라인들(205)의 그룹(205) 및 전도체 패드(235)에 연결된 전도체 구조들과 돌출부(325) 간의 추가적인 중첩을 제공하기 위해, 추가적인 전도체 라인들(330a, 330b, 330c 및 330d)이, 도시된 바와 같이, 전도체 패드(235)와 접촉하도록 형성될 수 있다. 실제로, 전도체 라인들(330)은 필요한 경우 도시된 바와 같이 전도체 패드(220)에 연결된 전도체 라인들(320a, 320b 및 320c)과 인터위브(interweave)될 수 있다.

[0026] UBM 구조들 및 하부 재배선 층 전도체들의 레이아웃이 다양하게 변할 수 있음을 숙련된 자는 알 수 있을 것이다. 다른 예시적 실시예가 도 5에 도시되는바, 도 5는 도 4와 같은 상부 도면이지만, 이 경우에는 각각의 복수의 전도체 구조들(340 및 345)이 존재한다. 전도체 구조들(340)은 전도체 패드(350)를 포함하고, 그리고 전도체 구조들(345)은 전도체 패드(355)를 포함한다. 복수의 전도체 라인들(360)이 패드(350)에 연결되고, 복수의 전도체 라인들(365)이 패드(355)에 연결된다. 또한, 이러한 라인들(360 및 365)은 복수의 전도체들(340 및 345) 아래에 위치한 수많은 다른 전도체 구조들에 연결될 수 있다. 커패시터 구조를 확립하기 위해, 점선(370 및 375)으로 도시되어 표시된 한 쌍의 UBM 구조들이 사용된다. UBM 구조들(370 및 375)이 비록 점선으로 도시되었

지만 실제로는 복수의 전도체들(340 및 345) 위에 즉, 지면 위에 있음을 이해해야 한다. 도 4에 도시된 UBM 구조들(140 및 145)과 마찬가지로, UBM 구조들(370 및 375)은, 패드(350)와 복수의 라인들(360)의 결합 및 패드(355)와 복수의 라인들(365)의 결합과의 더 큰 중첩을 제공하는 각각의 돌출부들(380 및 385)을 포함한다. 다른 예시적 실시예들과 마찬가지로, 각각의 복수의 전도체 라인들(340 및 345)의 다양한 전도체 라인들이 영역(387)에 도시된 바와 같이 내포될 수 있다. 이 대안적 실시예는 UBM 구조들(370 및 375)과 재배선 전도체들(340 및 345)을 위한 경사 레이아웃을 사용한다. 경사 구조는 더 높은 패킹 밀도(packing density)를 제공할 수 있다.

[0027] UBM 층(125) 및 재배선 층(180)의 단지 작은 부분들만이 도 3 및 도 4에 도시되었다. 그러나, 앞서 간략히 언급된 바와 같이, UBM 층(125) 및 재배선 층(180)의 많은 부분들이 커패시터 기능을 위해 따로 준비될 수 있다. 이와 관련하여, 이제 도 6을 참조하는바, 도 6은 이러한 UBM 층(125)의 일부분(390) 및 재배선 층(180)의 또 다른 일부분(395)을 도식적으로 나타낸 분해도이다. 패시베이션 구조(30)의 일부분(400)이 UBM 층(125) 및 재배선 층(180)의 일부분들(390과 395) 사이에 도시된다. 부분(390)은 라인(410)에 의해 함께 결합된 복수의 평거들(405a, 405b, 405c, 405d 및 405e) 및 평거들(405a, 405b, 405c, 405d 및 405e) 내에 내포된 대응하는 복수의 평거들(415a, 415b, 415c 및 415d)로 구성될 수 있다. 평거들(415a, 415b, 415c 및 415d)이 공통 라인(420)에 결합될 수 있다. 유사하게, 재배선 층(180)의 일부분(395)은 공통 라인(430)에 연결된 복수의 평거들(425a, 425b, 425c, 425d 및 425e) 및 공통 라인(440)에 결합된 복수의 평거들(435a, 435b, 435c 및 435d)로 구성될 수 있다. (1) 평거들(405a, 405b, 405c, 405d 및 405e) 및 공통 라인(410), (2) 패시베이션 구조(30)의 일부분(400), 그리고 (3) 하부 평거들(425a, 425b, 425c, 425d 및 425e) 및 공통 라인(430)의 결합이 하나의 커다란 용량성 구조를 형성할 수 있다. 유사하게, (1) 평거들(415a, 415b, 415c 및 415d), (2) 패시베이션 구조(30)의 일부분(400), 그리고 (3) 재배선 층(180)의 하부 평거들(435a, 435b, 435c 및 435d)의 결합이 또 다른 하나의 커다란 커패시터 구조를 만들 수 있다. 이러한 전도체 구조들이 실제로 도 3에 도시된 재배선 층(180)의 훨씬 더 작은 전도체 구조들의 그룹들로부터 형성될 수 있다는 점에서, 다양한 평거들(405a, 405b, 405c, 405d 및 405e, 그리고 415a, 415b, 415c 및 415d) 그리고 라인들(410 및 420)은 도식적 표현임을 이해해야 한다. 예를 들어, 평거(425a)는 도 3에 도시된 전도체 라인들의 그룹(190)으로 구성될 수 있고, 그리고 상부 평거(405a)는 도 3에 역시 도시된 UBM 구조(140)로 구성될 수 있다. 선택에 따라서, 소정의 평거는 UBM 구조들 혹은 RDL 전도체들의 복수의 그룹들로 구성될 수 있다.

[0028] 반도체 칩(10)에 대한 기본적 파워/그라운드 네트워크의 일부가 이제 도식화된 도 7을 참조함으로써 이해될 수 있다. 온칩 파워 그리드(450)가 파워 레일(455) 및 그라운드 레일(460)로 구성된다. 파워 레일(455) 및 그라운드 레일(460)은 셀(100)과 같은 반도체 칩(10)의 다양한 부분들에 파워 및 그라운드를 제공한다. 셀(100)(도 2 및 도 3에 또한 도시됨)은 실제로, 디커플링 커패시턴스로부터 혜택을 받을 수 있는 임의의 회로 혹은 회로 블럭일 수 있다. 인덕턴스(470) 및 저항(475)은 파워 레일(455)과 관련된다. 인덕턴스(480) 및 저항(485)은 그라운드 레일(460)과 관련된다. 온칩 디커플링 커패시터(490)는 노드(495 및 500)에서 파워 레일(455)과 그라운드 레일(460) 사이에 연결된다. 온칩 커패시터(490)는, 집적 회로들에서 종종 사용되는 공지된 MOS 혹은 다른 타입의 용량성 구조로서 구성될 수 있는 하나 혹은 많은 온칩 커패시터들로 이루어질 수 있다. 추가적으로, UBM 층 및 재배선 층(도 2 및 도 3 참조)의 부분들이 파워 레일(505) 및 그라운드 레일(510)로서 사용된다. 파워 레일(505) 및 그라운드 레일(510)은 각각 노드(495 및 500)에서 온칩 커패시터(490)에 전기적으로 연결된다. 추가적으로, 파워 레일(505) 및 그라운드 레일(510)은 노드(515 및 520)에서 셀(100)에 연결된다. 온칩 커패시터(490)는 UBM 재배선 층 커패시터(525)로 보충될 수 있는바, 이 UBM 재배선 층 커패시터(525)는 노드(530 및 535)에서 파워 레일(455 및 505)에 걸쳐 연결됨과 아울러 노드(540 및 545)에서 그라운드 레일(460 및 510)에 연결된다. UBM/RDL 커패시터(525)는, 예를 들어, 도 3에 도시된 UBM 구조(140), 패시베이션 층 구조(30), 및 전도체 라인들의 그룹(190)을 결합함으로써 간단한 형태로 구현될 수 있다. 선택에 따라서는, UBM/RDL 커패시터(525)는 도 3 및 도 6에 도시된 UBM 층(125) 및 RDL 층(180)의 부분들의 훨씬 더 복잡한 그룹 및 구성으로 이루어질 수 있다. 파워 레일(455)이 그 관련된 인덕턴스(550) 및 저항(555)을 가짐을 이해해야 한다. 유사하게, 그라운드 레일(510)은 그 관련된 인덕턴스(560) 및 저항(565)을 갖는다. 그러나, 도 3에 도시된 바와 같은 UBM 층(125) 및 재배선 층(180)을 사용함으로써, UBM/RDL 커패시터(525)는 셀(100)에 매우 근접하여 배치될 수 있고, 이에 따라 낮은 인덕턴스(550 및 560) 값을 제공하는바, 이는 디바이스 성능을 더 좋게 한다.

[0029] UBM/RDL 커패시터를 형성하는 소자들을 제조하는 예시적 공정이 이제 도 8을 참조함으로써 이해될 수 있는바, 도 8은 그 분해 단면도를 나타낸다. 도 3에 도시된 전도체 라인들의 그룹(185) 및 관련 전도체 패드(215)를 포함하는 RDL(180)의 부분, 그리고 UBM 구조(135)가 도 8에서의 공정을 설명하기 위해 사용될 것이다. 도 8은 반도체 칩(10)과 그 반도체 층(25)의 단지 작은 부분을 나타냄을 이해해야 한다. RDL(180)은, 공지된 리소그래피 공정을 사용하여, 실리콘 옥사이드, 유리 등으로 구성된 레벨간 유전체 층(570)에 적절한 개구들을 확립함으로

써 형성될 수 있다. 금속 물질들이 이 개구들에 중착될 수 있어 전도체 라인들의 그룹(185) 및 관련 전도체 패드(215)를 형성할 수 있다. 전도체 라인들의 그룹(185) 및 관련 전도체 패드(215)는 다양한 전도체 물질들(예를 들어, 알루미늄, 구리, 은, 금, 티타늄, 내화 금속, 내화 금속 화합물, 이들의 합금, 등)로 구성될 수 있고, 그리고 도금, 물리적 기상 중착 혹은 다른 물질 중착 기술에 의해 형성될 수 있다.

[0030] 패시베이션 구조(30)는, 실리콘 나이트라이드 및 비도핑 실리케이트 유리와 같은 절연체 물질들의 하나 이상의 층들을 중착시킴으로써 RDL(180) 상에 형성될 수 있다. 개구(160)가, 공지된 리소그래픽 패터닝 및 에칭 공정에 의해, 패시베이션 층(30) 내에 전도체 패드(215)까지 아래로 형성된다.

[0031] UBM 구조(135)가 패시베이션 층(30) 상에 형성되어 개구(160)가 채우지게 된다. 패드(215)까지 연장하는 부분(580)은 UBM 구조와 통합될 수 있거나 혹은 개별 비아 구조(예를 들어, 도 3에 도시된 비아(245))일 수 있다. UBM 층(125) 전체가 이때 형성될 수 있다. UBM 구조(135)가 다양한 전도체 물질들(예를 들어, 알루미늄, 구리, 은, 금, 티타늄, 내화 금속, 내화 금속 화합물, 이들의 합금 등)로 구성될 수 있다. 단일 구조 대신에, UBM 구조(135)는 복수의 금속 층들의 적층체로 구성될 수 있다(예를 들어, 티타늄 층, 그 다음 니켈-바나듐 층, 그 다음 구리 층). 또 다른 실시예에서, 티타늄 층이 구리 층으로 덮일 수 있으며, 그 다음에 니켈의 상부 코팅이 행해질 수 있다. 그러나, 다양한 전도체 물질들이 UBM 구조(135)를 위해 사용될 수 있음을 숙련된 자는 알 수 있을 것이다. 물리적 기상 중착, 화학적 기상 중착, 도금 등과 같은, 금속 물질들을 도포하기 위한 다양한 공지된 기술들이 사용될 수 있다. 추가적인 전도체 구조들이 UBM 구조(135)와 전도체 패드(215) 사이에 삽입될 수 있음을 이해해야 한다.

[0032] 반도체 칩(10)과, UBM 구조(135)와 그리고 후속적으로 형성되는 솔더 범프(50)의 열팽창에서의 차이에 대항하여(against) 패시베이션(passivation) 및 큐션(cushion)을 제공하기 위해, 폴리머 층(35)이 UBM 층(125) 상에 중착된다. 절연 층(35)을 위한 예시적 물질들은, 예를 들어, 폴리이미드 및 벤조시클로부텐 등과 같은 폴리머 물질 또는 실리콘 나이트라이드 등과 같은 다른 절연 물질들을 포함한다. 스판 코팅, 화학적 기상 중착, 혹은 다른 중착 공정이 사용될 수 있다. 폴리머 층(35)이 UBM 구조(135)의 일부를 노출시키는 개구(105)를 갖도록 리소그래픽으로 패터닝된다.

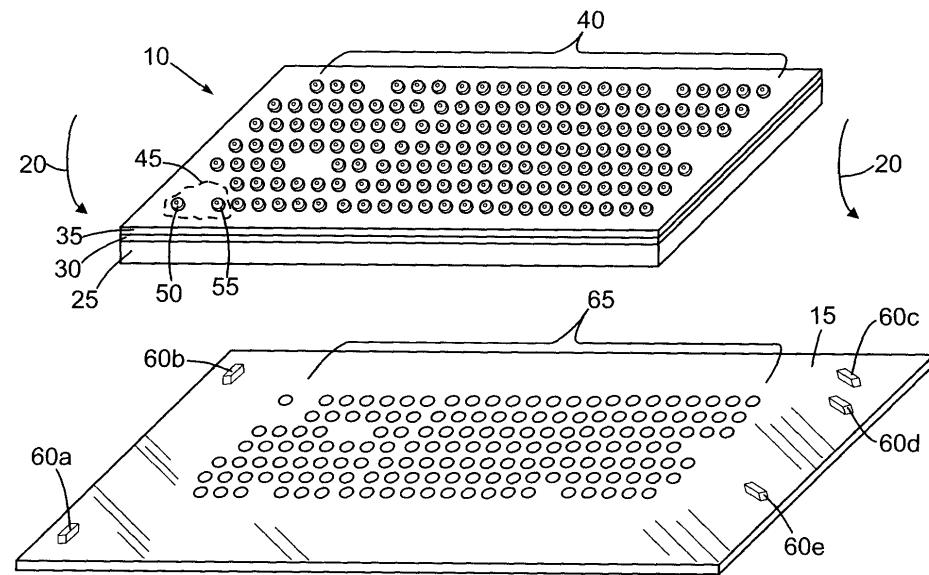
[0033] 솔더 범프(50)를 형성하기 위해, 공지된 성분의 적절한 마스크 혹은 스텐실(미도시)이 폴리머 층(35)에 도포되고, 본 명세서의 다른 부분에서 개시되는 바와 같은 솔더가 도포된다. 마스크가 제거되고, 리플로우 공정이 수행된다. 코이닝 단계(coining step)가 필요한 경우 수행될 수 있다.

[0034] 본 명세서에서 개시되는 예시적 실시예들 중 임의의 실시예는, 예를 들어, 반도체, 자기 디스크, 광학 디스크, 혹은 다른 저장 매체와 같은 컴퓨터 판독가능 매체에 놓이는 명령들로서 구현될 수 있거나 혹은 컴퓨터 데이터 신호로서 구현될 수 있다. 명령들 혹은 소프트웨어가 본 명세서에서 개시되는 회로 구조들을 합성 및/또는 시뮬레이션할 수 있다. 예시적 실시예에서, 카덴스 APD(Cadence APD) 등과 같은 전자 설계 자동 프로그램이, 개시된 회로 구조들을 합성하기 위해 사용될 수 있다. 개시된 회로 구조를 제조하기 위해 결과적인 코드가 사용될 수 있다. 또 다른 예시적 실시예에서, 고주파 SPICE 시뮬레이터(high frequency SPICE simulator) 등과 같은 시뮬레이션 프로그램이, 개시된 회로 구조의 전기적 동작을 시뮬레이션하기 위해 사용될 수 있다.

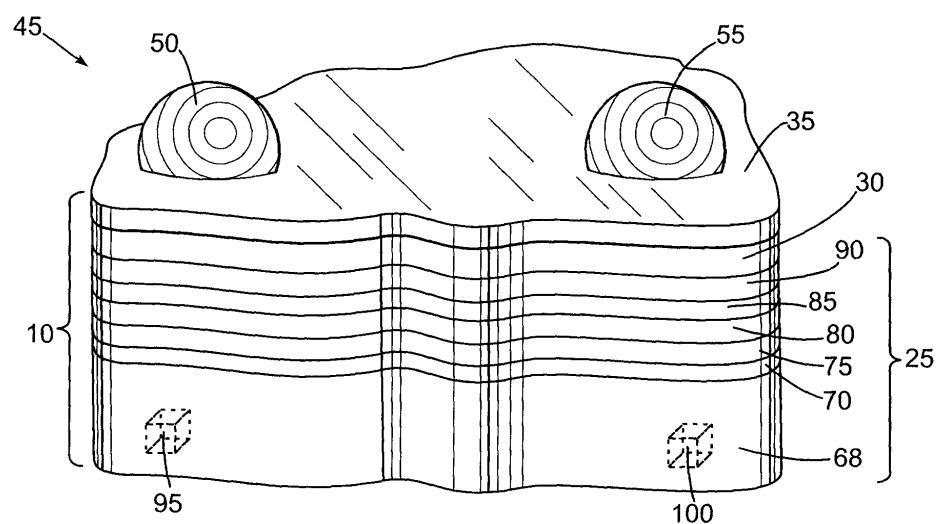
[0035] 본 발명의 다양한 수정 및 대안적 형태들이 가능하며, 특정 실시예들이 예시적으로 도면에서 도시됨과 아울러 본 명세서에서 상세히 설명되었다. 그러나 본 발명이 이 개시되는 특정 형태로만 한정되도록 의도되지 않았음을 이해해야 한다. 오히려, 본 발명은 첨부되는 특허청구범위에 의해 정의되는 바와 같은 본 발명의 사상 및 범위 내에 있는 모든 수정물, 등가물 및 대안물을 포함하는 것이다.

도면

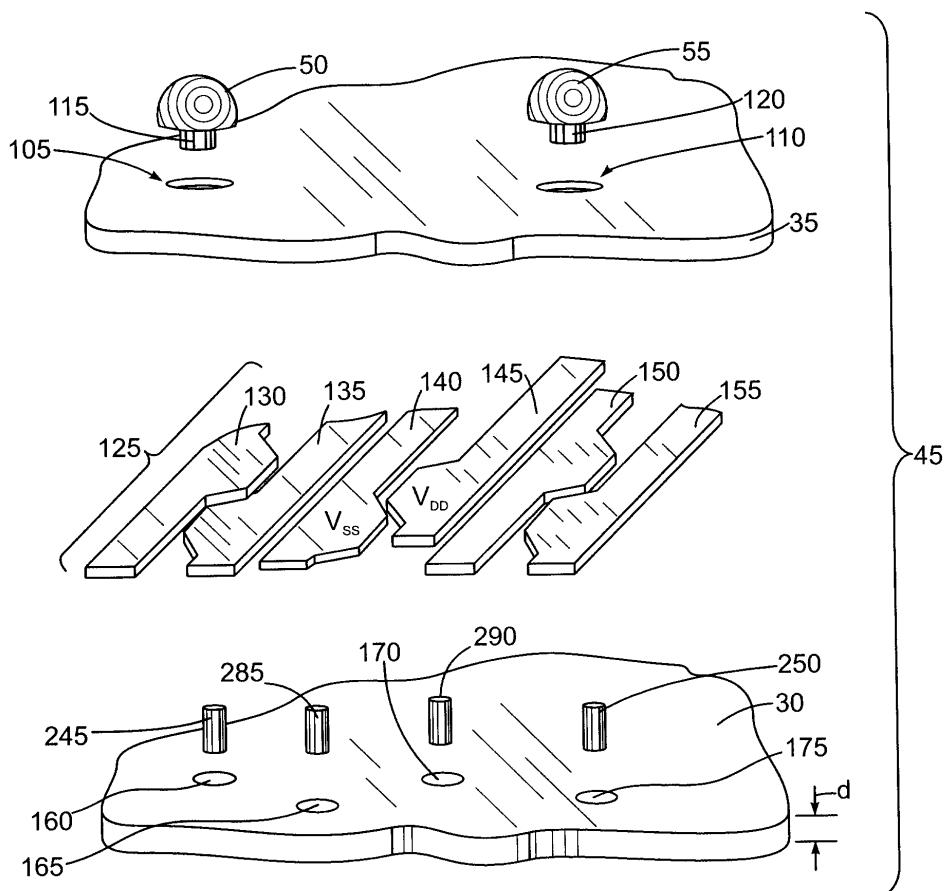
도면1



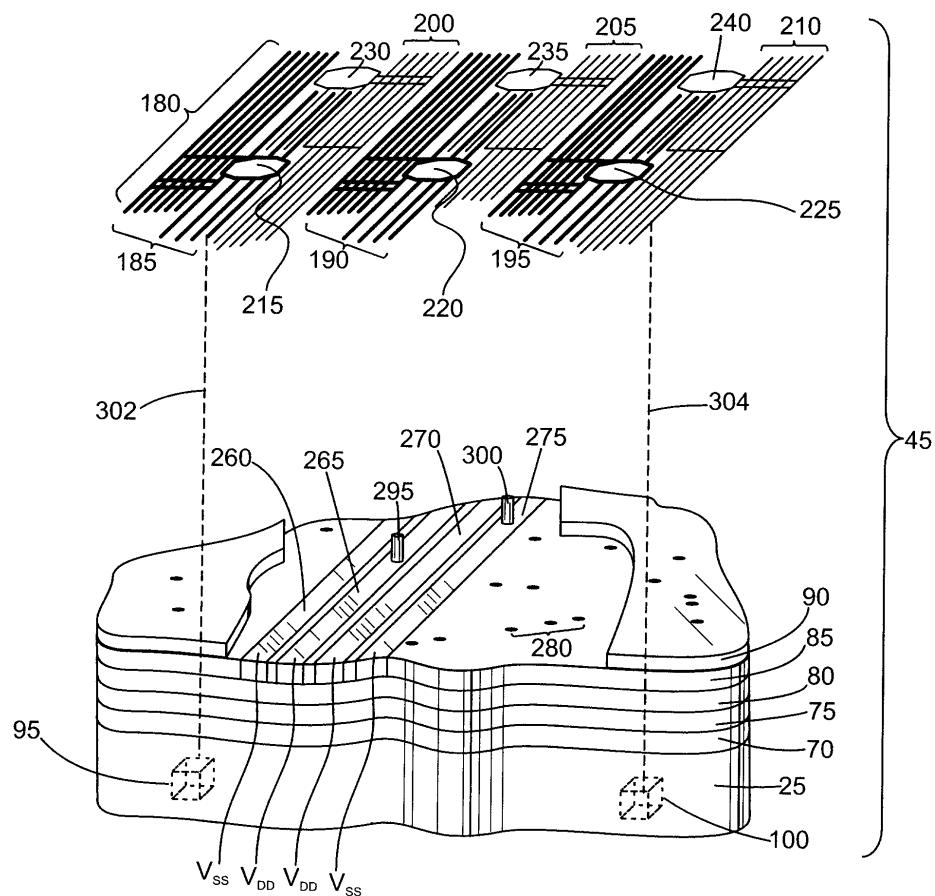
도면2



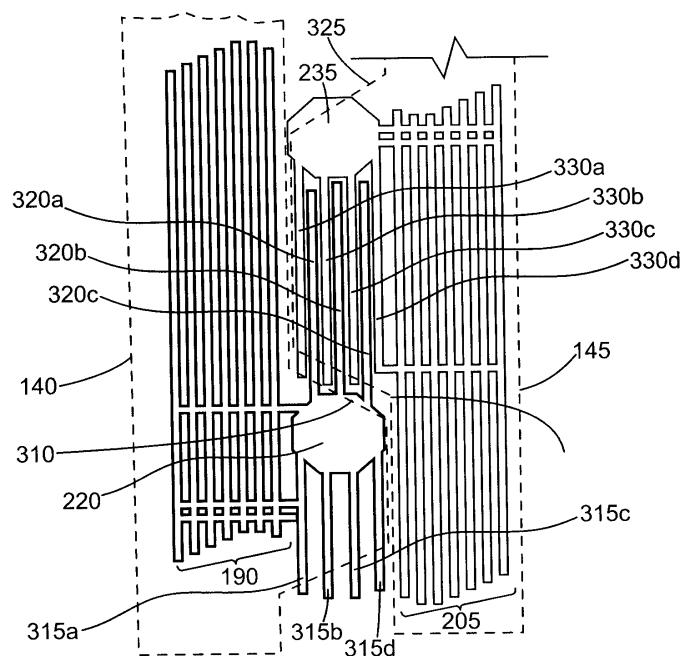
도면3a



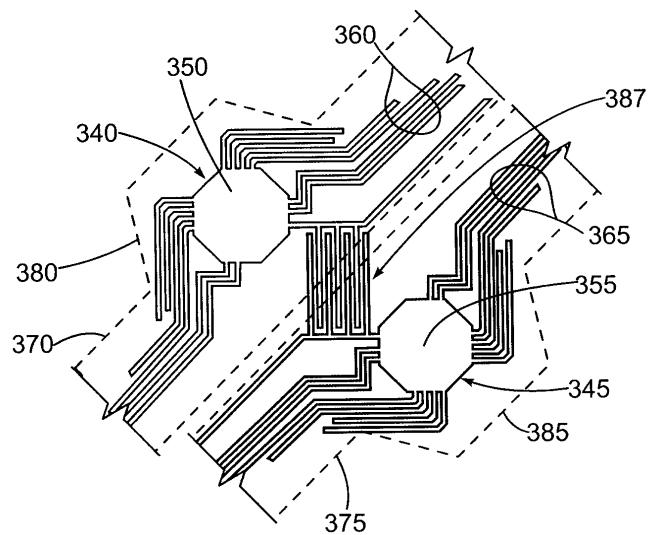
도면3b



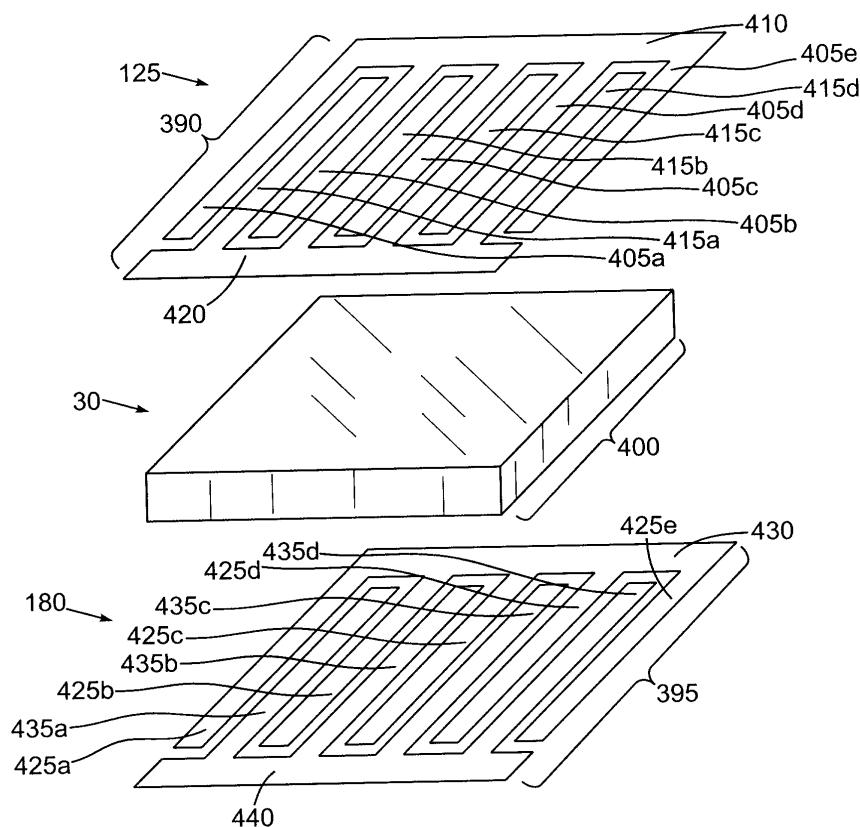
도면4



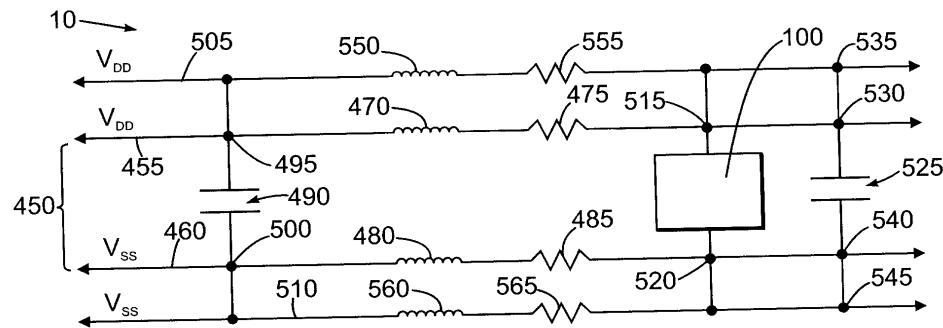
도면5



도면6



도면7



도면8

