

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6064313号
(P6064313)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl.

F I

G 0 9 G 3/3291 (2016.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/3291

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 2 3 C

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 4 1 D

請求項の数 8 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2011-228886 (P2011-228886)
 (22) 出願日 平成23年10月18日(2011.10.18)
 (65) 公開番号 特開2013-88611 (P2013-88611A)
 (43) 公開日 平成25年5月13日(2013.5.13)
 審査請求日 平成26年10月2日(2014.10.2)

前置審査

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100125689
 弁理士 大林 章
 (74) 代理人 100128598
 弁理士 高田 聖一
 (74) 代理人 100121108
 弁理士 高橋 太朗
 (72) 発明者 太田 人嗣
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 石黒 英人
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】電気光学装置、電気光学装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項1】

走査線と、

データ線と、

前記走査線と前記データ線との交差に対応して設けられた画素回路と、

駆動回路と、

を有し、

前記画素回路は、

発光素子と、

前記発光素子に電氣的に接続されたときに、前記発光素子に供給する電流を制御する第

1 トランジスターと、

前記データ線と前記第1 トランジスターのゲートとの間に接続されて、オンまたはオフする第2 トランジスターと、

を含み、

前記駆動回路は、

一端が前記データ線に接続された第1 保持容量を含み、

第1 期間に、

前記第2 トランジスターをオンさせた状態で、前記データ線に初期電位を供給し、

前記第1 期間に続く第2 期間に、

前記第2 トランジスターをオンさせた状態で、階調レベルに応じたデータ電位を前記第

10

20

1 保持容量の他端に供給し、
前記第 2 期間の後に、
前記第 2 トランジスターをオフさせ、
前記データ線の電位を保持する第 4 保持容量と、前記データ線に沿って設けられた給電線と、をさらに備え、
前記第 4 保持容量の一端は、前記データ線に接続され、
前記第 4 保持容量の他端は、前記給電線に接続される
ことを特徴とする電気光学装置。

【請求項 2】

前記駆動回路は、
第 1 スイッチと、
前記第 1 保持容量の他端に前記第 1 スイッチを介して接続され、前記データ電位を保持する第 2 保持容量と、
をさらに備える
ことを特徴とする請求項 1 に記載の電気光学装置。

10

【請求項 3】

前記画素回路は、
前記第 1 トランジスターと前記発光素子との間に接続されて、オンまたはオフする第 3 トランジスターを有し、
前記駆動回路は、
前記第 2 期間の後に、前記第 3 トランジスターをオンさせる
ことを特徴とする請求項 1 又は請求項 2 に記載の電気光学装置。

20

【請求項 4】

前記駆動回路は、
前記第 1 期間の前に、前記第 3 トランジスターをオフさせる
ことを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】

前記駆動回路は、
前記第 1 期間の前に、
前記第 2 トランジスターをオフさせた状態で、前記データ線への前記初期電位の供給を開始する
ことを特徴とする請求項 1 に記載の電気光学装置。

30

【請求項 6】

前記画素回路は、
前記第 1 トランジスターのゲート・ソース間の電圧を保持する第 3 保持容量を含む、
ことを特徴とする請求項 1 乃至 5 のいずれかに記載の電気光学装置。

【請求項 7】

前記画素回路は、
前記給電線と前記発光素子との間に接続されて、オンまたはオフする第 4 トランジスターを有し、
前記駆動回路は、前記第 1 期間内に、前記第 4 トランジスターをオンさせる
ことを特徴とする請求項 1 乃至 6 のいずれかに記載の電気光学装置。

40

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の電気光学装置を備える
ことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば画素回路が微細化したときに有効な電気光学装置、電気光学装置の駆動方法および電子機器に関する。

50

【背景技術】

【0002】

近年、有機発光ダイオード（Organic Light Emitting Diode、以下「OLED」という）素子などの発光素子を用いた電気光学装置が各種提案されている。この電気光学装置では、走査線とデータ線との交差に対応して、上記発光素子やトランジスタなどを含む画素回路が、表示すべき画像の画素に対応して設けられる構成が一般的である。このような構成において、画素の階調レベルに応じた電位のデータ信号が当該トランジスタのゲートに印加されると、当該トランジスタは、ゲート・ソース間の電圧に応じた電流を発光素子に供給する。これにより、当該発光素子は、階調レベルに応じた輝度で発光する（例えば特許文献1参照）。

10

また、電気光学装置に対して、表示サイズの小型化や表示の高精細化が要求されることが多い。表示サイズの小型化と表示の高精細化とを両立するためには、画素回路を微細化する必要があるので、電気光学装置を例えばシリコン集積回路に設ける技術も提案されている（例えば特許文献2参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-316462号公報

【特許文献2】特開2009-288435号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0004】

ところで、画素回路を微細化したとき、発光素子への供給電流を微小領域で制御する必要がある。発光素子に供給される電流は、トランジスタのゲート・ソース間の電圧によって制御されるが、微小領域では、ゲート・ソース間の電圧のわずかな変化に対して、発光素子に供給される電流が大きく変化してしまう。

一方、データ信号を出力する回路は、データ線を短時間で充電するために、その駆動能力が高められている。このように高い駆動能力を有する回路において、非常に細かい精度でデータ信号を出力させることは困難である。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、細かい精度のデータ信号を必要としない一方で、発光素子に供給する電流を精度良く制御することが可能な電気光学装置、電気光学装置の駆動方法および電子機器を提供することにある。

30

【課題を解決するための手段】

【0005】

上記目的を達成するために本発明に係る電気光学装置にあつては、走査線と、データ線と、前記走査線と前記データ線との交差に対応して設けられた画素回路と、駆動回路と、を有し、前記画素回路は、電気光学素子と、前記電気光学素子に電氣的に接続されたときに、前記電気光学素子に供給する電流を制御する第1トランジスタと、前記データ線と前記第1トランジスタのゲートとの間に接続されて、オンまたはオフする第2トランジスタと、を含み、前記駆動回路は、一端が前記データ線に接続された第1保持容量を含み、前記駆動回路は、第1期間に、前記第2トランジスタをオンさせた状態で、前記データ線に初期電位を供給し、前記第1期間に続く第2期間に、前記第2トランジスタをオンさせた状態で、階調レベルに応じたデータ電位を前記第1保持容量の他端に供給し、前記第2期間の後に、前記第2トランジスタをオフさせることを特徴とする。本発明によれば、第1期間では、データ線とともに第1トランジスタのゲートが初期電位に第2保持容量によって保持される。第2期間に、第2トランジスタをオンさせた状態で、階調レベルに応じた電位のデータ信号が第1保持容量の他端に供給されたとき、データ線および第1トランジスタのゲートの電位は、当該第1保持容量の他端における電位変動を第1保持容量および第2保持容量の容量比で分圧した分だけシフトする。このため、本発明によれば、第1トランジスタのゲートにおける電位範囲は、データ信号の電位範囲に

40

50

対し狭められるので、第1トランジスタのゲート・ソース間の電圧変化に対する電流変化が大きい場合にも、正確に電流を制御することができる。

【0006】

本発明において、前記駆動回路は、第1スイッチと、前記第1保持容量の他端に前記第1スイッチを介して接続され、前記データ電位を保持する第2保持容量と、をさらに備える構成が好ましい。この構成において、前記画素回路は、前記第1トランジスタと前記発光素子との間に接続されて、オンまたはオフする第3トランジスタを有し、前記駆動回路は、前記第2期間の後に、前記第3トランジスタをオンさせても良く、前記第1期間の前に、前記第3トランジスタをオフさせても良い。

前記駆動回路は、前記第1期間の前に、前記第2トランジスタをオフさせた状態で、前記データ線への前記初期電位の供給を開始しても良い。前記画素回路は、前記第1トランジスタのゲート・ソース間の電圧を保持する第3保持容量を含む構成としても良い。前記データ線の電位を保持する第4保持容量をさらに備えても良い。

給電線をさらに備え、前記第4保持容量の一端は、前記データ線に接続され、前記第4保持容量の他端は、前記給電線に接続される構成としても良いし、この構成において、前記画素回路は、前記給電線と前記発光素子との間に接続されて、オンまたはオフする第4トランジスタを有し、前記駆動回路は、前記第1期間内に、前記第4トランジスタをオンさせても良い。

【0007】

また、本発明の別の態様に係る電気光学装置にあっては、走査線と、データ線と、前記走査線と前記データ線との交差に対応して設けられた画素回路と、駆動回路と、を有し、前記画素回路は、発光素子と、前記発光素子に接続されたときに、前記発光素子に供給する電流を制御する第1トランジスタと、前記データ線と前記第1トランジスタのゲートとの間に接続されて、オンまたはオフする第2トランジスタと、を含み、前記駆動回路は、一端が前記データ線に接続された第1保持容量と、第1入力端と前記第1保持容量の他端に接続された第1出力端とを備えた第1スイッチと、データ電位が供給される第2入力端と前記第1スイッチの前記第1入力端に接続された第2出力端とを備える第2スイッチと、前記第1スイッチの前記第1入力端及び前記第2スイッチの前記第2出力端の電位を保持する保持部と、を含むことを特徴とする。

本発明のさらに別の態様に係る電気光学装置にあっては、走査線と、データ線と、前記走査線と前記データ線との交差に対応して設けられた画素回路と、駆動回路と、を有し、走査線と、第1データ線と、第2データ線と、前記走査線と前記第1データ線との交差に対応して設けられた第1画素回路と、前記走査線と前記第2データ線との交差に対応して設けられた第2画素回路と、駆動回路と、を有し、前記第1画素回路及び前記第2画素回路の各々は、発光素子と、前記発光素子に接続されたときに、前記発光素子に供給する電流を制御する第1トランジスタと、前記第1データ線又は第2データ線と前記第1トランジスタのゲートとの間に接続されて、オンまたはオフする第2トランジスタと、を含み、前記駆動回路は、一端が前記第1データ線に接続された第1保持容量と、一端が前記第2データ線に接続された第2保持容量と、第1入力端と前記第1保持容量の他端に接続された第1出力端とを備えた第1スイッチと、第2入力端と前記第2保持容量の他端に接続された第2出力端とを備えた第2スイッチと、共通端子に供給された第1データ電位を前記第1スイッチの前記第1入力端に供給し、前記共通端子に供給された第2データ電位を前記第2スイッチの前記第2入力端に供給するデマルチプレクサと、前記第1スイッチの入力端の電位を保持する第1保持部と、前記第2スイッチの入力端の電位を保持する第2保持部と、を含む構成を特徴とする。

この構成において、前記駆動回路は、第1期間に、前記第1画素回路及び前記第2画素回路において前記第2トランジスタをオンさせた状態で、前記第1データ線及び第2データ線に初期電位を供給し、第2期間に、前記デマルチプレクサを制御して、前記第1データ電位を前記第1保持部によって保持させるとともに、前記第2データ電位を前記第2保持部によって保持させ、前記第2期間の後の第3期間に、前記第2トランジスタをオ

10

20

30

40

50

ンさせた状態で前記第 1 スイッチ及び前記第 2 スイッチを制御して、前記第 1 保持部によって保持した前記第 1 データ電位を前記第 1 保持容量の他端に供給し、前記第 2 保持部によって保持した前記第 2 データ電位を前記第 2 保持容量の他端に供給し、前記第 3 期間の後に、前記第 2 トランジスターをオフさせ、前記第 1 期間は、前記第 2 期間の少なくとも一部と重なる期間であっても良い。

なお、本発明は、電気光学装置のほか、電気光学装置の駆動方法や、当該電気光学装置を有する電子機器として概念することも可能である。電子機器としては、典型的にはヘッドマウント・ディスプレイ（HMD）や電子ビューファインダーなどの表示装置が挙げられる。

【図面の簡単な説明】

10

【0008】

【図 1】本発明の第 1 実施形態に係る電気光学装置の構成を示す斜視図である。

【図 2】同電気光学装置の構成を示す図である。

【図 3】同電気光学装置における画素回路を示す図である。

【図 4】同電気光学装置の動作を示すタイミングチャートである。

【図 5】同電気光学装置の動作説明図である。

【図 6】同電気光学装置の動作説明図である。

【図 7】同電気光学装置の動作説明図である。

【図 8】同電気光学装置の動作説明図である。

【図 9】同電気光学装置の動作説明図である。

20

【図 10】同電気光学装置におけるデータ信号の振幅圧縮を示す図である。

【図 11】第 2 実施形態に係る電気光学装置の構成を示す図である。

【図 12】同電気光学装置における画素回路を示す図である。

【図 13】同電気光学装置の動作を示すタイミングチャートである。

【図 14】同電気光学装置の動作説明図である。

【図 15】同電気光学装置の動作説明図である。

【図 16】同電気光学装置の動作説明図である。

【図 17】同電気光学装置の動作説明図である。

【図 18】同電気光学装置におけるトランジスターの特性を示す図である。

【図 19】第 3 実施形態に係る電気光学装置の構成を示す図である。

30

【図 20】同電気光学装置の動作を示すタイミングチャートである。

【図 21】同電気光学装置の動作説明図である。

【図 22】同電気光学装置の動作説明図である。

【図 23】同電気光学装置の動作説明図である。

【図 24】同電気光学装置の動作説明図である。

【図 25】実施形態等に係る電気光学装置を用いた HMD を示す斜視図である。

【図 26】HMD の光学構成を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明を実施するための形態について図面を参照して説明する。

40

【0010】

< 第 1 実施形態 >

図 1 は、本発明の実施形態に係る電気光学装置 10 の構成を示す斜視図である。

電気光学装置 10 は、例えばヘッドマウント・ディスプレイにおいて画像を表示するマイクロ・ディスプレイである。電気光学装置 10 の詳細については後述するが、複数の画素回路や当該画素回路を駆動する駆動回路などが例えばシリコン基板に形成された有機 EL 装置であり、画素回路には、発光素子の一例である OLED が用いられている。

電気光学装置 10 は、表示部で開口する枠状のケース 72 に収納されるとともに、FPC（Flexible Printed Circuits）基板 74 の一端が接続されている。FPC 基板 74 には、半導体チップの制御回路 5 が、COF（Chip On Film）技術によって実装されるとと

50

もに、複数の端子 76 が設けられて、図示省略された上位回路に接続される。当該上位回路から複数の端子 76 を介して画像データが同期信号に同期して供給される。同期信号には、垂直同期信号や、水平同期信号、ドットクロック信号が含まれる。また、画像データは、表示すべき画像の画素の階調レベルを例えば 8 ビットで規定する。

制御回路 5 は、電気光学装置 10 の電源回路とデータ信号出力回路との機能を兼用するものである。すなわち、制御回路 5 は、同期信号にしたがって生成した各種の制御信号や各種電位を電気光学装置 10 に供給するほか、デジタルの画像データをアナログのデータ信号に変換して、電気光学装置 10 に供給する。

【0011】

図 2 は、第 1 実施形態に係る電気光学装置 10 の構成を示す図である。この図に示されるように、電気光学装置 10 は、走査線駆動回路 20 と、デマルチプレクサ 30 と、レベルシフト回路 40 と、表示部 100 とに大別される。

このうち、表示部 100 には、表示すべき画像の画素に対応した画素回路 110 がマトリクス状に配列されている。詳細には、表示部 100 において、 m 行の走査線 12 が図において横方向に延在して設けられ、また、3 列毎にグループ化された $(3n)$ 列のデータ線 14 が図において縦方向に延在し、かつ、各走査線 12 と互いに電氣的な絶縁を保って設けられている。そして、 m 行の走査線 12 と $(3n)$ 列のデータ線 14 との交差部に対応して画素回路 110 が設けられている。このため、本実施形態において画素回路 110 は、縦 m 行 \times 横 $(3n)$ 列でマトリクス状に配列されている。

【0012】

ここで、 m 、 n は、いずれも自然数である。走査線 12 および画素回路 110 のマトリクスのうち、行 (ロウ) を区別するために、図において上から順に 1、2、3、...、 $(m-1)$ 、 m 行と呼ぶ場合がある。同様にデータ線 14 および画素回路 110 のマトリクスの列 (カラム) を区別するために、図において左から順に 1、2、3、...、 $(3n-1)$ 、 $(3n)$ 列と呼ぶ場合がある。また、データ線 14 のグループを一般化して説明するために、1 以上 n 以下の整数 j を用いると、左から数えて j 番目のグループには、 $(3j-2)$ 列目、 $(3j-1)$ 列目および $(3j)$ 列目のデータ線 14 が属している、ということになる。

なお、同一行の走査線 12 と同一グループに属する 3 列のデータ線 14 との交差に対応した 3 つの画素回路 110 は、それぞれ R (赤)、G (緑)、B (青) の画素に対応して、これらの 3 画素が表示すべきカラー画像の 1 ドットを表現する。すなわち、本実施形態では、RGB に対応した OLED の発光によって 1 ドットのカラーを加法混色で表現する構成となっている。

【0013】

さて、電気光学装置 10 には、次のような制御信号が制御回路 5 によって供給される。詳細には、電気光学装置 10 には、走査線駆動回路 20 を制御するための制御信号 C_{tr} と、デマルチプレクサ 30 での選択を制御するための制御信号 $Sel(1)$ 、 $Sel(2)$ 、 $Sel(3)$ と、これらの信号に対して論理反転の関係にある制御信号 $\neg Sel(1)$ 、 $\neg Sel(2)$ 、 $\neg Sel(3)$ と、レベルシフト回路 40 を制御するための負論理の制御信号 $\neg G_{ini}$ とが供給される。なお、制御信号 C_{tr} には、実際にはパルス信号や、クロック信号、イネーブル信号など、複数の信号が含まれる。

また、電気光学装置 10 には、デマルチプレクサ 30 での選択タイミングに合わせてデータ信号 $V_d(1)$ 、 $V_d(2)$ 、...、 $V_d(n)$ が、1、2、...、 n 番目のグループに対応して制御回路 5 によって供給される。なお、データ信号 $V_d(1) \sim V_d(n)$ が取り得る電位の最高値を V_{max} とし、最低値を V_{min} とする。

【0014】

走査線駆動回路 20 は、フレームの期間にわたって走査線 12 を 1 行毎に順番に走査するための走査信号を、制御信号 C_{tr} にしたがって生成するものである。ここで、1、2、3、...、 $(m-1)$ 、 m 行目の走査線 12 に供給される走査信号を、それぞれ $G_{wr}(1)$ 、 $G_{wr}(2)$ 、 $G_{wr}(3)$ 、...、 $G_{wr}(m-1)$ 、 $G_{wr}(m)$ と表記している。

なお、走査線駆動回路 20 は、走査信号 $Gwr(1) \sim Gwr(m)$ のほかにも、当該走査信号に同期した各種の制御信号を行毎に生成して表示部 100 に供給するが、図 2 においては図示を省略している。また、フレームの期間とは、電気光学装置 10 が 1 カット (コマ) 分の画像を表示するのに要する期間をいい、例えば同期信号に含まれる垂直同期信号の周波数が 120 Hz であれば、その 1 周期分の 8.3 ミリ秒の期間である。

【0015】

デマルチプレクサ 30 は、列毎に設けられたトランスミッションゲート 34 の集合体であり、各グループを構成する 3 列に、データ信号を順番に供給するものである。

ここで、 j 番目のグループに属する $(3j - 2)$ 、 $(3j - 1)$ 、 $(3j)$ 列に対応したトランスミッションゲート 34 の入力端は互いに共通接続されて、その共通端子にそれぞれデータ信号 $Vd(j)$ が供給される。

10

j 番目のグループにおいて左端列である $(3j - 2)$ 列に設けられたトランスミッションゲート 34 は、制御信号 $Sel(1)$ が H レベルであるとき (制御信号 / $Sel(1)$ が L レベルであるとき) にオン (導通) する。同様に、 j 番目のグループにおいて中央列である $(3j - 1)$ 列に設けられたトランスミッションゲート 34 は、制御信号 $Sel(2)$ が H レベルであるとき (制御信号 / $Sel(2)$ が L レベルであるとき) にオンし、 j 番目のグループにおいて右端列である $(3j)$ 列に設けられたトランスミッションゲート 34 は、制御信号 $Sel(3)$ が H レベルであるとき (制御信号 / $Sel(3)$ が L レベルであるとき) にオンする。

【0016】

レベルシフト回路 40 は、保持容量 44 と P チャネル MOS 型のトランジスタ 45 と N チャネル MOS 型のトランジスタ 46 との組を列毎にそれぞれ有し、各列のトランスミッションゲート 34 の出力端から出力されるデータ信号の電位をシフトするものである。ここで、保持容量 44 の一端は、対応する列のデータ線 14 とトランジスタ 45 のドレインノードとに接続される一方、保持容量 44 の他端は、トランスミッションゲート 34 の出力端とトランジスタ 46 のドレインノードとに接続される。このため、保持容量 44 は、一端がデータ線 14 に接続された第 1 保持容量として機能する。また、図 2 では省略しているが、保持容量 44 の容量を $Crf1$ とする。

20

【0017】

各列のトランジスタ 45 のソースノードには初期電位 $Vini$ が各列にわたって共通に給電され、ゲートノードには制御信号 / $Gini$ が各列にわたって共通に供給される。また、各列のトランジスタ 46 のソースノードには、電位 $Vref$ が各列にわたって共通に給電され、ゲートノードには、制御信号 / $Gini$ を NOT 回路 18 によって論理反転した信号が各列にわたって共通に供給される。

30

したがって、本実施形態において、各列のトランジスタ 45、46 は、制御信号 / $Gini$ が L レベルであるときに一斉にオンし、制御信号 / $Gini$ が H レベルであるときに一斉にオフする構成となっている。

【0018】

保持容量 50 は、データ線 14 毎に設けられている。詳細には、保持容量 50 の一端はデータ線 14 に接続され、他端は、各列にわたって共通の例えば電位 Vss に接地されている。このため、保持容量 50 は、データ線 14 の電位を保持する第 2 保持容量として機能する。

40

なお、保持容量 50 については、図 2 では表示部 100 の外側に設けられているが、これはあくまでも等価回路であり、表示部 100 の内側、または、内側から外側にわたって設けられも良いのはもちろんである。また、図 2 では省略しているが、保持容量 50 の容量を Cdt とする。電位 Vss は、論理信号である走査信号や制御信号の L レベルに相当する。

【0019】

本実施形態では、便宜的に走査線駆動回路 20、デマルチプレクサ 30 およびレベルシフト回路 40 に分けているが、これらについては、画素回路 110 を駆動する駆動回路としてまとめて概念することが可能である。

50

【 0 0 2 0 】

図 3 を参照して画素回路 1 1 0 について説明する。各画素回路 1 1 0 については電氣的にみれば互いに同一構成なので、ここでは、 i 行目であって、 j 番目のグループのうち左端列の $(3j - 2)$ 列目に位置する i 行 $(3j - 2)$ 列の画素回路 1 1 0 を例にとって説明する。

なお、 i は、画素回路 1 1 0 が配列する行を一般的に示す場合の記号であって、1 以上 m 以下の整数である。

【 0 0 2 1 】

図 3 に示されるように、画素回路 1 1 0 は、P チャネル MOS 型のトランジスタ 1 2 1、1 2 2、1 2 4 と、OLED 1 3 0 と、保持容量 1 3 2 とを含む。

この画素回路 1 1 0 には、走査信号 $Gwr(i)$ 、制御信号 $Gel(i)$ が供給される。ここで、走査信号 $Gwr(i)$ 、制御信号 $Gel(i)$ は、それぞれ i 行目に対応して走査線駆動回路 2 0 によって供給されるものである。このため、走査信号 $Gwr(i)$ 、制御信号 $Gel(i)$ は、 i 行目であれば、着目している $(3j - 2)$ 列以外の他の列の画素回路にも共通に供給される。

【 0 0 2 2 】

i 行 $(3j - 2)$ 列の画素回路 1 1 0 におけるトランジスタ 1 2 2 にあっては、ゲートノードが i 行目の走査線 1 2 に接続され、ドレインまたはソースノードの一方が $(3j - 2)$ 列目のデータ線 1 4 に接続され、他方がトランジスタ 1 2 1 におけるゲートノードと、保持容量 1 3 2 の一端とにそれぞれ接続されている。ここで、トランジスタ 1 2 1 のゲートノードについては、他のノードと区別するために g と表記する。

トランジスタ 1 2 1 にあっては、ソースノードが給電線 1 1 6 に接続され、ドレインノードがトランジスタ 1 2 4 のソースノードに接続されている。ここで、給電線 1 1 6 には、画素回路 1 1 0 において電源の高位側となる電位 Vel が給電される。

トランジスタ 1 2 4 にあって、ゲートノードには i 行目に対応した制御信号 $Gel(i)$ が供給され、ドレインノードが OLED 1 3 0 のアノードに接続されている。

ここで、トランジスタ 1 2 1 が第 1 トランジスタに相当し、トランジスタ 1 2 2 が第 2 トランジスタに相当し、トランジスタ 1 2 4 が第 3 トランジスタに相当する。

【 0 0 2 3 】

保持容量 1 3 2 の他端は、給電線 1 1 6 に接続される。このため、保持容量 1 3 2 は、トランジスタ 1 2 1 のソース・ドレイン間の電圧を保持する第 3 保持容量として機能する。ここで、保持容量 1 3 2 の容量を C_{pix} と表記したとき、保持容量 5 0 の容量 C_{dt} と、保持容量 4 4 の容量 C_{rf1} と、保持容量 1 3 2 の容量 C_{pix} とは、

$$C_{dt} > C_{rf1} > C_{pix}$$

となるように設定される。

すなわち、 C_{dt} は C_{rf1} よりも大きく、 C_{pix} は C_{dt} および C_{rf1} よりも十分に小さくなるように設定される。

なお、保持容量 1 3 2 としては、トランジスタ 1 2 1 のゲートノード g に寄生する容量を用いても良いし、シリコン基板において互いに異なる導電層で絶縁層を挟持することによって形成される容量を用いても良い。

【 0 0 2 4 】

本実施形態において電気光学装置 1 0 はシリコン基板に形成されるので、トランジスタ 1 2 1、1 2 2、1 2 4 の基板電位については電位 Vel としている。

【 0 0 2 5 】

OLED 1 3 0 のアノードは、画素回路 1 1 0 毎に個別に設けられる画素電極である。これに対して、OLED 1 3 0 のカソードは、画素回路 1 1 0 のすべてにわたって共通の共通電極 1 1 8 であり、画素回路 1 1 0 において電源の低位側となる電位 V_{ct} に保たれている。

OLED 1 3 0 は、上記シリコン基板において、アノードと光透過性を有するカソードとで白色有機 EL 層を挟持した素子である。そして、OLED 1 3 0 の出射側（カソード

10

20

30

40

50

側)にはRGBのいずれかに対応したカラーフィルタが重ねられる。

このようなOLED130において、アノードからカソードに電流が流れると、アノードから注入された正孔とカソードから注入された電子とが有機EL層で再結合して励起子が生成され、白色光が発生する。このときに発生した白色光は、シリコン基板(アノード)とは反対側のカソードを透過し、カラーフィルタによる着色を経て、観察者側に視認される構成となっている。

【0026】

<第1実施形態の動作>

図4を参照して電気光学装置10の動作について説明する。図4は、電気光学装置10における各部の動作を説明するためのタイミングチャートである。なお、この図において、電圧振幅を示す縦スケールは、説明便宜のために必ずしも一致していない(以下の図13、図20においても同様である)。

10

【0027】

この図に示されるように、走査信号Gwr(1)~Gwr(m)が順次Lレベルに切り替えられて、1フレームの期間において1~m行目の走査線12が1水平走査期間(H)毎に順番に走査される。

1水平走査期間(H)での動作は、各行の画素回路110にわたって共通である。そこで以下については、i行目が水平走査される走査期間において、特にi行(3j-2)列の画素回路110について着目して動作を説明する。

【0028】

20

本実施形態ではi行目の走査期間は、大別すると、図4において(b)で示される初期化期間と(d)で示される書込期間とに分けられる。そして、(d)の書込期間の後、間をおいて(a)で示されるの発光期間となり、1フレームの期間経過後に再びi行目の走査期間に至る。このため、時間の順でいえば、(発光期間) 初期化期間 書込期間 (発光期間)というサイクルの繰り返しとなる。

なお、図4において、i行目に対し1行前の(i-1)行目に対応する走査信号Gwr(i-1)、制御信号Gel(i-1)の各々については、i行目に対応する走査信号Gwr(i)、制御信号Gel(i)よりも、それぞれ時間的に1水平走査期間(H)だけ時間的に先行した波形となる。

【0029】

30

<発光期間>

説明の便宜上、初期化期間の前提となる発光期間から説明する。図4に示されるように、i行目の発光期間では、走査信号Gwr(i)がHレベルであり、制御信号Gel(i)はLレベルである。

このため、図5に示されるようにi行(3j-2)列の画素回路110においては、トランジスタ124がオンする一方、トランジスタ122がオフする。したがって、トランジスタ121は、保持容量132によって保持された電圧、すなわちゲート・ソース間の電圧Vgsに応じた電流IdsをOLED130に供給する。後述するように発光期間におけるゲートノードgの電位は、階調レベルに応じた電位のデータ信号を保持容量44、50の容量比に応じてレベルシフトした値であるので、電圧Vgsについては、階調に応じた電圧ということになる。このため、トランジスタ121は、階調レベルに応じた電流を供給するので、OLED130は、当該電流に応じた輝度で発光することになる。

40

【0030】

なお、i行目の発光期間は、i行目以外が水平走査される期間であるから、データ線14の電位は適宜変動する。ただし、i行目の画素回路110においては、トランジスタ122がオフしているので、ここでは、データ線14の電位変動を考慮していない。

また、図5においては、動作説明で重要となる経路を太線で示している(以下の図6~図9、図14~図17、図21~図24においても同様である)。

【0031】

<初期化期間>

50

次に i 行目の走査期間に至ると、まず、(b)の初期化期間が開始する。初期化期間では、発光期間と比較して、制御信号 $G_{el}(i)$ が H レベルになる。

このため、図 6 に示されるように、 i 行 ($3j - 2$) 列の画素回路 110 においてはトランジスタ 124 がオフする。これによって O L E D 130 に供給される電流の経路が遮断されるので、O L E D 130 は、オフ (非発光) 状態となる。

一方、初期化期間においては制御信号 $/G_{ini}$ が L レベルになるので、レベルシフト回路 40 においては、図 6 に示されるようにトランジスタ 45、46 がそれぞれオンする。このため、保持容量 44 の一端であるデータ線 14 は電位 V_{ini} に、保持容量 44 の他端であるノード h は電位 V_{ref} に、それぞれ初期化される。

【 0 0 3 2 】

10

初期化期間では、続いて制御信号 $/G_{ini}$ が L レベルの状態、走査信号 $G_{wr}(i)$ が L レベルとなる (第 1 期間)。このため、図 7 に示されるように、 i 行 ($3j - 2$) 列の画素回路 110 ではトランジスタ 122 がオンするので、ゲートノード g がデータ線 14 に電氣的に接続された状態になる。したがって、ゲートノード g も電位 V_{ini} になるので、保持容量 132 の保持電圧は、発光期間において保持していた電圧から、($V_{el} - V_{ini}$) に初期化される。

【 0 0 3 3 】

< 書込期間 >

初期化期間の後、第 2 期間として (d) の書込期間に至る。書込期間では、走査信号 $G_{wr}(i)$ が L レベルの状態、走査信号 $/G_{ini}$ が H レベルになるので、レベルシフト回路 40 20

このため、図 8 に示されるように、($3j - 2$) 列目のデータ線 14 から i 行 ($3j - 2$) 列の画素回路 110 におけるゲートノード g に至るまでの経路は、フローティング状態になるものの、保持容量 50 の他端が電位 V_{ss} に接地され、保持容量 132 の他端が給電線 116 に接続されているので、トランスミッションゲート 34 のオンによってデータ信号が供給されるまで、電位 V_{ini} に維持される。

【 0 0 3 4 】

制御回路 5 は、 i 行目の書込期間において次のようなデータ信号を出力する。すなわち、制御回路 5 は、 j 番目のグループでいえば、データ信号 $V_d(j)$ を順番に、 i 行目であって当該グループに属する左端列の ($3j - 2$) 列、中央列の ($3j - 1$) 列、右端列の ($3j$) 列の画素の階調レベルに応じた電位に順番に切り替える。制御回路 5 は、他のグループへのデータ信号についても、同様に電位を順番に切り替える。

30

一方、制御回路 5 は、データ信号の電位の切り替えに合わせて制御信号 $S_{el}(1)$ 、 $S_{el}(2)$ 、 $S_{el}(3)$ を順番に排他的に H レベルとする。なお、図 4 では省略しているが、制御回路 5 は、制御信号 $S_{el}(1)$ 、 $S_{el}(2)$ 、 $S_{el}(3)$ とは論理反転の関係にある制御信号 $/S_{el}(1)$ 、 $/S_{el}(2)$ 、 $/S_{el}(3)$ についても出力している。これによって、デマルチプレクサ 30 では、各グループにおいてトランスミッションゲート 34 がそれぞれ左端列、中央列、右端列の順番でオンする。

【 0 0 3 5 】

ここで、 j 番目のグループに属する左端列のトランスミッションゲート 34 が制御信号 $S_{el}(1)$ 、 $/S_{el}(1)$ によってオンしたとき、図 9 に示されるように、保持容量 44 の他端であるノード h は、初期化された電位 V_{ref} からデータ信号 $V_d(j)$ の電位に、すなわち i 行 ($3j - 2$) 列の画素の階調レベルに応じた電位に変化する。このときのノード h の電位変化分を V として、変化後の電位を ($V_{ref} + V$) として表すことにする。

40

一方、ゲートノード g は、保持容量 44 の一端にデータ線 14 を介して電氣的に接続された状態にあるので、電位 V_{ini} から、ノード h の電位変化分 V に容量比 k_1 を乗じた値だけ、ノード h の変化方向にシフトした値となる。

なお、容量比 k_1 は、 $C_{rf1} / (C_{dt} + C_{rf1})$ である。厳密に言えば、保持容量 132 の容量 C_{pix} も考慮しなければならないが、容量 C_{pix} は、容量 C_{rf1} 、 C_{dt} に比較して十分に小さくなるように設定しているので、無視している。

50

【 0 0 3 6 】

図 1 0 は、書込期間におけるデータ信号の電位とゲートノード g の電位との関係を示す図である。制御回路 5 から供給されるデータ信号は、上述したように画素の階調レベルに応じて最小値 V_{min} から最大値 V_{max} までの電位範囲を取り得る。本実施形態では、当該データ信号が直接ゲートノード g に書き込まれるのではなく、図に示されるようにレベルシフトされて、ゲートノード g に書き込まれる。

このとき、ゲートノード g の電位範囲 V_{gate} は、データ信号の電位範囲 $V_{data} (= V_{max} - V_{min})$ に容量比 k_1 を乗じた値に圧縮される。例えば、 $C_{rf1} : C_{dt} = 1 : 9$ となるように保持容量 4 4、5 0 の容量を設定したとき、ゲートノード g の電位範囲 V_{gate} をデータ信号の電位範囲 V_{data} の $1 / 10$ に圧縮することができる。

10

また、ゲートノード g の電位範囲 V_{gate} を、データ信号の電位範囲 V_{data} に対してどの方向にどれだけシフトさせるかについては、電位 V_{ini} 、 V_{ref} で定めることができる。これは、データ信号の電位範囲 V_{data} が、電位 V_{ref} を基準にして容量比 k_1 で圧縮されるとともに、その圧縮範囲が電位 V_{ini} を基準にシフトされたものが、ゲートノード g の電位範囲 V_{gate} となるためである。

【 0 0 3 7 】

このように i 行目の書込期間において、i 行目の画素回路 1 1 0 のゲートノード g には、階調レベルに応じた電位のデータ信号を保持容量 4 4、5 0 の容量比に応じてレベルシフトした電位が書き込まれる。

やがて走査信号 $G_{wr}(i)$ が H レベルになり、トランジスタ 1 2 2 がオフする。これによって書込期間が終了して、ゲートノード g の電位は、シフトされた値に確定する。

20

【 0 0 3 8 】

< 発光期間 >

i 行目の書込期間の終了した後、間をおいて第 3 期間としての発光期間に至る。この発光期間では、上述したように制御信号 $G_{el}(i)$ が L レベルになるので、i 行 ($3j - 2$) 列の画素回路 1 1 0 においては、トランジスタ 1 2 4 がオンする。このため、先の図 5 に示したように、ゲート・ソース間の電圧 V_{gs} に応じた電流 I_{ds} がトランジスタ 1 2 1 によって O L E D 1 3 0 に供給されるので、当該 O L E D 1 3 0 は、当該電流に応じた輝度で発光することになる。

【 0 0 3 9 】

30

このような動作は、i 行目の走査期間において、着目した ($3j - 2$) 列目の画素回路 1 1 0 以外の i 行目の画素回路 1 1 0 においても時間的に並列して実行される。さらに、このような i 行目の動作は、実際には、1 フレームの期間において 1、2、3、...、($m - 1$)、m 行目の順番で実行されるとともに、フレーム毎に繰り返される。

なお、図 4 においては、制御信号 $S_{el}(1)$ が H レベルになったことによって i 行 ($3j - 2$) 列の画素回路 1 1 0 におけるゲートノード g が、電位 V_{ini} からレベルシフトしている点、および、i 行 ($3j - 2$) 列と同列であって 1 行前の ($i - 1$) 行 ($3j - 2$) 列のゲートノードが、電位 V_{ini} からレベルシフトしている点が、それぞれ示されている。

【 0 0 4 0 】

40

本実施形態によれば、ゲートノード g における電位範囲 V_{gate} は、データ信号の電位範囲 V_{data} に対し狭められるので、データ信号を細かい精度で刻まなくても、階調レベルを反映した電圧を、トランジスタ 1 2 1 のゲート・ソース間に印加することができる。このため、微細な画素回路 1 1 0 においてトランジスタ 1 2 1 のゲート・ソース間の電圧 V_{gs} の変化に対し O L E D 1 3 0 に流れる微小電流が相対的に大きく変化する場合であっても、O L E D 1 3 0 に供給する電流を精度良く制御することが可能になる。

【 0 0 4 1 】

また、図 3 において破線で示されるようにデータ線 1 4 と画素回路 1 1 0 におけるゲートノード g との間には容量 C_{prs} が実際には寄生する。このため、データ線 1 4 の電位変化動幅が大きいと、当該容量 C_{prs} を介してゲートノード g に伝播し、いわゆるクロスト

50

ークやムラなどが発生して表示品位を低下させてしまう。当該容量 C_{prs} の影響は、画素回路 110 が微細化されたときに顕著に現れる。

これに対して、本実施形態においては、データ線 14 の電位変化範囲についても、データ信号の電位範囲 V_{data} に対し狭められるので、容量 C_{prs} を介した影響を抑えることができる。

【0042】

< 第2実施形態 >

第1実施形態において、トランジスタ 121 の閾値電圧が画素回路 110 毎にばらついていると、表示画面の一様性を損なうような表示ムラが発生する。そこで、次にトランジスタ 121 における閾値電圧のばらつきを補償した第2実施形態について説明する。なお、以下においては説明の重複を避けるために、第1実施形態との相違する部分を中心に説明することにする。

【0043】

図11は、第2実施形態に係る電気光学装置10の構成を示す図である。

この図に示した第2実施形態が第1実施形態(図2参照)と相違する点は、第1に、給電線16が設けられている点、第2に、レベルシフト回路40の一部が異なる点、および、第3に、画素回路110の構成並びに動作が異なる点、にある。

【0044】

まず、第1の相違点については、給電線16が表示部100の各列においてデータ線14に沿ってそれぞれ設けられている。各給電線16には電位 V_{orst} が共通に給電されている。また、各列の保持容量50の他端は、対応する列の給電線16にそれぞれ接続されている。

第2の相違点については、第1実施形態におけるトランジスタ46(図2参照)が、図11におけるトランジスタ43に置き換わっている。このトランジスタ43のゲートには、制御信号 G_{ref} が、制御回路5から各列にわたって共通に供給される。

【0045】

図12を参照して第3の相違点について説明する。図12は、第2実施形態に係る電気光学装置10の画素回路110の構成を示す図である。この図に示した画素回路110が図4に示した回路構成と相違する点は、PチャネルMOS型のトランジスタ123、125が追加されている点にある。

このうち、トランジスタ123にあっては、ゲートノードに i 行目に対応した制御信号 $G_{cmp}(i)$ が供給され、ソースノードがトランジスタ121のドレインノードに接続されている。また、トランジスタ123のドレインノードは、トランジスタ121のゲートノード g に接続されている。

一方、トランジスタ125にあっては、ゲートノードに i 行目に対応した制御信号 $G_{orst}(i)$ が供給され、ソースノードがOLED130のアノードに接続されている。また、トランジスタ125のドレインノードは、対応する列の給電線16に接続されている。

なお、トランジスタ123、125の基板電位についても、トランジスタ121、122、14と同様に電位 V_{el} としている。

【0046】

< 第2実施形態の動作 >

図13を参照して第2実施形態に係る電気光学装置10の動作について説明する。図13は、第2実施形態における動作を説明するためのタイミングチャートである。

この図に示されるように、走査信号 $G_{wr}(1) \sim G_{wr}(m)$ が順次 L レベルに切り替えられて、1フレームの期間において1～ m 行目の走査線12が1水平走査期間(H)毎に順番に走査される点については、第1実施形態と同様である。ただし、第2実施形態では i 行目の走査期間が、第1実施形態と比較して、(b)で示される初期化期間と(d)で示される書込期間との間に、(c)で示される補償期間が挿入されている。このため、第2実施形態では、時間の順でいえば(発光期間) 初期化期間 補償期間 書込期間 (発光期

10

20

30

40

50

間)というサイクルの繰り返しとなる。

【0047】

<発光期間>

第2実施形態では、図13に示されるように、 i 行目の発光期間では走査信号 $Gwr(i)$ がHレベルである。また、論理信号である制御信号 $Gel(i)$ 、 $Gcmp(i)$ 、 $Gorst(i)$ のうち、制御信号 $Gel(i)$ がLレベルであり、制御信号 $Gcmp(i)$ 、 $Gorst(i)$ がHレベルである。

このため、図14に示されるように i 行($3j-2$)列の画素回路110においては、トランジスタ124がオンする一方、トランジスタ122、123、125がオフする。したがって、トランジスタ121は、ゲート・ソース間の電圧 V_{gs} に応じた電流 I_{ds} をOLED130に供給する。

10

後述するように、第2実施形態において発光期間での電圧 V_{gs} は、トランジスタ121の閾値電圧から、データ信号の電位に応じてレベルシフトした値である。このため、OLED130には、階調レベルに応じた電流がトランジスタ121の閾値電圧を補償した状態で供給されることになる。

【0048】

<初期化期間>

i 行目の走査期間に至って、まず(a)の初期化期間が開始する。初期化期間では、発光期間と比較して、制御信号 $Gel(i)$ がHレベルに、制御信号 $Gorst(i)$ がLレベルに、それぞれ変化する。

このため、図15に示されるように、 i 行($3j-2$)列の画素回路110においてはトランジスタ124がオフし、トランジスタ125がオンする。これによってOLED130に供給される電流の経路が遮断されるとともに、OLED130のアノードが電位 V_{orst} にリセットされる。

20

OLED130は、上述したようにアノードとカソードとで有機EL層を挟持した構成であるので、アノード・カソードの間には、実際には図において破線で示されるように容量 C_{oled} が並列に寄生する。発光期間においてOLED130に電流が流れていたときに、当該OLED130のアノード・カソード間の両端電圧が当該容量 C_{oled} によって保持されるが、この保持電圧は、トランジスタ125のオンによってリセットされる。このため、第2実施形態では、後の発光期間においてOLED130に再び電流が流れるときに、当該容量 C_{oled} で保持されている電圧の影響を受けにくくなる。

30

【0049】

詳細には、例えば高輝度の表示状態から低輝度の表示状態に転じるときに、リセットしない構成であると、輝度が高い(大電流が流れた)ときの高電圧が保持されてしまうので、次に、小電流を流そうとしても、過剰な電流が流れてしまって、低輝度の表示状態にさせることができなくなる。これに対して、第2実施形態では、トランジスタ125のオンによってOLED130のアノードの電位がリセットされるので、低輝度側の再現性が高められることになる。

なお、第2実施形態において、電位 V_{orst} については、当該電位 V_{orst} と共通電極118の電位 V_{ct} との差がOLED130の発光閾値電圧を下回るように設定される。このため、初期化期間(次に説明する補償期間および書込期間)において、OLED130はオフ(非発光)状態である。

40

【0050】

一方、初期化期間では、制御信号 $Gini$ がLレベルになり、制御信号 $Gref$ がHレベルになるので、レベルシフト回路40においては、図15に示されるようにトランジスタ45、43がそれぞれオンする。このため、保持容量44の一端であるデータ線14は電位 V_{ini} に、保持容量44の他端であるノードhは電位 V_{ref} に、それぞれ初期化される。

【0051】

第2実施形態において電位 V_{ini} については、 $(V_{el} - V_{ini})$ がトランジスタ121の閾値電圧 $|V_{th}|$ よりも大きくなるように設定される。なお、トランジスタ121はPチャンネル型であるので、ソースノードの電位を基準とした閾値電圧 V_{th} は負である。そ

50

ここで、高低関係の説明で混乱が生じるのを防ぐために、閾値電圧については、絶対値の $|V_{th}|$ で表し、大小関係で規定することにする。

また、第2実施形態において電位 V_{ref} については、データ信号 $V_d(1) \sim V_d(n)$ が取り得る電位に対して、後の書込期間においてノード h の電位が上昇変化するような値に、例えば最低値 V_{min} よりも低くなるように設定される。

【0052】

< 補償期間 >

i 行目の走査期間では、次に (c) の補償期間となる。補償期間では初期化期間と比較して、走査信号 $G_{wr}(i)$ および制御信号 $G_{cmp}(i)$ が L レベルとなる。一方、補償期間では、制御信号 G_{ref} が H レベルに維持された状態で制御信号 $\neg G_{ini}$ が H レベルになる。

このため、図16に示されるように、レベルシフト回路40においては、トランジスタ43がオンした状態でトランジスタ45がオフすることによって、ノード h が電位 V_{ref} に固定される。一方、 i 行 ($3j - 2$) 列の画素回路110ではトランジスタ122がオンすることによって、ゲートノード g がデータ線14に電氣的に接続されるので、補償期間の開始当初においてゲートノード g は電位 V_{ini} となる。

【0053】

補償期間においてトランジスタ123がオンするので、トランジスタ121はダイオード接続となる。このため、トランジスタ121にはドレイン電流が流れて、ゲートノード g およびデータ線14を充電する。詳細には、電流が、給電線116 トランジスタ121 トランジスタ123 トランジスタ122 ($3j - 2$) 列目のデータ線14という経路で流れる。このため、トランジスタ121のオンによって互いに接続状態にあるデータ線14およびゲートノード g は、電位 V_{ini} から上昇する。

ただし、上記経路に流れる電流は、ゲートノード g が電位 ($V_{el} - |V_{th}|$) に近づくにつれて流れにくくなるので、補償期間の終了に至るまでに、データ線14およびゲートノード g は電位 ($V_{el} - |V_{th}|$) で飽和する。したがって、保持容量132は、補償期間の終了に至るまでにトランジスタ121の閾値電圧 $|V_{th}|$ を保持することになる。

【0054】

< 書込期間 >

補償期間が終了すると、制御信号 $G_{cmp}(i)$ が H レベルになるので、トランジスタ121のダイオード接続が解除される一方、制御信号 G_{ref} が L レベルになるので、トランジスタ43がオフになる。このため、($3j - 2$) 列目のデータ線14から i 行 ($3j - 2$) 列の画素回路110におけるゲートノード g に至るまでの経路はフローティング状態になるものの、当該経路における電位は、保持容量50、132によって ($V_{el} - |V_{th}|$) に維持される。

【0055】

i 行目の書込期間において制御回路5は、 j 番目のグループでいえば、データ信号 $V_d(j)$ を順番に、 i 行 ($3j - 2$) 列、 i 行 ($3j - 1$) 列、 i 行 ($3j$) 列の画素の階調レベルに応じた電位に切り替える。一方、制御回路5は、データ信号の電位の切り替えに合わせて制御信号 $Sel(1)$ 、 $Sel(2)$ 、 $Sel(3)$ を順番に排他的に H レベルとする。制御回路5は、図13では省略しているが、制御信号 $Sel(1)$ 、 $Sel(2)$ 、 $Sel(3)$ とは論理反転の関係にある制御信号 $\neg Sel(1)$ 、 $\neg Sel(2)$ 、 $\neg Sel(3)$ についても出力している。これによって、デマルチプレクサ30では、各グループにおいてトランスミッションゲート34がそれぞれ左端列、中央列、右端列の順番でオンする。

【0056】

ここで、左端列のトランスミッションゲート34が制御信号 $Sel(1)$ 、 $\neg Sel(1)$ によってオンしたとき、図17に示されるように、保持容量44の他端であるノード h は、補償期間における電位 V_{ref} から、データ信号 $V_d(j)$ の電位に、すなわち i 行 ($3j - 2$) 列の画素の階調レベルに応じた電位 ($V_{ref} + V$) に変化する。

【0057】

一方、ゲートノード g は、保持容量44の一端にデータ線14を介して接続されている

ので、補償期間における電位 ($V_{el} - |V_{th}|$) から、ノード h の電位変化分 V に容量比 k_1 を乗じた値だけ上昇する方向にシフトした値となる。

このため、ゲートノード g の電位は、補償期間における電位 ($V_{el} - |V_{th}|$) から、ノード h の電位変化分 V に容量比 k_1 を乗じた値だけ、上昇方向にシフトした値 ($V_{el} - |V_{th}| + k_1 \cdot V$) となる。このとき、トランジスタ 121 の電圧 V_{gs} で絶対値で表現すると、閾値電圧 $|V_{th}|$ からゲートノード g の電位上昇したシフト分だけ減じた値 ($|V_{th}| - k_1 \cdot V$) となる。

【0058】

< 発光期間 >

第2実施形態では、i 行目の書込期間の終了した後、1 水平走査期間の間において発光期間に至る。この発光期間では、上述したように制御信号 $G_{el}(i)$ が L レベルになるので、i 行 ($3j - 2$) 列の画素回路 110 においては、トランジスタ 124 がオンする。ゲート・ソース間の電圧 V_{gs} は、($|V_{th}| - k_1 \cdot V$) であるから、OLED 130 には、先の図 14 に示したように、階調レベルに応じた電流がトランジスタ 121 の閾値電圧を補償した状態で供給されることになる。

このような動作は、i 行目の走査期間において、($3j - 2$) 列目の画素回路 110 以外の i 行目の他の画素回路 110 においても時間的に並列して実行される。さらに、このような i 行目の動作は、実際には、1 フレームの期間において 1、2、3、...、($m - 1$)、m 行目の順番で実行されるとともに、フレーム毎に繰り返される。

【0059】

第2実施形態によれば、第1実施形態と同様に、ゲートノード g における電位範囲 V_{gate} がデータ信号の電位範囲 V_{data} に対し狭められるので、データ信号を細かい精度で刻まなくても、階調レベルを反映させた電圧をトランジスタ 121 のゲート・ソース間に印加することができる。このため、微細な画素回路 110 においてトランジスタ 121 のゲート・ソース間の電圧 V_{gs} に対し OLED 130 に流れる微小電流が相対的に大きく変化する場合であっても、OLED 130 に供給する電流を精度良く制御することが可能になる。

次に、第2実施形態によれば、トランジスタ 125 をオンさせる期間、すなわち OLED 130 のリセット期間として、走査期間よりも長い期間、例えば第2実施形態では2 水平走査期間を確保することができるので、発光期間において OLED 130 の寄生容量に保持された電圧を十分に初期化することができる。

【0060】

また、第2実施形態によれば、トランジスタ 121 によって OLED 130 に供給される電流 I_{ds} は、閾値電圧の影響が相殺される。このため、第2実施形態によれば、トランジスタ 121 の閾値電圧が画素回路 110 毎にばらついても、そのばらつきが補償されて、階調レベルに応じた電流が OLED 130 に供給されるので、表示画面の一様性を損なうような表示ムラの発生を抑えられる結果、高品位の表示が可能になる。

【0061】

この相殺について図 18 を参照して説明する。この図に示されるように、トランジスタ 121 は、OLED 130 に供給する微小電流を制御するために、弱反転領域 (サブスレッショルド領域) で動作する。

図において、A は閾値電圧 $|V_{th}|$ が大きいトランジスタを、B は閾値電圧 $|V_{th}|$ が小さいトランジスタを、それぞれ示している。なお、図 18 において、ゲート・ソース間の電圧 V_{gs} は、実線で示される特性と電位 V_{el} との差である。また、図 18 において、縦スケールの電流は、ソースからドレインに向かう方向を正 (上) とした対数で示されている。

【0062】

補償期間においてゲートノード g は、電位 V_{ini} から電位 ($V_{el} - |V_{th}|$) となる。このため、閾値電圧 $|V_{th}|$ が大きいトランジスタ A は、動作点が S から Aa に移動する一方、閾値電圧 $|V_{th}|$ が小さいトランジスタ B は、動作点が S から Ba に移動する

10

20

30

40

50

。

次に、2つのトランジスタが属する画素回路110へのデータ信号の電位が同じ場合、つまり同じ階調レベルが指定された場合に、書込期間においては、動作点Aa、Baからの電位シフト量は、ともに同じ $k1 \cdot V$ である。このため、トランジスタAについては動作点がAaからAbに移動し、トランジスタBについては動作点がBaからBbに移動するが、電位シフト後の動作点における電流は、トランジスタA、Bともに、ほぼ同じ I_{ds} で揃うことになる。

【0063】

<第3実施形態>

第2実施形態においては、各列の保持容量44の他端、すなわちノードhに、デマルチプレクサ30によってデータ信号を直接供給する構成とした。このため、各行の走査期間においては、制御回路5からデータ信号が供給される期間イコール書込期間となるので、時間的な制約が大きい。

10

そこで次に、このような時間的な制約を緩和することができる第3実施形態について説明する。なお、以下においては説明の重複を避けるために、第2実施形態との相違する部分を中心に説明することにする。

【0064】

図19は、第3実施形態に係る電気光学装置10の構成を示す図である。

この図に示した第3実施形態が図11に示した第2実施形態と相違する点は、主としてレベルシフト回路40の各列において保持容量41およびトランスミッションゲート42が設けられている点にある。

20

【0065】

詳細には、各列においてトランスミッションゲート42は、トランスミッションゲート34の出力端と保持容量44の他端との間に、電氣的に介挿されている。すなわち、トランスミッションゲート42の入力端がトランスミッションゲート34の出力端に接続され、トランスミッションゲート42の出力端が保持容量44の他端に接続されている。

なお、各列のトランスミッションゲート42は、制御回路5から供給される制御信号GcplがHレベルであるとき（制御信号/GcplがLレベルであるとき）に一斉にオンする。

【0066】

また、各列において保持容量41の一端は、トランスミッションゲート34の出力端（トランスミッションゲート42の入力端）に接続され、保持容量41の他端は、固定電位、例えば電位Vssに共通に接地されている。図19では省略しているが、保持容量41の容量をCrf2とする。

30

【0067】

<第3実施形態の動作>

図20を参照して第3実施形態に係る電気光学装置10の動作について説明する。図20は、第3実施形態における動作を説明するためのタイミングチャートである。

この図に示されるように、走査信号Gwr(1)~Gwr(m)が順次Lレベルに切り替えられて、1フレームの期間において1~m行目の走査線12が1水平走査期間(H)毎に順番に走査される点については、第2実施形態と同様である。また、第3実施形態ではi行目の走査期間が、(b)で示される初期化期間と(c)で示される補償期間と(d)で示される書込期間との順となっている点についても、第2実施形態と同様である。なお、第3実施形態において(d)の書込期間は、制御信号GcplがLからHレベルになるとき（制御信号/GcplがLレベルになったとき）から走査信号がLからHレベルになるときまでの期間である。

40

第3実施形態においても、第2実施形態と同様に、時間の順でいえば（発光期間）初期化期間 補償期間 書込期間（発光期間）というサイクルの繰り返しとなる。ただし、第3実施形態では、第2実施形態と比較して、データ信号の供給期間イコール書込期間ではなく、データ信号の供給が書込期間よりも先行している点において相違している。詳細には、第3実施形態では、(a)の初期化期間と(b)の補償期間とにわたって、デー

50

タ信号が供給され得る点において第2実施形態と相違している。

【0068】

<発光期間>

第3実施形態では、図20に示されるように、 i 行目の発光期間では走査信号 $Gwr(i)$ がHレベルであり、また、制御信号 $Ge1(i)$ がLレベルであり、制御信号 $Gcmp(i)$ 、 $Gorst(i)$ がHレベルである。

このため、図21に示されるように i 行 ($3j - 2$) 列の画素回路110においては、トランジスタ124がオンする一方、トランジスタ122、123、125がオフするので、当該画素回路110における動作は基本的に第2実施形態と同様となる。すなわち、トランジスタ121は、ゲート・ソース間の電圧 V_{gs} に応じた電流 I_{ds} をOLED130に供給することになる。

10

【0069】

<初期化期間>

i 行目の走査期間に至って、まず (b) の初期化期間が開始する。

第3実施形態において初期化期間では、発光期間と比較して、制御信号 $Ge1(i)$ がHレベルに、制御信号 $Gorst(i)$ がLレベルに、それぞれ変化する。

このため、図22に示されるように、 i 行 ($3j - 2$) 列の画素回路110においてはトランジスタ124がオフし、トランジスタ125がオンする。これによってOLED130に供給される電流の経路が遮断されるとともに、トランジスタ124のオンによってOLED130のアノードが電位 V_{orst} にリセットされるので、当該画素回路110における動作は基本的に第2実施形態と同様となる。

20

【0070】

一方、第3実施形態において初期化期間では、制御信号 $Gini$ がLレベルになり、制御信号 $Gref$ がHレベルになるとともに、制御信号 $Gcpl$ がLレベルになる。このため、レベルシフト回路40においては、図22に示されるようにトランジスタ45、43がそれぞれオンするとともに、トランスミッションゲート42がオフする。したがって、保持容量44の一端であるデータ線14は電位 V_{ini} に、保持容量44の他端であるノードhは電位 V_{ref} に、それぞれ初期化される。

第3実施形態では電位 V_{ref} については、データ信号 $Vd(1) \sim Vd(n)$ が取り得る電位に対して、第2実施形態と同様に、後の書込期間においてノードhの電位が上昇変化するような値に設定される。

30

【0071】

上述したように、第3実施形態において制御回路5は、初期化期間および補償期間にわたってデータ信号を供給する。すなわち、制御回路5は、 j 番目のグループでいえば、データ信号 $Vd(j)$ を順番に、 i 行 ($3j - 2$) 列、 i 行 ($3j - 1$) 列、 i 行 ($3j$) 列の画素の階調レベルに応じた電位に切り替える一方、データ信号の電位の切り替えに合わせて制御信号 $Se1(1)$ 、 $Se1(2)$ 、 $Se1(3)$ を順番に排他的にHレベルとする。これによって、デマルチプレクサ30では、各グループにおいてトランスミッションゲート34がそれぞれ左端列、中央列、右端列の順番でオンする。

ここで、初期化期間において、 j 番目のグループに属する左端列のトランスミッションゲート34が制御信号 $Se1(1)$ によってオンする場合、図22に示されるように、データ信号 $Vd(j)$ が保持容量41の一端に供給されるので、当該データ信号は、保持容量41によって保持される。

40

【0072】

<補償期間>

i 行目の走査期間においては、次に (c) の補償期間となる。第3実施形態において補償期間では、初期化期間と比較して、走査信号 $Gwr(i)$ がLレベルに、制御信号 $Gcmp(i)$ がLレベルに、それぞれ変化する。

このため、図23に示されるように、 i 行 ($3j - 2$) 列の画素回路110ではトランジスタ122がオンして、ゲートノードgがデータ線14に電氣的に接続される一方、

50

トランジスタ 123 のオンによって、トランジスタ 121 がダイオード接続となる。

したがって、電流が、給電線 116 トランジスタ 121 トランジスタ 123 トランジスタ 122 (3j - 2) 列目のデータ線 14 という経路で流れるので、ゲートノード g は、電位 V_{ini} から上昇し、やがて $(V_{el} - |V_{th}|)$ に飽和する。したがって、第 3 実施形態においても、保持容量 132 は、補償期間の終了に至るまでにトランジスタ 121 の閾値電圧 $|V_{th}|$ を保持することになる。

【0073】

第 3 実施形態において、補償期間では、制御信号 G_{ref} が H レベルを維持した状態で制御信号 G_{ini} が H レベルになるので、レベルシフト回路 40 においてノード h は電位 V_{ref} に固定される。

10

また、補償期間において、j 番目のグループに属する左端列のトランSMミッションゲート 34 が制御信号 $S_{el}(1)$ によってオンする場合、図 23 に示されるように、データ信号 $V_d(j)$ が保持容量 41 によって保持される。

【0074】

なお、すでに初期化期間において、j 番目のグループに属する左端列のトランSMミッションゲート 34 が制御信号 $S_{el}(1)$ によってオンした場合には、補償期間において、当該トランSMミッションゲート 34 はオンすることはないが、保持容量 41 にデータ信号 $V_d(j)$ が保持されている点において変わりはない。

また、補償期間が終了すると、制御信号 $G_{cmp}(i)$ が H レベルになるので、トランジスタ 121 のダイオード接続が解除される。

20

【0075】

第 3 実施形態においては、補償期間が終了してから次の書込期間が開始するまでの間において制御信号 G_{ref} が L レベルになるので、トランジスタ 43 がオフになる。このため、(3j - 2) 列目のデータ線 14 から i 行 (3j - 2) 列の画素回路 110 におけるゲートノード g に至るまでの経路は、フローティング状態になるものの、当該経路の電位は、保持容量 50、132 によって $(V_{el} - |V_{th}|)$ に維持される。

【0076】

< 書込期間 >

第 3 実施形態において書込期間では、制御信号 G_{cpl} が H レベルとなる (制御信号 G_{cpl} が L レベルとなる)。このため、図 24 に示されるように、レベルシフト回路 40 においてトランSMミッションゲート 42 がオンするので、保持容量 41 に保持されたデータ信号が保持容量 44 の他端であるノード h に供給される。このため、ノード h は、補償期間における電位 V_{ref} から、電位 $(V_{ref} + V)$ に変化する。

30

【0077】

一方、ゲートノード g は、保持容量 44 の一端にデータ線 14 を介して接続されているので、補償期間における電位 $(V_{el} - |V_{th}|)$ から、ノード h の電位変化分 V に容量比 k_2 を乗じた値だけ上昇する方向にシフトした値となる。すなわち、ゲートノード g の電位は、補償期間における電位 $(V_{el} - |V_{th}|)$ から、ノード h の電位変化分 V に容量比 k_2 を乗じた値だけ、上昇方向にシフトした値 $(V_{el} - |V_{th}| + k_2 \cdot V)$ となる。

40

なお、容量比 k_2 は、 C_{dt} 、 C_{rf1} 、 C_{rf2} の容量比である。上述したように、保持容量 132 の容量 C_{pix} については無視している。

また、第 2 実施形態において電位 V_{ref} については、例えばデータ信号 $V_d(1) \sim V_d(n)$ が取り得る電位に対して、後の書込期間においてノード h の電位が上昇変化するような値に、例えば最低値 V_{min} よりも低くなるように設定される。

また、このとき、トランジスタ 121 の電圧 V_{gs} で絶対値で表現すると、閾値電圧 $|V_{th}|$ からゲートノード g の電位上昇したシフト分だけ減じた値 $(|V_{th}| - k_2 \cdot V)$ となる。

【0078】

< 発光期間 >

50

第3実施形態では、 i 行目の書込期間の終了した後、1水平走査期間の間において発光期間に至る。この発光期間では、上述したように制御信号 $G_{el}(i)$ が L レベルになるので、 i 行 ($3j - 2$) 列の画素回路 110 においては、トランジスタ 124 がオンする。

ゲート・ソース間の電圧 V_{gs} は $(|V_{th}| - k_2 \cdot V)$ であり、トランジスタ 121 の閾値電圧からデータ信号の電位によってレベルシフトした値である。このため、OLED 130 には、先の図 21 に示したように、階調レベルに応じた電流がトランジスタ 121 の閾値電圧を補償した状態で供給されることになる。

このような動作は、 i 行目の走査期間において、 $(3j - 2)$ 列目の画素回路 110 以外の i 行目の他の画素回路 110 においても時間的に並列して実行される。さらに、このような i 行目の動作は、実際には、1 フレームの期間において 1、2、3、...、 $(m - 1)$ 、 m 行目の順番で実行されるとともに、フレーム毎に繰り返される。

10

【0079】

第3実施形態によれば、第1実施形態や第2実施形態と同様に、微細な画素回路 110 においてトランジスタ 121 のゲート・ソース間の電圧 V_{gs} に対し OLED 130 に流れる微小電流が相対的に大きく変化する場合であっても、OLED 130 に供給する電流を精度良く制御することが可能になる。

第3実施形態によれば、第2実施形態と同様に、発光期間において OLED 130 の寄生容量に保持された電圧を十分に初期化することができるほか、トランジスタ 121 の閾値電圧が画素回路 110 毎にばらついても、表示画面の一樣性を損なうような表示ムラの発生を抑えられる結果、高品位の表示が可能になる。

20

【0080】

第3実施形態によれば、制御回路 5 からデマルチプレクサ 30 を介して供給されるデータ信号を保持容量 41 に保持させる動作が、初期化期間から補償期間までにわたって実行される。このため、1 水平走査期間に実行すべき動作について時間的な制約を緩和することができる。

例えば、補償期間においてゲート・ソース間電圧 V_{gs} が閾値電圧に近づくにつれ、トランジスタ 121 に流れる電流が低下するので、ゲートノード g を電位 $(V_{el} - |V_{th}|)$ に収束するまで時間を要するが、第3実施形態では、第2実施形態と比較して図 20 に示されるように補償期間を長く確保することができる。このため、第3実施形態によれば、第2実施形態と比較して、トランジスタ 121 の閾値電圧のばらつきを、精度良く補償することができる。

30

また、データ信号の供給動作についても低速化することができる。

【0081】

< 応用・変形例 >

本発明は、上述した実施形態や応用例などの実施形態等に限定されるものではなく、例えば次に述べるような各種の変形が可能である。また、次に述べる変形の態様は、任意に選択された一または複数を適宜に組み合わせることもできる。

【0082】

< 制御回路 >

実施形態において、データ信号を供給する制御回路 5 については電気光学装置 10 とは別体としたが、制御回路 5 についても、走査線駆動回路 20 やデマルチプレクサ 30、レベルシフト回路 40 とともに、シリコン基板に集積化しても良い。

40

【0083】

< 基板 >

実施形態においては、電気光学装置 10 をシリコン基板に集積した構成としたが、他の半導体基板に集積した構成しても良い。また、ポリシリコンプロセスを適用してガラス基板等に形成しても良い。いずれにしても、画素回路 110 が微細化して、トランジスタ 121 において、ゲート電圧 V_{gs} の変化に対しドレイン電流が指数関数的に大きく変化する構成に有効である。

【0084】

50

<デマルチプレクサ>

実施形態等では、データ線 14 を 3 列毎にグループ化するとともに、各グループにおいてデータ線 14 を順番に選択して、データ信号を供給する構成としたが、グループを構成するデータ線数については「2」であっても良いし、「4」以上であっても良い。

また、グループ化せずに、すなわちデマルチプレクサ 30 を用いないで各列のデータ線 14 にデータ信号を一斉に線順次で供給する構成でも良い。ここで、第 1 実施形態において、デマルチプレクサ 30 を用いないで各列のデータ線 14 にデータ信号を一斉に線順次で供給する構成とした場合、保持容量 44 の他端であるノード h がデータ信号出力回路（制御回路 5）における出力端に接続される。データ信号出力回路の出力インピーダンスが低いとき、データ信号が出力されない期間においてノード h が接地レベルになるので、これを初期電位に用いることができる。

10

【0085】

<トランジスタのチャネル型>

上述した実施形態等では、画素回路 110 におけるトランジスタ 121 ~ 125 を P チャネル型で統一したが、N チャネル型で統一しても良い。また、P チャネル型および N チャネル型を適宜組み合わせても良い。

【0086】

<その他>

実施形態等では、電気光学素子として発光素子である OLED を例示したが、例えば無機発光ダイオードや LED (Light Emitting Diode) など、電流に応じた輝度で発光するものであれば良い。

20

【0087】

<電子機器>

次に、実施形態等や応用例に係る電気光学装置 10 を適用した電子機器について説明する。電気光学装置 10 は、画素が小サイズで高精細な表示な用途に向いている。そこで、電子機器として、ヘッドマウント・ディスプレイを例に挙げて説明する。

【0088】

図 25 は、ヘッドマウント・ディスプレイの外観を示す図であり、図 26 は、その光学的な構成を示す図である。

まず、図 25 に示されるように、ヘッドマウント・ディスプレイ 300 は、外観的には、一般的な眼鏡と同様にテンプル 310 や、ブリッジ 320、レンズ 301L、301R を有する。また、ヘッドマウント・ディスプレイ 300 は、図 26 に示されるように、ブリッジ 320 近傍であってレンズ 301L、301R の奥側（図において下側）には、左眼用の電気光学装置 10L と右眼用の電気光学装置 10R とが設けられる。

30

電気光学装置 10L の画像表示面は、図 26 において左側となるように配置している。これによって電気光学装置 10L による表示画像は、光学レンズ 302L を介して図において 9 時の方向に出射する。ハーフミラー 303L は、電気光学装置 10L による表示画像を 6 時の方向に反射させる一方で、12 時の方向から入射した光を透過させる。

電気光学装置 10R の画像表示面は、電気光学装置 10L とは反対の右側となるように配置している。これによって電気光学装置 10R による表示画像は、光学レンズ 302R を介して図において 3 時の方向に出射する。ハーフミラー 303R は、電気光学装置 10R による表示画像を 6 時方向に反射させる一方で、12 時の方向から入射した光を透過させる。

40

【0089】

この構成において、ヘッドマウント・ディスプレイ 300 の装着者は、電気光学装置 10L、10R による表示画像を、外の様子と重ね合わせたシースルー状態で観察することができる。

また、このヘッドマウント・ディスプレイ 300 において、視差を伴う両眼画像のうち、左眼用画像を電気光学装置 10L に表示させ、右眼用画像を電気光学装置 10R に表示させると、装着者に対し、表示された画像があたかも奥行きや立体感を持つかのよう

50

覚させることができる（３Ｄ表示）。

【００９０】

なお、電気光学装置１０については、ヘッドマウント・ディスプレイ３００のほかにも、ビデオカメラやレンズ交換式のデジタルカメラなどにおける電子式ビューファインダーにも適用可能である。

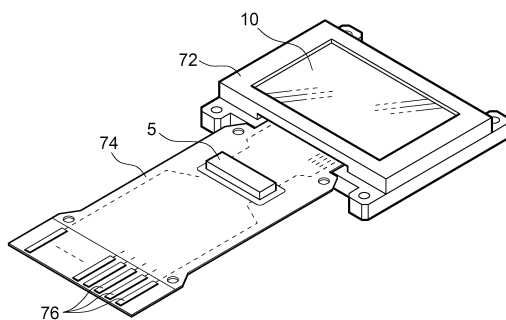
【符号の説明】

【００９１】

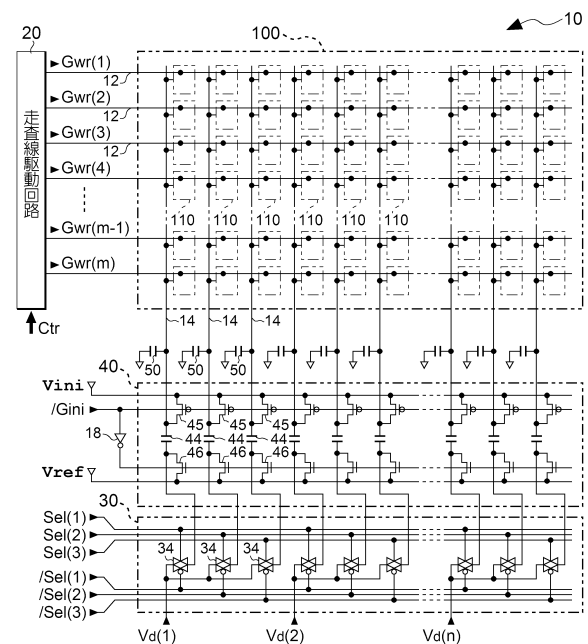
１０…電気光学装置、１２…走査線、１４…データ線、２０…走査線駆動回路、３０…デマルチプレクサ、４０…レベルシフト回路、４１、４４、５０…保持容量、１００…表示部、１１０…画素回路、１１６…給電線、１１８…共通電極、１２１～１２５…トランジスター、１３０…ＯＬＥＤ、１３２…保持容量、３００…ヘッドマウント・ディスプレイ。

10

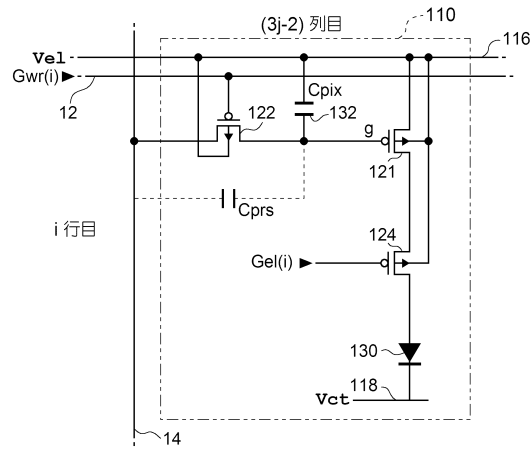
【図１】



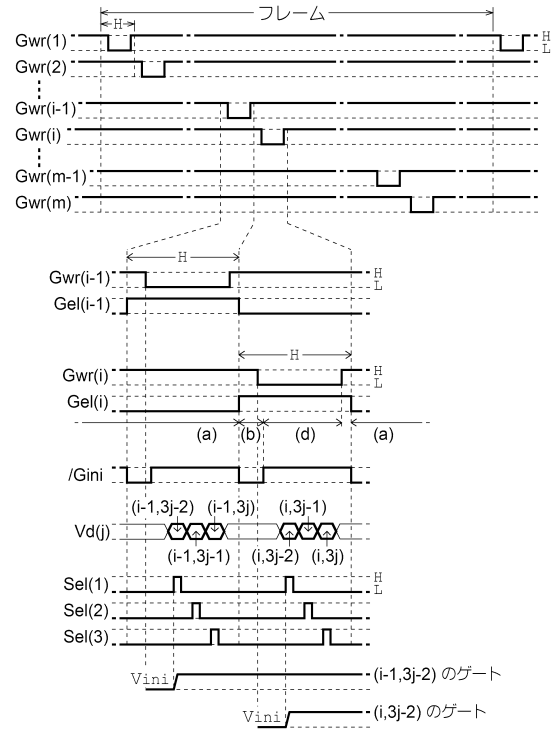
【図２】



【図 3】

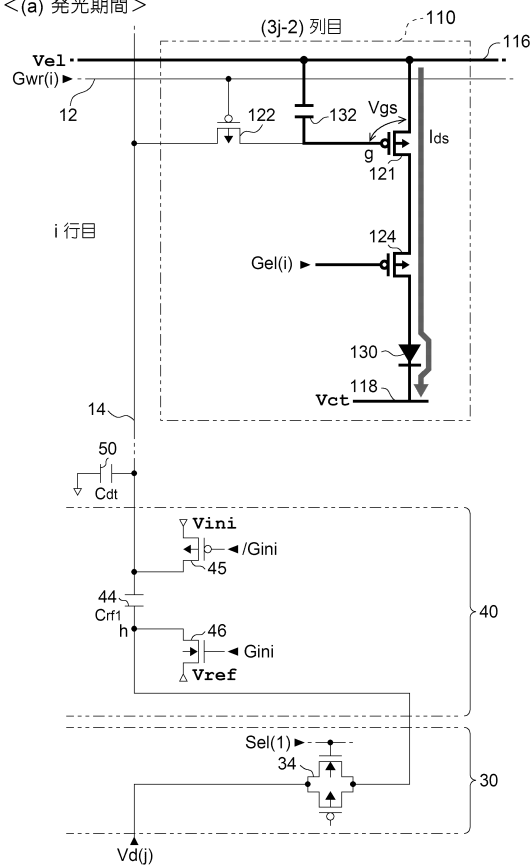


【図 4】



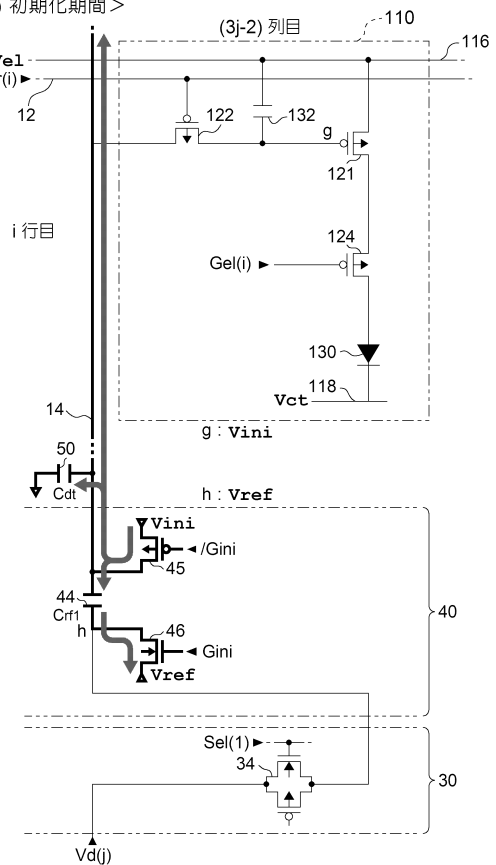
【図 5】

<(a) 発光期間>



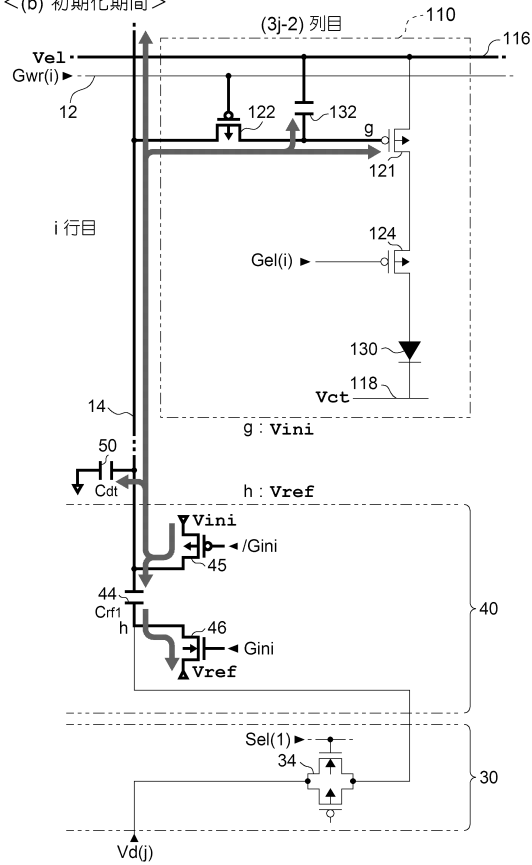
【図 6】

<(b) 初期化期間>



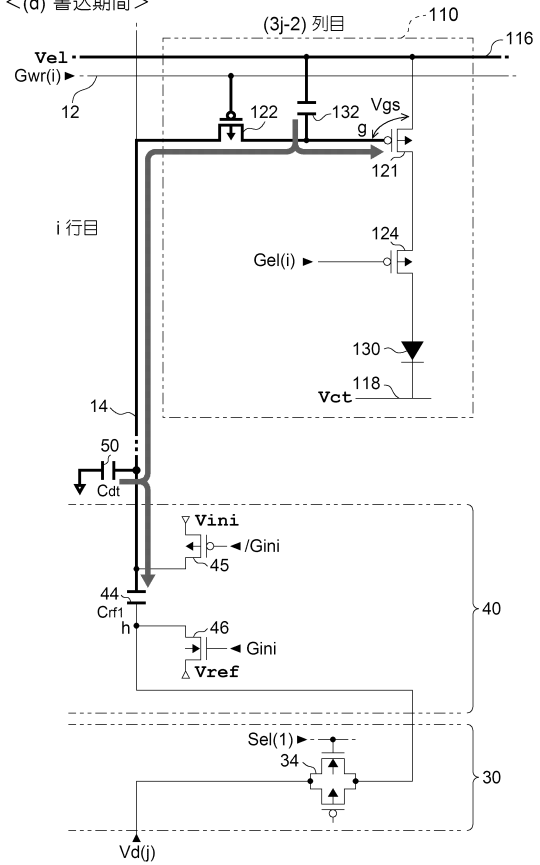
【図 7】

<(b) 初期化期間>



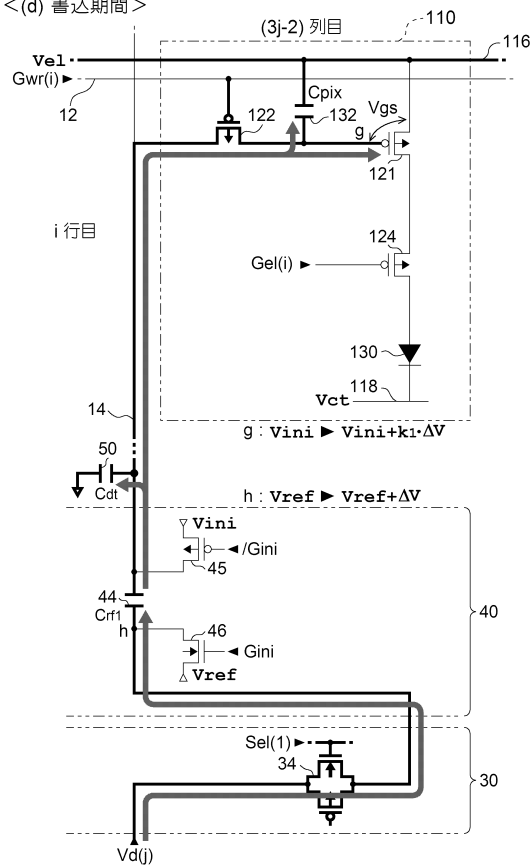
【図 8】

<(d) 書込期間>

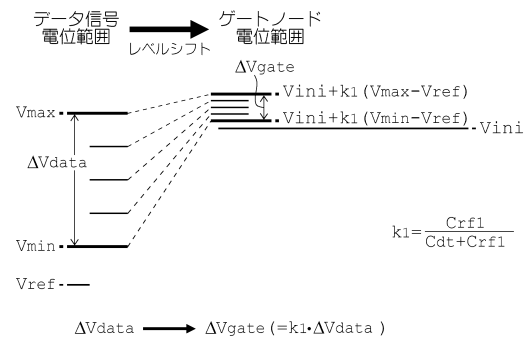


【図 9】

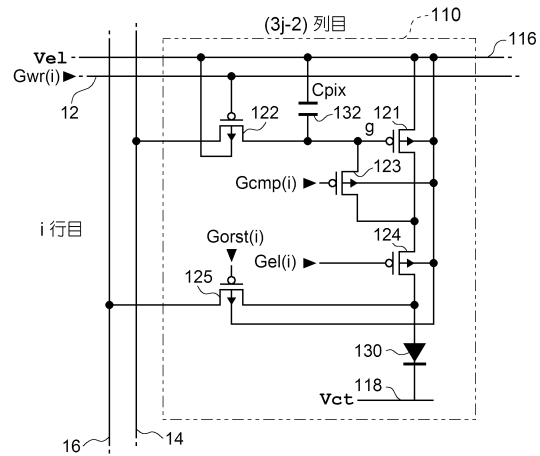
<(d) 書込期間>



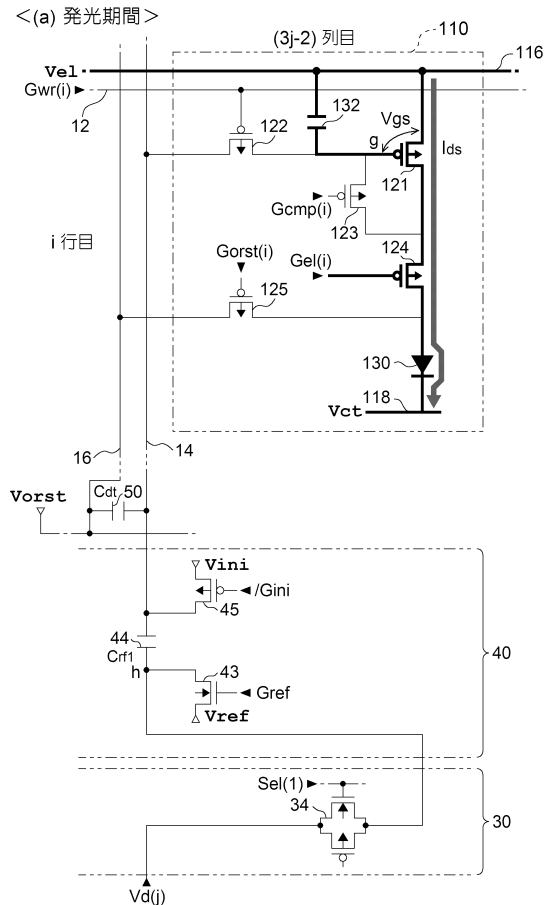
【図 10】



【 図 1 2 】

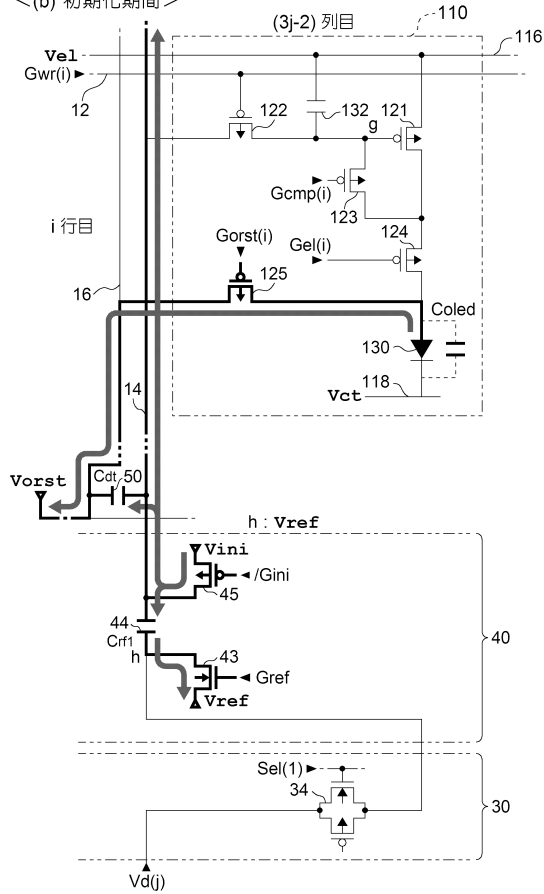


【 図 1 4 】



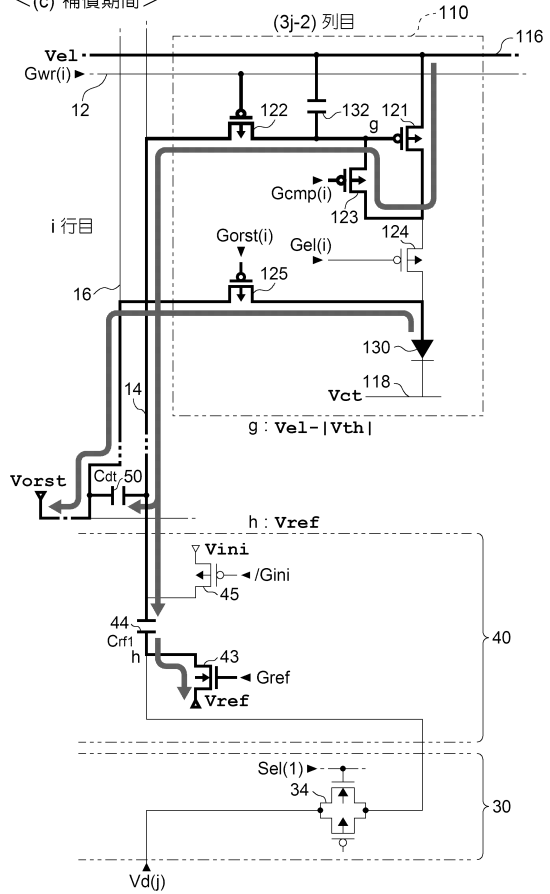
【 図 1 5 】

<(b) 初期化期間>



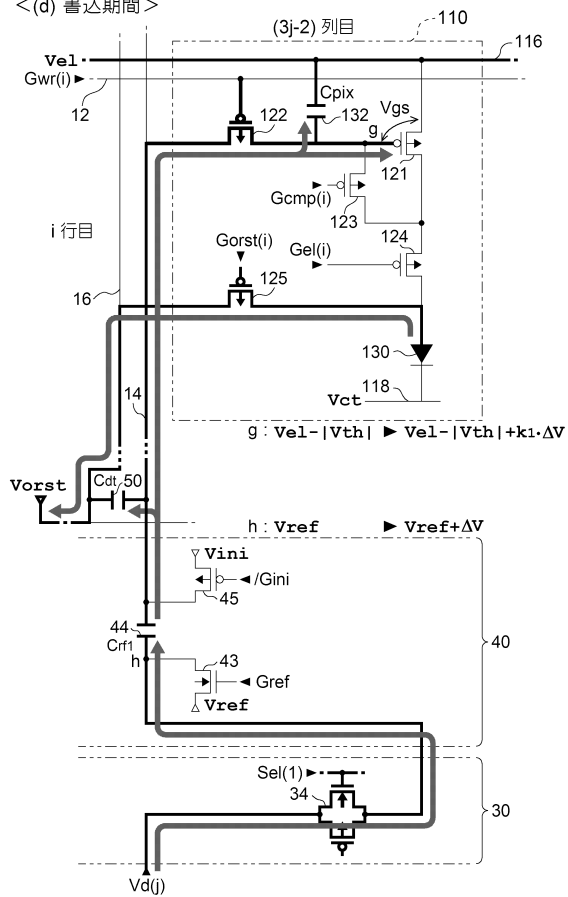
【 図 1 6 】

<(c) 補償期間>

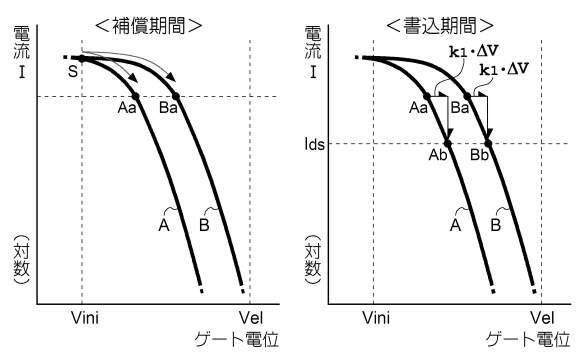


【 図 1 7 】

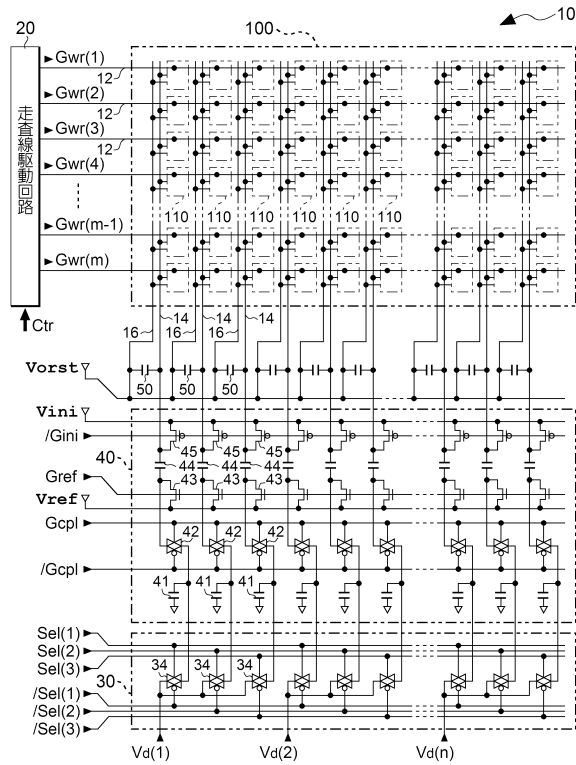
<(d) 書込期間>



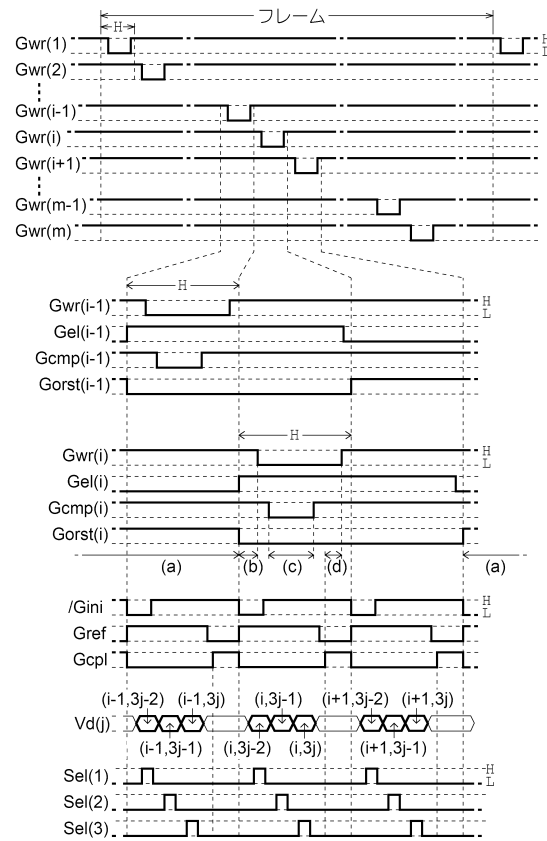
【 図 1 8 】



【図 19】

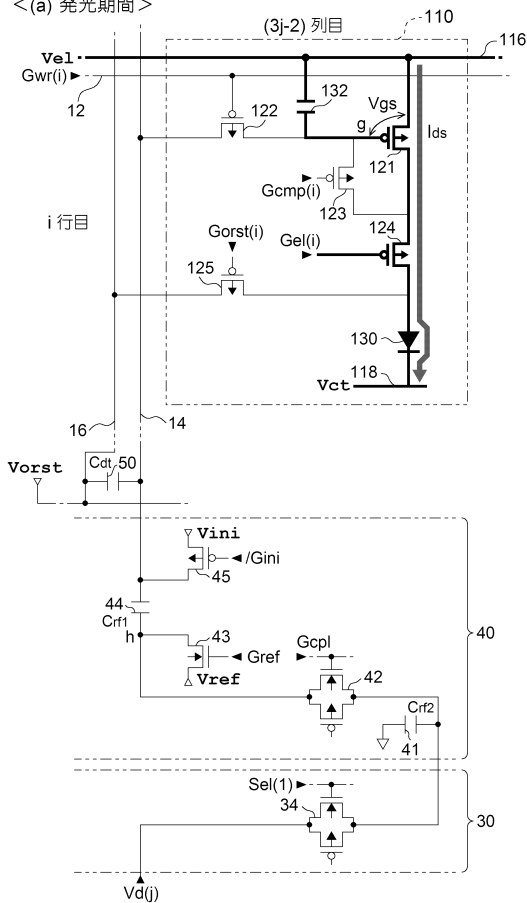


【図 20】



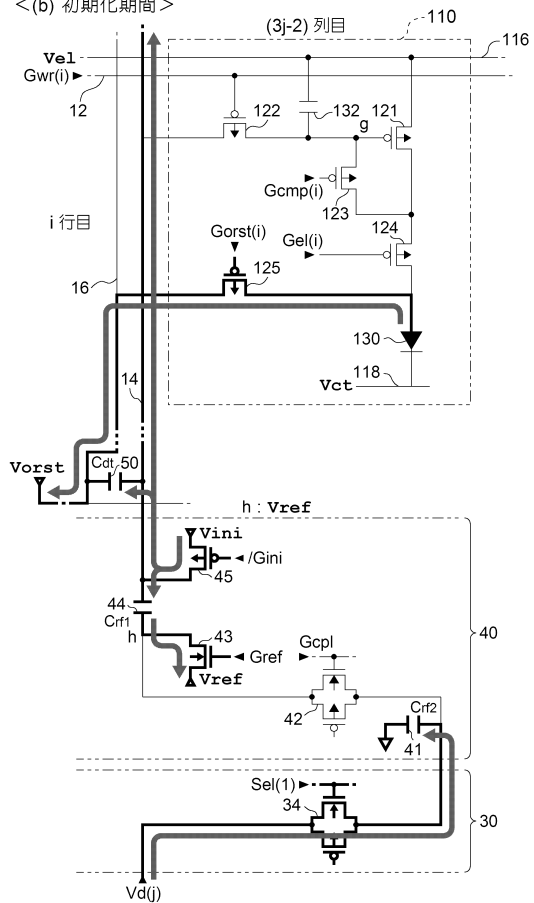
【図 21】

<(a) 発光期間>



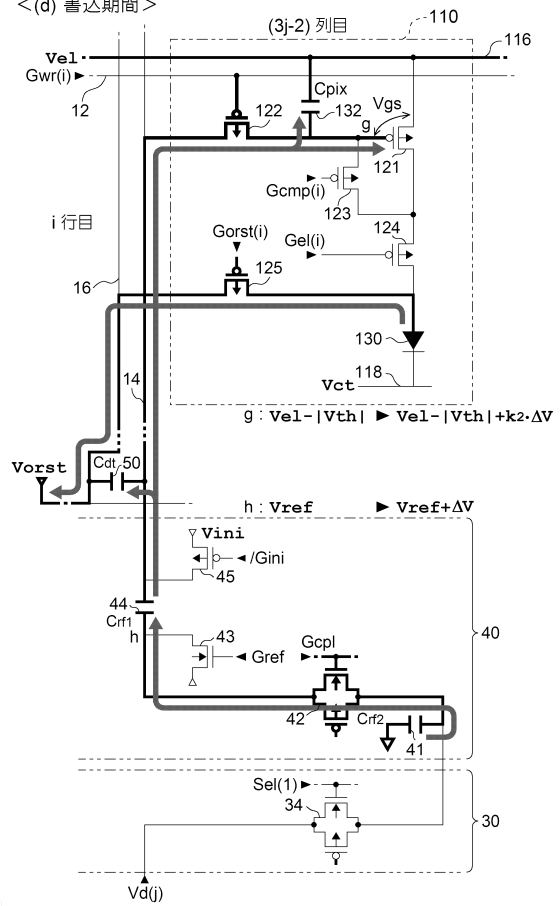
【図 22】

<(b) 初期化期間>



【 図 2 4 】

<(d) 書込期間>



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 8 0 A
	G 0 9 G	3/20	6 8 0 H
	H 0 5 B	33/14	A

審査官 武田 悟

(56)参考文献 特開 2 0 0 6 - 2 4 3 1 7 6 (J P , A)
特開 2 0 0 5 - 3 1 6 3 8 1 (J P , A)
特開 2 0 0 3 - 2 0 8 1 2 7 (J P , A)
特開 2 0 1 1 - 5 3 6 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0