



[12] 发明专利申请公开说明书

[21] 申请号 03817995.4

[43] 公开日 2005 年 9 月 21 日

[11] 公开号 CN 1672265A

[22] 申请日 2003.5.8 [21] 申请号 03817995.4

[30] 优先权

[32] 2002. 6. 21 [33] US [31] 10/177,208

[86] 国际申请 PCT/US2003/014497 2003.5.8

[87] 国际公布 WO2004/001856 英 2003.12.31

[85] 进入国家阶段日期 2005.1.27

[71] 申请人 微米技术股份有限公司

地址 美国爱达荷州

[72] 发明人 L·福布斯

[74] 专利代理机构 上海专利商标事务所有限公司

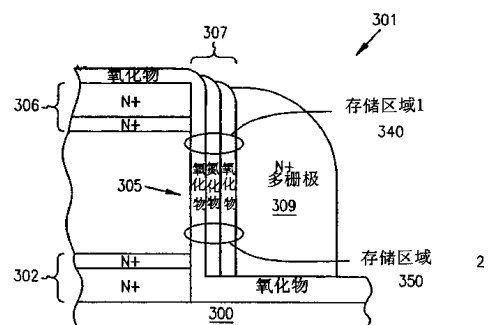
代理人 钱慰民

权利要求书 11 页 说明书 20 页 附图 8 页

[54] 发明名称 垂直 NROM

[57] 摘要

适用于垂直存储器单元的结构和方法。该垂直存储器单元包括从基片(300)向外延伸的垂直金属氧化物半导体场效应晶体管(MOSFET)(301)。该 MOSFET 具有第一源极/漏极区域(302)、第二源极/漏极区域(306)、在第一和第二源极/漏极区域之间的沟道区域(305)以及通过栅极绝缘体(307)与沟道区域(305)相隔开的栅极(309)。第一传输线与第一源极/漏极区域(302)相耦合。第二传输线与第二源极/漏极区域(306)相耦合。该 MOSFET 适用于编程以具有在栅极绝缘体(307)的第一存储区域(240)和第二存储区域(350)的至少一个区域中俘获的电荷,并且以第一源极/漏极区域(302)或者第二源极/漏极区域(306)中作为源极区域进行工作。



1. 一种垂直多比特单元，它包括：

从基片向外延伸的垂直金属氧化物半导体场效应晶体管（MOSFET），所述 MOSFET 具有第一源极/漏极区域，第二源极/漏极区域，在第一和第二源极/漏极区域之间的沟道区域，以及通过栅极绝缘体与沟道区域相隔开的栅极；

耦合于第一源极/漏极区域的第一传输线；

耦合于第二源极/漏极区域的第二传输线；以及，

其中，所述 MOSFET 是编程 MOSFET，它在栅极绝缘体中的第一存储区域和第二存储区域中至少一个区域具有编程的电荷，并且编程 MOSFET 通过将第一源极/漏极区域或者第二源极/漏极区域用作源极区域来进行操作，使得可编程 MOSFET 以减小的漏源电流进行操作。

2. 根据权利要求 1 所述多比特单元，其特征在于，在第一操作模式中，所述 MOSFET 的第一源极/漏极区域作为源极区域，而所述 MOSFET 的第二源极/漏极区域作为漏极区域，在第二操作模式中，所述 MOSFET 的第一源极/漏极区域作为漏极区域，而所述 MOSFET 的第二源极/漏极区域作为源极区域。

3. 根据权利要求 1 所述多比特单元，其特征在于，所述第一传输线包括嵌入式的位线。

4. 根据权利要求 1 所述多比特单元，其特征在于，所述 MOSFET 包括在第一存储区域和第二存储区域中编程的电荷。

5. 根据权利要求 1 所述多比特单元，其特征在于，所述第一存储区域邻近于所述第一源极/漏极区域，而所述第二存储区域邻近于所述第二源极/漏极区域。

6. 根据权利要求 5 所述多比特单元，其特征在于，在所述 MOSFET 以邻近的第一源极/漏极区域或者第二源极/漏极区域作为源极区域工作时，在所述第一电荷存储区域和第二电荷存储区域中至少一个区域中编程的电荷可创建一高电压阈值。

7. 根据权利要求 1 所述多比特单元，其特征在于，所述栅极绝缘体具有大约 10nm 的厚度。

8. 根据权利要求 7 所述多比特单元, 其特征在于, 所述栅极绝缘体包括选自自由湿氧化法所形成的二氧化硅 (SiO_2)、氮化硅 (SiN)、氮氧化硅 (SON)、富氧化硅 (SRO) 和富氧化铝 (Al_2O_3) 硅所组成的组中的栅极绝缘体。

9. 一种垂直多比特单元, 它包括:

从基片向外延伸的垂直金属氧化物半导体场效应晶体管 (MOSFET), 所述 MOSFET 具有第一源极/漏极区域, 第二源极/漏极区域, 在第一和第二源极/漏极区域之间的沟道区域, 以及通过栅极绝缘体与沟道区域相隔开的栅极;

与所述栅极相耦合的字线;

与第一源极/漏极区域相耦合的第一传输线;

与第二源极/漏极区域相耦合的第二传输线; 以及,

其中, 所述 MOSFET 是编程 MOSFET, 它具有在栅极绝缘体的第一存储区域和第二存储区域中至少有一个区域编程的电荷, 并且编程 MOSFET 以第一源极/漏极区域或者第二源极/漏极区域作为源极区域进行操作, 使得所述沟道区域具有邻近于所述第一源极/漏极区域的第一电压阈值区域 (V_{t1}) 和邻近于所述第二源极/漏极区域的第二电压阈值区域 (V_{t2}), 并且这些电压阈值区域根据所述 MOSFET 的工作方向而变化。

10. 根据权利要求 9 所述多比特单元, 其特征在于, 在所述沟道中的所述第二电压阈值区域 (V_{t2}) 邻近于所述第一源极/漏极区域, 而所述第一电压阈值区域 (V_{t1}) 邻近于所述第二源极/漏极区域, 并且当所述 MOSFET 以所述第一源极/漏极区域作为源极区域进行操作时, V_{t2} 具有比 V_{t1} 高的电压阈值。

11. 根据权利要求 9 所述多比特单元, 其特征在于, 所述栅极绝缘体具有大约 10nm 的厚度。

12. 根据权利要求 9 所述多比特单元, 其特征在于, 所述栅极绝缘体包括选自自由富氧化铝硅绝缘体, 包括纳米颗粒硅的富氧化硅、包括纳米颗粒碳化硅的二氧化硅绝缘体, 以及碳氧化硅绝缘体所组成的组中的栅极绝缘体。

13. 根据权利要求 9 所述多比特单元, 其特征在于, 所述栅极绝缘体包括复合层。

14. 根据权利要求 13 所述多比特单元, 其特征在于, 所述复合层包括选自自由氧化物-氧化铝 (Al_2O_3)-氧化物复合层, 和氧化物-碳氧化硅-氧化物

复合层所组成的组中的复合层。

15. 根据权利要求 13 所述多比特单元, 其特征在于, 所述复合层包括选自硅 (Si)、钛 (Ti) 和钽 (Ta) 中的两种或多种材料的复合层或非化学计量的单层。

16. 根据权利要求 9 所述多比特单元, 其特征在于, 所述栅极绝缘体包括氧化物-氮化物-氧化物 (ONO) 的多层。

17. 一种存储器阵列, 它包括:

多个垂直多比特单元, 它由基片向外延伸且由沟所隔开, 其中, 每个垂直多比特单元包括第一源极/漏极区域, 第二源极/漏极区域, 在第一和第二源极/漏极区域之间的沟道区域, 以及通过栅极绝缘体与沟道区域相隔开的栅极;

多条第一数据线, 它沿着所述存储阵列的列方向与各个多比特单元的第二源极/漏极区域相耦合;

多条字线, 它沿着所述存储阵列的行方向与各个多比特单元的栅极相耦合;

多条第二数据线, 它沿着所述存储阵列的列方向与各个多比特单元的第一源极/漏极区域相耦合; 以及,

其中, 至少一个多比特单元是编程 MOSFET, 它具有在栅极绝缘体的第一存储区域和第二存储区域中至少一个区域中编程的电荷, 并且编程 MOSFET 以第一源极/漏极区域或者第二源极/漏极区域作为源极区域进行操作, 使得可编程 MOSFET 以减小的漏源电流进行操作。

18. 根据权利要求 17 所述多比特单元, 其特征在于, 所述多条第二数据线包括嵌入式的数据线。

19. 根据权利要求 17 所述多比特单元, 其特征在于, 所述 MOSFET 包括在第一存储区域和第二存储区域中编程的电荷。

20. 根据权利要求 17 所述多比特单元, 其特征在于, 所述第一存储区域邻近于所述第一源极/漏极区域, 而所述第二存储区域邻近于所述第二源极/漏极区域。

21. 根据权利要求 20 所述多比特单元, 其特征在于, 在所述 MOSFET 以邻近的第一源极/漏极区域或者第二源极/漏极区域作为源极区域工作时, 在所

述第一电荷存储区域和第二电荷存储区域中至少一个区域中编程的电荷可创建一高电压阈值。

22. 根据权利要求 17 所述多比特单元，其特征在于，每个多比特单元的栅极绝缘体具有大约 10nm 的厚度。

23. 根据权利要求 17 所述多比特单元，其特征在于，所述栅极绝缘体包括选自由湿氧化法所形成的二氧化硅 (SiO_2)、氮化硅 (SiN)、氮氧化硅 (SON)、富氧化硅 (SRO) 和富氧化铝 (Al_2O_3) 硅所组成的组中的栅极绝缘体。

24. 根据权利要求 17 所述多比特单元，其特征在于，由基片向外延伸的所述多个垂直多比特单元是以等效于具有 1.0 光刻特征平方 (1F^2) 尺寸的晶体管进行工作的。

25. 一种存储器阵列，它包括：

多个垂直柱体，其在从基片向外延伸且以多个沟相隔开的行和列中形成，其中，作为晶体管的多个垂直柱体包括第一源极/漏极区域，第二源极/漏极区域，在第一和第二源极/漏极区域之间的沟道区域，以及通过沿着柱体的列方向的沟中的栅极绝缘体与沟道区域相隔开的栅极，其中，每个晶体管具有 2 光刻特征平方 (2F^2) 的区域并能够存储 2 比特，使得各个晶体管的数据存储密度为每一光刻特征平方 (1F^2) 1 比特；

多条第一传输线，它沿着所述存储阵列的列方向与各个晶体管的第二源极/漏极区域相耦合；

多条字线，它沿着所述存储阵列的行方向与各个晶体管的栅极相耦合；

多条第二传输线，它沿着所述存储阵列的列方向与各个晶体管的第一源极/漏极区域相耦合；以及，

其中，所述 MOSFET 是编程 MOSFET，它具有在栅极绝缘体的第一存储区域和第二存储区域中至少有一个区域编程的电荷，并且编程 MOSFET 以第一源极/漏极区域或者第二源极/漏极区域作为源极区域进行操作，使得所述沟道区域具有邻近于所述第一源极/漏极区域的第一电压阈值区域 (V_{t1}) 和邻近于所述第二源极/漏极区域的第二电压阈值区域 (V_{t2})，并且这些电压阈值区域根据所述 MOSFET 的工作方向而变化。

26. 根据权利要求 25 所述多比特单元，其特征在于，在所述沟道中的所

述第二电压阈值区域 (V_{t2}) 邻近于所述第一源极/漏极区域, 而所述第一电压阈值区域 (V_{t1}) 邻近于所述第二源极/漏极区域, 并且当所述 MOSFET 以所述第二源极/漏极区域作为源极区域进行操作时, V_{t1} 具有比 V_{t2} 高的电压阈值。

27. 根据权利要求 25 所述多比特单元, 其特征在于, 所述多条第一传输线包括嵌入式的数据线。

28. 根据权利要求 25 所述多比特单元, 其特征在于, 所述 MOSFET 包括在第一存储区域和第二存储区域中编程的电荷。

29. 根据权利要求 25 所述多比特单元, 其特征在于, 所述第一存储区域式邻近于所述第一源极/漏极区域, 而所述第二存储区域邻近于所述第二源极/漏极区域。

30. 根据权利要求 29 所述多比特单元, 其特征在于, 在所述 MOSFET 以邻近的第一源极/漏极区域或者第二源极/漏极区域作为源极区域工作时, 在所述第一电荷存储区域和第二电荷存储区域中至少一个区域中编程的电荷可创建一高电压阈值。

31. 一种电子系统, 它包括:

处理器; 和,

存储器件, 它与所述处理器相耦合, 其中所述存储器件包括存储器阵列, 所述存储阵列包括:

多个垂直晶体管, 它由基片向外延伸且由沟所隔开, 其中, 每个垂直晶体管包括第一源极/漏极区域, 第二源极/漏极区域, 在第一和第二源极/漏极区域之间的沟道区域, 以及通过栅极绝缘体与沟道区域相隔开的栅极;

多条第一传输线, 它沿着所述存储阵列的列方向与各个晶体管的第二源极/漏极区域相耦合;

多条字线, 它沿着所述存储阵列的行方向与各个晶体管的栅极相耦合;

多条第二传输线, 它沿着存储阵列的列方向与各个晶体管的第一源极/漏极区域相耦合;

字线地址译码器, 它与多条字线相耦合;

第一地址译码器, 它与多条第一传输线相耦合;

第二地址译码器, 它与多条第二传输线相耦合;

读出放大器，它与所述多条第一和第二传输线相耦合；以及，

其特征在于，至少一个晶体管是编程 MOSFET，它具有在栅极绝缘体的第一存储区域和第二存储区域中至少一个区域中编程的电荷，并且编程 MOSFET 以第一源极/漏极区域或者第二源极/漏极区域作为源极区域进行操作，使得所述沟道区域具有邻近于所述第一源极/漏极区域的第一电压阈值区域 (V_{t1}) 和邻近于所述第二源极/漏极区域的第二电压阈值区域 (V_{t2})，并且这些电压阈值区域根据所述 MOSFET 的工作方向而变化。

32. 根据权利要求 17 所述多比特单元，其特征在于，在所述沟道区域中的第二存储区域 (V_{t2}) 邻近于所述第一源极/漏极区域，而在所述沟道区域中的第一存储区域 (V_{t1}) 邻近于所述第二源极/漏极区域，在所述 MOSFET 以第二源极/漏极区域作为源极区域工作时， V_{t1} 具有比 V_{t2} 高的电压阈值。

33. 根据权利要求 25 所述晶体管，其特征在于，所述多条第一数据线包括嵌入式的数据线。

34. 根据权利要求 25 所述晶体管，其特征在于，所述 MOSFET 包括在第一存储区域和第二存储区域中编程的电荷。

35. 根据权利要求 25 所述晶体管，其特征在于，所述第一存储区域邻近于所述第一源极/漏极区域，而所述第二存储区域邻近于所述第二源极/漏极区域。

36. 根据权利要求 29 所述晶体管，其特征在于，在所述 MOSFET 以邻近的第一源极/漏极区域或者第二源极/漏极区域作为源极区域工作时，在所述第一电荷存储区域和第二电荷存储区域中至少一个区域中编程的电荷可创建一高电压阈值。

37. 根据权利要求 37 所述电子系统，其特征在于，每个晶体管的栅极绝缘体包括选自自由湿氧化法所形成的二氧化硅 (SiO_2)、氮化硅 (SiN)、氮氧化硅 (SON)、富氧化硅 (SRO) 和富氧化铝 (Al_2O_3) 硅所组成的组中的栅极绝缘体。

38. 根据权利要求 37 所述电子系统，其特征在于，每个晶体管的栅极绝缘体包括氧化物-氮化物-氧化物 (ONO) 的绝缘体。

39. 根据权利要求 31 所述电子系统，其特征在于，每个晶体管是以等效

于具有小于 1.0 光刻特征平方 ($1F^2$) 的尺寸的晶体管进行工作的。

40. 一种对存储器进行操作的方法，它包括：

对一个或多个垂直 MOSFET 进行编程，其中所述垂直 MOSFET 从在 DRAM 阵列中的基片向外延伸，以具有每一光刻特征平方单位区域 1 比特的存储密度，其中，在 DRAM 阵列中的每个 MOSFET 包括第一源极/漏极区域，第二源极/漏极区域，在第一和第二源极/漏极区域之间的沟道区域，以及通过栅极绝缘体与沟道区域相隔开的栅极，并且其中对一个或多个垂直 MOSFET 进行编程包括以第一方向和第二方向对一个或多个垂直 MOSFET 进行编程，其中以第一方向和第二方向进行编程包括：

将第一电势施加于所述垂直 MOSFET 的第一源极/漏极区域；

将第二电势施加于所述垂直 MOSFET 的第二源极/漏极区域；

将栅极电势施加于所述垂直 MOSFET 的栅极；以及，

其中，将第一、第二和栅极电势施加于一个或多个垂直 MOSFET 包括使得将热电子注入到所述一个或多个 MOSFET 的栅极绝缘体中，从而编程的 MOSFET 具有在所述栅极绝缘体中的第一存储区域和第二存储区域的至少一个区域中编程的电荷，并且所述编程 MOSFET 以所述第一源极/漏极区域或者第二源极/漏极区域中作为源极区域进行工作。

41. 根据权利要求 40 所述方法，其特征在于，当以第一方向进行编程时，将第一电势施加于所述垂直 MOSFET 的第一源极/漏极区域包括将所述垂直 MOSFET 的第一源极/漏极区域接地，将第二电势施加于所述第二源极/漏极区域包括将一高电势 (VDD) 施加于所述第二源极/漏极区域，以及将栅极电势施加于所述栅极，以在所述垂直 MOSFET 的第一和第二源极/漏极区域之间创建导通沟道。

42. 根据权利要求 41 所述方法，其特征在于，所述方法还包括以第一方向读取在所述 DRAM 阵列中的一个或多个垂直 MOSFET，其中以第一方向读取一个或多个垂直 MOSFET 还包括：

将所述第二源极/漏极区域接地；

将所述第一源极/漏极区域充电至 VDD 的一部分电压；以及，

将大约 1.0V 的栅极电势施加于所述栅极。

43. 根据权利要求 42 所述方法, 其特征在于, 当以第一方向进行编程时, 使得将热电子注入到一个或多个垂直 MOSFET 的栅极绝缘体中包括在邻近于所述第二源极/漏极区域的栅极绝缘体中的第一存储区域俘获电荷, 使得在以第一方向读取所述 MOSFET 时, 所述 MOSFET 具有邻近于所述第一源极/漏极区域的第一阈值电压区域 (V_{t1}) 和邻近于所述第二源极/漏极区域的第二阈值电压区域 (V_{t2}), 其中 V_{t2} 大于 V_{t1} , 并且所述 MOSFET 以减小的漏源电流进行工作。

44. 根据权利要求 43 所述方法, 其特征在于, 在邻近于所述第二源极/漏极区域的栅极绝缘体中俘获电荷包括当所述 MOSFET 以第一方向进行读取时将 V_{t2} 中的标称阈值电压增加大约 0.5V。

45. 根据权利要求 44 所述方法, 其特征在于, 以第一和第二方向读取一个或多个 MOSFET 包括使用读出放大器来检测合成漏极电流中的变化, 并且当以第一方向读取时, 若寻址大约 10ns 且在所述第一电荷存储区域中没有编程的电荷, 则所述 MOSFET 将呈现出大约 12.5 μ A 的合成漏极电流变化。

46. 根据权利要求 44 所述方法, 其特征在于, 当以第二方向进行编程时, 将第一电势施加于所述垂直 MOSFET 的第一源极/漏极区域包括将一高电势 (V_{DD}) 施加于所述垂直 MOSFET 的第一源极/漏极区域, 将第二电势施加于所述第二源极/漏极区域包括将所述第二源极/漏极区域接地, 以及将栅极电压势施加于所述栅极, 以在所述垂直 MOSFET 的第一和第二源极/漏极区域之间创建导通沟道。

47. 根据权利要求 46 所述方法, 其特征在于, 所述方法还包括以第二方向读取在所述 DRAM 阵列中的一个或多个垂直 MOSFET, 其中以第二方向读取一个或多个垂直 MOSFET 包括:

将所述第一源极/漏极区域接地;

将所述第二源极/漏极区域充电至 V_{DD} 的一部分电压; 以及,

将大约 1.0V 的栅极电压势施加于所述栅极。

48. 根据权利要求 47 所述方法, 其特征在于, 当以第二方向进行编程时, 使得将热电子注入到一个或多个垂直 MOSFET 的栅极绝缘体中包括在邻近于所述第一源极/漏极区域的栅极绝缘体的第二存储区域中俘获电荷, 使得当所述

MOSFET 以第二方向进行读取时, 所述 MOSFET 具有邻近于所述第一源极/漏极区域的第一阈值电压区域 (V_{t1}) 和邻近于所述第二源极/漏极区域的第二阈值电压区域 (V_{t2}), 且 V_{t1} 大于 V_{t2} 并且所述 MOSFET 以减小的漏源电流进行工作。

49. 根据权利要求 48 所述方法, 其特征在于, 在邻近于所述第一源极/漏极区域的栅极绝缘体中俘获电荷包括当所述 MOSFET 以第一方向进行读取时将 V_{t1} 中的标称阈值电压增加大约 0.5V。

50. 根据权利要求 49 所述方法, 其特征在于, 以第一和第二方向读取一个或多个 MOSFET 包括使用读出放大器来检测在合成漏极电流中的变化, 并且当以第二方向读取时, 若寻址大约 10ns 且在所述第二电荷存储区域中没有编程的电荷, 则所述 MOSFET 将呈现出大约 12.5 μ A 的合成漏极电流变化。

51. 一种形成存储器的方法, 它包括:

形成垂直多比特单元, 其中形成所述垂直多比特单元包括:

形成垂直金属氧化物半导体场效应晶体管 (MOSFET), 它从基片向外延伸, 所述 MOSFET 具有第一源极/漏极区域, 第二源极/漏极区域, 在第一和第二源极/漏极区域之间的沟道区域, 以及通过栅极绝缘体与沟道区域相隔开的栅极;

形成第一传输线, 它与第一源极/漏极区域相耦合;

形成第二传输线, 它与第二源极/漏极区域相耦合; 以及,

其中, 形成所述 MOSFET 包括形成适用于编程以具有在栅极绝缘体的第一存储区域和第二存储区域中至少有一个区域中编程的电荷的 MOSFET, 并且该 MOSFET 以第一源极/漏极区域或者第二源极/漏极区域作为源极区域工作, 使得编程的 MOSFET 以减小的漏源电流工作。

52. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 使得在第一操作模式中以所述 MOSFET 的第一源极/漏极区域作为源极区域而以所述 MOSFET 的第二源极/漏极区域作为漏极区域, 并且在第二操作模式中以所述 MOSFET 的第一源极/漏极区域作为漏极区域而以所述 MOSFET 的第二源极/漏极区域作为源极区域。

53. 根据权利要求 51 所述方法, 其特征在于, 形成所述第一传输线包括

形成嵌入式的位线。

54. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成适用于编程以具有在第一存储区域和第二存储区域中俘获的电荷的 MOSFET。

55. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 使得所述第一存储区域邻近于第二源极/漏极区域而所述第二存储区域邻近于第一源极/漏极区域。

56. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 使得在所述第一电荷存储区域和所述第二电荷存储区域的至少一个区域中编程的电荷创建高电压阈值, 并在所述 MOSFET 以所述第一源极/漏极区域或者所述第二源极/漏极区域中所邻近的一个区域作为所述源极区域进行工作时, 以减小的漏源电流来工作。

57. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 使得所述栅极绝缘体所具有的厚度为大约 10nm。

58. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 以具有选自由湿氧化法所形成的二氧化硅 (SiO_2)、氮化硅 (SiN)、氮氧化硅 (SON)、富氧化硅 (SRO) 和富氧化铝 (Al_2O_3) 硅所组成的组中的栅极绝缘体。

59. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 以具有选自由富氧化铝硅绝缘体, 包括纳米颗粒硅的富氧化硅、包括纳米颗粒碳化硅的二氧化硅绝缘体, 以及碳氧化硅绝缘体所组成的组中的栅极绝缘体。

60. 根据权利要求 51 所述方法, 其特征在于, 形成所述 MOSFET 包括形成所述 MOSFET 以具有复合层栅极绝缘体。

61. 根据权利要求 60 所述方法, 其特征在于, 形成所述具有复合层栅极绝缘体的 MOSFET 包括形成选自由氧化物-氧化铝 (Al_2O_3)-氧化物复合层, 和氧化物-碳氧化硅-氧化物复合层组成的组中的复合层栅极绝缘体。

62. 根据权利要求 60 所述方法, 其特征在于, 形成所述具有复合层栅极绝缘体的 MOSFET 包括形成选自硅 (Si)、钛 (Ti) 和钽 (Ta) 中两种或多种

材料的复合层栅极绝缘体或者非化学计量的单层。

63. 根据权利要求 51 所述方法，其特征在于，形成所述 MOSFET 包括形成所述 MOSFET 使得所述栅极绝缘体包括氧化物-氮化物-氧化物（ONO）的多层。

64. 根据权利要求 51 所述方法，其特征在于，形成所述 MOSFET 包括形成具有每一光刻特征平方（ $1F^2$ ）1 比特的数据存储密度的 MOSFET。

垂直 NROM

相关申请的交叉引用

本发明涉及下列待决并共同转让的美国专利申请：美国专利申请序列号 10/177,077、代理证书 No.1303.052US1、题为“Write Once Read Only Memory Employing Charge Trapping in Insulators”；美国专利申请序列号 10/177,083、代理证书 No.1303.051US1、题为“Write Once Read Only Memory Employing Floating Gates”；美国专利申请序列号 10/177,214、代理证书 No.1303.054US1、题为“Nanocrystal Write Once Read Only Memory for Archival Storage”；美国专利申请序列号 10/177,213、代理证书 No.1303.055US1、题为“Write Once Read Only Memory with Large Work Function Floating Gates”；美国专利申请序列号 10/177,082、代理证书 No.1303.058US1、题为“Ferroelectric Write Once Read Only Memory for Archival Storage”；美国专利序列号 10/177,211、代理证书 No.1303.053US1、题为“Multistate NROM Having a Storage Density Much Greater than 1 Bit per $1F^2$ ”，上述专利在同一天提交，且通过引用合并与此。

发明领域

本发明主要涉及半导体集成电路，尤其涉及垂直 NROM，该 NROM 具有每 1.0 平版特征平方（lithographic feature squared）（ $1F^2$ ）单位区域 1 比特的存储密度。

发明背景

许多电子产品都需要各种不同数量的存储器，用于存储信息，例如，数据。一种通用类型的高速度、低成本存储器包括动态随机存储器（DRAM），该 DRAM 是由以阵列形式排列的各个 DRAM 单元所构成。DRAM 单元包括与电容器单元相耦合的存取晶体管，例如，金属氧化物半导体场效应晶体管（MOSFET）。随着 DRAM 芯片的成功生产，重点是继续增加阵列的密度以及

使得芯片的实际状态最大化，同时使得制造的成本最小化。另外，还希望在少量或者不改动 DRAM 最佳工艺流程的条件下，增加阵列的密度。

对现有存储器的需求是只希望进行有限次的编程，例如，对于在摄像机中所使用的电子胶片。如果存储器阵列具有非常之高的密度，就能够在摄像机中存储大量的非常高分辨率的图像。如果存储器是廉价的，则可以用于取代在常规摄像机中用于存储图像的光敏胶片。

于是，就需要改进可与高密度存储器单元相兼容的 DRAM 技术。希望能够在少量或者不改动 DRAM 处理流程的条件下在 DRAM 芯片上制造出这类存储器单元。还希望这类存储器单元能够以常规摄像机所使用的较低的编程电压进行工作，且同时能够保持足够的电荷来耐受由于电路工作所产生的寄生电容和噪声效应。

发明概述

本发明主要针对以上所提及的用于建立 DRAM 技术高密度存储单元的问题以及其他问题，通过阅读和研究以下说明将会进一步得到理解。本揭示教授了一种使用 MOSFET 器件作为 DRAM 集成电路中的多比特存储器单元的结构和方法。该结构和方法采用了适用于 DRAM 技术中的 MOSFET 的现有处理流程。

特别是，本发明所说明的实施例包括一种垂直多比特存储器单元。该垂直多比特存储器单元可包括从基片向外延伸的垂直金属氧化物半导体场效应晶体管（MOSFET）。该 MOSFET 具有第一源极/漏极区域，第二源极/漏极区域，在第一和第二源极/漏极区域之间的沟道区域，以及通过栅极绝缘体而与沟道区域相隔开的栅极。第一传输线与第一源极/漏极区域相耦合，第二传输线与第二源极/漏极区域相耦合。MOSFET 可以用于编程，使得在栅极绝缘体中的第一存储区域和第二存储区域中至少有一个区域具有捕获的电荷并且使得第一源极/漏极区域或者第二源极/漏极区域可以作为源极区域工作。

本发明的上述以及其它实施例、方面、优点以及特征将在以下讨论部分中进行阐述，对于本领域中熟练的技术来说，通过参考下列本发明的说明和附图或者通过实现本发明这些将变得显而易见。通过在所附权利要求书中特别指出

的手段、过程和组合来实现和获得本发明的各个方面、优点和特征。

附图简述

图 1A 是根据现有技术的指导在基片中的金属氧化物半导体场效应晶体管 (MOSFET) 的方框图;

图 1B 图示说明了图 1A 所示 MOSFET 的正向工作状态, 并显示了由于逐渐使用在漏极区域附近的栅极氧化层中俘获的电子而导致器件某种程度的退化;

图 1C 显示了常规 MOSFET 漏极区域所产生的电流信号 (I_{ds}) 的平方根对于在栅极和源极区域之间所建立的电势的图形;

图 2A 是根据本发明教导用作多比特单元的可编程 MOSFET 的示意图;

图 2B 是用于解释对本发明多比特单元的 MOSFET 进行编程以获得本发明实施例的方法的示意图;

图 2C 是描绘在漏极区域所检测到的电流信号 (I_{ds}) 对于在漏极区域和源极区域之间所建立的电势或漏极电压 (V_{DS}) (I_{ds} 对 V_{DS}) 的示意图;

图 3A 图示说明了根据本发明教导的垂直 NROM 301, 该 NROM 具有每一光刻特征平方 (photolithographic feature squared) ($1F^2$) 单位区域 1 比特的存储密度;

图 3B 图示说明了用于图 3A 所示垂直 NROM 器件的电等效电路;

图 4A 图示说明了根据本发明教导的存储器阵列 400 的一部分;

图 4B 图示说明了用于图 4A 所示的一部分存储器阵列的电等效电路 400;

图 5A—5B 图示说明了根据本发明教导所形成的新颖垂直多比特单元的工作;

图 6 图示说明了常规 DRAM 单元的操作;

图 7 图示说明了根据本发明教导的存储器件; 和,

图 8 是使用根据本发明所构成的使用垂直多比特单元的电气系统或者基于处理器的系统的方框图。

较佳实施例描述

在下列本发明的详细描述中，通过参考构成本发明一部分的附图以及附图的显示和说明，就可以实现本发明的特定实施例。在附图中，类似的数字描述附图中基本类似的元件。以充分详细的方式讨论了这些实施例，使得本领域技术人员都能够实现本发明。也可以采用其它实施例，并且可以在没有脱离本发明范围的条件下进行结构、逻辑和电气的改变。

在以下讨论中所使用的术语“晶片”和“基片”包括具有可形成本发明集成电路（IC）结构的外延表面的任何结构。术语基片可以理解成包括半导体晶片。术语基片也可以用来指在处理过程中的半导体结构，并且可以包括其表面上已经制成的其它层。晶片和基片都包括了掺杂和不掺杂的半导体，有基础半导体或绝缘体所支撑的外延半导体层，以及其它半导体结构，这些都是本领域中技术人士所熟知的。术语“导体”可以理解成包括半导体，而术语“绝缘体”可定义成包括任何其导电性比称为导体的材料的导电性差的材料。因此，下列详细描述并不能限制范围，而是本发明范围仅仅是由后附的权利要求以及所赋予等效于权利要求的整个范围所限定。

图 1A 用于图示说明诸如在 DRAM 阵列中所使用的 MOSFET 的常规工作。图 1A 图示说明了正常热电子注入和正向工作器件的性能下降。正如以下所说明的，由于电子被俘获在漏极附近，因此它们不能非常有效地改变器件的特性。

图 1A 是在基片 100 中的金属氧化物半导体场效应晶体管（MOSFET）的方框图。MOSFET 101 包括：源极区域 102、漏极区域 104、在源极区域 102 和漏极区域 104 之间的基片 100 中的沟道区域 106。栅极 108 利用栅极氧化层 110 与沟道区域 108 相隔开。源线 112 与源极区域 102 相耦合，位线 114 与漏极区域 104 相耦合，字线 116 与栅极 108 相耦合。

在常规的工作中，在漏极区域 104 和源极区域 102 之间建立漏极至源极的电势（ V_{ds} ）。随后，通过字线 116 向栅极 108 施加一电势。一旦施加于栅极 108 的电势超过 MOSFET 的特征电压阈值（ V_t ），就在漏极区域 104 和源极区域 102 之间的基片 100 中形成沟道 106。沟道 106 的形成允许在漏极区域 104 和源极区域 102 之间导通，并且能够在漏极区域 104 检测到电流信号（ I_{ds} ）。

在图 1A 所示的常规 MOSFET 的工作中，由于电子 117 俘获在漏极区域 104 附近的栅极氧化层 110 中，所以正向工作的 MOSFET 就会逐渐发生某种程

度的器件退化。图 1B 图示说明了这种效应。然而，由于电子 117 被俘获在漏极区域 104 附近，所以它们就不能够非常有效地改变 MOSFET 的特性。

图 1C 说明了这一点。图 1C 是显示在漏极区域中所取得的电流信号 (I_{ds}) 的平方根对于在栅极 108 和源极区域 102 之间所建立的电势 (V_{GS}) 之间关系的图形。 $\sqrt{I_{ds}}$ 与 V_{GS} 曲线的斜率变化表示在沟道 106 中的电荷载流子迁移率的变化。

在图 1C 中， ΔV_T 表示在正常操作中由于器件退化引起的由漏极区域 104 附近的栅极氧化物中所俘获电子逐渐产生的 MOSFET 阈值电压中的最小变化。这就产生了漏极区域 104 附近栅极氧化层 110 中固定的俘获电荷。斜率 1 表示了图 1A 在栅极氧化 110 中没有俘获电子时沟道 106 中的电荷载流子的迁移率。斜率 2 表示在图 1B 所示常规 MOSFET 在漏极区域 104 附近的栅极氧化层 110 中具有俘获电子 117 时沟道 116 中的电荷载流子的迁移率。正如图 1C 的斜率 1 和斜率 2 的比较所示，在常规 MOSFET 的漏极区域 104 附近的栅极氧化物 110 中所俘获的电子并没有明显改变在沟道 116 中的电荷迁移率。

存在着两部分应力和热电子注入的效应。一部分包括由于俘获电子所引起的阈值电压的漂移，第二部分包括由于该俘获电荷和其它表面状态产生的载流子电子的额外散射所引起的迁移率下降。当常规 MOSFET 退化时，或者在正向工作中“受到应力”时，电子就逐渐注入并被俘获在漏极附近的栅极氧化层中。在常规的 MOSFET 的这一部分中，在栅极氧化层下实质上没有垂直的沟道。于是，所俘获得电子就只能够些微调制阈值电压和电荷迁移率。

本发明原先已经讨论了根据常规 CMOS 加工工艺和技术中 MOSFET 反向应力的可编程存储器件和功能，以便于形成可编程地址解码和校正（见，L.forbes, W.P.Noble 和 E.H.Cloud 的发明，题为“MOSFET technology for programmable address decode and correction”，美国专利申请序列号 09/383,804，现公布为美国专利 No. 6,521,958）。然而，该披露没有讨论垂直多比特单元的解决方案，只是讨论了地址译码和校正的问题。

根据本发明的教导，常规的 MOSFET 都可以通过反向工作并且使用雪崩热电子注入而在 MOSFET 的栅极氧化层中俘获电子来进行编程。当 MOSFET 随后以正向方式工作时，在氧化层中所俘获得电子就在源极附近，并且会产生

具有两种不同阈值电压区域的沟道。本发明的新颖可编程 MOSFET 明显地比常规 MOSFET 传导更小的电流，特别是在低漏极电压的情况下。除非施加负的栅极电压，这些电子将一直都保持俘获在栅极氧化层中。当施加正的或者零栅极电压时，这些电子不能够从栅极氧化层中去除。通过施加负的栅极电压和/或随所施加的负的栅极偏置增加温度使得所俘获的电子重新激发返回到 MOSFET 的硅沟道中，来完成擦除（见 L.Forbes, E.Sun, R.Alder 和 J.Moll 发表的，题为“Field induced re-emission of electrons trapped in SiO₂”，IEEE Trans. Electron Device, vol.ED-26, no.11, pp.1816-1818, 1979 年 11 月）；S.S.B.Or, N.Hwang 和 L.Forbes 发表的，题为“Tunneling and Thermal emission from a distribution of deep traps in SiO₂”，IEEE Trans. on Electron Device, vol.40, no.6, pp.1100-1103（1993 年 6 月）；S.A.Abbas 和 R.C.Dockerty 发表的，题为“N-channel IGFET design limitations due to hot electron trapping”，IEEE Int. Electron Devices Mtg., Wahshington D.C., 1975 年 12 月, pp.35-38）。

图 2A—2C 的图示说明适用于本发明的说明，其中，通过以反向对器件进行编程并随后以正向对其进行操作读取器件的方式获得在器件特性中的较大变化。

图 2A 是根据本发明教导用作多比特单元的可编程 MOSFET 的示意图。正如图 2A 所示，多比特单元 201 包括在基片 200 中的 MOSFET，其中基片具有第一源极/漏极区域 202，第二源极/漏极区域 204，以及在第一和第二源极/漏极区域 202 和 204 之间的沟道区域 206。在一个实施例中，第一源极/漏极区域 202 包括 MOSFET 的源极区域，并且第二源极/漏极区域 204 包括 MOSFET 的漏极区域 204。图 2A 还图示说明了通过栅极氧化层 210 与沟道区域 206 相隔离的栅极 208。第一传输线 212 与第一源极/漏极区域 202 相耦合，第二传输线 214 与第二源极/漏极区域 204 相耦合。在一个实施例中，第一传输线包括源线 212 以及第二传输线包括位线 214。

正如以上所阐述的，多比特单元 201 是由可编程的 MOSFET 所构成。该可编程 MOSFET 具有在邻近第一源极/漏极区域 202 的栅极氧化层 210 中所俘获的电荷 217，使得沟道区域 206 具有在沟道 206 中具有第一电压阈值区域（Vt1）和第二电压阈值区域（Vt2）。在一个实施例中，在邻近第一源极/漏极

区域 202 的栅极氧化层 210 中所俘获的电荷 217 包括所俘获的电子电荷 217。根据本发明的教导以及以下更详细的讨论，可以对多比特单元进行编程，使之在栅极绝缘体 210 的第一存储区域和第二存储区域中的至少一个区域中存储电荷，并且第一源极/漏极区域 202 或者第二源极/漏极区域 204 可以作为源极区域进行工作，从而多比特单元 201 可具有第一电压阈值区域 (V_{t1}) 和第二电压阈值区域 (V_{t2}) 并且可编程的多比特单元可以减小的漏源电流进行工作。

图 2A 图示说明了在沟道 206 中的 V_{t2} 接近于第一源极/漏极区域 202 和在沟道 206 中的 V_{t1} 接近于第二源极/漏极区域 204。然而，本发明并不限制于此。在一个实施例中， V_{t1} 可接近于第一源极/漏极区域。根据本发明的教导， V_{t2} 和 V_{t1} 都可以根据多比特单元的工作方向而变化。采用这样一种方式，就可以将多个比特存储于多比特单元 201 中。

图 2B 是适用于解释通过对本发明的多比特单元 201 的 MOSFET 的编程以获得本发明实施例的方法的示意图。正如图 2B 所示，该方法包括以反向对 MOSFET 进行编程。以反向对 MOSFET 进行编程包括将第一电势 V_1 施加于 MOSFET 的漏极区域 204。在一个实施例中，将第一电势 V_1 施加于 MOSFET 的漏极区域 204 包括将 MOSFET 的漏极区域 204 接地，正如图 2B 所示。将第二电势 V_2 施加于 MOSFET 的源极区域 202。在一个实施例中，将第二电压势 V_2 施加于 MOSFET 的源极区域 202 包括将高的正电势 (V_{DD}) 施加于 MOSFET 的源极区域 202，正如图 2B 所示。将栅极电势 V_{GS} 施加于 MOSFET 的栅极 208。在一个实施例中，栅极电势 V_{GS} 包括小于第二电压势 V_2 但足以在漏极区域 204 和源极区域 202 之间的 MOSFET 沟道 206 中建立传导的电势。正如图 2B 所示，向 MOSFET 施加第一、第二和栅极电势（分别为 V_1 、 V_2 和 V_{GS} ）就会使得热电子注入于邻近源极区域 202 的 MOSFET 的栅极氧化层 210 中。换句话说，施加第一、第二和栅极电势（分别为 V_1 、 V_2 和 V_{GS} ）就为在沟道 206 中流动的电荷载流子（即，电子）提供了足够的能量，一旦电荷载流子积聚在源极区域 200 附近，就使得大量电荷载流子激发进入邻近源极区域 202 的栅极氧化层 210 中。于是，电荷载流子就变成俘获的载流子。

在本发明的一个实施例中，上述方法通过随后在读取操作编程状态中以正向对 MOSFET 进行操作来继续。因此，读取操作包括将源极区域 202 接地并以

VDD 的一部分电压对漏极区域进行预充电。如果器件可以采用与栅极相耦合的字线寻址的话，则它的导电性可以根据在栅极绝缘体中是否存储电荷来确定。即，栅极电势可以通过字线 216 施加于栅极 208，以便于在源极和漏极区域之间形成导通的沟道，正如寻址和读取常规 DRAM 单元所进行的。

然而，现在处于编程状态中，MOSFET 的导通沟道 206 将具有邻近漏极区域 204 的第一电压阈值区域 (V_{t1}) 和邻近源极区域 202 的第二电压阈值区域 (V_{t2})，正如结合图 2A 所作的详细解释和讨论那样。根据本发明的教导， V_{t2} 具有大于 V_{t1} 的电压阈值，这是由于热电子 217 注入到邻近源极区域 202 的 MOSFET 的栅极氧化层 210 中的缘故。

图 2C 是表示在第二源极/漏极区域 204 处检测的电流信号 (I_{ds}) 对于在第二源极/漏极区域 204 和第一源极/漏极区域 202 之间所建立的电势或者漏极电压 (V_{DS}) 之间的关系图形。在一个实施例中， V_{DS} 表示在漏极区域 204 和源极区域 202 之间所建立的电势。在图 2C 中，曲线 D1 表示常规 MOSFET 的导通行为，该常规 MOSFET 不是根据本发明所教导的进行编程。曲线 D2 表示根据本发明所教导的可编程 MOSFET 的导通行为，正如结合图 2A 所讨论的。正如图 2C 所示，对于特定的漏极电压 V_{DS} 来说，在可编程 MOSFET (曲线 D2) 的第二源极/漏极区域 204 所检测到的电流信号 (I_{DS2}) 明显小于在没有根据本发明教导进行编程的常规 MOSFET (曲线 D1) 的第二源极/漏极区域 204 所检测到的电流信号 (I_{DS1})。这还是由于在本发明的可编程 MOSFET 的沟道 206 具有两个电压阈值区域以及由于电荷俘获于邻近第一源极/漏极区域 202 的栅极氧化层 217 中，使得邻近第一源极/漏极区域 202 的电压阈值 V_{t2} 高于邻近第二源极/漏极区域的电压阈值 V_{t1} 这些事实而产生的。

最近，已经研究将上述部分效应应用于不同的器件结构，例如，闪存中的 NROM。在以色列和德国所开展的研究工作是基于采用在非常规闪存器件结构中的氮化硅层中所俘获的电荷(见, B.Eitan 等人所发表的、题为“Characterization of Channel Hot Electron Injection by the Subthreshold slope of NROM device”，IEEE Electron Device Lett., Vol. 22, No.11, pp.556-558, (2001 年 11 月); B.Etian 等人发表的、题为“NROM: A novel localized Trapping, 2Bit Nonvolatile Memory Cell”，IEEE Electron Device Lett., Vol. 21, No.11, pp.543-545, (2000 年 11 月)。

电荷在氮化硅栅极绝缘体中的俘获是 MNOS 存储器件中所使用的基本机制（见，S.Sze 所著的、题为“Physice of Semiconductor Devices”，Wiley N.Y. 1981 年出版，pp.504-506），电荷在氧化铝栅极中的俘获是 MIOS 存储器件中所使用的机制（见，S.Sze 所著的、题为“Physice of Semiconductor Devices”，Wiley N.Y. 1981 年出版，pp.504-506），以及本发明的发明人先前已经讨论的在栅极绝缘体中电荷在孤立点处俘获的缺陷（见，L.Forbes 和 J.Geusic 的、题为“Memory using insulator traps”的美国专利 6,140,181，2000 年 10 月 31 日公告）。

与上述工作相比较，本发明披露了对 MOSFET 进行反向编程以在邻近于第一或者第二源极/漏极区域的栅极绝缘体中的第一或者第二存储区域中俘获电荷。该 MOSFET 可以两个方向进行编程和工作，使得 MOSFET 可以具有 $1\text{bit}/1\text{F}^2$ 的存储密度。该 MOSFET 可以第一或者第二源极/漏极区域中的一个区域作为源极来工作，使得在邻近于作为源极所使用的第一或第二源极/漏极区域的第一或第二存储区域中的栅极绝缘体中所俘获得电提供减小的漏源电流。具有 $1\text{bit}/1\text{F}^2$ 存储密度的 MOSFET 是基于 DRAM 技术的改进。

现有的 DRAM 技术一般都是采用氧化硅作为栅极绝缘体。此外，在常规 DRAM 器件中的重点在于试图最小化在氧化硅栅极绝缘体中所俘获的电荷。根据本发明的教导，可以使用多种绝缘体来俘获电荷，它比氧化硅更加有效。即，在本发明中，垂直多比特存储单元使用在栅极绝缘体中所俘获的电荷，该栅极绝缘体可包括诸如湿的氧化硅、氮化硅、氮氧化硅 SON、富氧化硅 SRO、氧化铝 Al_2O_3 、诸如氧化物以及氮化硅，或者氧化物以及氧化铝之类绝缘体的复合层、或者诸如氧化物—氮化物—氧化物之类的多层。氧化硅的电荷俘获效率可以低于不是氮化硅或者氧和氮化硅的复合层的情况。

图 3A 根据本发明教导图示说明了一种垂直 NROM 301，它可具有每一光刻特征平方（ 1F^2 ）单位区域 1 比特的存储密度。正如图 3A 所示，垂直 NROM 301 包括从基片 300 向外延伸的垂直金属氧化物半导体场效应晶体管（MOSFET）301。该 MOSFET 301 具有第一源极/漏极区域 302，其中在 n 沟道该实施例中包括与 n 型掺杂区域层叠的重掺杂（ n^+ ）n 型区域。MOSFET 301 包括类似结构的第二源极/漏极区域 306。沟道区域 305 分别位于第一和第二源极/漏极区域 302 和 306 之间的垂直柱体中。正如在图 3A 所示的实施例中，栅

极 309 通过栅极绝缘体 307 与沟道区域 305 相隔开,栅极 309 位于沟道区域 305 的相反方向的沿着垂直柱体的一侧。在图 3 所示的实施例中,栅极绝缘体 307 包括由氧化物-氮化物-氧化物(ONO)组合物所形成的栅极绝缘体 307。在以下所讨论的另一选择实施例中,栅极绝缘体 307 包括选自由湿氧化法所形成的二氧化硅(SiO_2)、氮化硅(SiN)、氮氧化硅(SON)、富氧化硅(SRO)和富氧化铝(Al_2O_3)硅所组成的组中的栅极绝缘体。在一个实施例中,栅极绝缘体 307 具有的厚度大约为 10 纳米(nm)。在其它实施例中,栅极绝缘体 307 包括选自由富氧化铝硅绝缘体,包括纳米颗粒硅的富氧化硅、包括纳米颗粒碳化硅的二氧化硅绝缘体,以及碳氧化硅绝缘体所组成的组中的栅极绝缘体 307。在还有一个实施例中,栅极绝缘体 307 包括选自由氧化物-氧化铝(Al_2O_3)-氧化物复合层,以及氧化物-碳氧化硅-氧化物复合层所组成的组中的复合层的栅极绝缘体 307。在还有一个实施例中,栅极绝缘体 307 包括具有选自硅(Si)、钛(Ti)和钽(Ta)材料中的两个或多个材料的复合层或者非化学计量的单层的栅极绝缘体 307。

图 3B 图示说明了图 3A 所示的垂直 NROM 器件的电等效电路。正如图 3B 所示,第一传输线 304 与第一源极/漏极区域 302 相耦合。第二传输线 311 与第二源极/漏极区域 306 相耦合。由 317 所示的圆圈表示在栅极绝缘体 307 中所俘获的电荷。于是,在图 3A 所示的实施例中,栅极绝缘体包括 ONO 层,阱 317 表示电子可存储于 ONO 栅极绝缘体 307 的氮中的位置。

根据本发明的教导,垂直 MOSFET 是一个可编程 MOSFET,它在栅极绝缘体 307 的第一存储区域 340 和第二存储区域 350 中至少一个区域中具有可编程的电荷。在图 3A 所示的实施例中,第一存储区域 340 邻近于或者靠近第二源极/漏极区域 306,而第二存储区域 350 邻近于或者靠近第一源极/漏极区域 302。指定的第一或第二存储区域提供在图 3A 所示实施例中的特定关系的参考,但这并不试图限制与此,而替换地,第一存储区域可以与第一源极/漏极区域相关联,第二存储区域可以与第二源极/漏极区域有关。

根据本发明的教导和以下更加详细的讨论,垂直 MOSFET 301 可以第一或第二方向工作,即,第一和第二模式。也就是说,垂直 MOSFET 301 可以第一源极/漏极区域 302 或者源极/漏极区域 306 作为源极区域来工作。正如本领

域中的技术人士阅读本发明后所理解的那样，当读取分别存储于第一或者第二存储区域 340 和 350 中的可编程电荷状态时，垂直 MOSFET 可以减小的漏源电流来工作。

例如，在一个实施例中，第一操作模式中 MOSFET 的第一源极/漏极区域用作源极区域，而 MOSFET 的第二源极/漏极区域用作漏极区域，第二操作模式中 MOSFET 的第一源极/漏极区域用作漏极区域，而 MOSFET 的第二源极/漏极区域用作源极区域。

正如本领域中的技术人士阅读本发明后所理解的那样，以及根据本发明的教导，在一个实施例中，垂直 MOSFET 具有每一光刻特征平方 ($1F^2$) 单位区域 1 比特的存储密度，因为可以将一比特写入或者存储于第一存储区域 340 和第二存储区域 350，也可以从第一存储区域 340 和第二存储区域 350 读取一比特。于是，在部分实施例中，MOSFET 包括在第一存储区域 340 和第二存储区域 350 中编程的电荷。

正如本领域中的技术人士阅读本发明后所理解的那样，在 MOSFET 是以邻近的第一源极/漏极区域 302 或者第二源极/漏极区域 306 作为源极区域工作时，在第一存储区域 340 和第二存储区域 350 中至少一个区域中编程的电荷可建立一个高的电压阈值。也就是说，在本发明的一个实施例中，沟道区域具有邻近于第一源极/漏极区域的第一电压阈值区域 (V_{t1})，以及邻近于第二源极/漏极区域的第二电压阈值区域 (V_{t2})，这将随着 MOSFET 的工作方向而变化，例如，现在是以第一还是以第二源极/漏极区域 302 和 306 作为源极区域而进行操作。

在一个实施例中，在沟道中的第二电压阈值区域 (V_{t2}) 接近于第一源极/漏极区域，而在沟道中的第一电压阈值区域 (V_{t1}) 接近于第二源极/漏极区域。如果在图 3A 所说明实施例中的第二存储区域中存储电荷，则在 MOSFET 以第一源极/漏极区域作为源极区域工作时 V_{t2} 所具有的电压阈值比 V_{t1} 高。

于是，图 3A 和 3B 以实施例图示说明了从原先垂直晶体管到现在沿着具有 ONO 栅极结构（一实施例中）形成 NROM 型器件的变化。当对器件施加反向应力时，氮化层用作第一和第二电荷存储区域。晶体管可以正向导通的方向寻址和读取，在作为源极使用的第一或第二源极/漏极区域附近，存储于第一或

第二存储区域中的电荷将会使正向电流产生很大的变化。以任一方向对由等效电路 3B 所表示的这些晶体进行施加应力或进行测试,从而电荷可以存储于沟道的任一端。这就使得各个晶体管都具有存储两比特数据的能力和以每单位区域比特而论的高存储密度。

图 4A 图示说明了根据本发明教导的部分存储器阵列 400。图 4A 所示的存储器显示了根据本发明教导形成的多个垂直柱体、垂直多比特存储单元,和/或垂直 MOSFET 401-1 和 401-2。正如本领域中的技术人员阅读本发明后所意识到的那样,以从基片 403 向外延伸的列和行的形式来形成多个垂直柱体。正如图 4A 所示,多个垂直支柱,401-1 和 402-2 由多个沟 430 相隔开。根据本发明的教导,多个垂直支柱 401-1 和 402-2 可作为晶体管使用,并分别包括第一源极/漏极区域 402-1 和 402-2。第一源极/漏极区域 402-1 和 402-2 与第一传输线 404 相耦合。正如图 4A 的实施例所示,第一传输线 404 包括形成在垂直晶体管 401-1 和 401-2 的列之下的嵌入式第一传输线。第二源极/漏极区域 406-1 和 406-2 分别与第二传输线 411 相耦合。于是,这些器件就可以诸如 DRAM 阵列的阵列结构来形成,并采用位线或者数据线作为公用的源线和公用的金属引线。

正如图 4A 所示,沟道区域 405 设置在第一和第二源极/漏极区域之间。栅极 407 可以通过沿着垂直支柱 401-1 和 401-2 的列的沟 430 中的栅极绝缘体 407 与沟道区域 405 相隔开。在一个实施例中,根据本发明的教导,栅极绝缘体 407 包括选自自由湿氧化法所形成的二氧化硅 (SiO_2)、氮化硅 (SiN)、氮氧化硅 (SON)、富氧化硅 (SRO) 和氧化铝 (Al_2O_3) 所组成的组中的栅极绝缘体 407。在另一实施例中,根据本发明的教导,栅极绝缘体 407 包括选自自由富氧化铝硅绝缘体,包括纳米颗粒硅的富氧化硅、包括纳米颗粒碳化硅的二氧化硅绝缘体,以及碳氧化硅绝缘体所组成的组中的栅极绝缘体 407。在另一实施例中,根据本发明的教导,栅极绝缘体 407 包括复合层 407。在该实施例中,复合层 407 包括选自氧化物-氧化铝 (Al_2O_3)-氧化物复合层,以及氧化物-碳氧化硅-氧化物复合层所组成的组中的复合层 407。在另一实施例中,复合层 407 包括选自硅 (Si)、钛 (Ti) 和钽 (Ta) 材料中的两个或多个材料的复合层 407 或者非化学计量的单层。在另一个实施例中,根据本发明的教导,

栅极绝缘体 407 包括氧化物-氮化物-氧化物 (ONO) 的栅极绝缘体 407。

图 4B 图示说明了图 4A 所示部分存储器阵列的电等效电路 400。正如图 4B 所示, 形成了多个垂直多比特单元 401-1、401-2、401-3, ..., 401-N。各个垂直多比特单元 401-1、401-2、401-3, ..., 401-N 都包括第一源极/漏极区域 402, 第二源极/漏极区域 406, 以及在第一和第二源极/漏极区域之间的沟道区域 405, 以及通过栅极绝缘体 407 与沟道区域相隔开的栅极 409。由 417 所显示的第一和第二存储区域存在于栅极绝缘体中, 正如本文所描述的。

图 4B 还图示说明了多个第一和第二传输线、位线或数据线 404 和 411, 它们分别与各个垂直多比特单元 401-1、401-2、401-3, ..., 401-N 的第一和第二源极/漏极区域 402 和 406 相耦合。在一个实施例中, 正如图 4B 所示, 多个第一和第二传输线、位线或数据线 404 和 411 分别沿着存储器阵列的列方向与第一和第二源极/漏极区域 402 和 406 相耦合。多个字线, 例如, 在图 4B 中的字线 413-1、413-2、413-3, ..., 413-N 沿着存储阵列的行方向与各个多比特单元的栅极 409 相耦合。

图 4B 所示的电等效电路显示了在阵列中的电连接。多个第一和第二传输线、位线或者数据线, 404 和 411, 形成实质的地, 其中根据晶体管的工作方向将其中之一接地。晶体管被通过使一条线接地并施加栅极和漏极电压来对晶体管施加应力。为了能读取这一状态, 漏极和地可以互换, 并且可以确定晶体管的导电性。另外, 可以相反的方向对器件施加应力和进行读取。

例如, 在一个实施例中, 第一写入模式, 即, 以第一方向编程, 包括使得热电子注入一个或多个垂直 MOSFET 的栅极绝缘体并且在邻近于第二源极/漏极区域的栅极绝缘体中的第一存储区域中俘获电荷。在该实例中, 数据线 411 可以采用高的电势 VDD 来驱动, 而其它数据线则保持接地电势。当使用与单元向关联的字线, 如, 413-1、413-2、413-3, ..., 413-N, 来寻址所指定的多比特单元 401-1、401-1、401-3, ..., 401-N 时, 就会产生热电子注入, 从而在邻近于第二源极/漏极区域 406 的栅极绝缘体 407 中的第一存储区域 417 中俘获电荷。随后, 当以第一方向读取多比特单元 401-1、401-1、401-3, ..., 401-N 时, 数据线 404 可预充电至 VDD 的一部分电压, 数据线 411 接地, 以及使用单元相关联的字线, 如, 413-1、413-2、413-3, ..., 413

—N，来寻址单元。现在，多比特单元 401—1、401—1、401—3，...，401—N 具有邻近于第一源极/漏极区域 402 的第一阈值电压区域 (V_{t1}) 和邻近于第二源极/漏极区域 406 的第二阈值电压区域 (V_{t2})，其中， V_{t2} 大于 V_{t1} ，并且多比特单元 401—1、401—1、401—3，...，401—N 可以减小的漏源电流进行工作，其反映了邻近于第二源极/漏极区域 406 栅极绝缘体 407 中的第一存储区域 417 中所俘获到的存储电荷。

相反，多比特单元 401—1、401—1、401—3，...，401—N 可通过与上述讨论所相反的操作以第二方向来进行编程或者写入和读取。即，当以第二方向进行编程时，将高的电势 (V_{DD}) 施加至垂直多比特单元的第一源极/漏极区域 402，第二源极/漏极区域接地，而栅极电势施加至栅极，以便于在垂直多比特单元的第一和第二源极/漏极区域之间创建导通沟道。正如本领域中的技术人士阅读本发明后所意识到的那样，以第二方向编程包括使得热电子注入到第二存储区域中的一个或多个垂直多比特单元的栅极绝缘体中。这就包括了在邻近于第一源极/漏极区域的栅极绝缘体中的第二存储区域中俘获电荷，使得当多比特单元以第二方向进行读取时，多比特单元具有邻近于第一源极/漏极区域 402 的第一阈值电压区域 (V_{t1}) 和邻近于第二源极/漏极区域 406 的第二阈值电压区域 (V_{t2})。这里， V_{t1} 大于 V_{t2} ，并且当第一源极/漏极区域 402 作为源极区域工作时，MOSFET 可以减小的漏源电流进行工作。

采用这种方法，在沟道 405 任一端存储电荷。正如本领域中的技术人士根据本发明的教导所能理解的那样，在两个不同存储状态之间并没有任何冲突，因为当以饱和状态工作时，存储在漏极附近的电荷对晶体管的导电性没有任何影响。可以通过向栅极施加大的负电压并向第一和/或第二源极/漏极区域施加正电压来对器件进行擦除。在同一位置的栅极和第一或者第二源极/漏极偏置的一致性可以在该位置上的对晶体管进行擦除，但是单独的栅极偏置或者单独的第一和第二源极/漏极区域偏置都不足以打乱或者擦除在该阵列中的其它晶体管的电荷存储状态。这就产生各个晶体管能够存储两比特数据的能力以及就单位区域的比特而论产生较高的存储密度。

这里，当寻址多比特单元 401—1、401—2、401—3，...，401—N 时，它的导电性是由通过测量在邻近于作为源极区域的第一或第二源极/漏极区域的

第一或第二存储区域中是否存储电荷来确定的，或者将其与参考或者虚拟单元相比较以及使用读出放大器检测来确定的。例如在美国专利 No.5,627,785，5,280,205 和 5,042,011 中讨论了 DRAM 读出放大器的工作，这些专利都授权转让 Micron Technology 有限公司，并通过参考合并与此。于是，可以采用在 DRAM 中所使用的常规方法来寻址和读取阵列，但是对多比特单元的编程则采用新颖的模式来进行。

写入和可擦除的特征将用于制造和对初始编程所有单元或者器件的测试过程中，使之在现场使用之前可以具有类似或者相匹配的导电性。同样，在参考或虚拟单元中的晶体管也都可以进行初始编程，使之具有相同的导电状态。根据本发明的教导，读出放大器能够检测单元或者器件特性中的小的差异，这些差异可以是在写入操作中在器件特性中的应力变化所引起的。

在一个实施例中，在邻近于第二源极/漏极区域的栅极绝缘体中俘获电荷包括当以第一方向读取多比特单元时将 V_{t2} 中的标称阈值电压增加大约 0.5V。在一个实施例中，以第一和第二方向读取一个或多个 MOSFET 包括使用读出放大器来检测在集成漏极电流中的变化。当以第一方向读取时，邻近于第二源极/漏极区域 406 的第一存储区域中没有俘获电荷，在经过大约 10ns 的寻址时，多比特单元将在大约 12.5 μ A 的集成漏极电流中呈现出变化。

在一个实施例中，在邻近于第一源极/漏极区域 402 的栅极绝缘体中俘获电荷包括当以第一方向读取多比特单元时将 V_{t1} 中标称阈值电压增加大约 0.5V。在一个实施例中，以第一和第二方向读取一个或多个 MOSFET 包括使用读出放大器来检测在集成漏极电流中的变化。当以第二方向读取时，邻近于第一源极/漏极区域的第二存储区域中没有俘获的电荷，因此在经过大约 10ns 的寻址时，多比特单元将在大约 12.5 μ A 的集成漏极电流中呈现出变化。

正如本领域中的技术人士阅读了本披露之后所能理解的那样，这类多比特单元的阵列也便于采用改进的 DRAM 技术来实现。根据本发明的教导，多比特单元的栅极绝缘体包括选自湿氧化所产生较厚的 SiO_2 层、SON 氮氧化硅、SRO 富氧化硅、 Al_2O_3 氧化铝、复合层以及具有阱的移植氧化层所组成的组中的栅极绝缘体。（见，L.Forbes 和 J.Geusic 的、题为“Memory using insulator traps”，Micron 揭示 97-0049，美国专利号 6,140,181，2000 年 10 月 31 日）。

适用于地址译码和读出放大器的常规晶体管可以在使用氧化硅的正常薄的栅极绝缘体的步骤之后制造。

图 5A—B 和图 6 都用于图示说明使用在栅极绝缘体中的电荷存储来调制根据本发明教导的垂直多比特单元的导电性。也就是说，图 5A—5B 图示说明了根据本发明教导所制成的新颖多比特单元 501 的工作。同时，图 6 图示说明了传统 DRAM 单元 601 的工作。正如图 5A 所示，使栅极绝缘体 502 比常规 DRAM 单元中使用的厚，即，502 等于或者大于 10nm 或者 $100\text{\AA}$ (10^{-6}cm)。在图 5 所示的实施例中，所说明的垂直多比特单元具有的尺寸为 $0.1\mu\text{m}$ (10^{-5}cm) $\times 0.1\mu\text{m}$ 。该结构的电容， C_i ，取决于介质常数， ϵ_i ，（这里定义为 $0.3 \times 10^{-12}\text{F/cm}$ ），以及绝缘层的厚度， t ，（这里定义为 10^{-6}cm ），使得 $C_i = \epsilon_i/t$ ， Farads/cm^2 或者 $3 \times 10^{-7}\text{F/cm}^2$ 。在一个实施例中，将 10^{12} 电子/ cm^2 的电荷编程到垂直多比特单元的栅极绝缘体中的第一或第二存储区域。这就产生存储电荷 $\Delta Q = 10^{12}$ 电子/ $\text{cm}^2 \times 1.6 \times 10^{-19}$ 库仑。在该实施例中，在垂直多比特单元的阈值电压 (ΔV_t) 中的最终变化大约为 0.5V ($\Delta V_t = \Delta Q/C_i$ 或者 $1.6 \times 10^{-7}/3 \times 10^{-7} = 1/2\text{V}$)。实际上，可编程垂直多比特单元或者改进的 MOSFET 是在邻近于作为源极区域的第一或第二源极/漏极区域的栅极绝缘体中具有俘获电荷的可编程的 MOSFET，使得沟道区域具有第一电压阈值区域 (V_{t1}) 和第二电压阈值区域 (V_{t2})，其中 V_{t2} 大于 V_{t1} ，并且 V_{t2} 邻近于作为源极区域的第一或第二源极/漏极区域，从而可编程 MOSFET 可以减小的漏源电流进行工作。对于在上述给定尺寸下的 $\Delta Q = 10^{12}$ 电子/ cm^2 来说，本发明的该实施例包含根据多比特单元的工作方向在邻近于第一或第二源极/漏极区域中任一个区域的垂直多比特单元的栅极绝缘体中俘获大约 100 个电子的电荷。

图 5B 有助于进一步说明本发明的新颖垂直多比特单元的导电行为。正如本领域中技术人员阅读本披露之后所能理解的那样，如果多比特单元是以 1.0V 的栅极电压驱动的并且在没有对栅极绝缘体充电情况下的标称阈值电压是 1/2V，则如果在邻近于作为源极区域的第一或第二源极/漏极区域中的任意一个区域的栅极绝缘体中的存储区域充电，本发明的晶体管就会截止或者不导通。即，通过在具有尺寸 $0.1\mu\text{m}$ (10^{-5}cm) $\times 0.1\mu\text{m}$ 的垂直多比特单元的栅极绝缘体中俘获大约 100 电子的电荷，就会使得垂直多比特单元的阈值电压上升至

1.0V, 并且 1.0V 的栅极电势不足以使得器件导通, 即, $V_t=1.0V$, $I=0$ 。

相反, 如果在没有对栅极绝缘体充电情况下的标称阈值电压是 $1/2V$, 则 $I = \mu C_{ox} \times (W/L) \times ((V_{gs} - V_t)^2/2)$ 或者 $12.5\mu A$, 而 $\mu C_{ox} = \mu C_i = 100\mu A/V^2$ 和 $W/L=1$ 。即, 在邻近于作为源极区域的第一或第二源极/漏极区域中的任意一个区域的栅极绝缘体中的电荷存储区域没有充电时, 具有上述尺寸的本发明的垂直多比特单元就可以产生电流 $I = 100\mu A/V^2 \times (1/4) \times (1/2) = 12.5\mu A$ 。这样, 在本发明中, 邻近于作为源极区域的第一或者第二源极/漏极区域中的任意一个区域的栅极绝缘体中的非写入或者非编程存储区域能够传导 $12.5\mu A$ 量级的电流, 并且在邻近于作为源极区域的第一或第二源极/漏极区域中的任意一个区域的栅极绝缘体的其它存储区域中所存储的电荷将不会明显影响传导。如果在邻近于作为源极区域的第一或第二源极/漏极区域中的任意一个区域的栅极绝缘体中的特定存储区域充电, 则垂直多比特单元就将不会导通。正如本领域中技术人员阅读本披露之后所能理解的那样, 在 DRAM 阵列中所使用的读出放大器可以方便地检测在位线上这样的电流差异, 如以上所讨论的。

通过比较, 在常规 DRAM 中, 将 $30fF$ (毫微微法拉) 存储电容充电至 $50fC$ (毫微微库仑), 如果是以 $5ns$ 读取这些存储器, 则位线的平均电流仅为 $10\mu A$ 。这可结合图 6 加以说明。正如图 6 所示, 在存储电容器中存储电荷 $50fC$ 相当于存储 300,000 个电子。

根据本发明的教导, 在阵列中所使用的晶体管并不只是像 DRAM 阵列中传递器件这样的无源导通或者截止的开关, 而是作为提供增益的有源器件。在本发明中, 对于 $0.1\mu m \times 0.1\mu m$ 的面积来说, 将晶体管编程为“截止”仅仅只需要在邻近于作为源极区域的第一或第二源极/漏极区域中任意一个区域的栅极绝缘体的存储区域中大约 100 个电子的存储电荷。相反, 如果垂直多比特单元的特定存储区域没有进行编程, 即, 其中没有存储所俘获的电荷, 并且如果以 $10ns$ 对晶体管进行寻址, 则可提供 $12.5\mu A$ 的电流。那么, 所合成的漏极电流具有 $125fC$ 的电荷或者 800,000 电子。这可与 DRAM 电容器 $50fC$ 电荷相比较, 仅相当于约 300,000 个电子。因此, 在阵列中将晶体管用作具有增益的有源器件, 而不仅仅用作开关, 就可提供在栅极绝缘体中存储电荷的放大, 在 $10ns$ 的读取地址周期中可以从 100 放大到 800,000 个电子。

存储器件的保持取决于迁移率的衰减,这是对于可能永久的主要目的以及在零或者正栅极偏置下没有衰减的俘获电荷。还有一些设计考虑包含了采用 SON 和/或 SRO 绝缘体容易编程将会导致较短的保持时间。

在图 7 中,根据本发明教导图示说明了存储器件。该存储器件 740 包含了存储器阵列 742、行和列的译码器 744 和 748,以及读出放大器电路 746。存储器阵列 742 是由根据本发明教导所制成的多个垂直多比特单元 700 所构成,它的字线 780 和位线 760 一般都分别排列成行和列。存储器阵列 742 的位线 760 连接着读出放大器电路 746,而它的字线 780 连接着行译码器 744。在地址/控制线上将地址和控制信号输入至存储器件 740 并连接到列译码器 748、读出放大器电路 746 和行译码器 744,并且用于在其它事件中获取对存储器阵列 742 读取和写入访问。

列译码器 748 通过在列选择线 762 上的控制和列选择信号连接着读出放大器电路 746。读出放大器电路 746 接收指定给存储器阵列 742 的输入数据,并且通过输入/输出 (I/O) 数据线 763 输出从存储器阵列 742 中读取的数据。通过激励字线 780 (通过行译码器 744) 就能够从存储器阵列 742 的单元中读取数据,该字线将对应于字线的所有存储器单元与各个位线 760 相耦合,而位线定义了阵列的列。也可以激励一个或多个位线 760。当特定的字线 780 和位线 760 被激励时,连接着位线列的读出放大器电路 746 就检测和放大通过给定垂直多比特单元而检测的传导,其中在读取工作中,给定单元的源极区域耦合着接地的阵列平面 (未显示),并通过测量在激励的位线 760 和参考线 (可以是非激励位线) 之间的电势差异在其位线 760 传递。例如,在美国专利 No.5,727,785; 5,280,205 和 5,042,011 中讨论了存储器件读出放大器的工作,这些专利都已转让于 Micron Technology 公司,在此通过引用并包括与此。

图 8 是使用根据本发明所构成的垂直多比特单元 812 的电子系统或者基于处理器系统的方框图。也就是说,垂直多比特单元 812 使用改进的 DRAM 单元,正如结合图 2 至图 4 所作的详细解释和讨论的。基于处理器的系统 800 可以是计算机系统,过程控制系统或者任何其它采用处理器和相关存储器的系统。该系统 800 包括中央处理单元 (CPU) 802,即,微处理器,它可以通过总线 820 与垂直多比特单元 812 和 I/O 器件 808 通讯。必须注意到:总线 820 可以是通

常在基于处理器的系统中所使用的一系列总线 and 桥连，但为了便于说明，以单一总线来加以说明总线 820。图示说明了第二 I/O 器件 810，但是这对实现本发明来说并不是必需的。基于处理器的系统 800 还可以包括只读存储器 (ROM) 814，以及还可以包括诸如软盘驱动器 804 和光盘 (CD) ROM 驱动器 806 之类的外围设备，这些外围设备也是通过总线 820 与 CPU 通讯的，正如本领域中所熟知的。

本领域中的技术人士应该意识到的是，还可以提供其它电路和控制信号，并且存储器件 800 可简化以有利于针对本发明。在 NROM 812 中至少一个垂直多比特单元包括了可编程 MOSFET，该 MOSFET 具有在邻近于作为源极区域的第一或第二源极/漏极区域中的一个区域的栅极绝缘体中的电荷存储区域中所俘获的电荷，使得沟道区域具有第一电压阈值区域 (V_{t1}) 和第二电压阈值区域 (V_{t2})，其中 V_{t2} 大于 V_{t1} ，并且 V_{t2} 邻近于源极区域，从而可编程 MOSFET 可以减小的漏极电流工作。

应该理解的是，图 8 所示的实施例说明了使用本发明新颖存储器单元的电子系统电路的实施例。系统 800 的说明，正如图 8 所示，旨在提供对本发明结构和电路的一种应用的基本理解，并不试图用于作为对使用新颖存储器单元结构的电子系统的所有元件和性能的完整描述。此外，本发明也同样适用于使用本发明新颖存储器单元的任何大小和类型的存储器件 800，并不试图限制于以上所描述的内容。正如本领域技术人士所能理解的那样，这类电子系统可以单个封装的处理单元来制成，或者甚至于在单一半导体芯片上，以便于减小在处理器和存储器件之间的通讯时间。

包含本发明新颖存储器单元的应用，正如在本披露中所讨论的，可以包括适用于在存储器模块、设备驱动器、电源模块、通讯模块、处理器模块和专用模块中所使用的电子系统，并且可以包括多层、多芯片模块。这类电路还可以包括各种电子系统的子元件，例如，时钟、电视、电话、个人计算机、汽车、工业控制系统、飞机以及其它等等。

结论

良好建立的 DRAM 技术和阵列的改进使用将有助于实现廉价存储器件。从上述讨论中可以看到，两个晶体管将占用 $4F^2$ 平方的区域，或者每个晶体管

至少具有 $2F$ 平方的区域。由于各个晶体管可以存储 2 比特，因此数据存储密度为每 $1F$ 平方区域 1 比特。“F”是在特定 CMOS 技术中的最小可分辨光刻尺寸。如果特定 CMOS 技术的 0.1 微米，则数据存储的密度就可达到每一平方厘米 10G 比特。

应该理解的是，上述讨论旨在仅用于解释，并不是限制。本领域技术人士一旦阅读了本说明书之后，许多其它实施例将是显而易见的。因此，本发明的范围应该参考后附的权利要求所确定的，并且包含权利要求所赋予等效的全部范围。

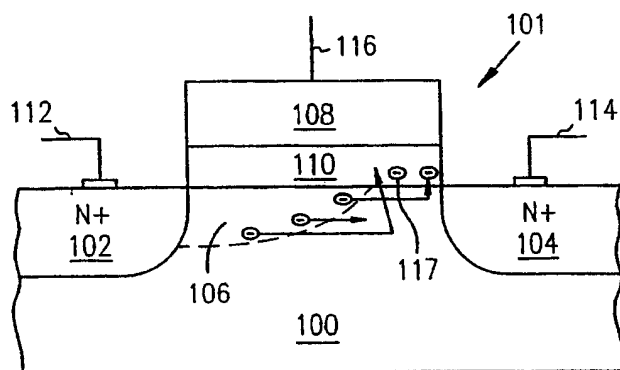


图 1A

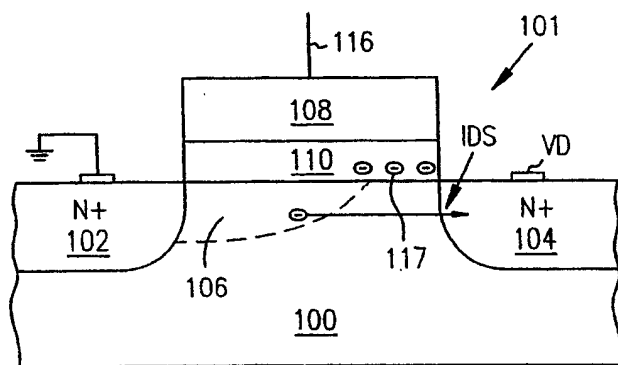


图 1B

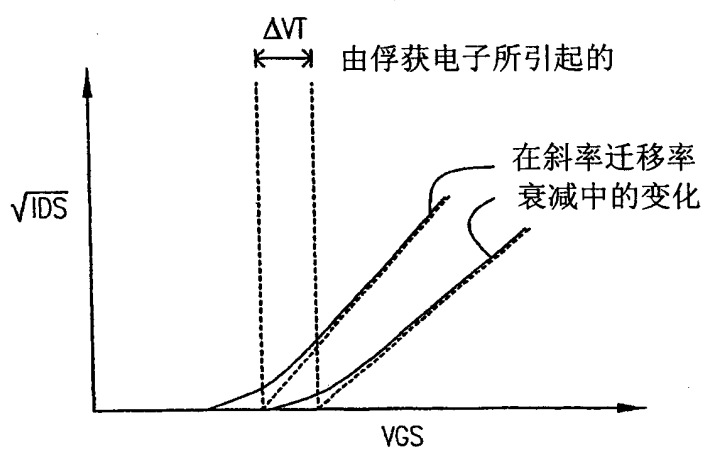


图 1C

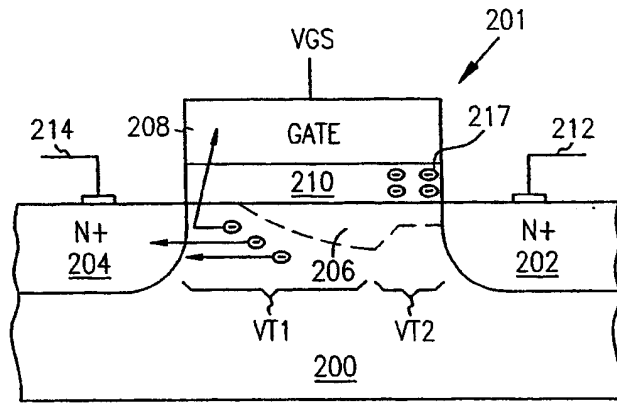


图 2A

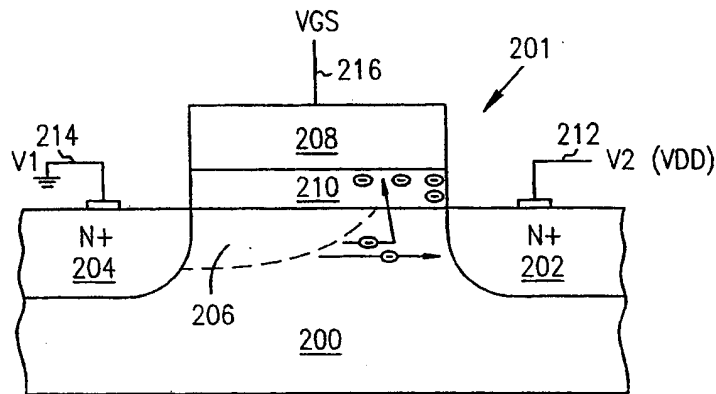


图 2B

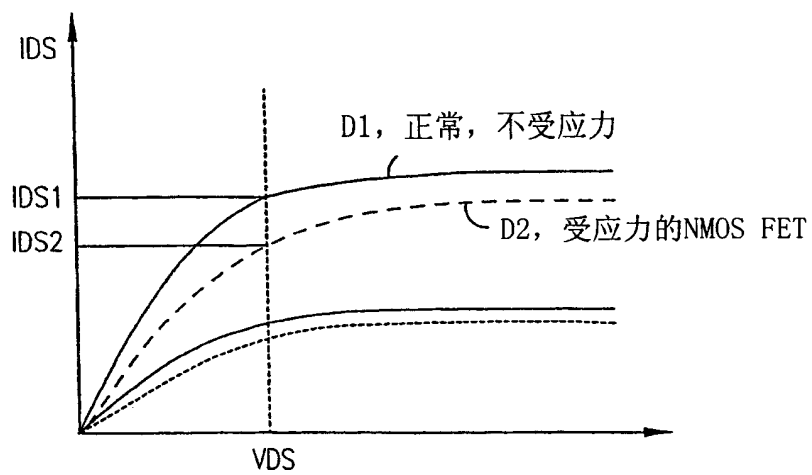


图 2C

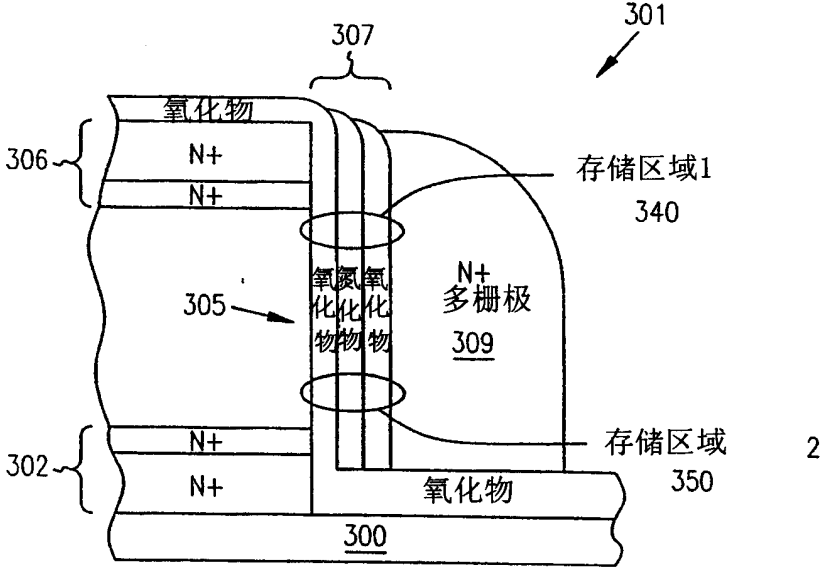


图 3A

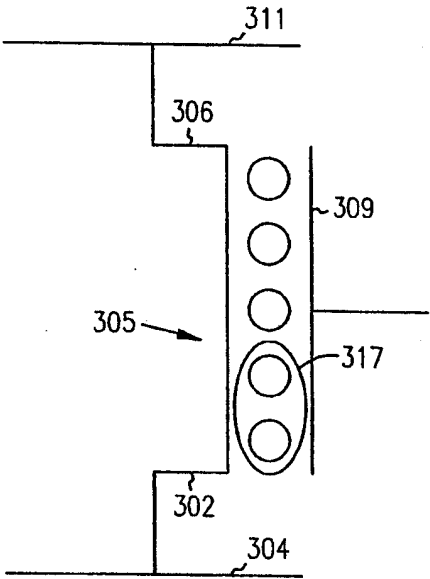


图 3B

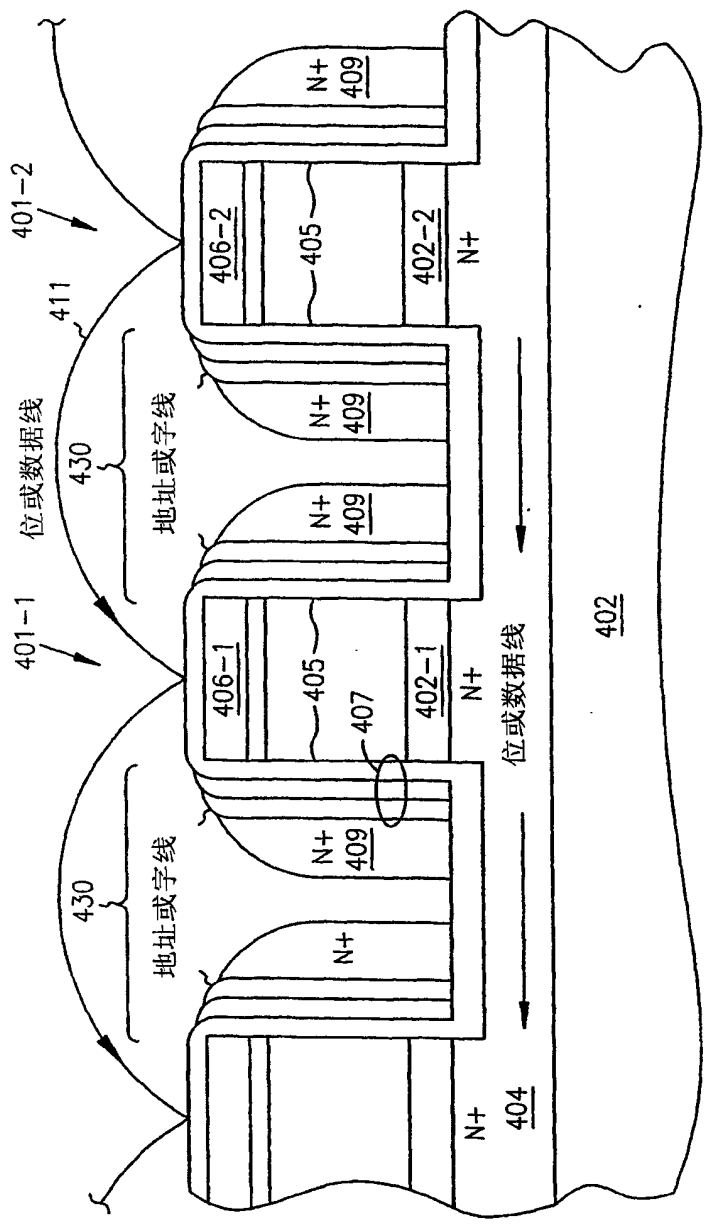


图 4A

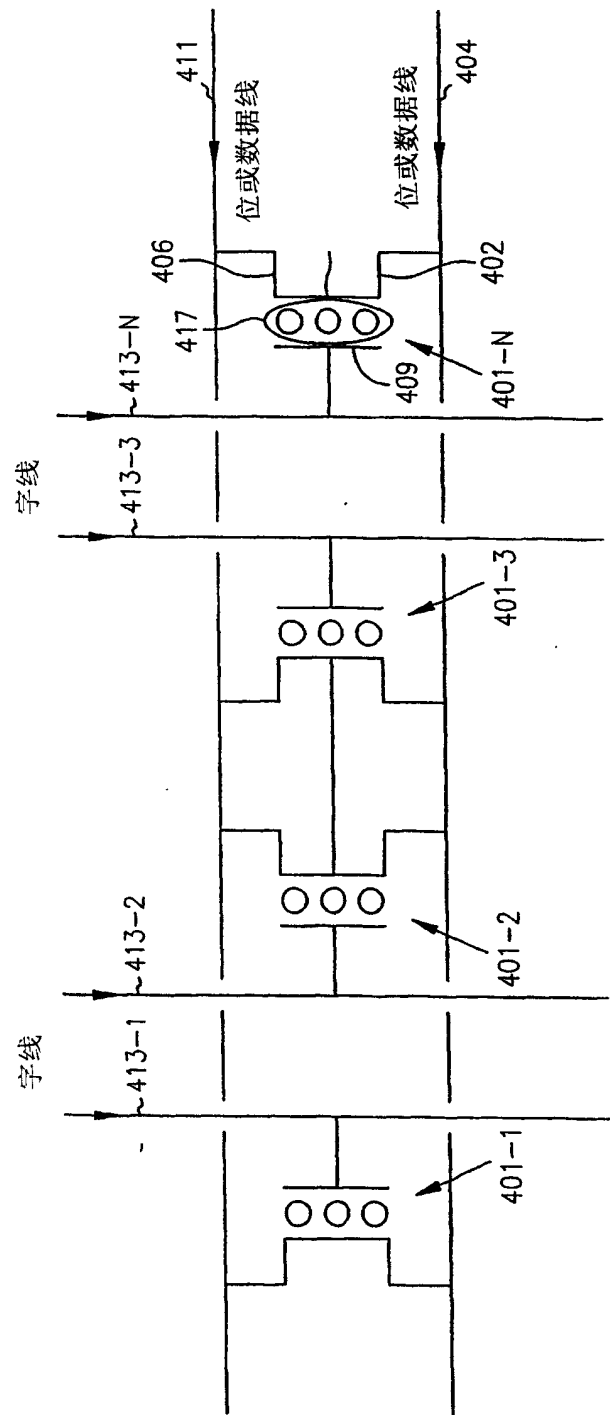


图 4B

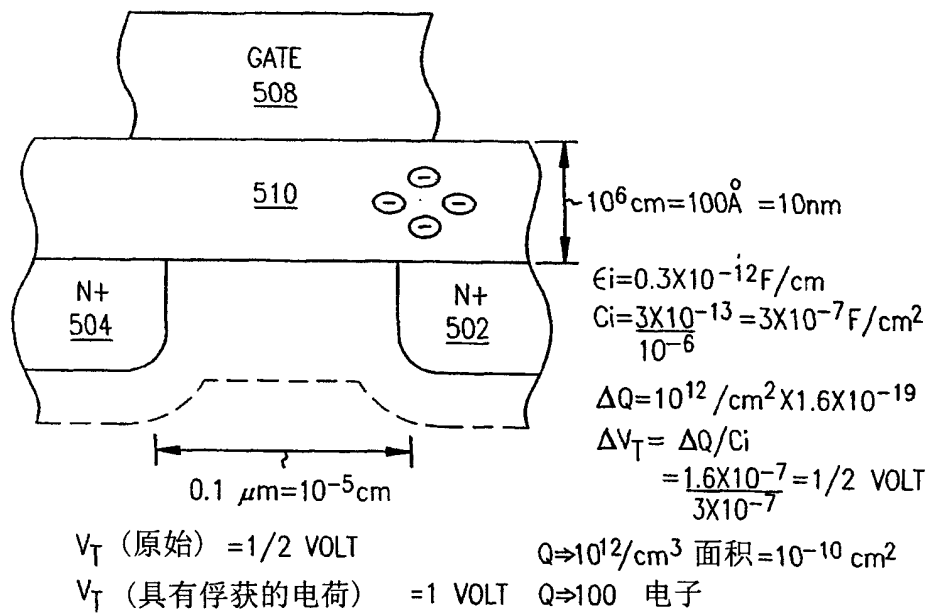


图 5A

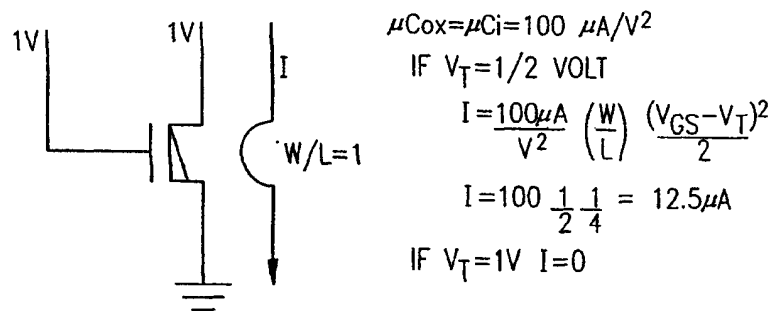


图 5B

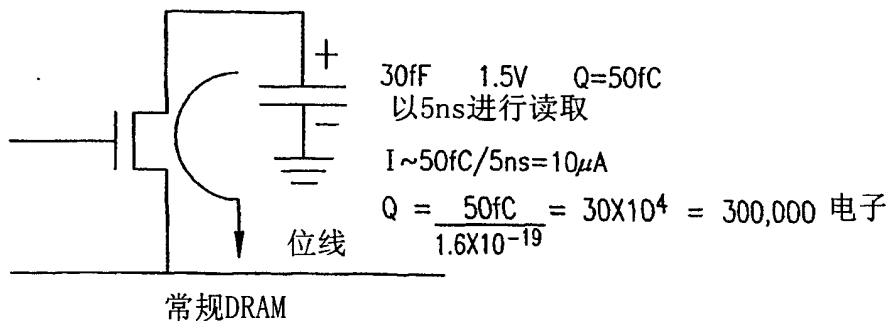


图 6

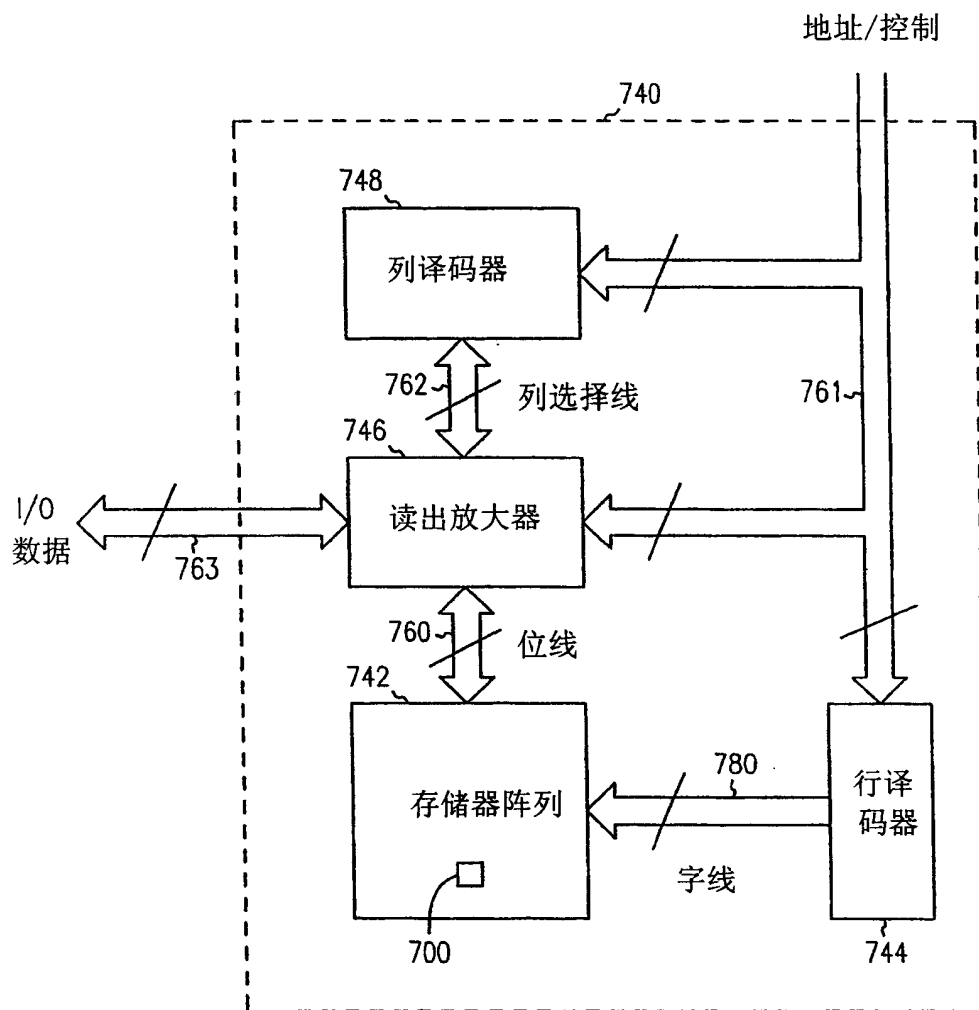


图 7

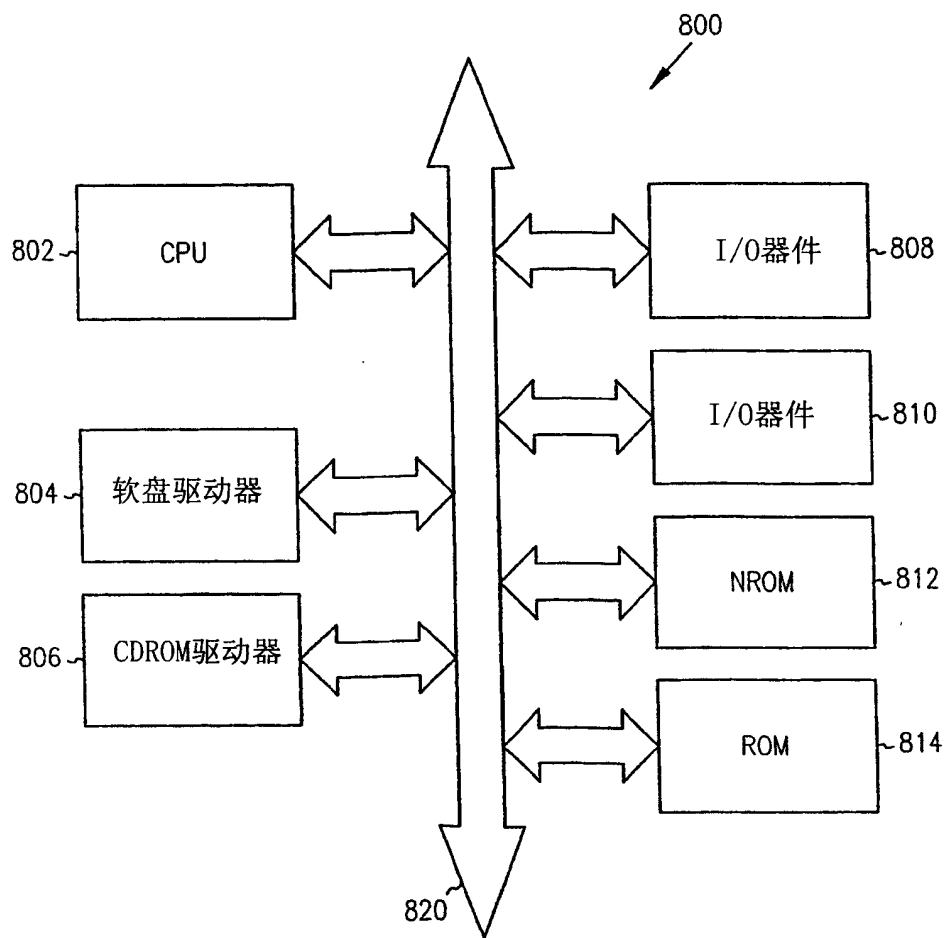


图 8