



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219109
(11) (B1)

(51) Int. Cl.³
G 06 F 7/38

(22) Přihlášeno 02 10 81
(21) (PV 7236-81)

(40) Zveřejněno 30 07 82

(45) Vydáno 15 07 85

(75)

Autor vynálezu

HOUDEK JAN, ŠTASTNÝ OTAKAR ing., VRBSKÝ VLADIMÍR, KLIMEŠ
MILAN ing., PRAHA

(54) Zapojení aritmetické jednotky

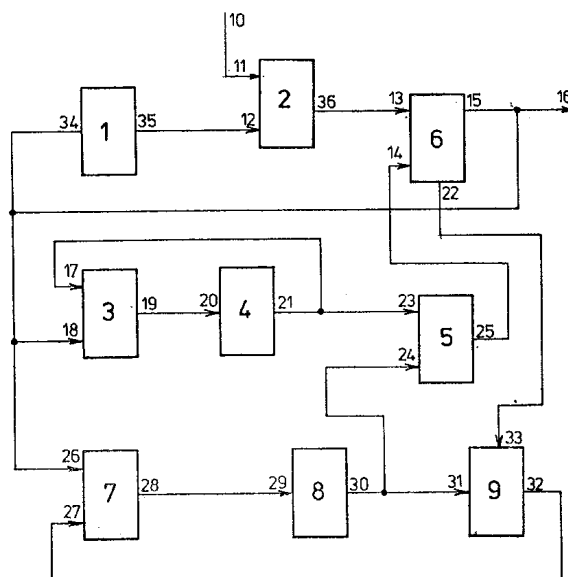
1

Vynález se týká zapojení aritmetické jednotky pro aritmetické a logické operace.

Vstup zapojení je vstupem prvního přepínače, jehož druhý vstup je spojen s výstupem prvního registru a výstup přepínače je spojen se vstupem sčítačky, jejíž druhý vstup je spojen s výstupem třetího přepínače a výstup sčítačky je výstupem zapojení a vstupem prvního registru, druhého přepínače a čtvrtého přepínače. Druhý vstup čtvrtého přepínače je spojen s výstupem třetího registru, jehož první vstup je spojen s výstupem paměti, druhým vstupem třetího přepínače, jehož vstup je spojen s výstupem druhého registru a vstupem druhého přepínače, jehož výstup je spojen se vstupem druhého registru a výstup čtvrtého přepínače je spojen se vstupem paměti. Druhý výstup sčítačky je spojen s druhým vstupem třetího registru.

Vynálezu lze využít pro aritmetické a logické operace, které je potřeba provádět v systémech pracujících v reálném čase.

2



Vynález se týká zapojení aritmetické jednotky pro aritmetické a logické operace.

Pro aritmetické a logické operace s daty se používají aritmetické jednotky. Data vypracovávají buď sériově, přičemž nevýhodou je, že operační časy jsou dlouhé, nebo paralelně a nevýhodou je složitost a velké pořizovací náklady.

Uvedené nedostatky odstraňuje zapojení aritmetické jednotky, která sestává z prvního registru, prvního přepínače, druhého přepínače, druhého registru, třetího přepínače, sčítačky, čtvrtého přepínače, paměti a třetího registru podle vynálezu, jehož podstata spočívá v tom, že vstup zapojení je spojen s prvním vstupem prvního přepínače, jehož druhý vstup je spojen s výstupem prvního registru a výstup prvního přepínače je spojen s prvním vstupem sčítačky, jejíž druhý vstup je spojen s výstupem třetího přepínače a výstup sčítačky je spojen s výstupem zapojení a současně se vstupem prvního registru a druhým vstupem druhého přepínače a prvním vstupem čtvrtého přepínače. Druhý vstup čtvrtého přepínače je spojen s výstupem třetího registru, jehož první vstup je spojen s výstupem paměti a současně s druhým vstupem třetího přepínače, jehož druhý vstup je spojen s výstupem druhého registru a současně s prvním vstupem druhého přepínače, jehož výstup je spojen se vstupem druhého registru a výstup čtvrtého přepínače je spojen se vstupem paměti a druhý výstup sčítačky je spojen s druhým vstupem třetího registru.

Výhodou zapojení podle vynálezu je, že je jednoduché a poskytuje krátké operační časy.

Příklad zapojení podle vynálezu je znázorněn na připojeném výkresu.

Nejdůležitější bloky zapojení je možno charakterizovat takto: první registr 1 je sérioparalelní posuvný registr umožňující posouvat data sériově i paralelně, první přepínač 2 slouží k přepínání dat vstupujících

do sčítačky 6 mezi vstupem zapojení 10 a výstupem prvního registru 1, druhý přepínač 3 slouží k přepínání dat vstupujících do druhého registru 3 mezi výstupem druhého registru 4 a výstupem sčítačky 6, druhý registr 4 je sérioparalelně posuvný registr umožňující posouvat data sériově i paralelně, třetí přepínač 5 slouží k přepínání dat vstupujících do sčítačky 6 mezi výstupem druhého registru 4 a výstupem paměti 8. Sčítačka 6 slouží k provádění aritmetických a logických operací s daty, čtvrtý přepínač 7 slouží k přepínání dat vstupujících do paměti 8 mezi výstupem sčítačky 6 a výstupem třetího registru 9, paměť 8 slouží k uchování dat a třetí registr 9 je sérioparalelní posuvný registr.

Vstup zapojení 10 je spojen s prvním vstupem 11 prvního přepínače 2, jehož druhý vstup 12 je spojen s výstupem 35 prvního registru 1 a výstup 36 prvního přepínače 2 je spojen s prvním vstupem 13 sčítačky 6, jejíž druhý vstup 14 je spojen s výstupem 25 třetího přepínače 5 a výstup 15 je spojen s výstupem 16 zapojení a současně se vstupem 34 prvního registru 1 a druhým vstupem 18 druhého přepínače 3 a prvním vstupem 26 čtvrtého přepínače 7, jehož druhý vstup 27 je spojen s výstupem 32 třetího registru 9. První vstup 31 třetího registru 9 je spojen s výstupem 30 paměti 8 a současně s druhým vstupem 24 třetího přepínače 5, jehož druhý vstup 23 je spojen s výstupem 21 druhého registru 4 a současně s prvním vstupem 17 druhého přepínače 3, jehož výstup 19 je spojen se vstupem 20 druhého registru 4 a výstup 28 čtvrtého přepínače 7 je spojen se vstupem 29 paměti 8 a druhý výstup 22 sčítačky 6 je spojen s druhým vstupem 33 třetího registru 9.

Vynálezu se použije tam, kde je potřeba aritmetické a logické operace provádět v krátké době, zejména v systémech pracujících v reálném čase.

PŘEDMĚT VYNÁLEZU

Zapojení aritmetické jednotky sestávající z prvního registru, prvního přepínače, druhého přepínače, druhého registru, třetího přepínače, sčítačky, čtvrtého přepínače, paměti, třetího registru, vyznačující se tím, že vstup (10) zapojení je spojen s prvním vstupem (11) prvního přepínače (2), jehož druhý vstup (12) je spojen s výstupem (35) prvního registru (1) a výstup (36) prvního přepínače (2) je spojen s prvním vstupem (13) sčítačky (6), jejíž druhý vstup (14) je spojen s výstupem (25), třetího přepínače (5) a jejíž výstup (15) je spojen s výstupem (16) zapojení a současně se vstupem (34) prvního registru (1) a druhým vstupem

(18) druhého přepínače (3) a prvním vstupem (26) čtvrtého přepínače (7), jehož druhý vstup (27) je spojen s výstupem (32) třetího registru (9), jehož první vstup (31) je spojen s výstupem (30) paměti (8) a současně s druhým vstupem (24) třetího přepínače (5), jehož druhý vstup (23) je spojen s výstupem (21) druhého registru (4) a současně s prvním vstupem (17) druhého přepínače (3), jehož výstup (19) je spojen se vstupem (20) druhého registru (4) a výstup (28) čtvrtého přepínače (7) je spojen se vstupem (29) paměti (8) a druhý výstup (22) sčítačky (6) je spojen s druhým vstupem (33) třetího registru (9).

