

公告本

申請日期：89.9.16

案號：89119040

類別：H01L29/04

(以上各欄由本局填註)

發明專利說明書

461075

一、 發明名稱	中文	半導體裝置
	英文	Semiconductor Device
二、 發明人	姓名 (中文)	1. 前田茂伸 2. 山本和也
	姓名 (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/10/27 11-305262

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明所屬之技術領域]

本發明有關於半導體裝置，尤其有關於具備有電容器之半導體裝置之構造。

[習知之技術]

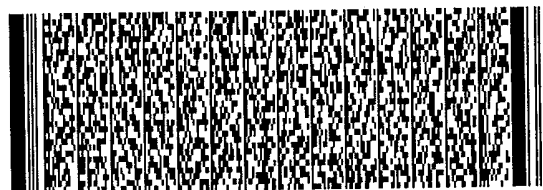
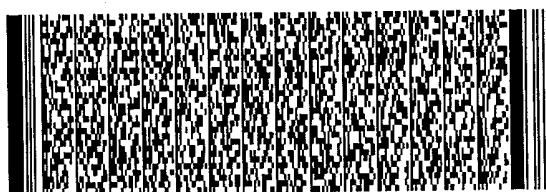
圖39是剖面圖，用來表示LSI所使用之習知之電容器之構造。在半導體基板101上形成有絕緣膜120，由絕緣膜103和包夾該絕緣膜103之成對之聚矽膜102、104所構成之電容器，形成在絕緣膜120上。在電容器上形成層間絕緣膜105，在層間絕緣膜105上選擇性的形成金屬配線106、107。金屬配線106、107經由形成在層間絕緣膜105內之穿通孔108、109分別電連接到聚矽膜102、104。

另外，圖40是剖面圖，用來表示習知之電容器之另一構造。由層間絕緣膜112和包夾該層間絕緣膜112之面對金屬配線110、111所構成之電容器，形成在絕緣膜120上。

[發明所欲解決之問題]

但是，在圖39所示之習知之電容器中，聚矽膜102、104之寄生電阻很大，其等值電路如圖41所示。另外，由於寄生電阻R101、R102所產生之電力損失很大，所以不能使用在類比電路為其問題。

另外一方面，依照圖40所示之電容器時，因為使用金屬配線110、111，所以寄生電阻變小，可以獲得小電力損失之電容器。但是，因為層間絕緣膜112之膜厚較厚(在設計尺度(design rule)為 $0.2\mu\text{m}$ 之裝置之情況時為 $1\mu\text{m}$ 程度)，要獲得大電容之電容器時需要大面積為其問題。



五、發明說明 (2)

本發明用來解決上述之問題，其目的是獲得小電力損失而且不需要大面積之電容器。

[解決問題之手段]

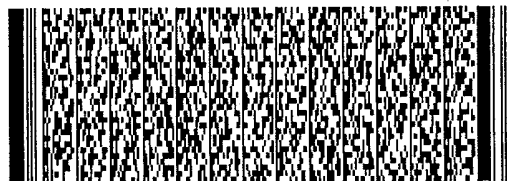
本發明之申請專利範圍第1項是一種半導體裝置，其中具備有：底層，具有主面；和電容器，形成在底層之主面上；電容器具有線路空間(line and space)構造，沿著主面之第1方向延伸之多個金屬配線經由絕緣膜互相電分離，和在垂直於第1方向之主面之第2方向，以指定之間隔排列。

另外，本發明之申請專利範圍第2項之半導體裝置是在申請專利範圍第1項之半導體裝置中使線路空間構造包含具有作為一方之電極功能之第1配線，和具有作為另外一方之電極功能之第2配線；第1配線和第2配線交替的重複配置。

另外，本發明之申請專利範圍第3項之半導體裝置是在申請專利範圍第2項之半導體裝置中使電容器更具有與主面平行之平面電極，對線路空間構造成為沿著與主面垂直之第3方向排列，和經由指定之層間絕緣膜的被配置。

另外，本發明之申請專利範圍第4項之半導體裝置是在申請專利範圍第2項之半導體裝置中使電容器具有3個以上之線路空間構造；3個以上之線路空間構造經由層間絕緣膜被配置成為層狀，使屬於不同之線路空間構造之第1配線和第2配線在垂直於主面之第3方向交替的排列。

另外，本發明之申請專利範圍第5項之半導體裝置是在



五、發明說明 (3)

申請專利範圍第4項之半導體裝置中使電容器更具有平行於主面之平面電極，對線路空間構造成為沿著第3方向排列，和經由指定之層間絕緣膜的被配置。

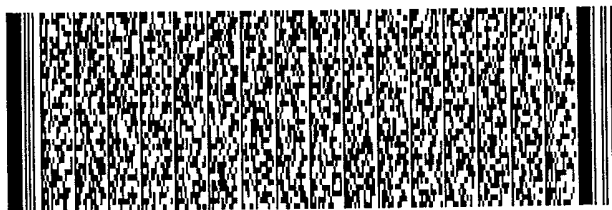
另外，本發明之申請專利範圍第6項之半導體裝置是在申請專利範圍第2項之半導體裝置中使電容器具有多個之線路空間構造；多個線路空間構造經由層間絕緣膜被配置成為層狀，使屬於不同之線路空間構造之第1配線和第2配線分別沿著垂直於主面之第3方向排列；和沿著第3方向排列之第1配線和第2配線經由形成在層間絕緣膜內之內部充填有導體之穿通孔互相電連接。

另外，本發明之申請專利範圍第7項之半導體裝置是在申請專利範圍第6項之半導體裝置中使電容器更具有平行於主面之平面電極，對線路空間構造成為沿著第3方向排列，和經由指定之層間絕緣膜的被配置。

另外，本發明之申請專利範圍第8項之半導體裝置是在申請專利範圍第3、5及7項中任一項之半導體裝置中使電容器具有多個之平面電極；多個平面電極對線路空間構造成為沿著第3方向排列，被配置在線路空間構造之兩側。

另外，本發明之申請專利範圍第9項之半導體裝置是在申請專利範圍第3、5及7項中任一項之半導體裝置中使電容器更具有內部被導體充填之穿通孔，形成在指定之層間絕緣膜內，用來使第1配線和平面電極進行電連接。

另外，本發明之申請專利範圍第10項之半導體裝置是在申請專利範圍第7項之半導體裝置中使電容器更具有：第1



五、發明說明 (4)

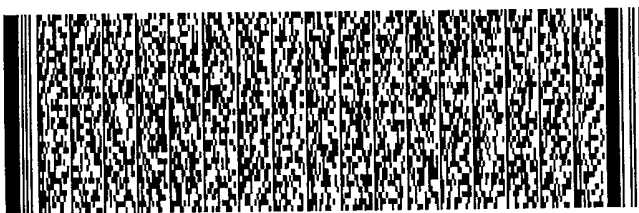
申請專利範圍第7項之半導體裝置中使電容器更具有：第1穿通孔，形成在指定之層間絕緣膜內，用來使第1配線和平面電極進行電連接，其內部被導體充填；其他之平面電極，對配線空間構造成為在平面電極之相同側沿著第3方向排列，和經由其他之層間絕緣膜被配置在平面電極之外側；和第2穿通孔，形成在其他層間絕緣膜內，用來使第2配線和其他平面電極進行電連接，其內部被導體充填。

另外，本發明之申請專利範圍第11項之半導體裝置是在申請專利範圍第1項之半導體裝置中使電容器更具有：層間絕緣膜，形成在線路空間構造上；和高電介質膜，具有電介質常數高於矽氧化膜，形成在層間絕緣膜和線路空間構造之接觸部份。

另外，本發明之申請專利範圍第12項之半導體裝置是在申請專利範圍第1項之半導體裝置中使絕緣膜是具有電介質常數高於矽氧化膜之高電介質膜。

另外，本發明之申請專利範圍第13項之半導體裝置是在申請專利範圍第12項之半導體裝置中使半導體裝置具有用以形成所需要之配線之配線部，和用以形成電容器之電容器部；高電介質膜只設在電容器部。

另外，本發明之申請專利範圍第14項之半導體裝置是在申請專利範圍第11或12項之半導體裝置中使半導體裝置具有用以形成所需要之配線之配線部，和用以形成電容器之電容器部；配線部之絕緣膜是導入有降低電介質常數用之不純物之矽氧化膜。



五、發明說明 (5)

申請專利範圍第1項之半導體裝置中使線路空間構造之線幅和空間幅度均為 $0.2\ \mu\text{m}$ 以下。

[發明之實施形態]

在半導體裝置中採用線路空間(line and space)構造，其形成是以一定之間隔並排多個依指定方向延伸之配線。隨著半導體製造技術之進步，可以使配線之幅度(線幅)和鄰接之配線間之間隔(空間幅度)變小，但是配線之厚度不能相同程度的變薄。因此，鄰接之配線之間所產生之電容量會比較大，所以目前未被積極的利用。

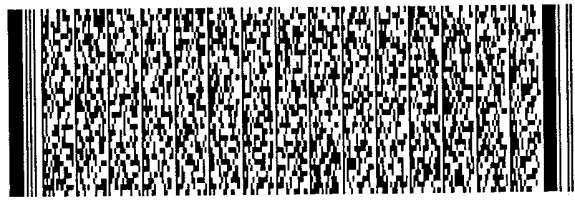
本發明是線路空間構造之配線採用金屬配線，利用鄰接之金屬配線間所產生之電容用來獲得小寄生電阻和小面積之電容器。下面將具體的說明本發明之實施形態。

實施形態1.

圖1是斜視圖，用來表示本發明實施形態1之電容器之構造。該半導體裝置如圖2之上面圖所示，具備形成有所要之配線之配線部11和形成有電容器之電容器部12，圖1所示之電容器形成在半導體裝置之電容器部12。

參照圖1，依照圖中之X方向延伸之由Al或Cu等之金屬構成之配線3，在圖中之Y方向以指定之間隔排列多個，用來構成線路空間構造4。該線路空間構造4形成在矽基板1上。另外，在矽基板1上形成有由矽氧化膜等構成之絕緣膜2，鄰接之配線3之間經由絕緣膜2成為互相電分離。

圖3是從圖1所示之構造中只抽出互相鄰接之一對之配線3，從X方向看之模式圖。配線3之幅度L和配線3之間之間



五、發明說明 (6)

3，從X方向看之模式圖。配線3之幅度L和配線3之間之隔S，依照形成線路空間構造時之半導體製造技術(尤其是曝光技術)之性能被支配，假如成為 $0.2 \mu\text{m}$ 。另外，配線3之厚度T大約為 $0.5 \mu\text{m}$ 。在圖3中，經由對一方之配線3施加高電位 V_1 ，對另外一方之配線3施加低電位 V_2 ，可以在兩個配線之間形成電容5。

下面將說明使用線路空間構造構成電容器之情況時，和利用一對之平面電極構成電容器之情況時之電容之大小之比較。圖4是斜視圖，以模式方式表示線路空間構造，圖5是斜視圖，以模式方式表示一對之平面電極。在圖4、5中，求每一個單位正方形($A \times A$)之電容。

首先，使用線路空間構造之情況時之電容 C_1 為

[數1]

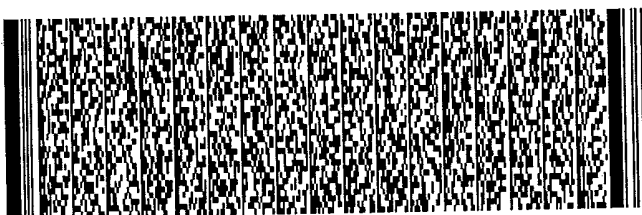
$$C_1 = K_0 \epsilon_0 \frac{T \times A}{S} \times \frac{A}{2S}$$

$$= K_0 \epsilon_0 \frac{TA^2}{2S^2}$$

。其中，在絕緣膜為氧化膜之情況時， $K_0=3.9$ ， $\epsilon_0=8.86 \times 10^{-14} \text{F/cm}$ 。

另外一方面，使用一對平面電極之情況時之電容 C_2 為

[數2]



五、發明說明 (7)

$$C_2 = \epsilon_0 K_0 \frac{A^2}{D}$$

，假設在圖4，5中為 $D=5L=5S$ 時，電容 C_2 變成為
[數3]

$$C_2 = K_0 \epsilon_0 \frac{A^2}{5S}$$

在該等式中，使 $T=0.5 \mu m$ ， $A=100 \mu m$ ，使設計尺度(L 和 S 相等)在 $0.1 \sim 1 \mu m$ 之範圍，則電容 C_1 ， C_2 對各個設計尺度之關係所繪出之圖形如圖6所示。在設計尺度為 $1 \mu m$ 之情況時，電容 C_1 ， C_2 大致相等，但是在變為 $0.2 \mu m$ 以下時，電容 C_1 大致比電容 C_2 大10倍。亦即，當使用線路空間構造構成電容器時，假如使設計尺度變小，當與利用平面電極構成電容器之情況比較時，可以獲得大電容。

圖7是從圖1所示之構造中抽出連續之4根配線3，從X方向看之模式圖。如圖7所示，經由交替的配置配線3a(具有作為電容器之一方之電極之功能，被施加高電位 V_1)和配線3b(具有作為另外一方之電極功能，被施加低電位 V_2)，可以很簡單的獲得大電容之電容器。

依照此種方式之本實施形態1之電容器時，因為線路空間構造之配線採用低電阻之金屬配線，利用鄰接之金屬配線之間所產生之電容用來構成電容器，所以可以使寄生電



五、發明說明 (8)

阻和電力損失變小，和可以獲得小面積・大電容之電容器。

另外，線路空間構造因為利用曝光技術或蝕刻技術等之習知之半導體製造技術可以很容易的形成，所以不需要新追加用以形成電容器之特別工程，因此不會造成成本之上升。

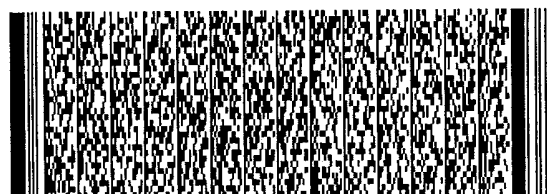
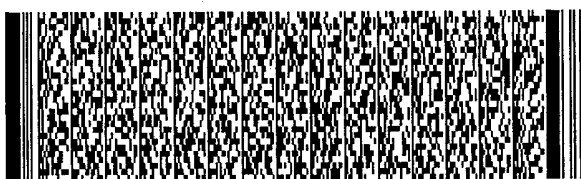
實施形態2.

圖8是模式圖，用來表示本發明之實施形態2之電容器之構造。本實施形態2之電容器是以上述之實施形態1之電容器為基礎，使具有與圖7所示之線路空間構造4相同構造之線路空間構造4a~4c，經由絕緣膜2配置成3層，成為屬於不同之線路空間構造之配線3a和3b依圖中之Z方向交替的排列。

另外，圖8中所示者是3層之線路空間構造4a~4c，但是亦可以配置成為4層以上。

另外，屬於最下層之線路空間構造之各個配線3亦可以作為由形成在半導體基板1上之聚矽所形成之閘極電極。屬於其他層之線路空間構造之配線3以金屬構成可以使電阻降低。但是，在此種情況亦可以使閘極電極之表面矽化物化，或形成為在閘極電極上重疊金屬層。利用此種方式可以使閘極電極本身之電阻降低。上述之狀況在後面所述之實施形態3~6亦同。

依照上述方式之本實施形態2之電容器時，各個配線3a、3b因為在上下左右鄰接之4根配線3b、3a之間構成電



五、發明說明 (9)

容，所以可以更進一步的大電容化。例如當與上述之實施形態1之電容器比較時，可以獲得大致為2倍之電容。

另外，屬於中段之線路空間構造4b之配線3因為上下左右被其他之配線包圍，所以不易受到外來擾動之影響，可以獲得抗擾動性很強之電容器。

實施形態3.

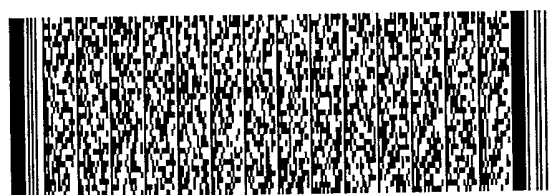
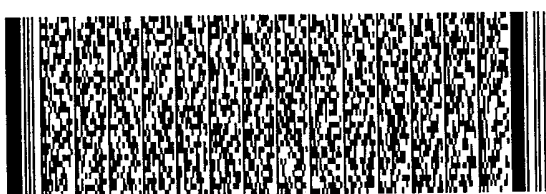
圖9是模式圖，用來表示本發明之實施形態3之電容器之構造。本實施形態3之電容器是以上述實施形態1之電容器為基礎，使具有與圖7所示之線路空間構造4相同構造之線路空間構造4a、4b，經由絕緣膜2配置成2層，成為屬於不同之線路空間構造之配線3a和配線3b分別依Z方向排列。另外，使Z方向排列之配線3a和配線3b經由形成在絕緣膜2內之內部充填有W等之金屬之穿通孔6互相電連接。另外，在圖9中所示者是2層之線路空間構造4a、4b，但是亦可以配置3層以上。

圖10、11是從Z方向看穿通孔6之模式圖。穿通孔6可以形成排列多個孔狀之穿通孔(圖10)，亦可以平面的與配線3a、3b重疊，形成帶狀(圖11)。

依照此種方式之本實施形態3之電容器時，因為亦可以在圖9所示之互相鄰接之穿通孔6之間構成電容，所以可以更進一步的大電容化。另外，經由如圖11所示的使穿通孔6成為帶狀，可以使其效果更進一層的增大。

實施形態4.

圖12是模式圖，用來表示本發明之實施形態4之電容器



五、發明說明 (10)

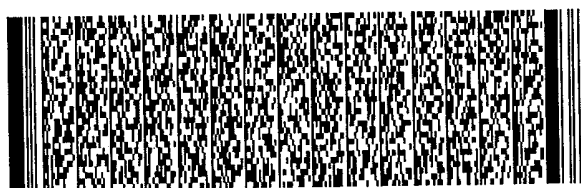
之構造。本實施形態4之電容器以圖7所示之上述實施形態1之電容器為基礎，使被施加電位 V_2 和平行於X方向和Y方向所規定之平面之平面電極7b，經由絕緣膜2被上下的配置，線路空間構造4成為依Z方向排列。平面電極7b只形成在圖2所示之電容器部12，由金屬或聚矽之材質構成。

依照此種方式之本實施形態4之電容器時，因為在配線層3a和平面電極7b之間亦可以構成電容，所以可以更進一步的大電容化。

另外，如圖13所示，在未形成有平面電極7b之情況時，從配線3a發出之電力線，不只是配線3b，而且亦以半導體基板1或其他之信號線8為終端，所以會產生電力損失。但是，依照本實施形態4之電容器時，如圖14所示，從配線3a發出之電力線全部以配線3b或平面電極7b為終端。因此，可以獲得沒有寄生成分之理想之電容器用來避免上述之電力損失，和利用平面電極7b可以減小配線3a和其他之信號線8之間之干擾。

圖15~19是模式圖，分別表示本發明之實施形態4之電容器之其他構造。在圖12中所示之電容器是在線路空間構造4之上下配置均被施加低電位 V_2 之平面電極，但是亦可以配置被施加高電位 V_1 之平面電極7a作為上下之一方或雙方之平面電極(圖15)。

另外，在圖12中所示之電容器是在線路空間構造4之上下雙方配置平面電極，但是亦可以只在上下之一方配置平面電極。例如，只在線路空間構造4和半導體基板1之間，



五、發明說明 (11)

或是只在線路空間構造4和其他之信號線8之間，配置平面電極7b(圖16、17)。

另外，圖12是表示以圖7所示之上述實施形態1之電容器為基礎所構成之電容器，但是亦可以以圖8所示之上述實施形態2之電容器為基礎，或是以圖9所示之上述實施形態3之電容器為基礎，用來構成本實施形態4之電容器(圖18、19)。

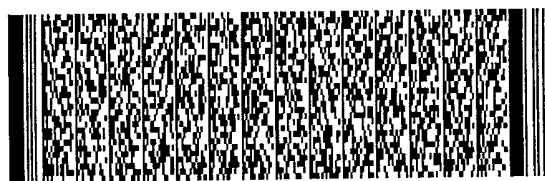
實施形態5.

圖20是模式圖，用來表示本發明之實施形態5之電容器之構造。本實施形態5之電容器以圖12所示之上述實施形態4之電容器為基礎，被施加相同電位 V_2 之配線3b和平面電極7b，經由形成在絕緣膜2內之在內部被W等之金屬充填之穿通孔9，形成互相電連接。該穿通孔9可以採用圖10所示之孔狀之穿通孔和圖11所示之帶狀之穿通孔之任何一方。

在依照此種方式之本實施形態5之電容器時，被施加高電位 V_1 之配線3a，因為被施加低電位 V_2 之配線3b，平面電極7b，和穿通孔9包圍，所以可以有效的減小配線3a與半導體基板1或其他之信號線8之間之干擾。

另外，因為配線3a和穿通孔9之間亦可以構成電容，所以可以更進一步的大電容化。

圖21~27是模式圖，分別用來表示本發明之實施形態5之電容器之其他構造。在圖20中所示之電容器是在線路空間構造4之上下配置被施加低電位 V_2 之平面電極7b。但



五、發明說明 (12)

是，亦可以配置被施加高電位 V_1 之平面電極7a作為上下之一方或雙方之平面電極，經由穿通孔9使配線3a和平面電極7a互相電連接(圖21)。

另外，在圖20中所示之電容器是具有單層之線路空間構造4，但是在將多個線路空間構造4a, 4b配置成為層狀之電容器中，對於各個線路空間構造4a, 4b，亦可適於使用圖20所示之構造(圖22)。

另外，在圖20中所示之電容器是以圖12所示之電容器為基礎所構成之電容器，但是亦可以以圖18或圖19所示之電容器為基礎，用來構成本實施形態5之電容器(圖23，24)。

另外，圖24所示之電容器是以具有2層之線路空間構造4a, 4b之電容器為基礎所構成之本實施形態5之電容器，但是亦可以以具有3層，4層和5層(或6層以上)之線路空間構造4a~4e之電容器為基礎，用來構成本實施形態5之電容器(圖25~27)。

實施形態6.

圖28是模式圖，用來表示本發明之實施形態6之電容器之構造。本實施形態6之電容器是以圖24所示之上述實施形態5之電容器為基礎，在線路空間構造4a, 4b之上下雙方配置平面電極7b，另外，被施加高電位 V_1 之與平面電極7b平行之平面電極7a，經由絕緣膜2被配置在上下，對平面電極7b成為在線路空間構造4a, 4b之相反側沿著Z方向排列，另外，平面電極7a和配線3a，經由形成在絕緣膜2內



五、發明說明 (13)

之內部被W等之金屬充填之穿通孔10，互相電連接。該穿通孔10可以採用圖16所示之孔狀之穿通孔和圖11所示之帶狀之穿通孔之任何一方。

依照此種方式之本實施形態6之電容器時，在圖28中配置在中央之配線3a和穿通孔6，被施加低電位 V_2 之配線3b，平面電極7b，和穿通孔6, 9包圍，和配線3b，平面電極7b，和穿通孔6, 9被施加高電位 V_1 之配線3a，平面電極7a，和穿通孔6, 10包圍。因此，可以有效的減小配線3a, 3b與半導體基板1或其他信號線8之間之干擾。

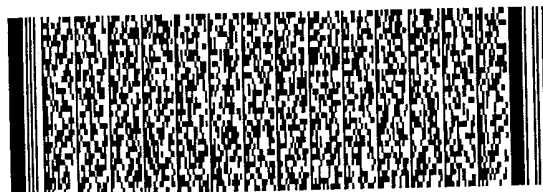
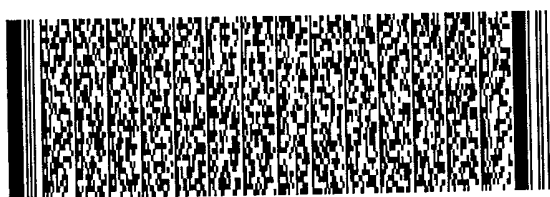
另外，與圖28所示之構造相反的，在線路空間構造4a, 4b之上下雙方配置平面電極7a，經由穿通孔9電連接到配線3a，和在平面電極7a之上下外側配置平面電極7b，經由穿通孔10電連接到配線3b，採用此種構造時，可以獲得與上述同樣之效果。

實施形態7.

圖29是剖面圖，用來表示本發明之實施形態7之電容器之構造。圖29所示之電容器是在由配線3a, 3b和矽氧化膜2b構成之線路空間構造4之上下，以指定膜厚平面式的形成高電介質膜2a，該高電介質膜2a由具有電介質常數比矽氧化膜高之SiN或BST等構成。

另外，圖30是剖面圖，用來表示本發明之實施形態7之電容器之另一構造。圖30所示之電容器採用上述之高電介質膜2a作為配線3a和配線3b之間之絕緣膜2。

依照此種方式之本實施形態7之電容器時，因為在配線



五、發明說明 (14)

3a, 3b之周圍配置高電介質膜2a，所以當與只利用矽氧化膜構成絕緣膜2之情況比較時，可以大電容化。

另外，經由將圖29之高電介質膜2a和圖30之高電介質膜2a組合的配置，可以更進一步的大電容化。

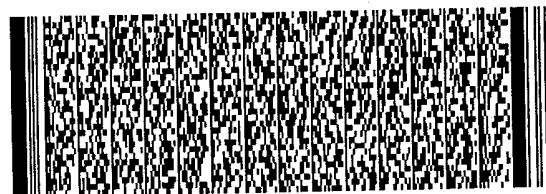
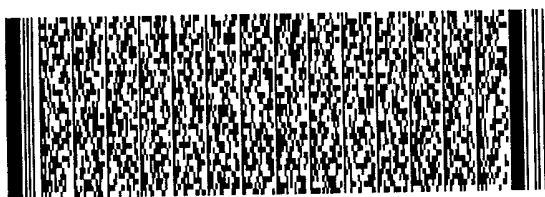
實施形態8.

圖31是從Z方向看半導體裝置之模式圖。如上所述，半導體裝置具有配線部11和電容器部12，在電容器部12中，如圖29，30所示，所採用之構造是在配線3a, 3b之周圍配置高電介質膜2a。另外一方面，在配線部11中，如圖32所示，所採用之構造是只利用矽氧化膜2b構成絕緣膜2。

依照此種方式之本實施形態8之電容器時，在半導體裝置之電容器部12可以使電容器大電容化，和在配線部11可以減小寄生電容藉以實現高速動作。

另外，圖33, 34是剖面圖，分別表示本發明之實施形態8之第1變化例之電容器之構造。圖33表示配線部11之剖面構造，圖34表示電容器部12之剖面構造。在線路空間構造4之上下形成有高電介質膜2a，在配線部11形成較薄之高電介質膜2a1，在電容器部12形成較厚之高電介質膜2a2。利用此種方式，即使配線部11和電容器部12之高電介質膜2a之膜厚不同，亦可以獲得與上述同樣之效果。

另外，圖35是剖面圖，用來表示本發明之實施形態8之第2變化例之電容器之構造，尤其是配線部11之剖面構造。在鄰接之配線3之間之矽氧化膜2b內，導入降低電介質常數用之下等之不純物，成為矽氧化膜2bb。另外一方



五、發明說明 (15)

用此種構造可以更進一步的減小配線部11之寄生電容，藉以使動作高速化。

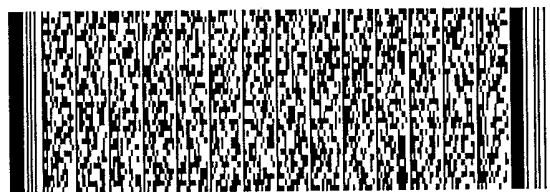
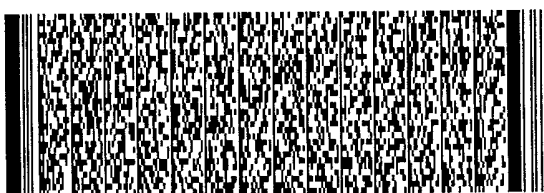
下面將說明上述之實施形態1~8之電容器之用途。圖36是電路圖，用來表示習知之共振電路，圖37是電路圖，用來表示習知之高通濾波電路，圖38是電路圖，用來表示習知之低通濾波電路。在該等之圖中， C_1 ， C_2 是與半導體基板等之間構成之寄生電容， V 是電壓用來表示由於其他信號線所造成之影響。圖36所示之共振電路之 C ，經由使用上述實施形態1~8之電容器，可以減小電力損失和來自其他電路之干擾，可以獲得高性能之共振電路。另外，因為可以將 C 設定在高精確度，所以當使用在帶通濾波器時，可以以高精確度使通過頻帶變狹。另外，圖37，38所示之濾波電路之 C ，經由使用上述之實施形態1~8之電容器，可以獲得高截止能力之濾波電路。

[發明之效果]

依照本發明之申請專利範圍第1項時，因為線路空間構造之配線採用低電阻之金屬配線，利用鄰接之金屬配線之間所產生之電容用來構成電容器，所以可以減小寄生電阻和電力損失，而且可以獲得小面積・大電容之電容器。

另外，依照本發明之申請專利範圍第2項時，經由將第1和第2配線交替的重複配置，可以簡單的獲得大電容之電容器。

另外，依照本發明之申請專利範圍第3項時，因為在第1或第2配線與平面電極之間亦構成電容，所以可以更進一



五、發明說明 (16)

或第2配線與平面電極之間亦構成電容，所以可以更進一步的大電容化。

另外，因為可以避免電力損失，所以可以獲得沒有寄生成分之理想之電容器，和利用平面電極可以減小第1或第2配線與其他信號線等之間之干擾。

另外，依照本發明之申請專利範圍第4項時，因為第1和第2配線在第2和第3方向鄰接之4根之第2和第1配線之間構成電容，所以可以更進一步的大電容化。

另外，依照本發明之申請專利範圍第5項時，因為在第1或第2配線與平面電極之間亦構成電容，所以可以更進一步的大電容化。

另外，因為可以避免電力損失，所以可以獲得沒有寄生成分之理想之電容器，和利用平面電極可以減小第1或第2配線與其他之信號線等之間之干擾。

另外，依照本發明之申請專利範圍第6項時，因為在包夾層間絕緣膜之互相鄰接之穿通孔之間亦構成電容，所以可以更進一步的大電容化。

另外，依照本發明之申請專利範圍第7項時，因為在第1或第2配線與平面電極之間亦構成電容，所以可以更進一步的大電容化。

另外，因為可以避免電力損失，所以可以獲得沒有寄生成分之理想之電容器，和利用平面電極可以減小第1或第2配線與其他之信號線等之間之干擾。

另外，依照本發明之申請專利範圍第8項時，經由將多



五、發明說明 (17)

提高本發明之申請專利範圍第3、5、7項所獲得之效果。

另外，依照本發明之申請專利範圍第9項時，因為第2配線被第1配線，平面電極，和用以電連接第1配線和平面電極之穿通孔包圍，所以可以有效的減小第2配線與其他之信號線等之間之干擾。

另外，因為在用以電連接第1配線和平面電極之穿通孔，與第2配線之間亦構成電容，所以可以更進一步的大容量化。

另外，依照本發明之申請專利範圍第10項時，第1配線，平面電極，第1穿通孔，和用以電連接第1配線之間之穿通孔，因為被第2配線，其他之平面電極，第2穿通孔，和用以電連接第2配線之間之穿通孔包圍，所以可以有效的減小第1配線和其他之信號線之間之干擾。

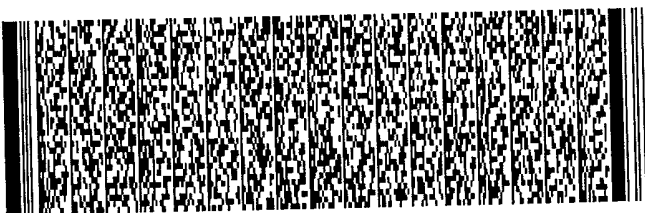
另外，依照本發明之申請專利範圍第11項時，當與只利用矽氧化膜構成絕緣膜之情況比較時，可以大電容化。

另外，依照本發明之申請專利範圍第12項時，當與利用矽氧化膜構成絕緣膜之情況比較時，可以大電容化。

另外，依照本發明之申請專利範圍第13項時，在電容器部可以使電容器大電容化，和在配線部可以減小寄生電容藉以實現高速動作。

另外，依照本發明之申請專利範圍第14項時，在配線部可以減小寄生電容，藉以使動作高速化。

另外，依照本發明之申請專利範圍第15項時，當與利用平面電極構成電容器之情況比較時，每單位面積可以10倍

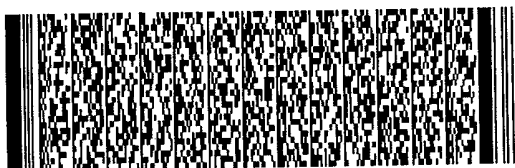


五、發明說明 (18)

平面電極構成電容器之情況比較時，每單位面積可以10倍程度的大容量化。

[元件編號之說明]

2	絕緣膜
2a, 2a1, 2a2	高電介質膜
2b, 2bb	矽氧化膜
3, 3a, 3b	配線
4, 4a ~ 4c	線路空間構造
5	電容
6, 9, 10	穿通孔
7a, 7b	平面電極
8	信號線
11	配線部
12	電容器部



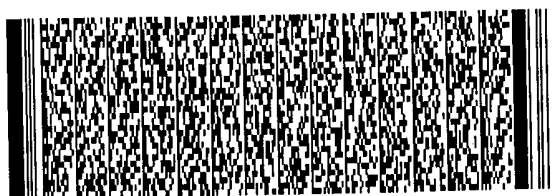
四、中文發明摘要 (發明之名稱：半導體裝置)

本發明之目的是獲得電力損失小而且不需要大面積之電容器。

本發明之解決手段是線路空間構造之配線採用金屬配線，利用在鄰接之金屬配線之間所產生之電容，用來減小寄生電阻，和獲得小面積之電容器。沿著X方向延伸之由Al或Cu等之金屬構成之配線3，在Y方向以指定之間隔排列多個，用來構成線路空間構造4。線路空間構造形成在矽基板1上。另外，在矽基板1上形成有由矽氧化膜等構成之絕緣膜2，鄰接之配線3經由絕緣膜2成為互相電分離。

英文發明摘要 (發明之名稱：Semiconductor Device)

A small-sized low-power-loss capacitor having low parasitic resistance is obtained by adopting metal wires as wires in a line and space structure to utilize capacitances between adjacent metal wires. A plurality of wires (3) each extending in a direction (x) and composed of metals such as Al and Cu are aligned in a direction (y) at predetermined intervals, forming a line and space structure (4). The line and space structure (4) is formed on a silicon substrate (1). On the silicon substrate (1), an insulation film (2) composed for example of a silicon oxide film is formed to provide electrical isolation between adjacent wires (3).



六、申請專利範圍

1. 一種半導體裝置，其特徵是具備有：

底層，具有主面；和

電容器，形成在上述底層之上上述主面上；

上述之電容器具有線路空間(line and space)構造，沿著上述主面之第1方向延伸之多個金屬配線經由絕緣膜互相電分離，和在垂直於上述第1方向之上上述主面之第2方向，以指定之間隔排列。

2. 如申請專利範圍第1項之半導體裝置，其中

上述之線路空間構造包含具有作為一方之電極功能之第1配線，和具有作為另外一方之電極功能之第2配線；和

上述之第1配線和上述之第2配線交替的重複配置。

3. 如申請專利範圍第2項之半導體裝置，其中

上述之電容器更具有與上述主面平行之平面電極，對上述之線路空間構造成為沿著與上述主面垂直之第3方向排列，和經由指定之層間絕緣膜的被配置。

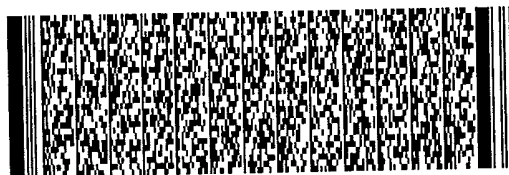
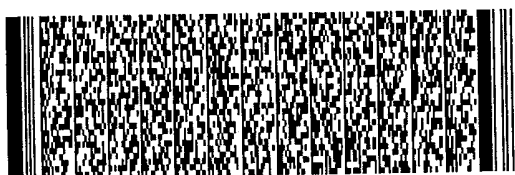
4. 如申請專利範圍第2項之半導體裝置，其中

上述之電容器具有3個以上之上上述之線路空間構造；

3個以上之上上述線路空間構造經由層間絕緣膜被配置成為層狀，使屬於不同之線路空間構造之上上述第1配線和上述第2配線在垂直於上述主面之第3方向交替的排列。

5. 如申請專利範圍第4項之半導體裝置，其中

上述之電容器更具有平行於上述主面之平面電極，對上述之線路空間構造成為沿著上述之第3方向排列，和經由指定之層間絕緣膜的被配置。



六、申請專利範圍

6. 如申請專利範圍第2項之半導體裝置，其中

上述之電容器具有多個之上述之線路空間構造；

上述之多個線路空間構造經由層間絕緣膜被配置成為層狀，使屬於不同之線路空間構造之上述第1配線和上述第2配線分別沿著垂直於上述主面之第3方向排列；和

沿著上述第3方向排列之上述第1配線和上述第2配線經由形成在上述之層間絕緣膜內之內部充填有導體之穿通孔互相電連接。

7. 如申請專利範圍第6項之半導體裝置，其中

上述之電容器更具有平行於上述主面之平面電極，對上述之線路空間構造成為沿著上述之第3方向排列，和經由指定之層間絕緣膜的被配置。

8. 如申請專利範圍第3、5及7項中任一項之半導體裝置，其中

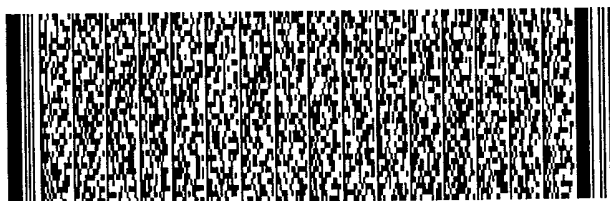
上述之電容器具有多個之上述平面電極；

上述之多個平面電極對上述之線路空間構造成為沿著上述之第3方向排列，被配置在上述之線路空間構造之兩側。

9. 如申請專利範圍第3、5及7項中任一項之半導體裝置，其中

上述之電容器更具有內部被導體充填之穿通孔，形成在上述之指定之層間絕緣膜內，用來使上述之第1配線和上述之平面電極進行電連接。

10. 如申請專利範圍第7項之半導體裝置，其中



六、申請專利範圍

上述之電容器更具有：

第1 穿通孔，形成在上述之指定之層間絕緣膜內，用來使上述之第1 配線和上述之平面電極進行電連接，其內部被導體充填；

其他之平面電極，對上述之配線空間構造成為在上述平面電極之相同側沿著上述之第3 方向排列，和經由其他之層間絕緣膜被配置在上述之平面電極之外側；和

第2 穿通孔，形成在上述之其他層間絕緣膜內，用來使上述之第2 配線和上述之其他平面電極進行電連接，其內部被導體充填。

11. 如申請專利範圍第1 項之半導體裝置，其中

上述之電容器更具有：

層間絕緣膜，形成在上述之線路空間構造上；和

高電介質膜，具有電介質常數高於矽氧化膜，形成在上述之層間絕緣膜和上述之線路空間構造之接觸部份。

12. 如申請專利範圍第1 項之半導體裝置，其中

上述之絕緣膜是具有電介質常數高於矽氧化膜之高電介質膜。

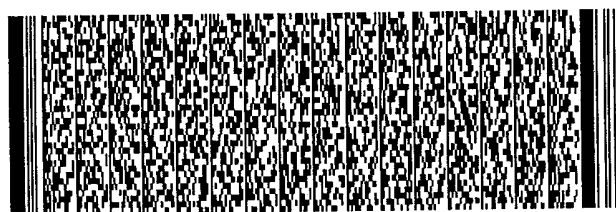
13. 如申請專利範圍第12 項之半導體裝置，其中

上述之半導體裝置具有用以形成所需要之配線之配線部，和用以形成上述之電容器之電容器部；

上述之高電介質膜只設在上述之電容器部。

14. 如申請專利範圍第11 或12 項之半導體裝置，其中

上述之半導體裝置具有用以形成所需要之配線之配線



六、申請專利範圍

部，和用以形成上述之電容器之電容器部；

上述之配線部之上述絕緣膜是導入有降低電介質常數用之不純物之矽氧化膜。

15. 如申請專利範圍第1項之半導體裝置，其中

上述之線路空間構造之線幅和空間幅度均為 $0.2\ \mu\text{m}$ 以下。



圖式簡單說明

圖1是斜視圖，用來表示本發明之實施形態1之電容器之構造。

圖2是上面圖，用來表示半導體裝置之構造。

圖3是從圖1所示之構造中只抽出互相鄰接之一對配線，從X方向看之模式圖。

圖4是斜視圖，用來模式方式的表示線路空間構造。

圖5是斜視圖，用來模式方式的表示一對之平面電極。

圖6是描繪電容 C_1 ， C_2 與設計尺度之關係之圖形。

圖7是從圖1所示之構造中抽出連續之4根配線，從X方向看之模式圖。

圖8是模式圖，用來表示本發明之實施形態2之電容器之構造。

圖9是模式圖，用來表示本發明之實施形態3之電容器之構造。

圖10是從Z方向看穿通孔之模式圖。

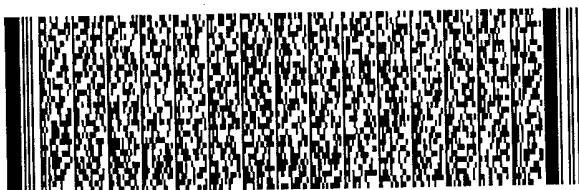
圖11是從Z方向看穿通孔之模式圖。

圖12是模式圖，用來表示本發明之實施形態4之電容器之構造。

圖13是模式圖，用來說明本實施形態4之電容器之效果。

圖14是模式圖，用來說明本實施形態4之電容器之效果。

圖15是模式圖，用來說明本發明之實施形態4之電容器之另一構造。



圖式簡單說明

圖16是模式圖，用來表示本發明之實施形態4之電容器之另一構造。

圖17是模式圖，用來表示本發明之實施形態4之電容器之另一構造。

圖18是模式圖，用來表示本發明之實施形態4之電容器之另一構造。

圖19是模式圖，用來表示本發明之實施形態4之電容器之另一構造。

圖20是模式圖，用來表示本發明之實施形態5之電容器之構造。

圖21是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖22是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖23是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖24是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖25是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖26是模式圖，用來表示本發明之實施形態5之電容器之另一構造。

圖27是模式圖，用來表示本發明之實施形態5之電容器之另一構造。



圖式簡單說明

圖28是模式圖，用來表示本發明之實施形態6之電容器之構造。

圖29是剖面圖，用來表示本發明之實施形態7之電容器之構造。

圖30是剖面圖，用來表示本發明之實施形態7之電容器之另一構造。

圖31是從Z方向看配線之模式圖。

圖32是剖面圖，用來表示配線部之剖面構造。

圖33是剖面圖，用來表示本發明之實施形態8之第1變化例之電容器之構造。

圖34是剖面圖，用來表示本發明之實施形態8之第2變化例之電容器之構造。

圖35是剖面圖，用來表示本發明之實施形態8之第2變化例之電容器之構造。

圖36是電路圖，用來表示習知之共振電路。

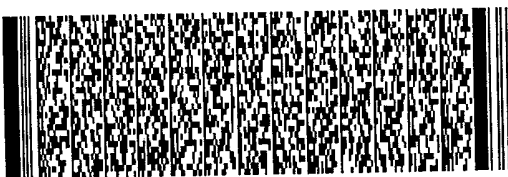
圖37是電路圖，用來表示習知之高通濾波電路。

圖38是電路圖，用來表示習知之低通濾波電路。

圖39是電路圖，用來表示習知之電容器之構造。

圖40是剖面圖，用來表示習知之電容器之另一構造。

圖41是電路圖，用來表示圖39所示之電容器之等值電路。



461075

1

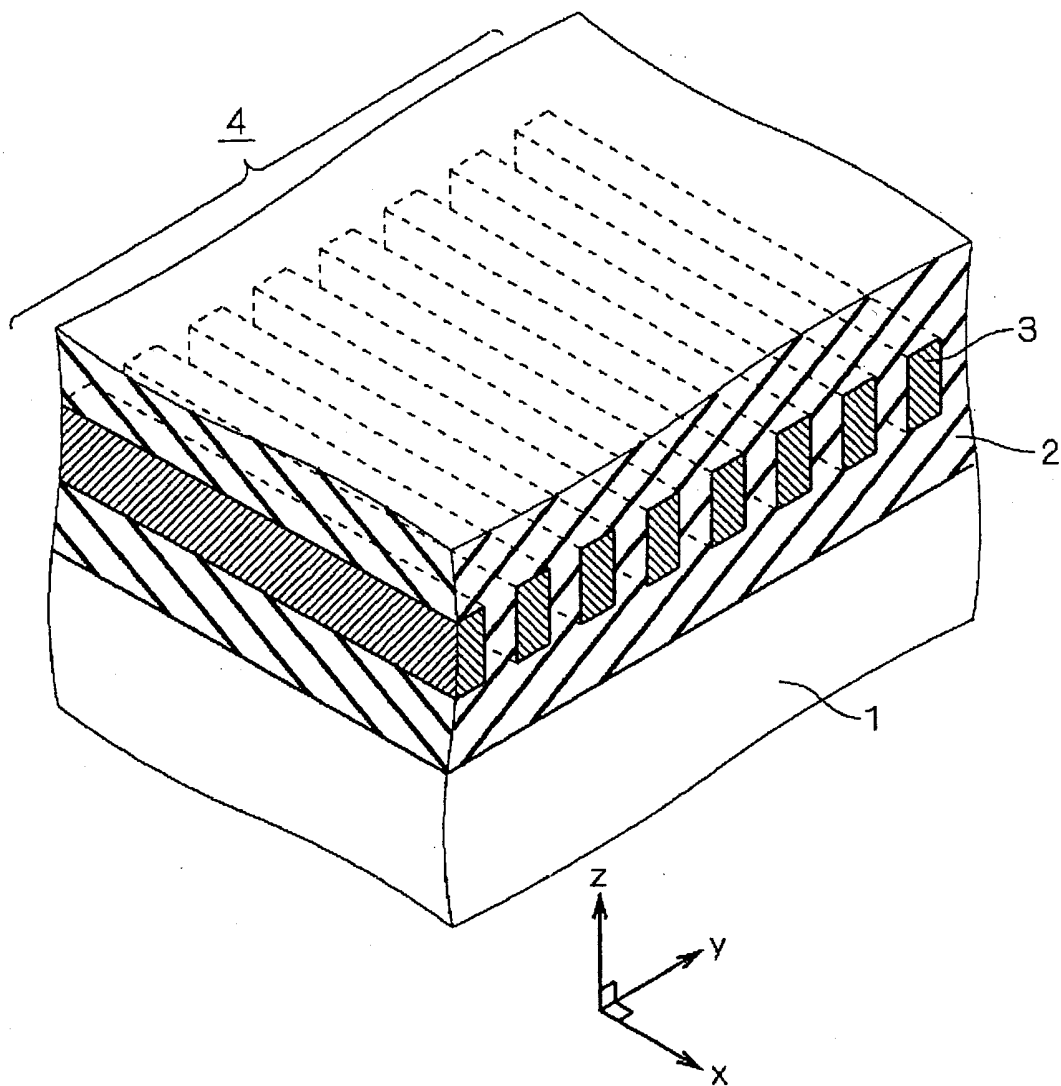


圖 2

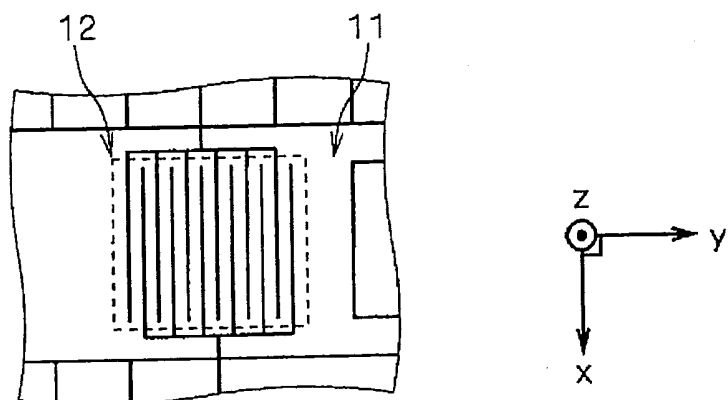
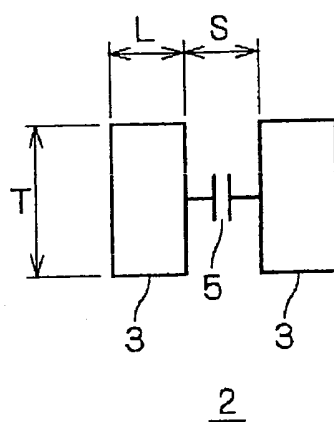
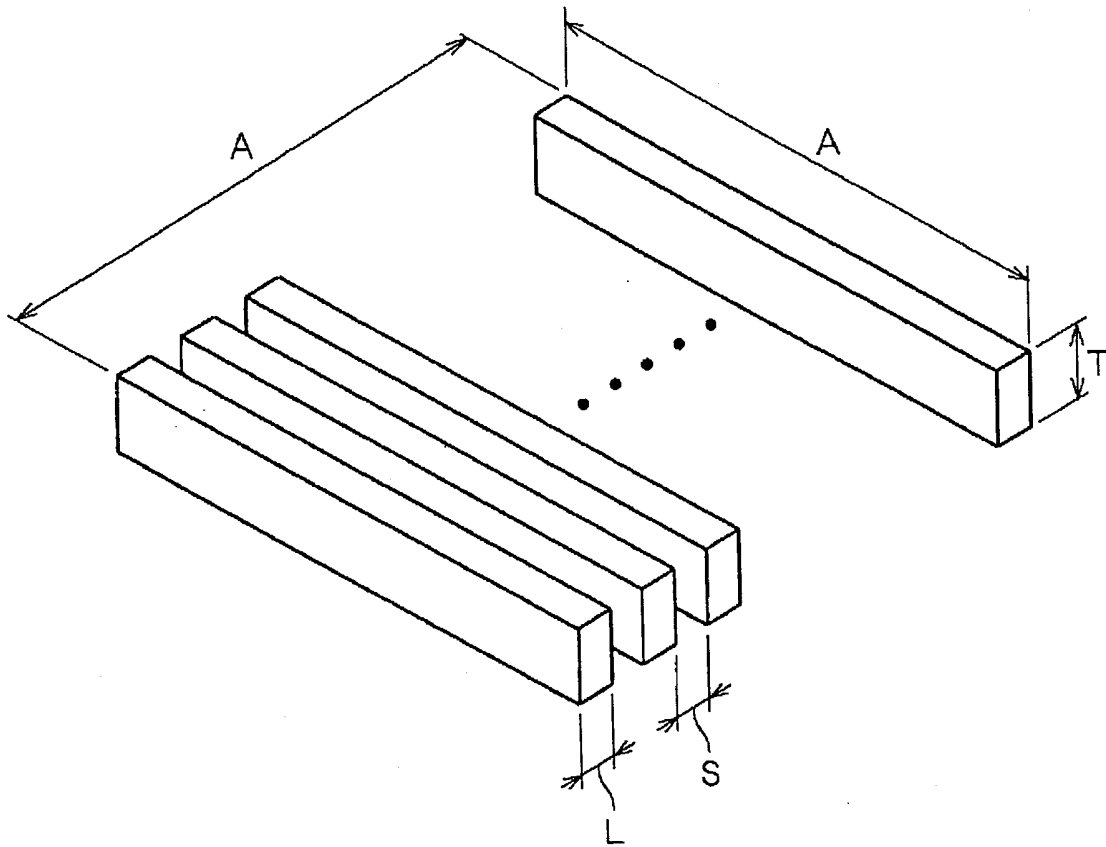


圖 3



461075

圖 4



461075

圖 5

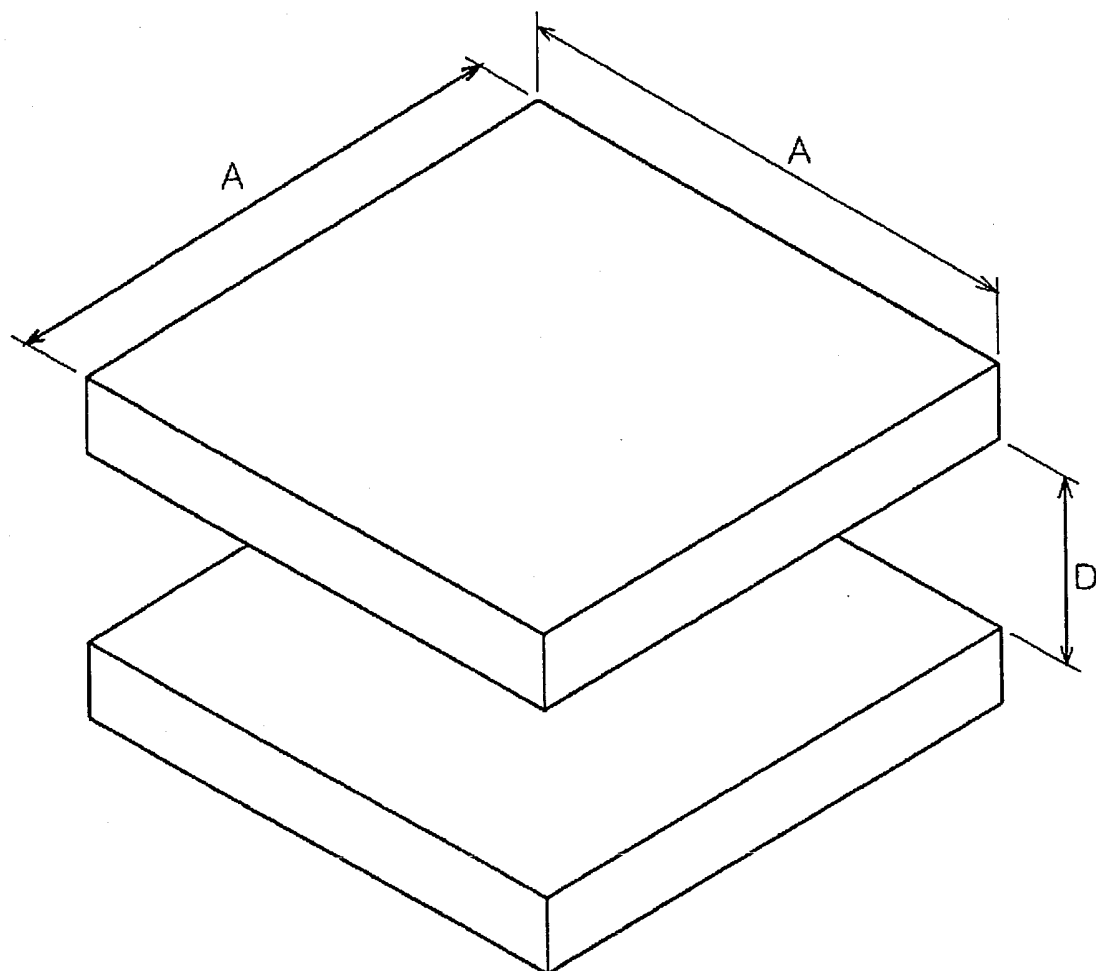


圖 6

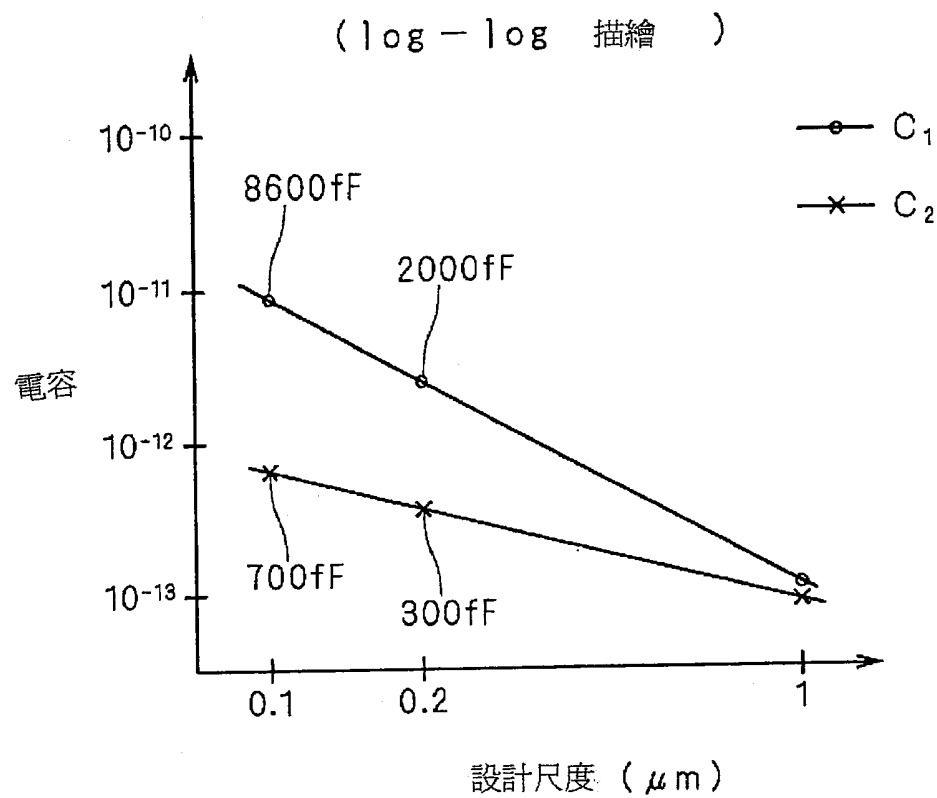


圖 7

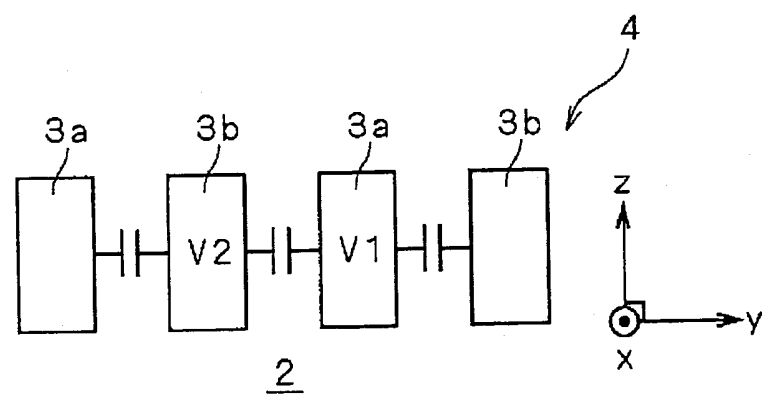


圖 8

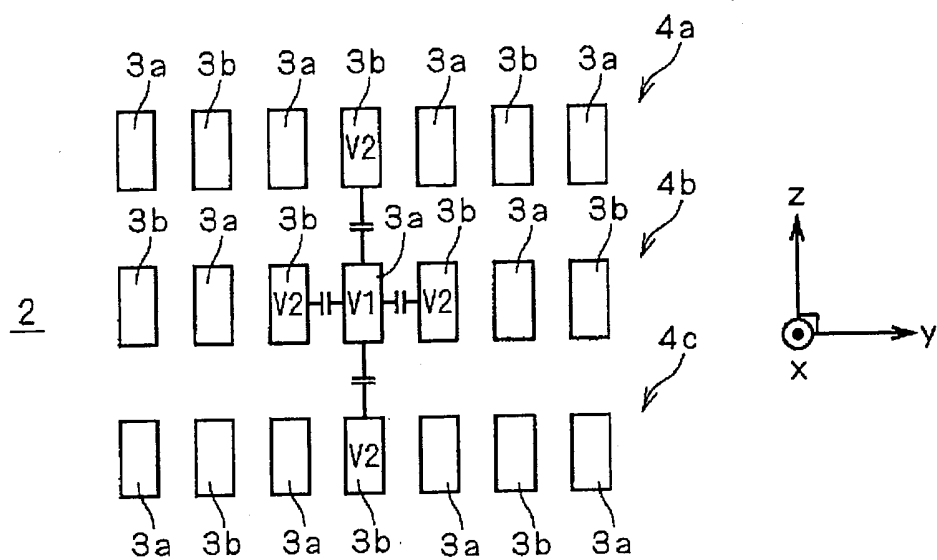


圖 9

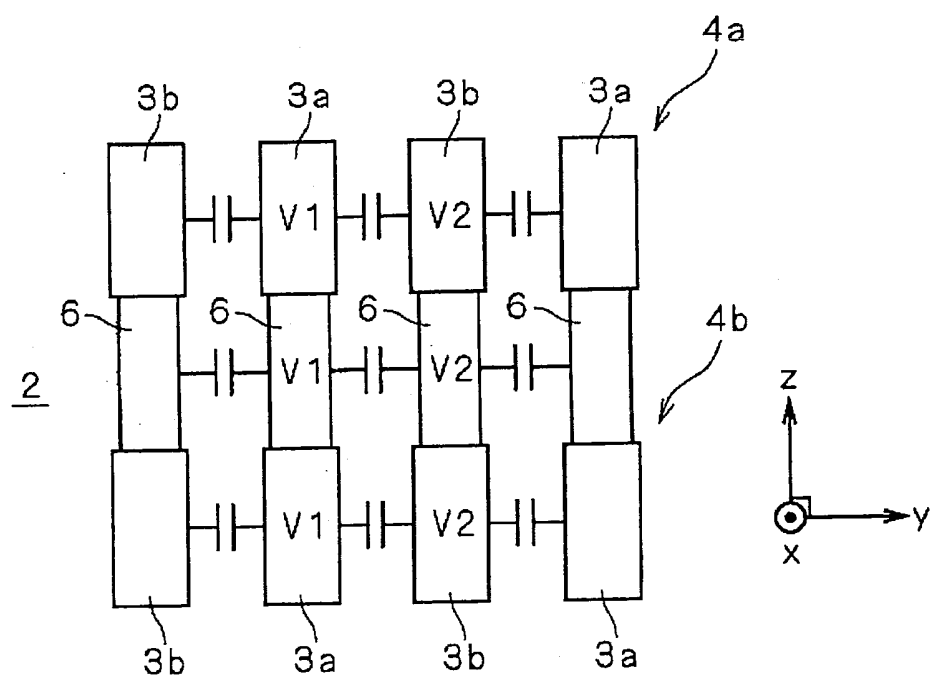


圖 10

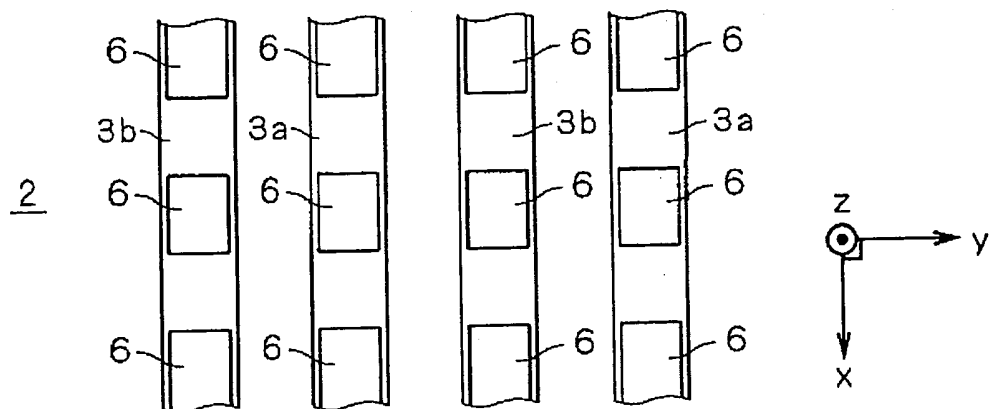


圖 11

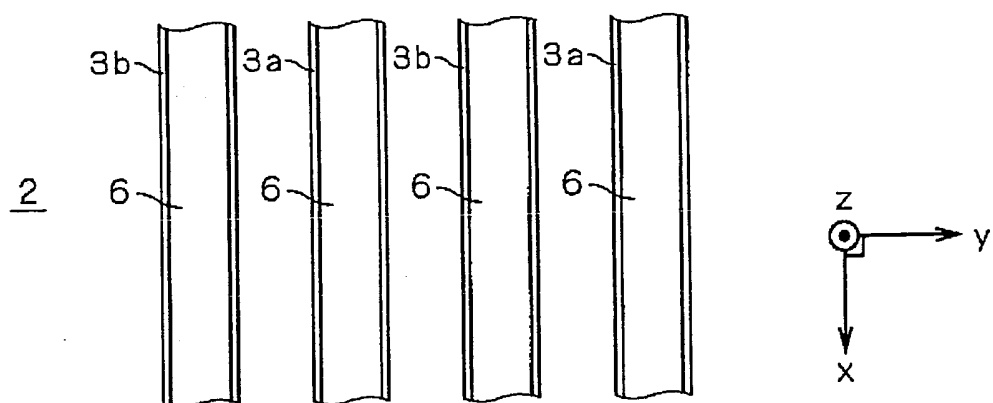


圖 12

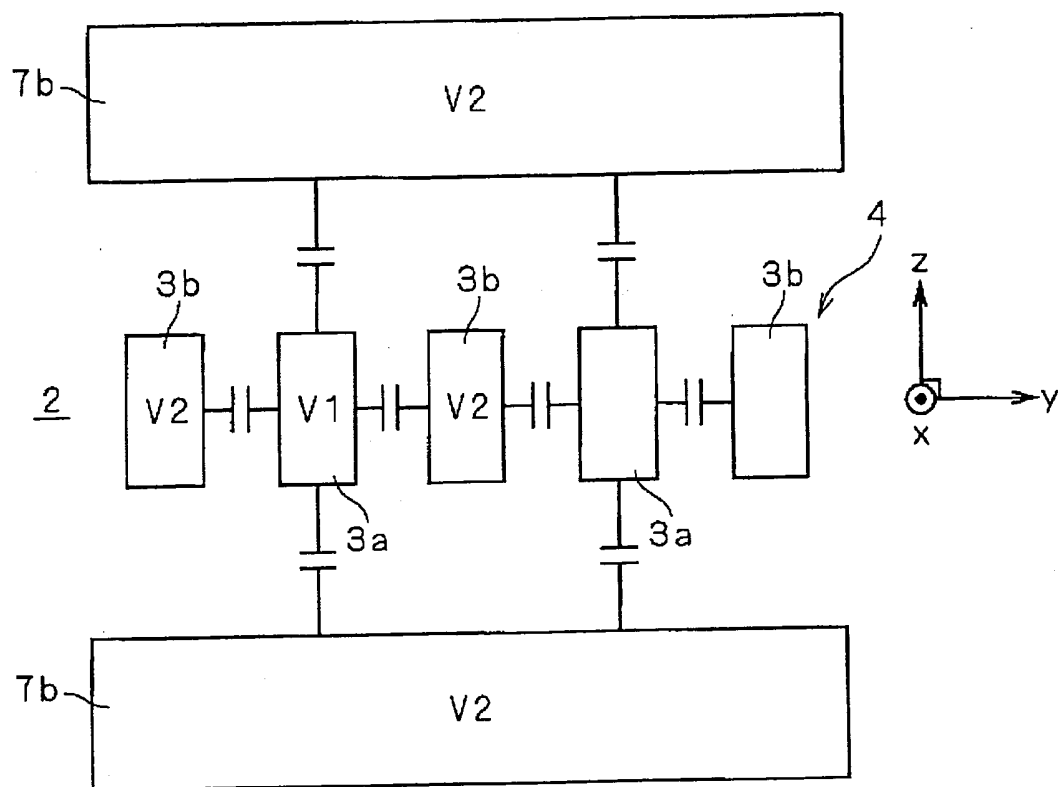
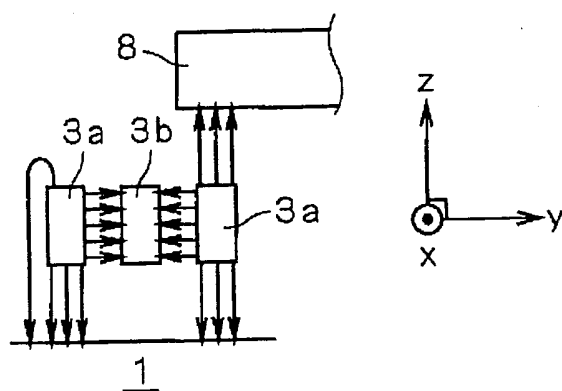


圖 13



4 6 1 0 7 5

14

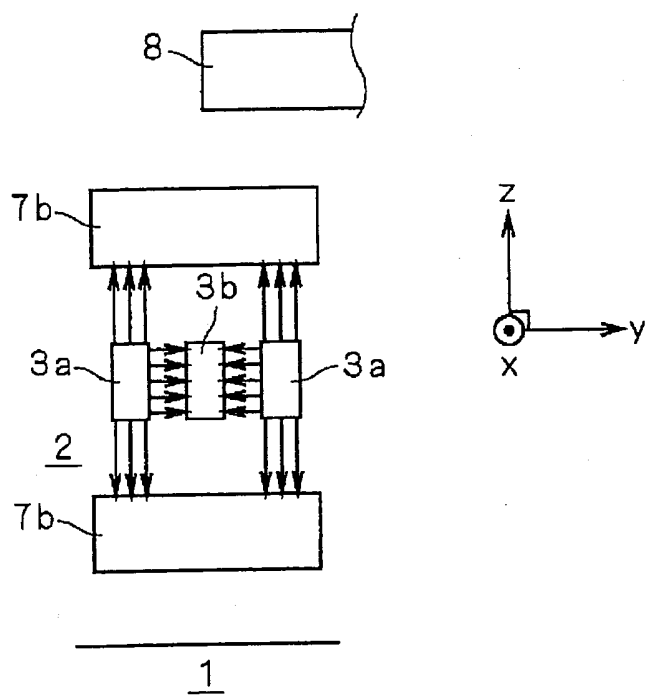


圖 15

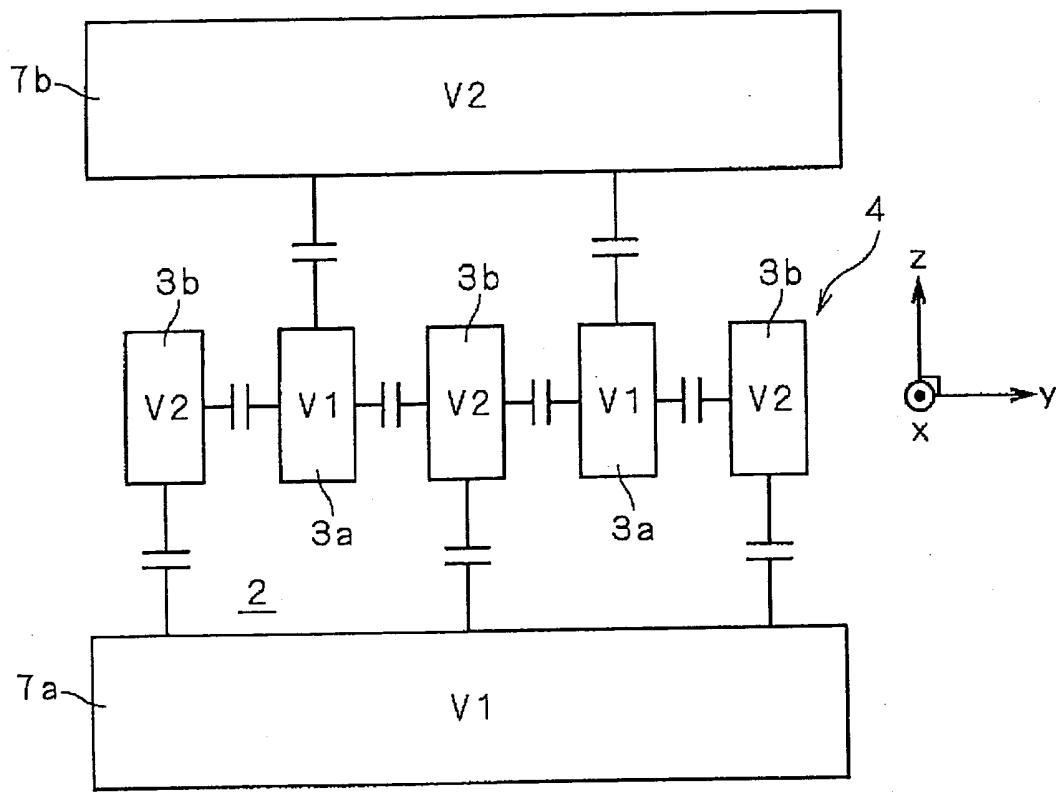


圖 16

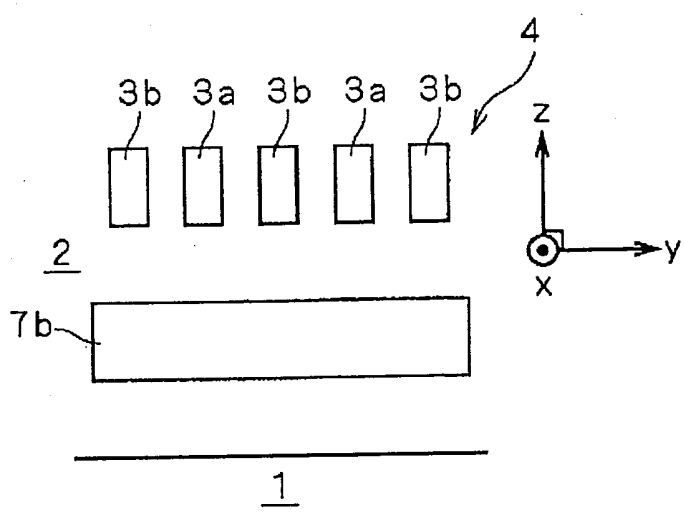


圖 17

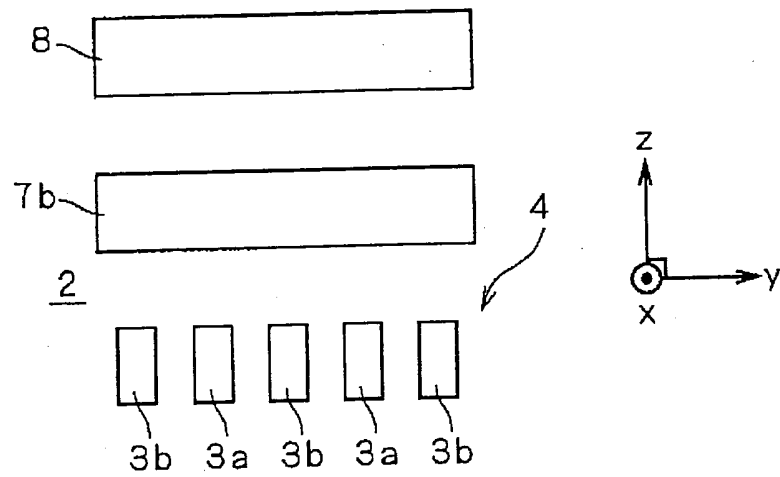


圖 18

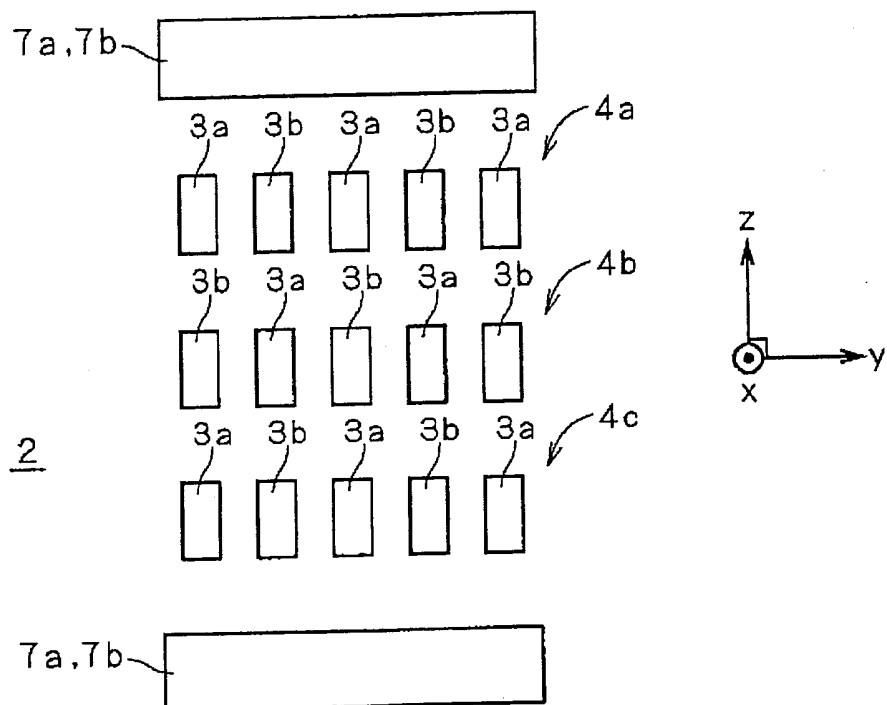


圖 19

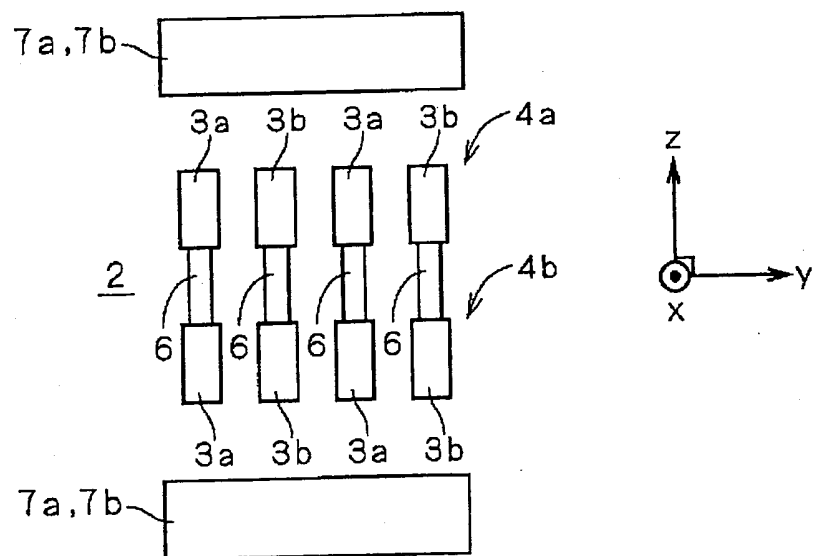
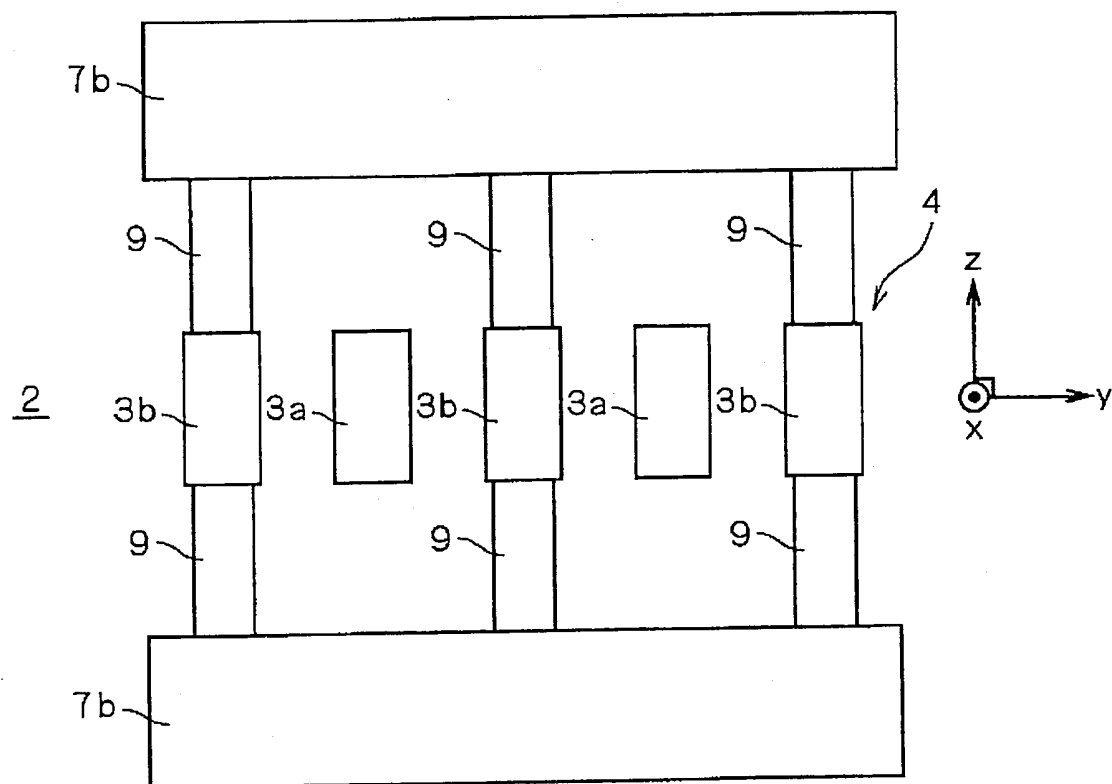


圖 20



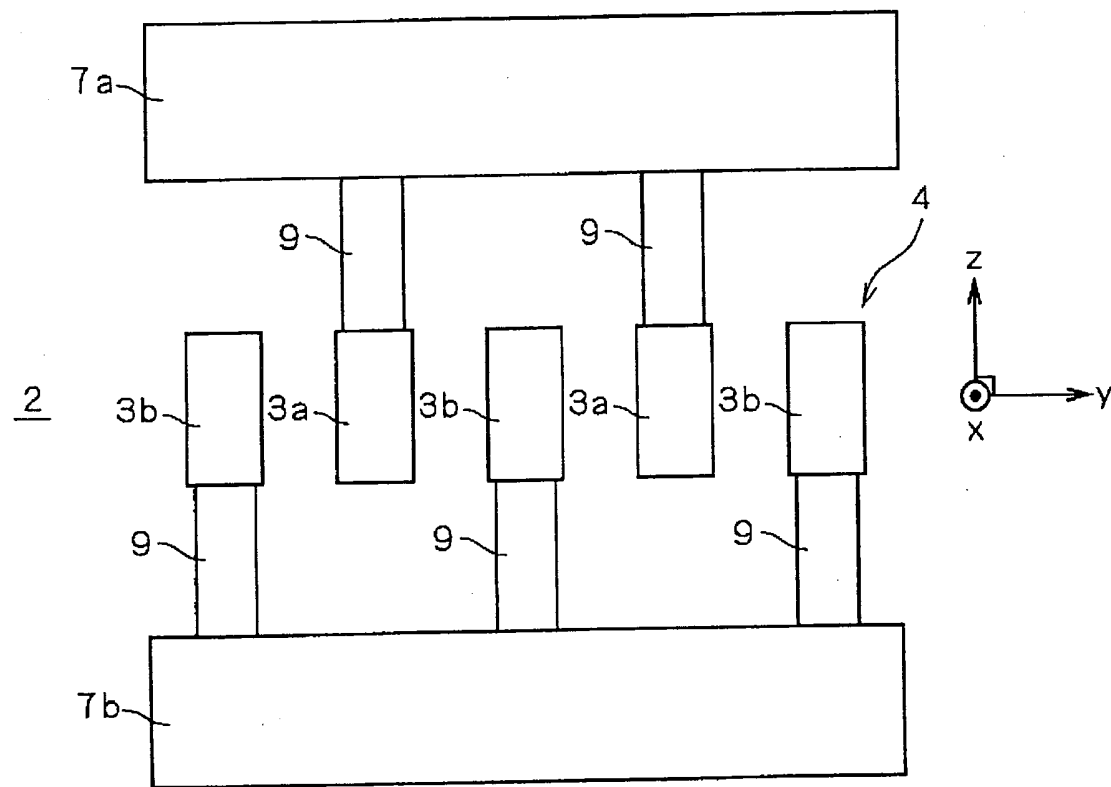


圖 22

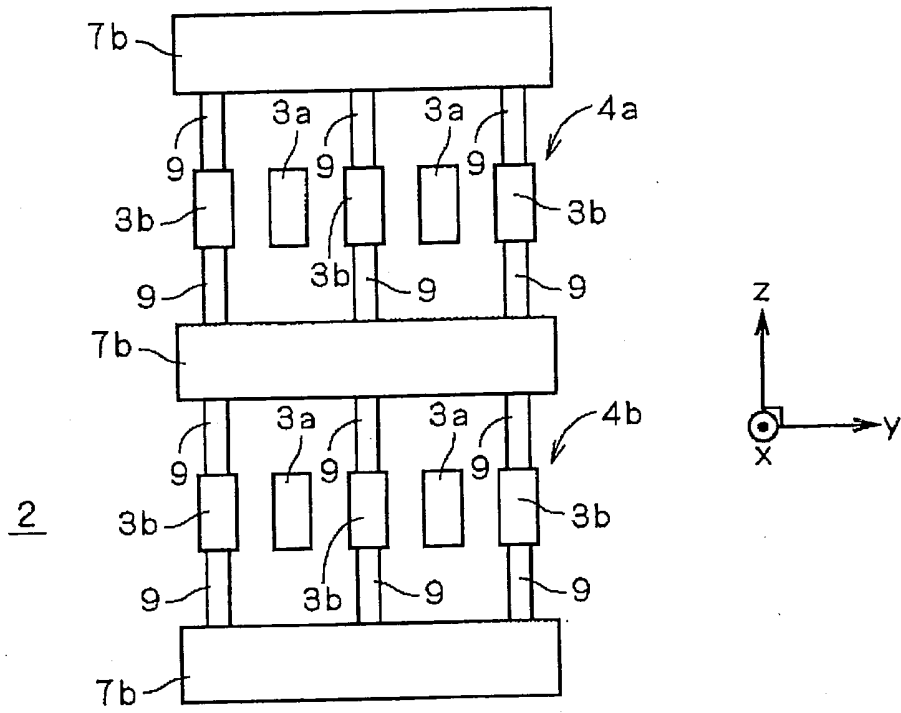


圖 23

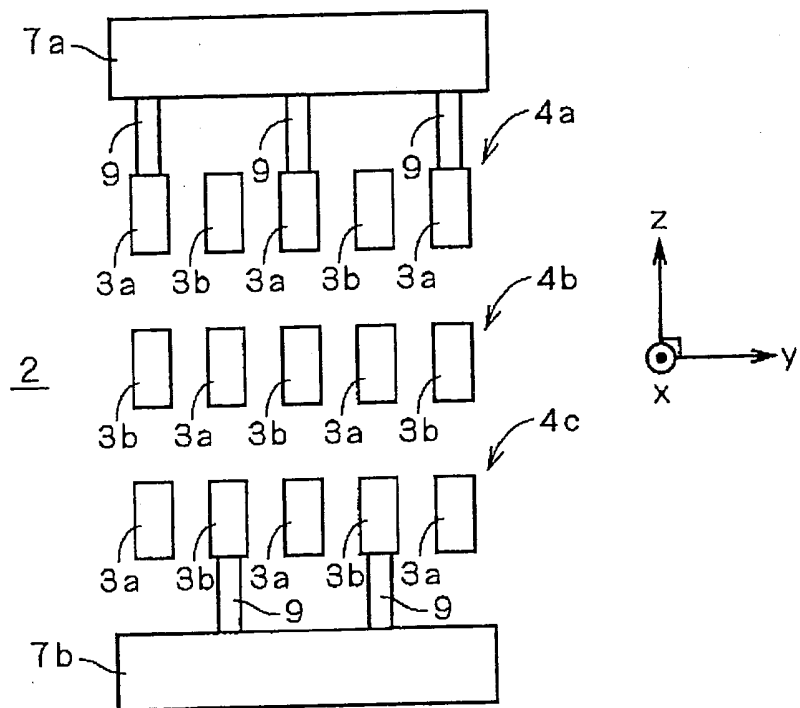
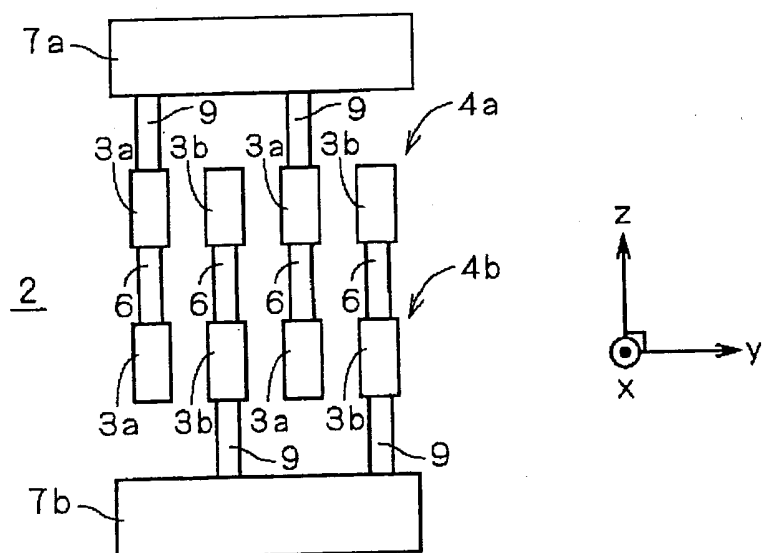


圖 24



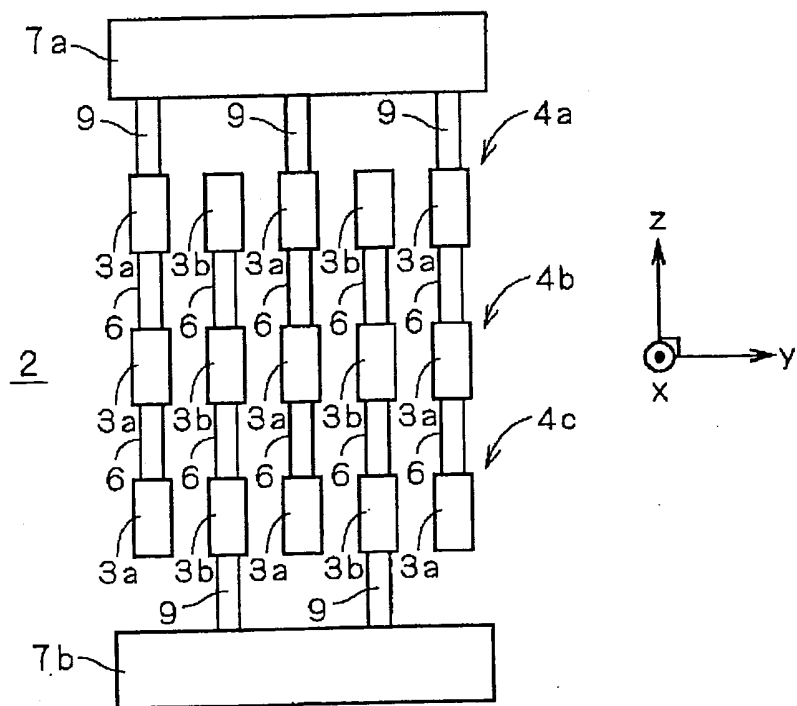


圖 26

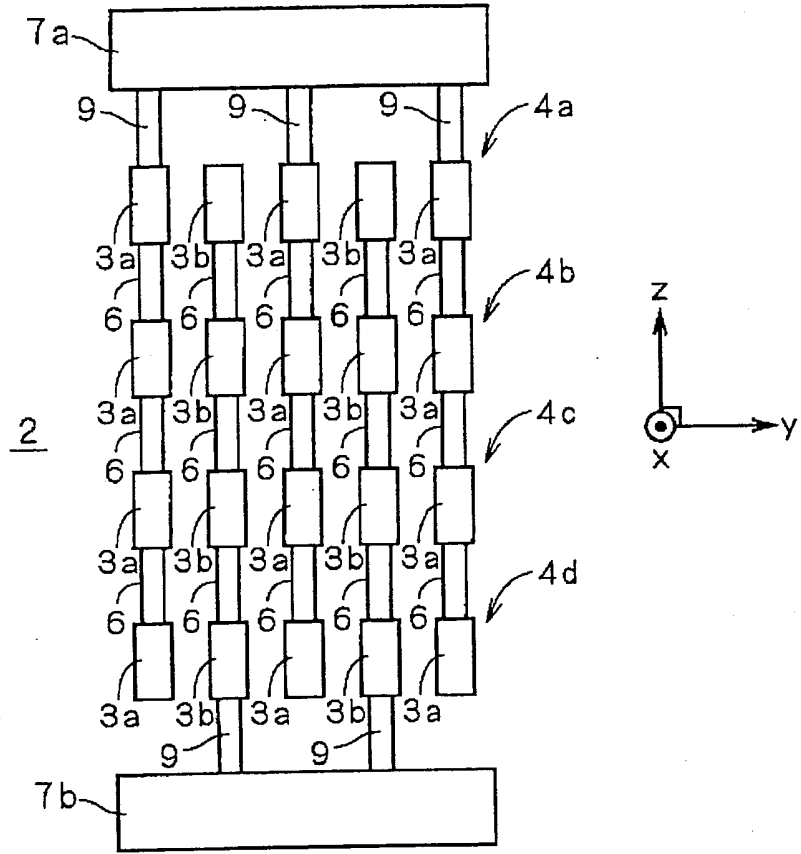
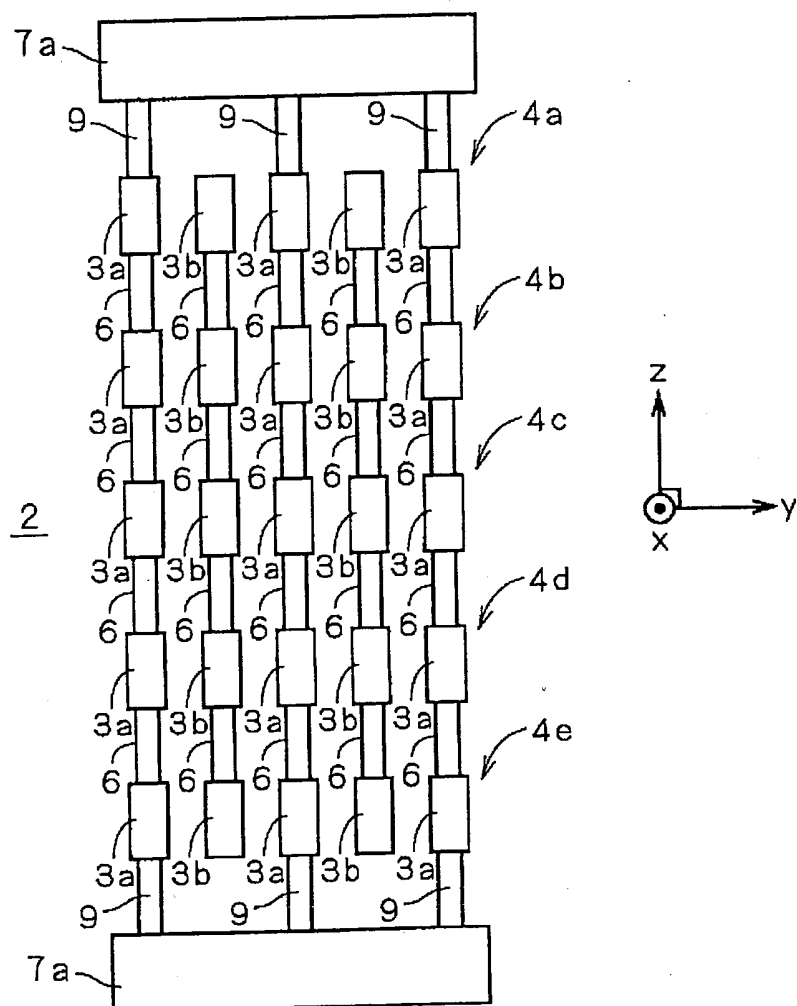


圖 27



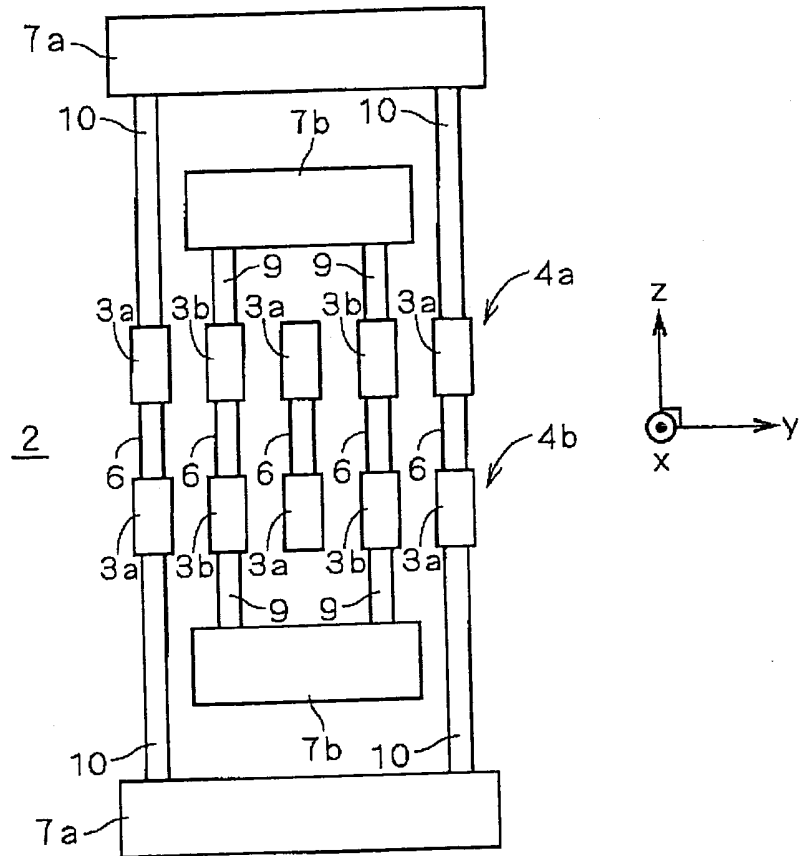


圖 29

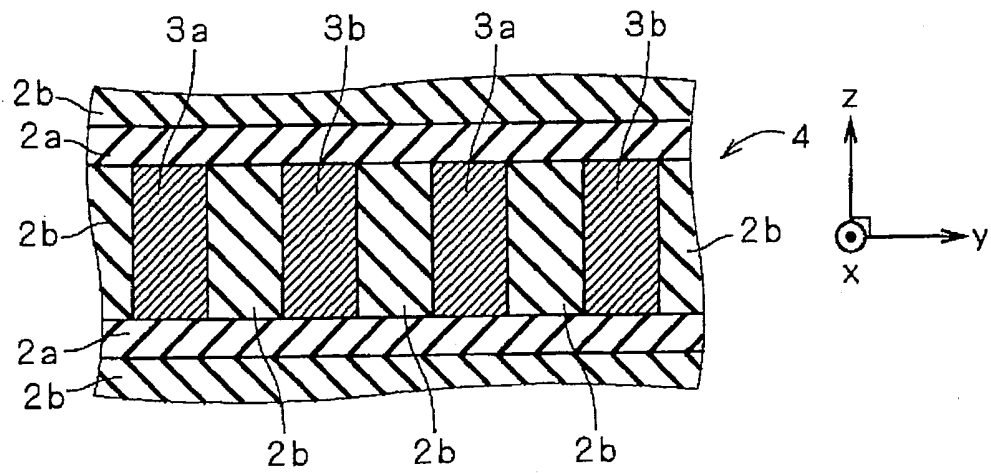


圖 30

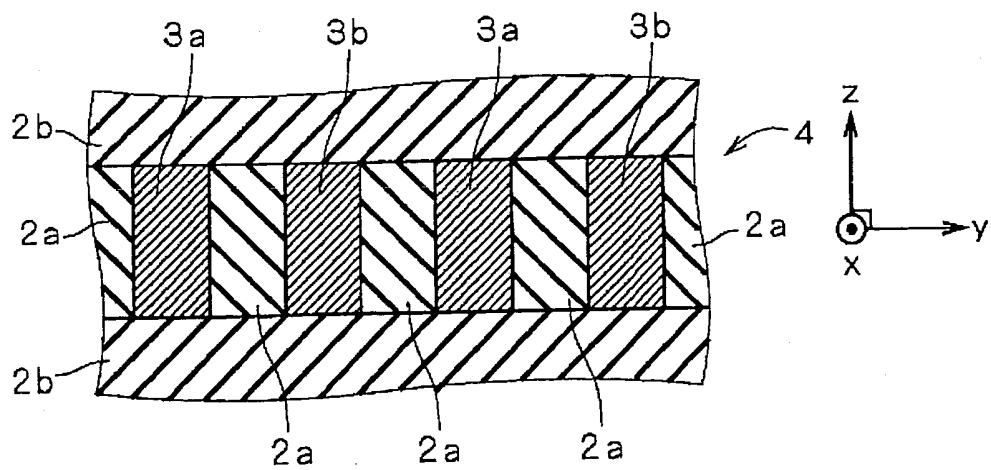


圖 31

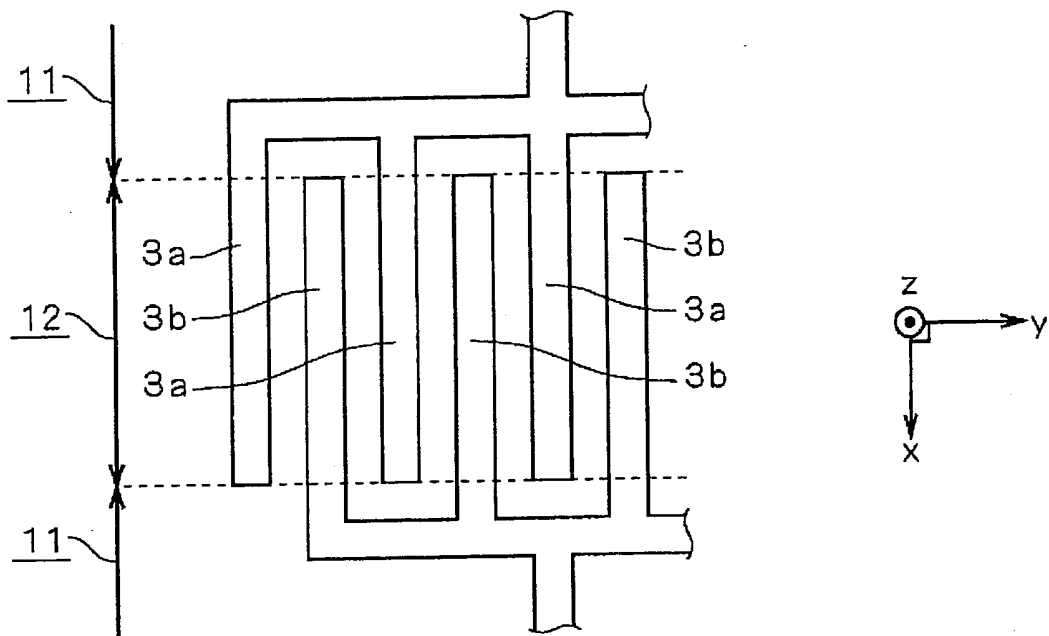


圖 32

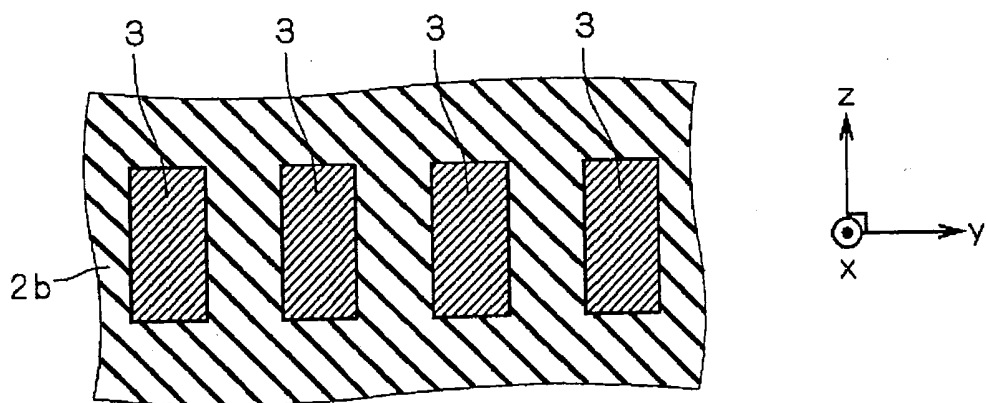


圖 33

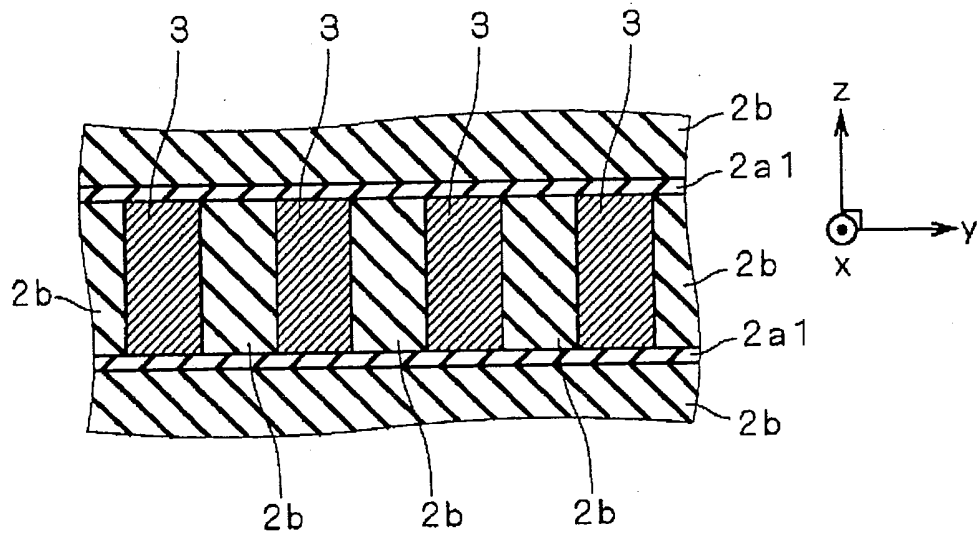


圖 34

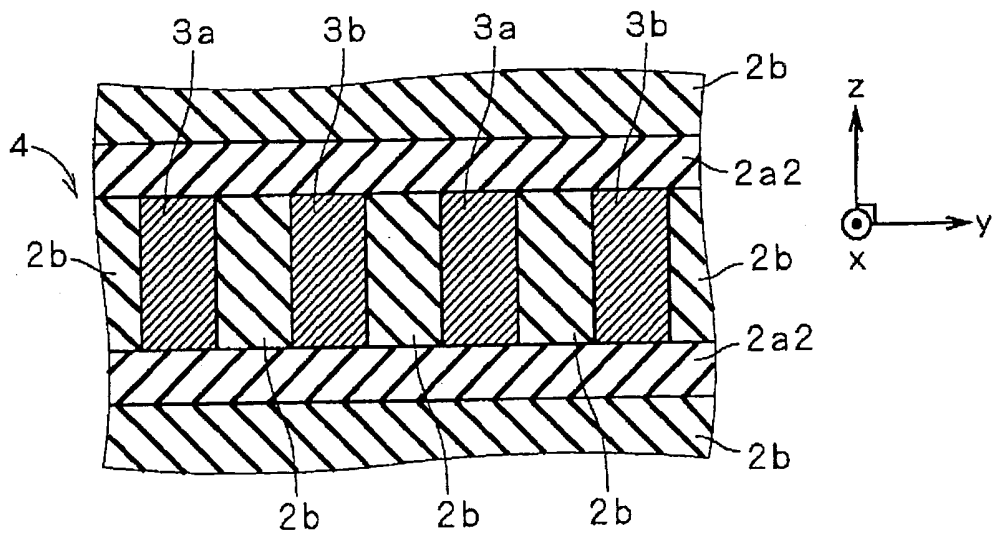


圖 35

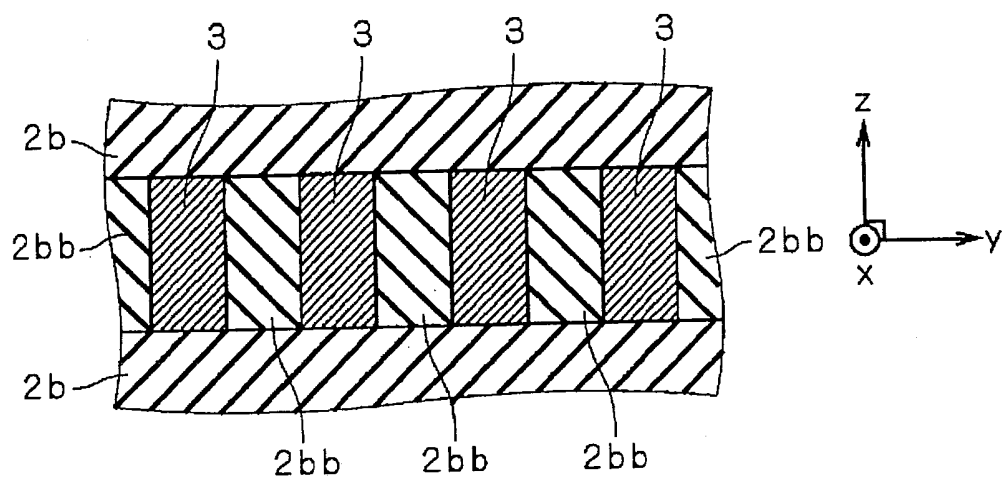
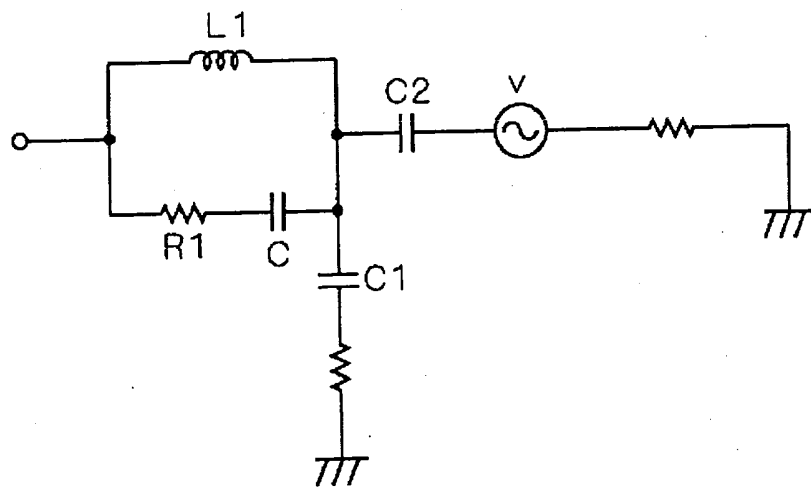


圖 36



461075

圖 37

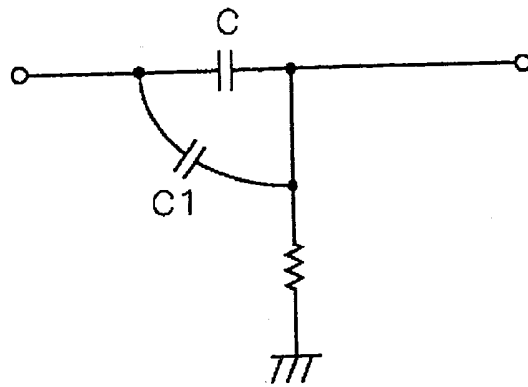


圖 38

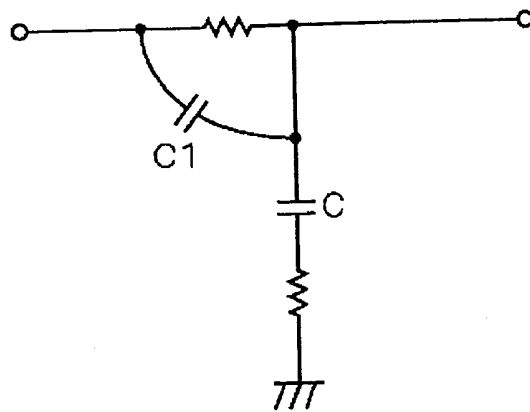


圖 39

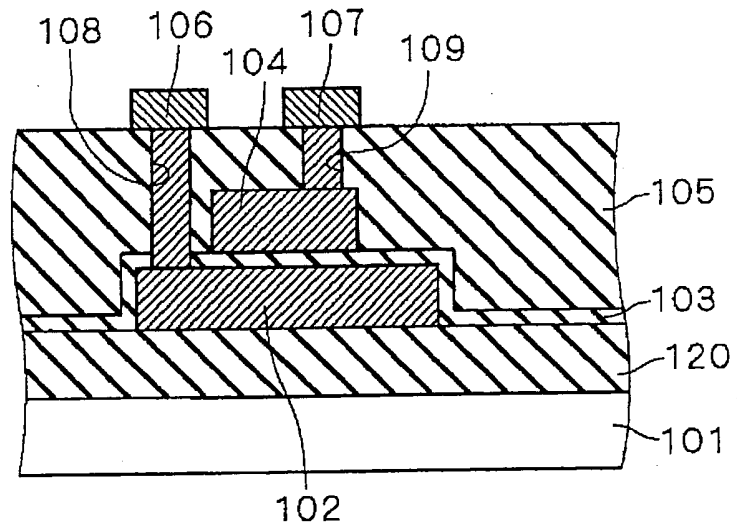
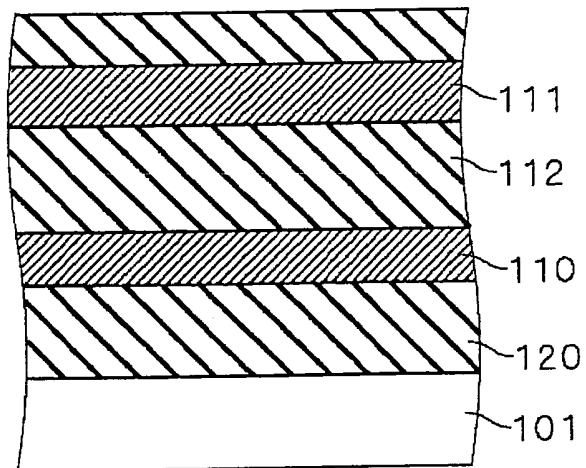


圖 40



461075

41

