

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93138240

※ 申請日期：93.12.10

※IPC 分類：

G11C16/06

一、發明名稱：(中文/英文)

用於快閃記憶元件之頁面緩衝器

PAGE BUFFER FOR FLASH MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-Ri, Bubal-Uep, Ichon-Shi, Kyungki-Do, 467-860, Korea

國籍：(中文/英文)

大韓民國/Korea

三、發明人：(共 1 人)

姓名：(中文/英文)

朱基錫/JU, GI SEOK

國籍：(中文/英文)

大韓民國/Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

大韓民國 2004.01.09 2004-0001648

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明為關於一快閃記憶元件之頁面緩衝器 (page buffer) 且更特別地，一能降低一程式錯誤之頁面緩衝器電路。

【先前技術】

通常地，程式驗證資料是否被正確程式化或在 NAND 型快閃記憶元件中於資料程式化後被執行，假如資料未被程式化，它將被再次程式化，相反地，假如資料被程式化，下一運算將被執行。

在此過程中，假如一傳送單元首先為一外部因素所影響，或假如程式驗證未以臨界電壓之一邊際被執行，一先前傳送單元將失效，所以，一具增加臨界電壓之單元被再次程式化，且藉此更增加一單元之臨界電壓使得一程式錯誤可能發生。

【發明內容】

因此本發明之一目的為提供能於一程式運算中解決一問題之快閃記憶元件，其係藉固定於程式驗證運算中傳送一次之單元的鎖存器資料值且於接續的程式驗證運算中維持該鎖存器資料值。

本發明之一觀點為提供一快閃記憶元件之一頁面緩衝器，其中包括一預充節點；一第一 PMOS 電晶體依據一預充啟動 (enable) 訊號用以預充該預充節點；一鎖存器單元 (latch unit) 用以鎖存一邏輯狀態與預充節點之一保持訊號；與一鎖

存器控制單元依據鎖存進鎖存器單元之一資料訊號用以輸出保持訊號，一程式驗證訊號，與一鎖存器啟動訊號。

另外，一快閃記憶元件之一頁面緩衝器包含一預充節點，一頁面緩衝器單元依據預充節點之一狀態用以感測預定資料，一位元線選擇單元依據一位元線選擇訊號用以轉換一位元線與預充節點之一邏輯狀態至預充節點與位元線，在此情形中，用於快閃記憶元件之頁面緩衝器執行數個程式與程式驗證運算，而且，用於快閃記憶元件之頁面緩衝器進一步包含一鎖存器控制單元用以輸出控制頁面緩衝器中鎖存運算之一保持訊號，其在下一程式中被驗證至一先前程式化單元其係於一頁面緩衝器單元中使用一鎖存器訊號，其中該程式化單元之一驗證結果被鎖存於一先前驗證程式中。

【實施方式】

本發明之較佳實施例將參考附圖被更詳細描述於下，然而，本發明可以不同形式被實施且不應被解讀為局限於此處所提出之實施例，而且，提供這些實施例將使得本揭示是徹底的與完全的，且完全傳達本發明範疇給熟知技藝人士，在整份說明書中相同的編號將索引至相同的元件。

以下，關於本發明之一例示實施例將連同附圖被描述。

第 1 圖顯示本發明之一快閃記憶元件之一頁面緩衝器。

參考第 1 圖，依據本發明之快閃記憶元件包含一頁面緩衝器 100，一位元線選擇單元 200 與一快取單元 300，頁面緩衝器 100 感測與鎖存一快閃記憶單元之資料，位元線選擇單元 200 轉換頁面緩衝器 100 或該單元之資訊至所選擇的

位元線 BL，快取 (cache) 單元 300 快取預定資料且接著轉換資料至頁面緩衝器 100。

為感測與鎖存一預定單元之資料，假如外部資料被儲存於快取單元 300 中，且一程式訊號被施加，預定資料被轉換至頁面緩衝器 100，接著，頁面緩衝器 100 之內容經由位元線選擇單元 200 被施加至位元線使得程式運算被執行，同時，假如一讀取訊號被施加，位元線 BL 藉頁面緩衝器 100 被預充以讀取儲存於單元中之資料，其後，單元狀態藉感測位元線 BL 之一狀態其係當預定時間經過被預充而被儲存於頁面緩衝器 100 中之鎖存器。

現在，本發明之頁面緩衝器將於以下更完全地描述。

頁面緩衝器 100 包含一預充節點 Q1，第一 PMOS 電晶體 P1 依據一預充啟動訊號 PRECHb 用以預充該預充節點 Q1，鎖存器單元 110 依據預充節點 Q1 與保持訊號 HOLD 之一邏輯狀態用以鎖存預定資料，與鎖存器控制單元 120 依據程式驗證訊號 PVER 與鎖存器訊號 LCH 用以輸出保持訊號 HOLD。

鎖存器單元 110 包含第一鎖存器 L1、第一 NMOS 電晶體 N1 與一控制單元 111，第一鎖存器 L1 之輸入終端被連接至鎖存器節點 Q2，第一鎖存器 L1 感測與鎖存預定資料，第一 NMOS 電晶體 N1 依據資料傳送訊號 PGM 被連接於鎖存器節點 Q2 與預充節點 Q1 間以連接預充節點 Q1 與第一鎖存器 L1，控制單元 111 依據預充節點 Q1、保持訊號 HOLD 與重設訊號 RESET 控制一運算該第一鎖存器 L1，控制單元 111

包含第二 NMOS 電晶體 N2，與第三與第四 NMOS 電晶體 N3 與 N4，第二 NMOS 電晶體 N2 被連接至一電源電壓 V_{cc} 且第一鎖存器 L1 之另一輸入終端依據重設訊號 RESET 被驅動，第三與第四 NMOS 電晶體 N3 與 N4 被串連於第一鎖存器 L1 之另一輸入終端與一接地電源 V_{ss} 間以依據預充節點 Q1 與保持訊號 HOLD 被個別地驅動。

鎖存器控制單元 120 包含第一 NAND 閘 ND1 與第二 NAND 閘 ND2，第一 NAND 閘 ND1 接受程式驗證節點 PVER 與鎖存器節點 L1 之一邏輯狀態，第二 NAND 閘 ND2 再次接受第一 NAND 閘 ND1 與鎖存器啟動訊號 LCH 之輸出以輸出保持訊號 HOLD，假如程式驗證訊號為邏輯地低，保持訊號 HOLD 之邏輯狀態依據鎖存器啟動訊號 LCH 被改變，假如程式驗證訊號為邏輯地高，保持訊號 HOLD 之邏輯狀態依據被立即感測之第一鎖存器 L1 之一邏輯狀態被改變。

具上述架構之本發明的頁面緩衝器電路之一運算將以一程式驗證運算為基礎被描述。

假如程式啟動訊號 PRECHb 被施加，一儲存於快取單元 300 之訊號被鎖存入第一鎖存器 L1，經由應用該資料傳送訊號 PGM 藉第一 NMOS 電晶體 N1，儲存於第一鎖存器 L1 中之資料被施加至預充節點 Q1，且預充節點 Q1 之資料經由位元線選擇單元 200 被施加至位元線 BL，一預定單元之資料藉執行程式運算被程式化，較佳地，0V 電壓被施加至位元線，15 至 20V 之電壓被施加至一選擇單元之字元線，且 9 至 11V 之電壓被施加至一非選擇單元之字元線。

在如上述程式化後，一程式啓動訊號變成邏輯地低，接著，程式驗證訊號 PVER 變成邏輯地高用以程式驗證，且藉此執行程式驗證運算，經由一讀取運算它是有效的執行該程式驗證。

對程式驗證而言，事先地，依據預充啓動訊號 PRECHb 第一 PMOS 電晶體被驅動以施加預充電壓至預充節點 Q1，選擇單元之程式狀態藉經由位元線選擇單元 200 施加預充電壓至選擇單元所在之位元線 BL 而被估算。

作為估算結果，充電至預充電壓之位元線 BL 之電壓依程式狀態而定被降低或被穩定維持，換句話說，假如該單元被滿意地程式化，位元線 BL 之電壓仍維持首先被施加之預充電壓，然而，假如該單元未被程式化，位元線 BL 之電壓被降低，此原因為該單元之臨界電壓依據程式狀態被改變，且由此，有一電流通過位元線與一源線路間。

假如該單元被滿意地程式化，預充節點 Q1 之電壓被維持，第一 NMOS 電晶體 N1 藉一邏輯高資料傳送訊號 PGM 被驅動使得預充電壓（一邏輯高訊號）被施加至鎖存器節點 Q2，施加至鎖存器節點 Q2 之邏輯高訊號藉第一鎖存器 L1 被鎖存，邏輯高程式驗證訊號 PVER 與鎖存器節點 Q2 之邏輯高訊號被施加至第一 NAND 閘 ND1 使得一邏輯低訊號被輸出，具邏輯高之第一 NAND 閘訊號 ND1 與接收鎖存器啓動訊號 LCH 之第二 NAND 閘 ND2 藉邏輯低之第一 NAND 閘訊號 ND1 施加一邏輯，高保持訊號 HOLD 至第四 NMOS 電晶體 N4，經由這些過程，第一鎖存器 L1 被設定至“1”使得

鎖存器節點 Q2 之一數值總是被設定至邏輯高，結果地，這些過程注意到該單元藉程式驗證運算被程式化。

相反地，假如該單元未被程式化，預充節點 Q1 之電壓被降低使得邏輯低狀態之一接地電源 V_{ss} 被施加，第一 NMOS 電晶體 N1 藉邏輯高資料傳送訊號 PGM 被驅動使得邏輯低狀態之一訊號被施加至鎖存器節點 Q2，施加至鎖存器節點 L2 之邏輯高訊號藉第一鎖存器 L1 被鎖存，依據鎖存節點 Q2 之一邏輯低訊號，第一 NAND 閘 ND1 輸出一邏輯高訊號，此時，第二 NAND 閘 ND2 依據鎖存器啟動訊號 LCH 之一邏輯狀態而不是第一 NAND 閘 ND1 之一輸出而改變保持訊號 HOLD 之一邏輯狀態，這些過程注意到該單元未因程式驗證運算被程式化。

上述頁面緩衝器在數程式運算與程式驗證運算中是更有效的，即，頁面緩衝器藉執行第一程式對鎖存器終端係為邏輯地高(單元被滿意地程式化)且接著證明該第一程式未被程式化於第二程式運算中，此外，鎖存器控制單元依據鎖存器終端之邏輯高訊號施加邏輯高保持訊號以強制地控制第一鎖存器，結果地，它可能避免因外部因素或程式驗證中之臨界電壓錯誤而將資料變異鎖存進第一鎖存器。

第 2 圖為本發明位元線選擇單元之一電路圖。

參考第 2 圖，位元線選擇單元包含第十 NMOS 電晶體 N10、第十一 NMOS 電晶體 N11、第十二 NMOS 電晶體 N12 與第十三 NMOS 電晶體 N13，第十 NMOS 電晶體 N10 被連接至頁面緩衝器 100 之預充節點 Q1 且一偶位元線 BLe 依據一

位元線選擇訊號 BSL 被驅動，第十一 NMOS 電晶體 N11 被連接至頁面緩衝器 100 之預充節點 Q1 且一奇位元線 BL_o 依據位元線訊號 BSL 被驅動，第十二 NMOS 電晶體 N12 被連接於外部虛擬電源輸入終端 VIRPWR 與依據偶位元線 BL_e 之重設訊號 DISC_{He} 所驅動之偶位元線 BL_e 間，第十三 NMOS 電晶體 N13 被連接於外部電源輸入終端 VIRPWR 與依據奇位元線 BL_o 之一重設訊號 DISC_H 所驅動之奇位元線 BL_o 間。

在具有上述架構之位元線選擇單元 200 中，第十與第十一 NMOS 電晶體 N10 與 N11 依據位元線選擇訊號 BSL 被選擇使得頁面緩衝器 100 中資料被施加至位元線 (BL_e 或 BL_o)，或該單元之資料經由所選擇位元線被施加至頁面緩衝器 100，另外，一虛擬電源用以重設該位元線 BL 依據位元線重設訊號 DISC_H 被施加，在一讀取運算中，位元線 BL 藉施加一接地電源至該虛擬電源被重設，在一程式運算中，位元線 BL 藉施加一電源電壓至該虛擬電源被重設。

第 3 圖為本發明之快取單元之一電路圖。

參考第 3 圖，快取單元包含第二十鎖存器 L20、第二十 NMOS 電晶體 N20、第二十一 NMOS 電晶體 N21、第二十 PMOS 電晶體 P20，第二十二與第二十三 NMOS 電晶體 N22 與 N23 與第二十四 NMOS 電晶體 N24，第二十鎖存器 L20 鎖存預定資料，第二十 NMOS 電晶體 N20 被連接於第二十鎖存器 L20 之第一輸入終端與依據第一選擇訊號 SS1 所驅動之外部資料輸入終端間，第二十一 NMOS 電晶體被連接於第二十鎖存器 L20 之第二輸入終端與依據第二選擇訊號 SS2 所驅動之外

部資料輸入終端間，第二十 PMOS 電晶體 P20 被連接於第二十鎖存器 L20 之第二輸入終端與依據一快取重設訊號 CSET 所驅動之電源電壓間，第二十二與二十三 NMOS 電晶體 N22 與 N23 被串接於第二十鎖存器 L20 之第二輸入終端與依據每一快取單元 300 與快取鎖存器控制訊號 CLCH 之輸出終端訊號所驅動之接地電壓 V_{ss} 間，第二十三 NMOS 電晶體 N23 被連接於第二十鎖存器 L20 之第二輸入終端與依據一外部傾卸 (dump) 訊號 PDUMP 所驅動之快取單元 300 之輸出終端間。

現在，快取單元之運算將於以下被描述，快取單元 300 位於頁面緩衝器 100 之側邊以增加頁面緩衝器 100 之輸入/輸出運算速度。

藉外部資料 (I/O 填充)，與第一與第二選擇訊號 SS1 與 SS2，第二十與第二十一 NMOS 電晶體 N20 與 N21 中之一被啟動使得預定資料被鎖存進第 20 鎖存器 L20，此過程被執行於程式化/擦除運算中所產生之時鐘間是較佳的，此時，在重設頁面緩衝器單元 100 之預充節點 Q1 後，藉第二十鎖存器 L20 所鎖存的資料藉施加傾卸訊號 PDUMP 而被施加至預充節點 Q1，鎖存的資料可以上述過程相反順序被輸出或經由頁面緩衝器 100 被直接輸出，在執行此頁面緩衝器 100 運算前，預定資料被先前地快取，結果地，它可能改進頁面緩衝器 100 之運算速度。

現在，本發明關於一程式運算與一程式驗證運算之頁面緩衝器將被描述，依據本發明，它可能藉具有一鎖存器控制

單元而防止程式錯誤，其原因為鎖存器控制單元維持一快閃記憶元件之頁面緩衝器中之程式驗證頁面緩衝器之鎖存器訊號用以執行數個程式運算與程式驗證運算。

為此，快閃記憶元件之頁面緩衝器其中包括一預充節點，一頁面緩衝器單元用於感測預定資料，依據預充節點之一狀態，一位元線選擇單元依據位元線選擇訊號用以轉換位元線與預充節點之邏輯狀態至預充節點與位元線，在此情形下，用於快閃記憶元件之頁面緩衝器執行數個程式與程式驗證運算，另外，快閃記憶元件之頁面緩衝器進一步包含一鎖存器控制電路用以輸出保持訊號於頁面緩衝器中控制該鎖存器運算其係於下一程式運算中使用頁面緩衝器單元中之鎖存器訊號而被驗證至一先前已程式化單元，其中已程式化單元之一驗證結果被鎖存於一先前程式驗證運算。

鎖存器控制單元包含一程式驗證訊號，第一 NAND 閘，與第二 NAND 閘，第一 NAND 閘接收鎖存至一鎖存器之資料訊號之邏輯狀態，第二 NAND 閘接收第一 NAND 閘與一鎖存器啟動訊號之一輸出訊號以輸出保持訊號。

預定單元之資料藉第一程式運算被程式化，是否該單元之資料被程式化藉偵測由一第一程式驗證運算而被程式化至預定單元之臨界電壓所決定，較佳地，儲存於一鎖存器中之預定單元經由一預充節點藉一程式運算被施加至一位元線，且程式運算藉施加預定運算於單元之字元與源線間被執行，一程式驗證運算被執行如下，在重設一鎖存器後，預充電壓被施加至預充節點，接著，單元藉經由位元線選擇單元

施加預充電壓至一位元線而被估計，此時，假如施加至位元線之預充電壓未改變，一邏輯高值被儲存於鎖存器中，結果地，注意的是該單元被正常地程式化，此情形中預充電壓下降，一邏輯低值被儲存於鎖存器中使得該單元之程式運算失效，因此，程式運算被再次執行。

如上述，假如該單元之程式運算失效，程式驗證運算與程式運算被再次執行，藉第二程式運算，關於該失效單元之程式運算被再次執行，另外，已程式化單元藉執行第二程式驗證運算被再次驗證，此時，一頁面緩衝器鎖存器其已於第二程式驗證運算中被鎖存至一邏輯高值維持其值，即使第二程式驗證運算藉鎖存器控制單元被執行。

如上所述，一頁面緩衝器中之鎖存器藉一程式驗證與鎖存器資料之頁面緩衝器中程式驗證訊號被控制，因此，假如程式驗證在程式化後被再次執行，傳送單元未被再次感測且維持其值。

此外，它可能防止因感測運算與由於外部因素之一驗證錯誤所造成之問題。

而且，程式運算錯誤可被避免。

雖然本發明連同例示於附圖之本發明實施例已被描述，它並不限於此，對業界熟知技藝人士不同的替換、修改與改變可不用逸離本發明之範疇與精神係為顯而易見的。

【圖式簡單說明】

第 1 圖為一電路圖說明依據本發明之一快閃記憶元件之一頁面緩衝器。

第 2 圖 為 依 據 本 發 明 之 一 位 元 線 選 擇 單 元 之 一 電 路 圖 。

第 3 圖 為 本 發 明 之 一 快 取 單 元 之 一 電 路 圖 。

【 主 要 元 件 符 號 說 明 】

100: 頁 面 緩 衝 器

110: 鎖 存 器 單 元

111: 控 制 單 元

120: 鎖 存 器 控 制 單 元

200: 位 元 線 選 擇 單 元

300: 快 取 單 元

五、中文發明摘要：

本發明所揭示者為一快閃記憶元件之一頁面緩衝器，依據本發明，一鎖存器於一程式驗證中經由一程式驗證訊號、一鎖存器訊號與頁面緩衝器中之鎖存器資料被控制，其結果具有許多優點：第一，於再次程式化後程式驗證被執行情形中，一傳送單元未被再次感測且維持其值，第二，它可能避免因一感測運算與一由於外部因素之驗證錯誤所造成之問題，結果地，程式運算錯誤可被避免。

六、英文發明摘要：

The disclosed is a page buffer of a flash memory device. In accordance with the present invention, a latch is controlled through a program verification signal, a latch signal, and latch data in a page buffer during a program verification. As a result, there are many advantages. First, in the event that the program verification is performed after programming once more, a passed cell is not sensed again and maintains its value. Second, it is possible to prevent a problem caused by a sensing operation as well as a verification error due to an external factor. As a result, program operation errors can be prevented.

十、申請專利範圍：

1. 用於一快閃記憶元件之一頁面緩衝器，包括：

一預充節點；

一第一 PMOS 電晶體依據一預充啟動訊號預充該預充節點；

一鎖存器單元依據預充節點之一邏輯狀態與一保持訊號預定資料；且

一鎖存器控制單元依據鎖存進鎖存器單元之一資料訊號、一程式驗證訊號與一鎖存器啟動訊號輸出保持訊號。

2. 如申請專利範圍第 1 項用於快閃記憶元件之頁面緩衝器，其中鎖存器單元包括：

一鎖存器節點；

一第一鎖存器具有一輸入終端連接至鎖存器節點，用以感測與鎖存預定的資料；

一第一 NMOS 電晶體依據一資料傳送訊號被連接於鎖存器節點與預充節點間以連接預充節點與第一鎖存器；

一第二 NMOS 電晶體依據一重設訊號被連接於一電源電壓與欲驅動之另一輸入終端間；與

第三與第四 NMOS 電晶體依據預充節點狀態訊號與保持訊號被連接於另一輸入終端與欲驅動之一接地電源間。

3. 如申請專利範圍第 2 項用於快閃記憶元件之頁面緩衝器，其中鎖存器控制單元包括：

一第一 NAND 閘接收程式驗證訊號與一儲存入鎖存器單元資料訊號之一邏輯狀態；與

一 第二 NAND 閘接收第一 NAND 閘與鎖存器啓動訊號之一輸出訊號以輸出一保持訊號。

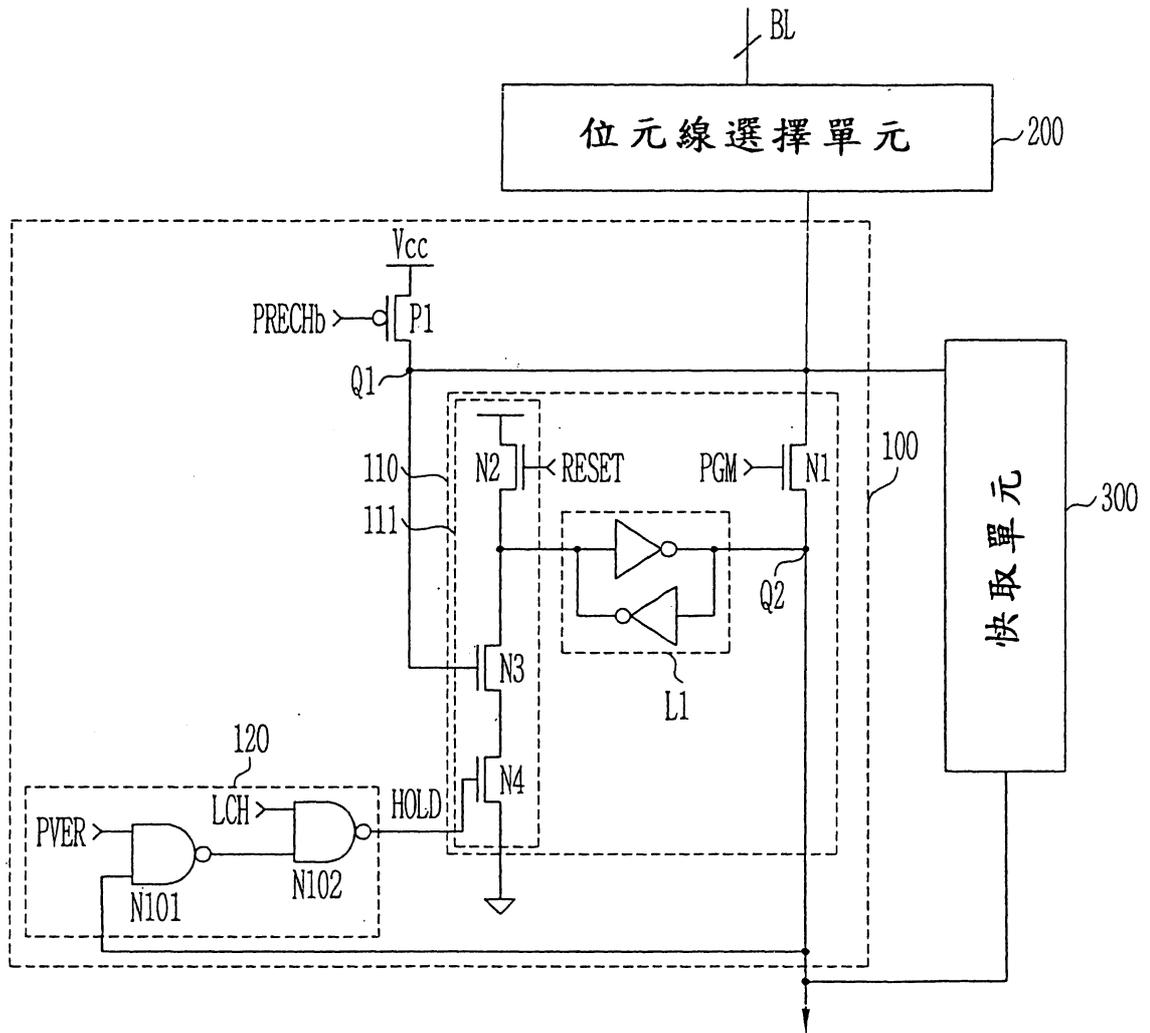
4. 用於快閃記憶元件之一頁面緩衝器包含一預充節點、一頁面緩衝器單元依據預充節點之一狀態用以感測預定資料、一位元線選擇單元依據一位元線選擇訊號用以轉換一位元線與預充節點之一邏輯狀態至預充節點與位元線，其中用於快閃記憶元件之頁面緩衝器執行數個程式與程式驗證運算，且更包含一鎖存器控制單元用以輸出一保持訊號控制頁面緩衝器中鎖存器運算其係於下一程式運算中使用一頁面緩衝器單元中之一鎖存器訊號而被驗證至一先前已程式化單元其中已程式化單元之一驗證結果被鎖存於一先前程式驗證運算。

5. 如申請專利範圍第 4 項之頁面緩衝器，其中鎖存器控制單元包含：

一 第一 NAND 閘接收一程式驗證訊號與鎖存至鎖存器之一資料訊號之邏輯狀態；且

一 第二 NAND 閘接收第一 NAND 閘與一鎖存器啓動訊號之一輸出訊號以輸出保持訊號。

第 1 圖



七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

100： 頁面緩衝器

110： 鎖存器單元

111： 控制單元

120： 鎖存器控制單元

200： 位元線選擇單元

300： 快取單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：