



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I497670 B

(45) 公告日：中華民國 104 (2015) 年 08 月 21 日

(21) 申請案號：101149217

(22) 申請日：中華民國 101 (2012) 年 12 月 21 日

(51) Int. Cl. : **H01L23/495 (2006.01)**(71) 申請人：萬國半導體股份有限公司 (美國) ALPHA AND OMEGA SEMICONDUCTOR  
INCORPORATED (US)

美國

(72) 發明人：薛彥迅 XUE, YAN XUN (US) ; 何 約瑟 HO, YUEH-SE (US) ; 丁永平 DING,  
YONGPING (SG)

(74) 代理人：葉大慧

(56) 參考文獻：

TW 200639992

TW 201120970A1

TW 201212193A1

US 2008/0258278A1

審查人員：王人毅

申請專利範圍項數：17 項 圖式數：4 共 29 頁

(54) 名稱

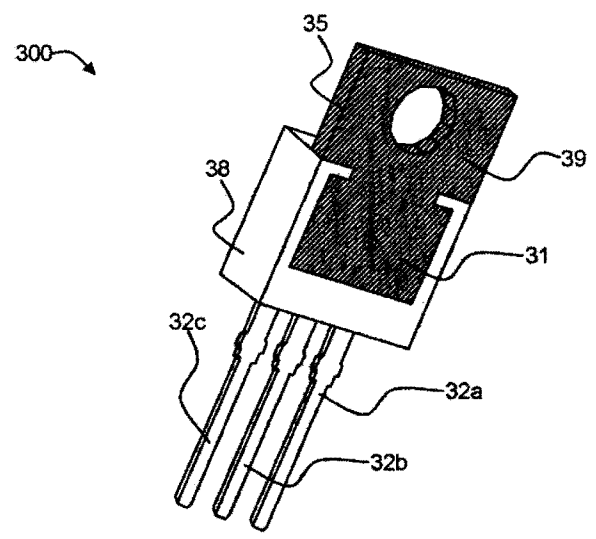
基於鋁合金引線框架的半導體元件及製備方法

SEMICONDUCTOR DEVICES BASED ON ALUMINUM ALLOY LEAD FRAME AND  
FABRICATING METHOD THEREOF

(57) 摘要

本發明提出了將鋁合金材料應用在引線框架上並利用鋁合金引線框架來製備帶有外露的鈍化層的半導體元件。由於鋁合金是低成本原材料，其硬度及柔韌性均適宜於引線框架的沖切、彎折、成型等需變形的工序，因此適用於大量生產，而且其重量要遠遠低於金屬銅或鐵鎳材質，這為實際生產帶來了極大的便利。

This invention is aim providing an Al alloy lead frame for power device, as well as Al anodization to achieve die paddle isolation. It is to use Al alloy to make a lead frame and after molding process, the exposed die paddle of lead frame is anodized to form an aluminum coating, so the thermal performance of power device package is much better, and the assembly process is much simpler.



- 300 . . . 半導體元件
- 31 . . . 基座
- 32a、32b、32c . . . 引腳
- 35 . . . 散熱片
- 38 . . . 塑封體
- 39 . . . 鈍化層

第2L圖

# 發明專利說明書

## 公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101149217

※ 申請日：101.12.21

※IPC 分類：H01L 23/495 (2006.01)

### 一、發明名稱：(中文/英文)

基於鋁合金引線框架的半導體元件及製備方法/ SEMICONDUCTOR DEVICES BASED ON ALUMINUM ALLOY LEAD FRAME AND FABRICATING METHOD THEREOF

### 二、中文發明摘要：

本發明提出了將鋁合金材料應用在引線框架上並利用鋁合金引線框架來製備帶有外露的鈍化層的半導體元件。由於鋁合金是低成本原材料，其硬度及柔韌性均適宜於引線框架的沖切、彎折、成型等需變形的工序，因此適用於大量生產，而且其重量要遠遠低於金屬銅或鐵鎳材質，這為實際生產帶來了極大的便利。

### 三、英文發明摘要：

This invention is aim providing an Al alloy lead frame for power device, as well as Al anodization to achieve die paddle isolation. It is to use Al alloy to make a lead frame and after molding process, the exposed die paddle of lead frame is anodized to form an aluminum coating, so the thermal performance of power device package is much better, and the assembly process is much simpler.

#### 四、指定代表圖：

(一) 本案指定代表圖為：第(2L)圖。

(二) 本代表圖之元件符號簡單說明：

300 半導體元件

31 基座

32a、32b、32c 引腳

35 散熱片

38 塑封體

39 鈍化層

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明一般涉及一種引線框架，更確切的說，本發明旨在提供一種應用在功率半導體元件中的鋁合金引線框架。

### 【先前技術】

因傳統功率半導體元件的功耗較大，所以通常需要同時具備較小的尺寸和較好的散熱性能，所採用的引線框架 Lead-frame 大多數都是金屬銅或鐵鎳等合金材料所製備的。在一些與此對應的封裝方式中，有採用全塑封的元件（典型的如附第 1A 圖所示的 T0220F 或 T0262F 等，功率元件 10 的晶片和用於支撐晶片的引線框除了引腳其他的部分被完全密封在塑封體 18 內），也有採用部分塑封的元件（如第 1B 圖所示的 T0220，功率元件 20 的晶片被完全密封，但引線框 21 的一個底面裸露在塑封體 28 之外用於散熱）。因功率元件 10 這類封裝的散熱效果極差所以趨於淘汰，而功率元件 20 的引線框 21 雖然有暴露的底面作為散熱路徑，但卻不適宜應用在高壓場所，在引線框 21 上通常具有較大的電壓值，作為金屬材質的引線框 21 的底面直接暴露會對其周圍其他的元件帶來負面影響或造成潛在的人身危險。

在當前已經公開的技術條件下，利用鋁合金材質作為引線框架還很難批量應用於實際生產中。最大的問題在於，鋁及鋁合金在空氣環境中極易氧化，一旦鋁合金的表面存在著氧化物，就很容易導致電氣連接晶片的引線很難鍵合在引線框架上，或容易造成塑封料與引線框間出現分層而無法密封。正是基於這些棘手的問題，本發明提出了利用鋁合金引線框架來實

現生產半導體元件的方法。

是以，要如何解決上述習用之問題與缺失，即為本發明之發明人與從事此行業之相關廠商所亟欲研究改善之方向所在者。

### 【發明內容】

故，本發明之發明人有鑑於上述缺失，乃搜集相關資料，經由多方評估及考量，並以從事於此行業累積之多年經驗，經由不斷試作及修改，始設計出此種發明專利者。

本發明之主要目的在於提供一種半導體元件的製備方法，提供一包含有多個晶片安裝單元的引線框架，並且每個晶片安裝單元至少包含一基座及設置在基座附近的多個引腳，包括以下步驟：

在基座和引腳各自的表面上均形成一金屬層；將一晶片粘貼在基座的正面；

利用互連結構將設置晶片正面的各焊墊分別相對應地電性連接到至少一部分引腳各自的靠近基座的端部；形成一至少包覆在基座正面的塑封體，並且該塑封體將晶片、互連結構和的端部包覆在內，其中基座背面帶有的金屬層暴露於塑封體之外；

移除基座背面的金屬層；以及

在基座的背面形成一層鈍化層。

在一較佳實施例中，更包括利用濕式蝕刻移除基座背面的金屬層的步驟，並在該步驟中避免引腳延伸到塑封體之外的部分的表面所覆蓋的金屬層接觸刻蝕液以防止其被刻蝕掉。

在一較佳實施例中，更包括利用濕式蝕刻移除基座背面的金屬層的步

驟，並在該步驟之前，先在引腳的延伸到塑封體之外的部分的表面上所覆蓋的金屬層上鍍一層抗蝕劑層，用以隔離該部分金屬層和刻蝕液。

在一較佳實施例中，在基座的背面形成一層的鈍化層之後，在引腳延伸至塑封體之外的部分的表面所覆蓋的金屬層之上再形成一層電鍍層。

在一較佳實施例中，基座上還連接有一散熱片，在形成金屬層的步驟中同時在散熱片的表面形成有金屬層；以及在形成塑封體的步驟中，散熱片未被塑封體包覆在內；並且在移除基座背面的金屬層的同時還將散熱片表面的金屬層一併移除；以及在基座背面形成鈍化層的同時還在散熱片的表面生成一層鈍化層。

在一較佳實施例中，引線框架的材質為鋁合金，以及鈍化層是利用鋁合金硬質陽極氧化法處理所形成的氧化鋁鈍化層。

為了達到上述之目的，本發明一種半導體元件的製備方法，提供一包含有多個晶片安裝單元的引線框架，並且每個晶片安裝單元至少包含一基座及設置在基座附近的多個引腳，包括以下步驟：

在基座的除了背面以外的餘下表面和引腳的表面上形成金屬層；

將一晶片粘貼在基座的正面；利用互連結構將設置晶片正面的各焊墊分別相對應地電性連接到至少一部分引腳各自的靠近基座的端部；以及

形成一至少包覆在基座正面的塑封體，並且該塑封體同時將晶片、互連結構和各端部包覆在內，其中基座背面裸露於塑封體之外；在基座的背面形成一層鈍化層。

在一較佳實施例中，於形成金屬層之前，先在基座的背面粘貼一覆蓋膜，並在形成金屬層之後將該覆蓋膜移除。

為了達到上述之目的，本發明一種半導體元件的製備方法，半導體元件具有承載晶片的基座，並具有一塑封體，用以包覆該晶片和包覆部分基座，其特徵在於，包括以下步驟：至少使基座的背面外露於塑封體，並在基座的背面形成一層鈍化層。

在一較佳實施例中，在基座的表面覆蓋有一金屬層，並且基座的底面帶有的金屬層外露於塑封體；其中，在基座的背面形成的鈍化層之前，還包括先將基座背面的金屬層移除的步驟。

為了達到上述之目的，本發明一種半導半導體元件，包含一晶片安裝單元並且每個晶片安裝單元至少包含一基座及設置在基座附近的多個引腳，還包括：形成在基座背面的一鈍化層，以及形成在基座餘下的表面上和引腳的表面的金屬層；一個粘貼在基座正面的晶片；多個將設置晶片正面的各焊墊分別相對應地電性連接到至少一部分引腳的靠近基座的端部的互連結構；至少包覆在基座正面的一塑封體，塑封體還將晶片、互連結構和各端部包覆在內，其中基座背面帶有的鈍化層暴露於塑封體之外。

在一較佳實施例中，晶片為一垂直式的功率元件，設置在晶片背面的一背部金屬層通過導電的粘合材料粘貼到基座上；以及至少一個引腳直接連接在該基座上，並且連接到基座上的引腳的一部分被塑封體包覆在內。

在一較佳實施例中，互連結構為金屬片或鍵合引線或帶狀的金屬導電帶。

在一較佳實施例中，基座上還連接有一表面覆蓋有一層鈍化層的散熱片。

在一較佳實施例中，引腳延伸到塑封體之外的部分的表面所形成的金

屬層上還鍍有另一層電鍍層。

在一較佳實施例中，的晶片安裝單元為鋁合金材質，以及鈍化層包含氧化鋁。

為了達到上述之目的，本發明為一種半導體元件，其具有承載晶片的基座，以及設置在基座附近的多個引腳，粘貼於基座正面的晶片與引腳間形成電性連接關係，並具有一塑封體，用以包覆各引腳的一部分，以及包覆該晶片和部分基座，其特徵在於，至少使基座的背面外露於塑封體，並且基座的背面形成有一層鈍化層。

本領域的技術人員閱讀以下較佳實施例的詳細說明，並參照附圖之後，本發明的這些和其他方面的優勢無疑將顯而易見。

### 【實施方式】

為達成上述目的及功效，本發明所採用之技術手段及構造，茲繪圖就本發明較佳實施例詳加說明其特徵與功能如下，俾利完全了解。

參見第 2A-1 圖所示，展示一條鋁合金材質的引線框架 100，其通常包含有多個晶片安裝單元 30，並且每個晶片安裝單元 30 至少包含有一個用於承載晶片的方形基座 31 和設置在基座 31 附近的多個引腳 32a~32c 或更多未示意出的引腳，引腳 32a、32c 分別位於引腳 32b 的兩側，引腳 32a、32c 分別包含了靠近基座 31 的作為內部鍵合區的端部 32a-1 和 32c-1，而引腳 32b 則直接連接在基座 31 上，並且引腳 32a~32c 均沿著背離基座 31 的方向向外延伸。其中，晶片安裝單元 30 還包含一個連接在基座 31 上的帶有通孔的散熱片 35，引腳 32a~32c 和散熱片 35 分別位於基座 31 的相對的兩側，第 2A-2 圖所示的是將一個晶片安裝單元 30 的進行放大的示意圖。

第 2B 圖是沿著第 2A-1 圖所示的虛線 A-A 對晶片安裝單元 30 所截取的豎截面示意圖。在第 2B-2C 圖中，先在引腳 32a~32c 和基座 31 以及散熱片 35 各自的表面形成一層金屬層 33，可採取電鍍、沉積、蒸金、濺鍍等方式，金屬層 33 的結構及材質有多種選擇，但金屬層 33 的浸潤性要相對較好，其可以是一種金屬構成的單層結構，也可以是多種不同的金屬由內至外依次形成的多層結構（複合層）。譬如金屬層 33 可以選擇為 Cu 或 Ni 等或貴金屬 Ag、Pd、Pt 等，或者 Ni/Pd/Au 或 Ni/Cu 或 Ni/Zn/Cu 等。然後如第 2D-2E 圖所示，在每個基座 31 的正面相應粘貼一個晶片 40，晶片 40 通常可以是一個垂直式的功率元件，工作電流由其正面流向背面或相反，因此設置在其背面的背部金屬層（未標注）可以通過導電的粘合材料 34 粘貼在基座 31 的正面，粘合材料 34 可為導電銀膠或焊錫膏等。除此之外，晶片 40 還可以通過共晶焊的方式焊接在基座 31 的正面。

在晶片安裝單元 30 中，平行排列構成一排的引腳 32a~32c 共面，但它們與彼此連接在一起的並共面的散熱片 35、基座 31 分別位於上下兩個錯開的平面上。在該實施方式中，端部 32a-1 和 32c-1 分別較之引腳 32a、32c 各自的本體部分具有增大了的面積，所以設置在晶片 40 正面的各焊墊 40a、40b 可以通過一條/個或多條/個互連結構 41 分別電性連接到端部 32a-1、32c-1 上，雖然圖中示意出的互連結構 41 為鍵合引線，但其還可以被金屬片、帶狀結構的金屬導電帶等所替代。

參見第 2F 圖，利用環氧樹脂類的塑封料形成一塑封體 38，塑封體 38 用以包覆晶片 40、互連結構 41，和包覆部分基座 31 和包覆引腳 32a、32c 各自的一部分，例如至少將各端部 32a-1、32c-1 包覆在內，以及將引腳 32b

的一部分包覆在內。其中，塑封體 38 至少包覆在基座 31 正面，並至少使基座 31 的與其正面相對的背面外露出塑封體 38，第 2G 圖展示從基座 31 的背面觀察的示意圖。正如第 2G-2H 圖所示，散熱片 35 作為散熱構件需要裸露在塑封體 38 之外，並且基座 31 背面帶有的金屬層 33 也暴露於塑封體 38 之外。

然後如第 2I 圖所示，利用濕式蝕刻的方式將散熱片 35 表面的和基座 31 背面的金屬層 33 刻蝕掉。金屬層 33 所採用的材質不同，其所對應的刻蝕液的種類也需要適應性的進行調整，而且刻蝕液不能對塑封體 38 有腐蝕性。在一個實施方式中，至少要讓整個散熱片 35 以及基座 31 的背面浸泡在一刻蝕槽（未示意出）內的刻蝕液之中，此時基座 31 背面的金屬層 33 和散熱片 35 表面的金屬層 33 需要充分接觸刻蝕液，而引腳 32a~32c 延伸至塑封體 38 外部的部分則必須遠離刻蝕液並極力避免接觸或浸入到刻蝕液中。如此一來，基座 31 背面的金屬層 33 以及散熱片 35 表面的金屬層 33 受到腐蝕時，引腳 32a~32c 各自延伸至塑封體 38 外部的部分的表面上的金屬層 33 將予以保留，可繼續用作防氧化層和與外部電路進行電接觸的接觸層。

鑒於無金屬層 33 的保護，基座 31 的背面將直接裸露於塑封體 38 之外，散熱片 35 的表面同樣也是暴露在空氣中，因為鋁的化學性質極其活潑，這將導致在它們裸露的表面迅速被氧化並生成一層稀薄和多孔的薄氧化層，從而降低元件的可靠性。因此，接下來還需要對基座 31 的背面和散熱片 35 的表面實施清洗以去除這些不期望的氧化層和其他污染物，例如通過脫脂、堿浸蝕和酸洗中和等工序獲得潔淨的鋁材表面。

之後如第 2J 圖所示，可在基座 31 的背面和散熱片 35 的表面生成一層緻密的並且相對較厚的氧化鋁的鈍化層 39，利用鋁合金硬質陽極氧化法 (Anodized Aluminum) 可實現這一目的。例如，先提供另一容納有電解液的電解槽 (未示意出)，一般來說酸性電解液、鹼性電解液、非水電解液等均適用，但濃度要適中以及其化學性質要保證電解液對塑封體 38 沒有腐蝕性，如低濃度的硫酸  $H_2SO_4$  溶液和各種輔助添加劑等。在該步驟中，要保障散熱片 35 的整個表面和基座 31 的背面完全浸泡在電解液中，而引腳 32a~32c 延伸至塑封體 38 之外的部分則要遠離電解液而不能接觸和浸泡在電解液浸泡中，以防止這部分的表面所覆蓋的金屬層 33 因接觸電解液而受到意外的損傷。典型的陽極氧化法，如在直流條件下，將基座 31 及散熱片 35 作為陽極，鉛或鉑作為陰極，在鋁合金的陽極氧化處理中相當於水的電解，在陰極上析出氫氣，在陽極上產生氧。在陽極上，鋁合金的基座 31 及散熱片 35 失去電子而與氧合成，獲得基座 31 背面及散熱片 35 表面的鋁的氧化膜即鈍化層 39 (第 2J 圖)。在一些特定的氧化條件下，該氧化膜為雙層結構，包含相對較薄但緻密無孔的內層和厚實而多孔的外層，其中內層為  $Al_2O_3$ ，而外層是氧化物膜壁與水反應同時由於化學結合式吸附電解陰離子而形成的多孔層。

然後實施分割/成型 (Trim/Form) 的步驟，將一些圖中未標注的連筋切割斷，將引腳 32a~32b 從引線框架 100 上切割下來，並將引腳 32a~32b 延伸出的部分衝壓成各種預先設計好的形狀，形成例如第 2L 圖所示的半導體元件 300，陰影部分代表鈍化層 39。作為一種選擇，當晶片 40 為 MOSFET 時，焊墊 40b 為柵極端，焊墊 40a 為源極端，晶片 40 背面的背部金屬層為

漏極端，又如晶片 40 為 IGBT 時，焊墊 40a、40b、背部金屬層分別為發射極、柵極、集電極，需強調的是，圖中示意出的焊墊 40a、40b 的形狀和位置不構成對本發明的限制。如此一來，在高壓電子電力元件中，與漏極端（或集電極）電性連接的基座 31 上往往有較大的壓降，如果基座 31 的背面及散熱片 35 的表面直接裸露在外，會有潛在的安全隱患，也會對其附近的其他電子元元件產生干擾，而所生成了鈍化層 39 則起到絕緣和抑制高壓的作用。另一個極大的優勢還在於，鈍化層 39 並非是絕熱材料，當基座 31 和散熱片 35 作為晶片 40 的散熱途徑時，鈍化層 39 並不影響熱量的消散。

在一些實施方式中，如第 2K 圖，還可以進一步在引腳 32a~32c 延伸至塑封體 38 之外的部分的表面所覆蓋的金屬層 33 上再鍍一層電鍍層 36。例如當金屬層 33 不是貴金屬層或者其最外層不含貴金屬層，如為 Ni/Cu 或 Ni/Zn/Cu 等時，則可以額外的形成該電鍍層 36，典型的如價格相對低廉的錫 Sn 的電鍍層，因為不採用貴金屬所以可最大程度的節省成本。電鍍層 36 的形成時機可以選取在獲得鈍化層 39 之後實施，一個便利之處在於，氧化鋁的鈍化層 39 不會沾錫料，杜絕了錫膏吸附在基座 31 的背面或散熱片 35 的表面的麻煩。反之，若是金屬層 33 本身就是一層貴金屬層，或者當金屬層 33 為複合層結構時其最外層為貴金屬層，就沒有必要再額外形成電鍍層 36。

在一些實施方式中，考慮到在腐蝕基座 31 背面和散熱片 35 表面的金屬層 33 的步驟中，無法完全避免引腳 32a~32c 延伸至塑封體 38 之外的部分被局部或整體浸入到刻蝕液中，也即意味著它們表面所覆蓋的金屬層 33 會接觸刻蝕液而可能被腐蝕掉，所以有必要在引腳 32a~32c 延伸至塑封體

38 之外的部分的表面所覆蓋的金屬層 33 上再形成一層抗蝕劑層 37 (如第 3a 圖), 用以將這些部位的金屬層 33 和刻蝕液隔絕來提供保護。通常, 只要刻蝕液對金屬層 33 有腐蝕性 (敏感) 而對抗蝕劑層 37 沒有腐蝕性 (不敏感) 即可, 抗蝕劑層 37 可作為刻蝕阻擋層 (相當於一掩膜層), 譬如, 金屬層 33 為 Ni/Cu 複合層, 而抗蝕劑層 37 為貴金屬層。一個優勢在於, 在後續步驟中可根據實際需要選擇是否剝離掉抗蝕劑層 37, 例如前述內容所揭示的貴金屬材質的蝕劑層 37 最終就可以予以保留而無需剝離。如第 3B 圖所示, 其後才將基座 31 背面和散熱片 35 表面的金屬層 33 刻蝕掉, 即便引腳 32a~32c 延伸至塑封體 38 之外的部分整體或局部浸泡在刻蝕液中, 其表面的金屬層 33 由於抗蝕劑層 37 的隔離和抗腐蝕作用, 這些部分上的金屬層也不會被刻蝕掉, 之後如第 3C 圖所示形成鈍化層 39。

上述內容是以典型的 T0220 系列的引線框架作為示例來闡明本申請的發明精神, 但閱讀者需要明確注意的是: 這絕非意味著本申請只限制於該封裝類型。

在如第 4A 圖所示的實施方式中, 晶片安裝單元 30' 沒有刻意設置額外的散熱片, 多個引腳 32' a 設置在基座 31' 的附近, 這些引腳 32' a 圍繞在基座 31' 的周圍並向外延伸, 每個引腳 32' a 包含的作為鍵合區的端部 32' a-1 靠近基座 31'。第 4B 圖是晶片安裝單元 30' 的豎截面示意圖, 在本實施方式中, 先在每個基座 31' 的背面粘貼一覆蓋膜 50, 然後如第 4C 圖所示, 在基座 31' 的除了被覆蓋膜 50 蓋住的背面以外, 在餘下的表面和引腳 32' a 的表面鍍上一層金屬層 33, 其後移除覆蓋膜 50, 其實也可以在形成後續的塑封體 38 之後才移除覆蓋膜 50, 如第 4D 圖所示, 這樣就保障了基座 31' 的

背面沒有覆蓋金屬層 33。然後如第 4E 圖所示，利用粘合材料 34 將晶片 40' 粘貼在基座 31' 的正面，並將晶片 40' 正面的多個焊墊（未示意出）利用互連結構 41 分別相對應的連接到多個引腳 32' a 各自的端部 32' a-1。以及形成一至少包覆在基座 31 正面的塑封體 38'，用以包覆該晶片 40' 和互連結構 41，以及包覆部分基座 31' 和包覆各引腳 32' a 的一部分，如至少將端部 32' a-1 包覆在內。其中，塑封體 38' 可以包覆在基座 31' 的側壁和正面，並至少使基座 31' 的與其正面相對的背面外露出塑封體 38'。儘管揭去覆蓋膜 50 之後會迅速在基座 31' 的背面生成稀薄的氧化層，但只要在形成鈍化層 39 之前將其去除即可，該方法已經在前述內容中有所闡述，不再贅述，之後便可在基座 31' 的背面利用陽極氧化法獲得鈍化層 39，獲得半導體元件 300'。

在一些實施方式中，晶片 40' 的類型可以有種，如晶片 40' 的背面無需設置背部金屬層，或者設置有背部金屬層但可以選擇是否將其與基座 31' 之間形成電性連接，此時粘合材料 34 也亦可選取導電或不導電的材料。在一些實施方式中，引腳 32' a 被衝壓成型為臺階狀的 Z 形結構，包括作為高臺面的端部 32' a-1 和作為低臺面的接觸端 32' a-3，兩者通過連接部 32' a-2 連接，其中，基座 31' 與接觸端 32' a-3 分別位於兩個錯開的平面，以便基座 31' 的背面與接觸端 32' a-3 之間有一高度差，從而當接觸端 32' a-3 焊接到 PCB 上的焊盤時基座 31' 的背面不會緊貼 PCB，利於基座 31' 背面熱量的消散。

在一些可選實施方式中，鋁合金材質的引線框架中，各材料所占的品質百分比大致為：矽 Si 的含量為 0.20%~0.6%，鐵 Fe 的含量為 0.3%~0.8%，

銅 Cu 的含量為 0.1%~0.3%，錳 Mn 的含量為 0.1%~1%，鎂 Mg 的含量為 0.5%~5%，鉻 Cr 的含量為 0.1%~0.5%，鋅 Zn 的含量為 0.1%~0.4%，鈦 Ti 的含量為 0.05%~0.3%，其他的材料為金屬鋁 Al 和極少量雜質物（此處公開的含量比僅作為示範而不構成限制）。

另外，在鈍化層 39 的生成步驟中，因高矽含量的鋁合金容易造成矽的晶向偏析，導致成膜困難而且膜的厚度均勻性也比較差，所以矽 Si 元素在整個鋁合金中的含量應當適宜，例如低於 10%甚至低於 1.00%，以使鈍化層 39 更容易生成並提高它的厚度均勻性。

由於鋁合金是低成本原材料，其硬度及柔韌性均適宜於引線框架的沖切、彎折、成型等需變形的工序，因此適用於大量生產，而且其重量要遠遠低於金屬銅或鐵鎳材質，這為實際生產帶來了極大的便利，這均是本申請所帶來的極大優勢。

透過上述之詳細說明，即可充分顯示本發明之目的及功效上均具有實施之進步性，極具產業之利用性價值，且為目前市面上前所未見之新發明，完全符合發明專利要件，爰依法提出申請。唯以上著僅為本發明之較佳實施例而已，當不能用以限定本發明所實施之範圍。即凡依本發明專利範圍所作之均等變化與修飾，皆應屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

### 【圖式簡單說明】

第 1A、1B 圖 為習知技術之功率半導體元件封裝示意圖；

第 2A-1、2A-2 至 2L 圖 為本發明較佳實施例之半導體元件製備流程示意圖；

第 3A 至 3C 圖 為本發明較佳實施例之抗蝕劑層的實施方式示意圖；以及  
第 4A 至 4E 圖 為本發明另一較佳實施例之半導體元件實施方式示意圖。

### 【主要元件符號說明】

- 10 功率元件
- 18 塑封體
- 20 功率元件
- 21 引線框
- 100 引線框架
- 30、30' 晶片安裝單元
- 300、300' 半導體元件
- 31、31' 基座
- 32a、32' a、32b、32c 引腳
- 32a-1、32' a-1、32c-1 端部
- 32' a-3 接觸端
- 33 金屬層
- 34 粘合材料
- 35 散熱片
- 37 抗蝕劑層
- 38、38' 塑封體
- 39 鈍化層
- 40、40' 晶片
- 40a、40b 焊墊
- 41 互連結構
- 50 覆蓋膜

## 七、申請專利範圍：

1. 一種半導體元件的製備方法，提供一包含複數個晶片安裝單元的引線框架，並且該些晶片安裝單元至少包含一基座及設置在該基座附近的複數個引腳，包括：  
在該基座和該些引腳各自的表面上均勻形成一金屬層；  
將一晶片粘貼在該基座的正面；  
利用一互連結構將設置在該晶片正面的該些焊墊分別相對應地電性連接到至少一部分引腳各自的靠近該基座的端部；  
形成一至少包覆在基座正面的塑封體，並且該塑封體將該晶片、該互連結構和該些端部包覆在內，其中該基座的背面帶有的該金屬層暴露於該塑封體之外；  
移除該基座背面的該金屬層；以及  
在該基座的背面形成一層鈍化層。
2. 如申請專利範圍第 1 項所述之半導體元件的製備方法，更包括利用濕式蝕刻移除該基座背面的該金屬層的步驟，並在該步驟中避免該些引腳延伸到該塑封體之外的部分的表面所覆蓋的該金屬層接觸刻蝕液以防止其被刻蝕掉。
3. 如申請專利範圍第 1 項所述之半導體元件的製備方法，更包括利用濕式蝕刻移除該基座背面的金屬層的步驟，並在該步驟之前，先在該些引腳的延伸到該塑封體之外的部分的表面上所覆蓋的該金屬層上鍍一層抗蝕劑層，用以隔離部分該金屬層和刻蝕液。
4. 如申請專利範圍第 1 項所述之半導體元件的製備方法，其中在該基座的

背面形成一層該鈍化層之後，在該些引腳延伸至該塑封體之外的部分的表面所覆蓋的該金屬層之上再形成一層電鍍層。

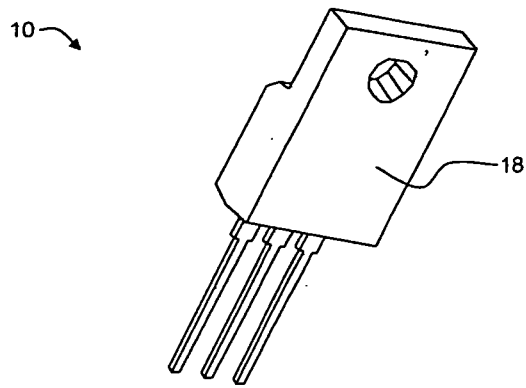
5. 如申請專利範圍第 1 項所述之半導體元件的製備方法，其中該基座上還連接有一散熱片，在形成該金屬層的步驟中同時在該散熱片的表面形成有金屬層；在形成該塑封體的步驟中，該散熱片未被該塑封體包覆在內；在移除該基座背面的該金屬層的同時還將該散熱片表面的該金屬層一併移除；以及在該基座背面形成該鈍化層的同時還在該散熱片的表面生成一層鈍化層。
6. 如申請專利範圍第 1 項所述之半導體元件的製備方法，其中該引線框架的材質為鋁合金。
7. 如申請專利範圍第 6 項所述之半導體元件的製備方法，其中該鈍化層是利用鋁合金硬質陽極氧化法處理所形成的氧化鋁鈍化層。
8. 一種半導體元件的製備方法，提供一包含有多個晶片安裝單元的引線框架，並且每個晶片安裝單元至少包含一基座及設置在該基座附近的複數個引腳，包括：  
在該基座的除了背面以外的餘下表面和該些引腳的表面上形成金屬層；  
將一晶片粘貼在該基座的正面；  
利用互連結構將設置該晶片正面的各焊墊分別相對應地電性連接到至少一部分引腳各自的靠近該基座的端部；  
形成一至少包覆在基座正面的塑封體，並且該塑封體同時將該晶片、該互連結構和各端部包覆在內，其中該基座背面裸露於該塑封體之外；以及

在該基座的背面形成一層鈍化層。

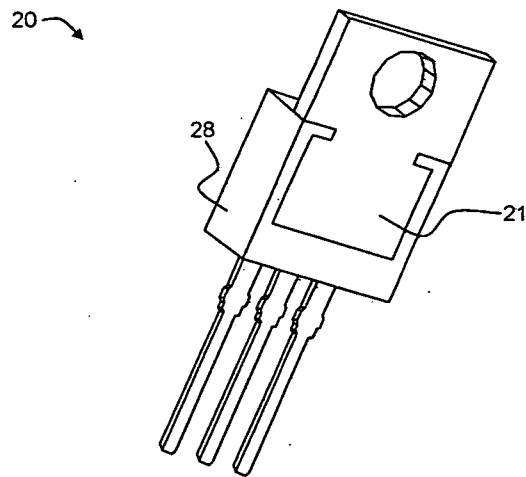
9. 一種半導體元件的製備方法，該半導體元件具有承載晶片的基座，並具有一塑封體，用以包覆該晶片和包覆部分基座，包括以下步驟：至少使該基座的背面外露於該塑封體，並在該基座的背面形成一層鈍化層。
10. 如申請專利範圍第 9 項所述之半導體元件的製備方法，其中該基座的表面覆蓋有一金屬層，並且該基座的底面帶有的該金屬層外露於該塑封體，其中，在該基座的背面形成該鈍化層之前，更包括先將該基座背面的該金屬層移除的步驟。
11. 一種半導體元件，包含一晶片安裝單元並且每一該晶片安裝單元至少包含一基座及設置在該基座附近的複數個引腳，包括：  
形成在該基座背面的一鈍化層，以及形成在該基座餘下的表面上和該些引腳的表面的金屬層；  
一個粘貼在該基座正面的晶片；  
複數個將設置該晶片正面的各焊墊分別相對應地電性連接到至少一部分引腳的靠近該基座的端部的互連結構；以及  
至少包覆在該基座正面的一塑封體，該塑封體還將該晶片、該互連結構和該些端部包覆在內，其中該基座背面帶有的該鈍化層暴露於該塑封體之外。
12. 如申請專利範圍第 11 所述之半導體元件，更包括晶片為一垂直式的功率元件，設置在該晶片背面的一背部金屬層通過導電的粘合材料粘貼到該基座上；以及至少一個引腳直接連接在該基座上，並且連接到該基座上的該引腳的一部分被該塑封體包覆在內。

13. 如申請專利範圍第 11 所述之半導體元件，其中該互連結構為金屬片或鍵合引線或帶狀的金屬導電帶。
14. 如申請專利範圍第 11 所述之半導體元件，其中該基座上還連接有一表面覆蓋有一層鈍化層的散熱片。
15. 如申請專利範圍第 11 所述之半導體元件，其中該引腳延伸到該塑封體之外的部分的表面所形成的該金屬層上還鍍有另一層電鍍層。
16. 如申請專利範圍第 11 所述之半導體元件，其中該晶片安裝單元為鋁合金材質，以及該鈍化層包含氧化鋁。
17. 一種半導體元件，其具有承載晶片的基座，以及設置在基座附近的複數個引腳，粘貼於該基座正面的該晶片與該些引腳間形成電性連接關係，並具有一塑封體，用以包覆該些引腳的一部分，以及包覆該晶片和部分該基座，至少使該基座的背面外露於該塑封體，並且該基座的背面形成有一層鈍化層。

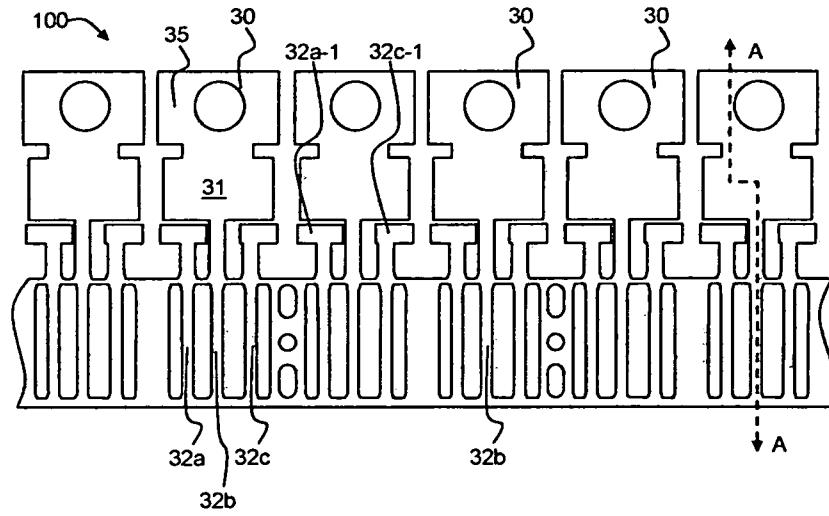
八、圖式：



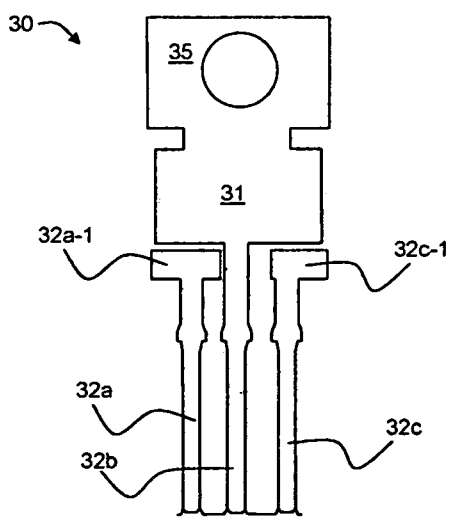
第1A圖



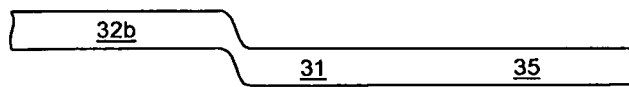
第1B圖



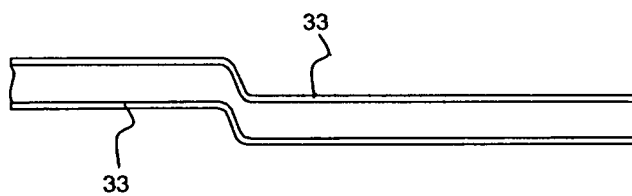
第2A-1圖



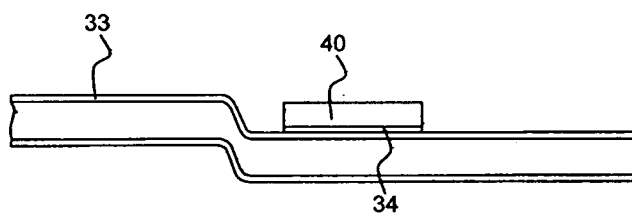
第2A-2圖



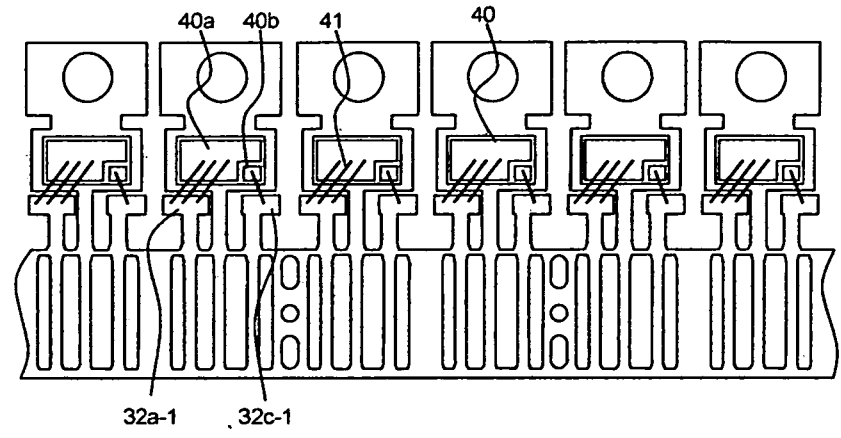
第2B圖



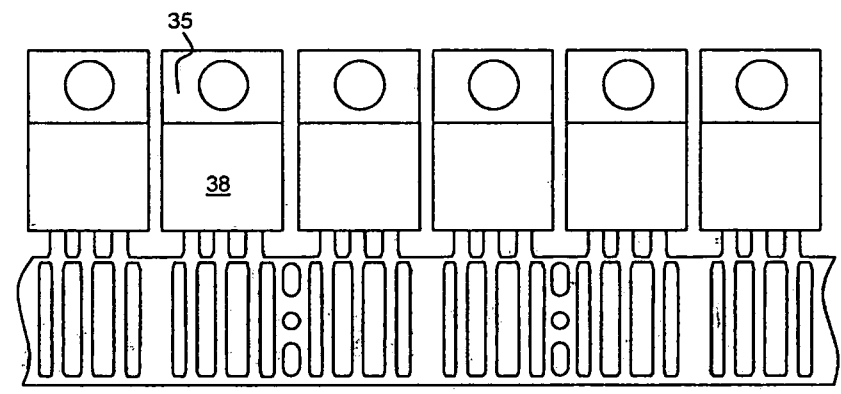
第2C圖



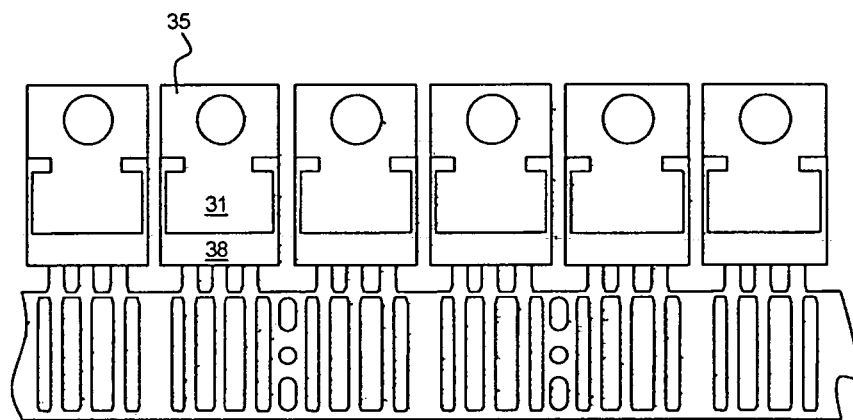
第2D圖



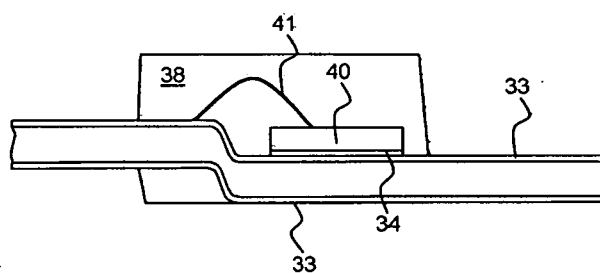
第2E圖



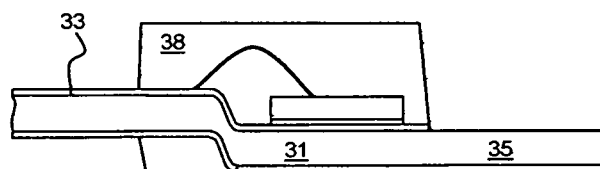
第2F圖



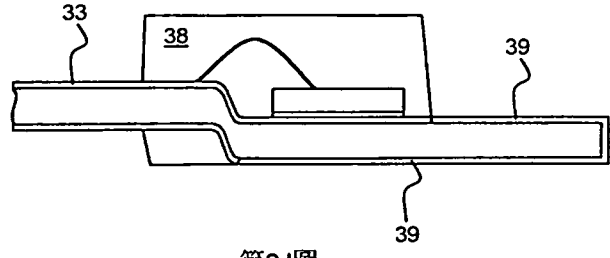
第2G圖



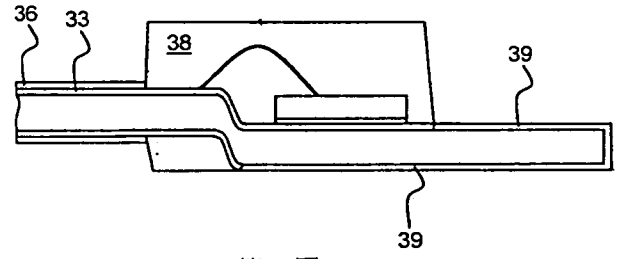
第2H圖



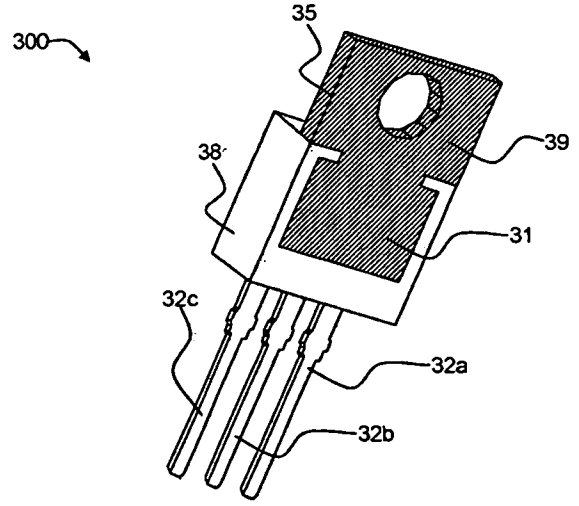
第2I圖



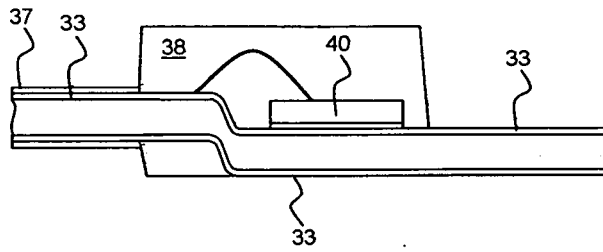
第2J圖



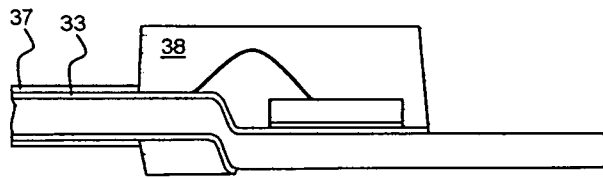
第2K圖



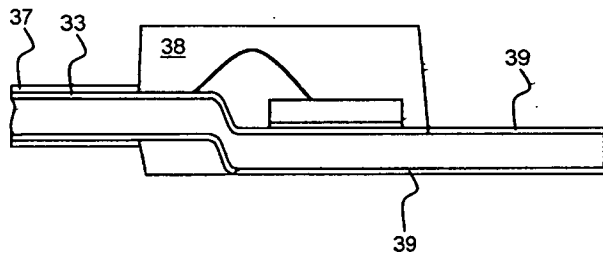
第2L圖



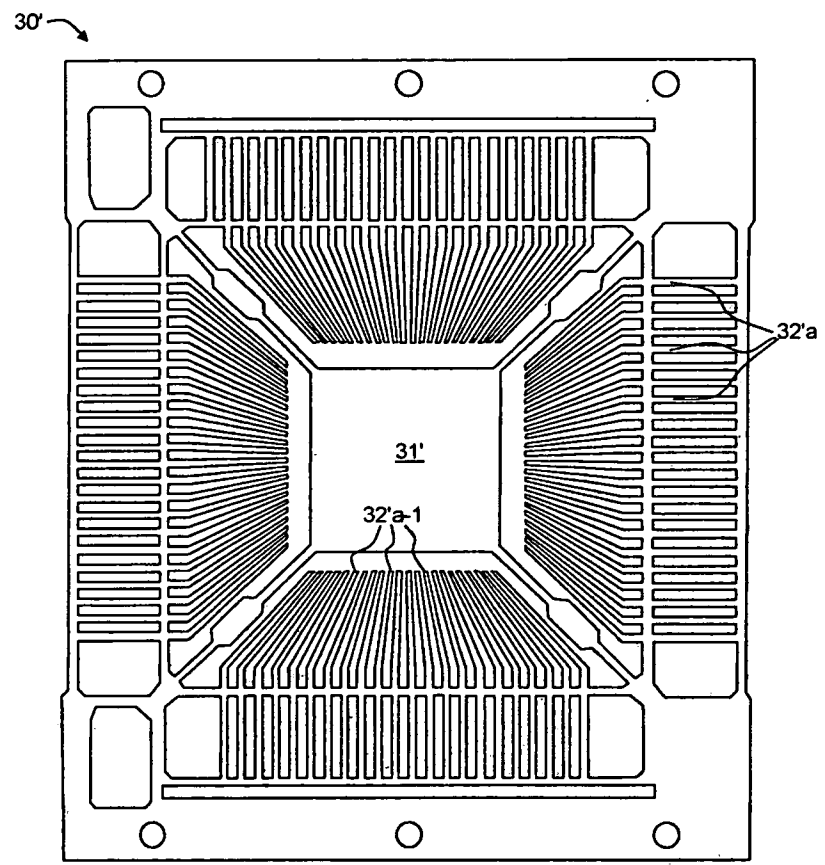
第3A圖



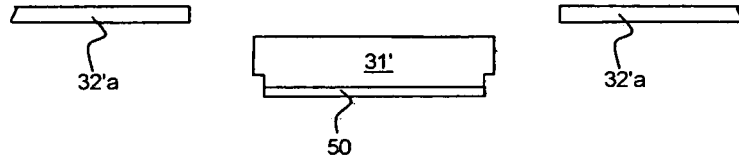
第3B圖



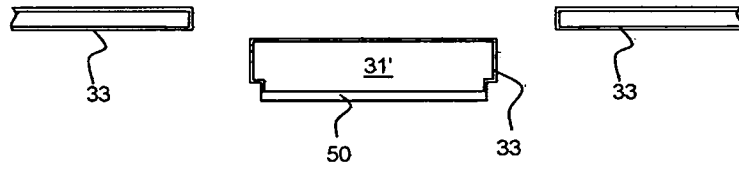
第3C圖



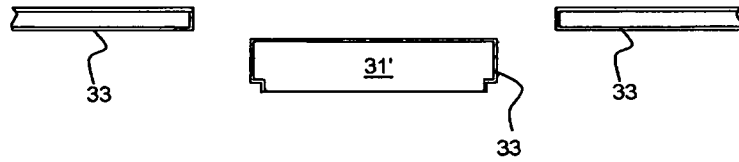
第4A圖



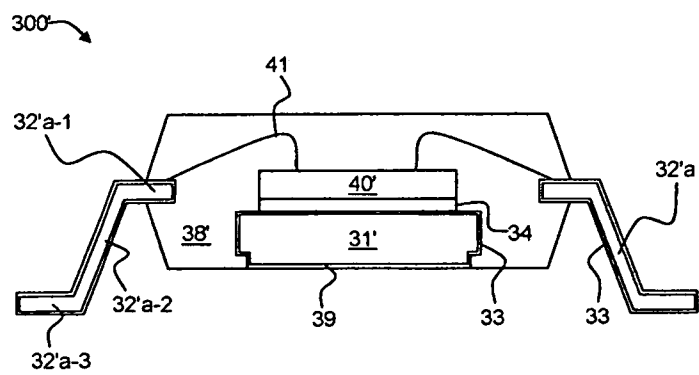
第4B圖



第4C圖



第4D圖



第4E圖