



(12) 发明专利

(10) 授权公告号 CN 103311222 B

(45) 授权公告日 2016. 08. 31

(21) 申请号 201310073377. 5

US 7955901 B2, 2011. 06. 07,

(22) 申请日 2013. 03. 07

US 2003/0024731 A1, 2003. 02. 06,

(30) 优先权数据

CN 1289147 A, 2001. 03. 28,

13/415, 356 2012. 03. 08 US

审查员 赵龙

(73) 专利权人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市

(72) 发明人 霍斯特·托伊斯

(74) 专利代理机构 北京康信知识产权代理有限公司  
责任公司 11240

代理人 李静 王素贞

(51) Int. Cl.

H01L 23/538(2006. 01)

H01L 21/768(2006. 01)

(56) 对比文件

US 6358780 B1, 2002. 03. 19,

US 6358780 B1, 2002. 03. 19,

US 6747348 B2, 2004. 06. 08,

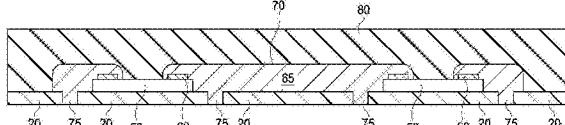
权利要求书2页 说明书7页 附图11页

(54) 发明名称

半导体封装件及其形成方法

(57) 摘要

本发明公开了一种半导体封装件及其形成方法。在一个实施例中，一种半导体封装件的形成方法包括将具有贯通开口的薄膜层施加在载体上，并将半导体芯片的背面附接于所述薄膜层。半导体芯片的正面上具有触头。所述方法包括利用第一公共沉积和图案化步骤来在开口中形成导电材料。所述导电材料接触所述半导体芯片的触头。通过利用第二公共沉积和图案化步骤将半导体芯片、薄膜层、以及导电材料封装在封装剂中来形成重新配置的晶圆。将该重新配置的晶圆进行分离以形成多个封装件。



1. 一种半导体封装件，包括：

第一晶片，设置在薄膜层上；

封装剂材料，包围所述第一晶片并设置在所述薄膜层上；以及

第一互连部，具有第一端和相对的第二端，所述第一端接触位于所述第一晶片上的第一触头，并且所述第二端形成所述半导体封装件的第一外部接触脚，所述第一外部接触脚设置在所述薄膜层内，

其中，所述薄膜层具有填充有导电材料的开口，从而形成过孔，所述过孔的底部形成第二外部接触脚，并且所述导电材料形成第二互连部，所述第二互连部具有第一端和第二端，所述第二互连部的第一端接触位于所述第一晶片上的第二触头，并且所述第二互连部的第二端耦接至所述过孔，

其中，所述封装件进一步包括：

第二晶片，设置在所述薄膜层上并嵌入所述封装剂中，并且

所述第二互连部还具有第三端，所述第三端耦接位于所述第二晶片上的触头。

2. 根据权利要求1所述的封装件，其中，所述第一和第二外部接触脚与所述薄膜层的表面共用一公共表面。

3. 根据权利要求1所述的封装件，其中，所述第一互连部包括导电材料，所述导电材料包括填充有导电颗粒的树脂。

4. 根据权利要求1所述的封装件，其中，所述第一互连部包括在聚合物基体中具有导电颗粒的复合材料。

5. 根据权利要求1所述的封装件，其中，所述第一互连部包括硬化金属膏。

6. 根据权利要求1所述的封装件，其中，所述第一互连部包括固化银纳米膏。

7. 一种形成半导体封装件的方法，所述方法包括：

利用第一公共沉积和图案化步骤，将薄膜层施加在载体上，所述薄膜层具有贯通开口；

将半导体芯片的背面对接于所述薄膜层，所述半导体芯片的正面上具有触头；

利用第二公共沉积和图案化步骤，将导电材料形成在所述贯通开口内，所述导电材料接触所述触头；

通过将半导体芯片、薄膜层以及导电材料封装在封装剂中来形成重新配置的晶圆；以及

将所述重新配置的晶圆进行分离，以形成多个封装件，其中

所述贯通开口内填充所述导电材料从而所述贯通开口中的导电材料的表面在所述重新配置的晶圆的底侧上形成外部接触脚，所述导电材料将所述半导体芯片的所述触头与所述贯通开口耦接。

8. 根据权利要求7所述的方法，进一步包括去除所述载体。

9. 根据权利要求7所述的方法，其中，所述第一公共沉积和图案化步骤包括印刷、模制、或层压。

10. 根据权利要求7所述的方法，其中，所述第二公共沉积和图案化步骤包括印刷、模制、或层压。

11. 根据权利要求7所述的方法，其中，所述第一和第二公共沉积和图案化步骤包括印刷。

12. 根据权利要求11所述的方法,其中,所述印刷包括丝网印刷。
13. 根据权利要求7所述的方法,其中,所述第一和第二公共沉积和图案化步骤包括模制。
14. 根据权利要求13所述的方法,其中,所述模制包括薄膜辅助模制工艺。
15. 根据权利要求7所述的方法,其中,在封装所述半导体芯片之后,位于所述重新配置的晶圆的顶侧上的导电材料的表面形成接触垫。
16. 根据权利要求7所述的方法,其中,形成重新配置的晶圆的步骤包括以单个步骤在所述重新配置的晶圆的顶侧上形成接触垫。
17. 根据权利要求16所述的方法,进一步包括将所述多个封装件中的第一封装件层叠在所述多个封装件中的第二封装件上。
18. 根据权利要求16所述的方法,进一步包括将所述多个封装件中的第一封装件层叠在不同于所述第一封装件的第二封装件下方,所述第一和第二封装件通过所述接触垫耦接。
19. 根据权利要求7所述的方法,其中,形成导电材料的步骤包括施加导电膏,所述导电膏包括具有金属颗粒的树脂。
20. 一种形成半导体封装件的方法,所述方法包括:  
利用第一公共沉积和图案化步骤,将图案化导电层施加在载体上;  
利用第二公共沉积和图案化步骤,将薄膜层施加在所述载体上并横向靠近所述图案化的导电层,所述薄膜层具有贯通开口;  
将半导体芯片的背面附接到所述薄膜层,所述半导体芯片的正面上具有前触头;  
利用第三公共沉积和图案化步骤,将导电材料形成在所述贯通开口内,所述导电材料接触所述半导体芯片的所述前触头以及所述图案化的导电层;  
利用第四公共沉积和图案化步骤,通过将半导体芯片、薄膜层、以及导电材料封装在封装剂中来形成重新配置的晶圆;以及  
将所述重新配置的晶圆进行分离。
21. 根据权利要求20所述的方法,其中,所述半导体芯片的背面上具有后触头,所述后触头接触所述图案化的导电层。
22. 根据权利要求20所述的方法,其中,所述第一公共沉积和图案化步骤包括印刷、模制、或层压。
23. 根据权利要求20所述的方法,其中,所述第一公共沉积和图案化步骤包括丝网印刷。
24. 根据权利要求20所述的方法,其中,所述第一公共沉积和图案化步骤包括薄膜辅助模制。
25. 根据权利要求20所述的方法,其中,所述第二公共沉积和图案化步骤包括丝网印刷。
26. 根据权利要求20所述的方法,其中,所述第二公共沉积和图案化步骤包括薄膜辅助模制。
27. 根据权利要求20所述的方法,其中,所述第三和第四公共沉积和图案化步骤包括印刷、模制、或层压。

## 半导体封装件及其形成方法

### 技术领域

[0001] 本发明总体涉及半导体器件,更具体地,涉及半导体封装件及其形成方法。

### 背景技术

[0002] 半导体器件在多种电子及其他应用领域得到应用。半导体器件包括集成电路或分立器件,所述集成电路或分立器件通过将多种类型的薄膜材料沉积在半导体晶圆(wafer)上并对薄膜材料进行图案化以形成集成电路而形成在半导体晶圆上。

[0003] 半导体器件通常被封装在陶瓷体或塑料体内以免受物理损坏和腐蚀。封装还支持要求连接于器件的电触头。根据被封装的晶片(die,裸片)的类型和预期用途,可获得多种不同类型的封装。典型的封装(例如,包装的尺寸、管脚数)可以符合联合电子设备工程委员会(JEDEC)的开放标准。封装也可以称为半导体器件组件或简称组件。

[0004] 由于将多个电气连接装置连接至外部衬垫并同时保护这些电气连接装置和下层芯片的复杂性,封装可能是一种消耗大量成本的工艺。

### 发明内容

[0005] 通常利用本发明的说明性实施例来解决或避免这些或其他问题,并由此普遍实现技术优势。

[0006] 在一个实施例中,一种半导体封装件的形成方法包括将具有贯通开口的薄膜层施加在载体上,并将半导体芯片的背面附接于所述薄膜层。半导体芯片的正面上具有触头。所述方法包括利用第一公共沉积和图案化步骤来在开口中形成导电材料。所述导电材料接触所述半导体芯片的触头。通过利用第二公共沉积和图案化步骤将半导体芯片、薄膜层、以及导电材料封装在封装剂中来形成重新配置的晶圆。将该重新配置的晶圆进行分离以形成多个封装件。

[0007] 上文概括描述了本发明的实施例的特征,以便可以更好理解本发明的下面的详细描述。下文将描述本发明实施例的附加的特征和优点,这些附加的特征和优点构成本发明的权利要求的主题。本领域技术人员应理解,所公开的构思和具体实施例可以很容易用作修改或设计其他结构或工艺的基础,以实现本发明的相同目的。本领域技术人员应意识到,这些等同构造不背离所附权利要求中所阐述的本发明的精神和范围。

### 附图说明

[0008] 为了更加全面地理解本发明及其优点,现在参考以下结合附图的描述,在附图中:

[0009] 图1示出了使用本发明的实施例形成的半导体器件的横截面图;

[0010] 图2A及图2B示出了根据本发明实施例的在制造期间在将薄膜层形成在载体上之后的半导体封装件,其中图2A示出了横截面图,且图2B示出了顶视图;

[0011] 图3A及图3B示出了根据本发明实施例的在制造期间在将晶片附接到薄膜层上之后的半导体封装件,其中图3A示出了横截面图,且图3B示出了顶视图;

[0012] 图4A及图4B示出了根据本发明实施例的在制造期间在形成过孔和/或导线之后的半导体封装件,其中图4A示出了横截面图,且图4B示出了顶视图;

[0013] 图5示出了根据本发明实施例的在制造期间在封装晶片之后的半导体封装件的横截面图;

[0014] 图6A及图6B示出了根据本发明实施例的在分离(切割,singulating)重新配置的晶圆之后的半导体封装件,其中图6A示出了横截面图,且图6B示出了底视图;

[0015] 图7A及图7B示出了根据本发明可替换实施例的在制造期间在将薄膜层形成在载体上之后的半导体封装件,其中图7A示出了横截面图,且图7B示出了放大的顶视图;

[0016] 图8A及图8B示出了根据本发明可替换实施例的在制造期间在将晶片附接到薄膜层上之后的半导体封装件,其中图8A示出了横截面图,且图8B示出了顶视图;

[0017] 图9A及图9B示出了根据本发明可替换实施例的在制造期间在形成过孔和/或导线之后的半导体封装件,其中图9A示出了横截面图,且图9B示出了顶视图;

[0018] 图10A及图10B示出了根据本发明可替换实施例的在制造期间在封装晶片之后的半导体封装件,其中图10A示出了横截面图,且图10B示出了顶视图;

[0019] 图11A及图11C示出了根据本发明可替换实施例的在分离重新配置的晶圆之后的半导体封装件,其中图11A示出了横截面图,图11B示出了底视图,且图11C示出了顶视图;

[0020] 图12-16示出了在制造期间形成包括多个芯片的半导体封装件的可替换实施例;

[0021] 图17A-17C示出了使用本发明的实施例形成的半导体器件;以及

[0022] 图18A-18D示出了使用本发明的实施例形成的并安装在电路板上的半导体封装件。

[0023] 除非另有说明,不同图中的相应数字和符号一般是指相应部件。绘制图形以清楚示出实施例的相关方面,但不一定要按比例绘出。

## 具体实施方式

[0024] 下面将详细讨论各个实施例的制作和使用。然而,应理解,本发明提供了可以在各式各样的特定环境下实施的多种适用的发明构思。所讨论的具体实施例仅说明制作并使用本发明的具体方式,并且不限制本发明的范围。

[0025] 在不同实施例中,本发明教导使用低成本工艺形成半导体封装件,从而大大减少封装半导体器件的成本。如将详细描述的,在不同实施例中,将多个工艺步骤合并成单个工艺步骤以降低制造成本。相对其他传统技术而言,单个步骤处理花费的时间较少,复杂性更低,并且减少了浪费。

[0026] 将利用图1对半导体封装件的结构性实施例进行描述。将利用图17A-17C和18A-18D的其它结构性实施例进行描述。将利用图1-6B对根据本发明实施例的制造半导体封装件的方法进行描述。将利用图7A-11C和图12-16对制造半导体封装件的其它实施例进行描述。

[0027] 图1示出了使用本发明的实施例形成的半导体器件的横截面图。

[0028] 参照图1,该半导体封装件包括嵌入封装材料80内的多个晶片50。多个晶片50设置在薄膜层20上,该薄膜层具有填充有导电材料65的开口,从而形成过孔(through via)75,其形成用于半导体封装件的接触垫。导电材料65还形成有导线70,所述导线将多个晶片50

上的触头60与过孔75耦接。

[0029] 图2A及图2B示出了在制造期间在将薄膜层形成在载体上之后的半导体封装件，其中图2A示出了横截面图，且图2B示出了顶视图。

[0030] 参照图2A，利用载体10形成该半导体封装件，载体在加工过程中提供机械支持和稳定性。在不同实施例中，载体10可以是由刚性材料(例如，诸如镍、钢或不锈钢的金属、层压板、膜或材料层叠体等)制成的板。载体10可以具有至少一个平坦表面，半导体芯片可以置于该至少一个平坦表面上。在一个或多个实施例中，载体10还可以是圆形的或方形的，但是在不同实施例中该载体10也可以是任何适用的形状。在不同实施例中，载体10可以具有任何适当的尺寸。在一些实施例中，载体10可以包括胶粘带(例如，层压到载体10上的双面胶带)。载体10可以包括框架，在一个实施例中，该框架是具有胶箔(adhesive foil, 粘性箔)的环形结构(环形)。在一个或多个实施例中，该胶箔可以沿外缘由框架支撑。

[0031] 薄膜层20形成在载体10上。薄膜层20形成为具有图案，使得开口30形成在薄膜层20内。在不同实施例中，使用印刷工艺、模制工艺或层压工艺形成薄膜层20。在一个或多个实施例中，薄膜层20和开口30以单个步骤形成在载体10上，而无需进行附加的图案化。单个步骤是在整个载体10上将沉积和图案化合并成一个步骤的工艺。因为同时处理载体10的整个表面，所以载体10的多个部分不被顺序地暴露，例如，如在步进扫描光刻(step and scan lithography)工具中所进行的。这种工艺的实例包括印刷、模制或层压。

[0032] 在一个实施例中，利用印刷工艺形成薄膜层20，例如，利用模板印刷工艺、随后是热处理工艺。在其他实施例中，可以使用包括丝网印刷的其他类型的印刷。

[0033] 可替换地，可以利用压缩模制等模制工艺形成薄膜层20。在一个实施例中，可以使用薄膜辅助模制工艺。在薄膜辅助模制工艺中，在将载体10装载到模制腔中之前，塑料膜被向下吸入模制工具的内表面中。模制腔的表面包括薄膜层20内的用于开口30的图形。然后将模制材料液化，并且被迫进入封闭的模制腔中且在热和压力下被保持，直至所有液化的模制材料固化，由此形成图案化的薄膜层20。薄膜层20(例如，箔)密封模制工具之间的区域以及位于载体10上的或事先施加的层上的某些区域。这保证这些区域没有模制溢料(mold flash)(模制材料的痕迹)，并且如果需要，稍后可以将这些区域用作电触头。可替换地，可以使用诸如注塑模制、粉末模制、液体模制等其他模制技术来形成具有开口30的薄膜层20。在不同实施例中，在施加薄膜层20之后，可以执行附加的固化工艺。

[0034] 在不同实施例中，薄膜层20包括塑料材料。在一个这种实施例中，薄膜层20包括聚对二甲苯、光阻材料、酰亚胺、环氧树脂、热固性塑料。在可替换实施例中，薄膜层20包括有机硅、氮化硅或陶瓷状材料(比如硅碳化合物)。在一个实施例中，薄膜层20包括预浸渍纤维材料，该材料是纤维毡(例如玻璃或碳纤维)以及树脂(例如热固性塑料材料)的组合物。

[0035] 在不同实施例中，薄膜层20的厚度为大约10 $\mu\text{m}$ 至大约50 $\mu\text{m}$ ，在可替换实施例中为大约2 $\mu\text{m}$ 至大约10 $\mu\text{m}$ 。

[0036] 图3A及图3B示出了在制造期间在将晶片附接到薄膜层上之后的半导体封装件，其中图3A示出了横截面图，且图3B示出了顶视图。

[0037] 参照图3A和3B，将多个晶片50或半导体芯片附接到薄膜层20上。在不同实施例中，多个晶片50可以利用粘合剂附接。多个晶片50可以包括如图所示的触头60。在不同实施例中，该粘合剂可以包括胶水或其他胶粘型材料。附接层较薄以便进行随后的印刷工艺，例如

小于大约100 $\mu\text{m}$ ,并且在另一个实施例中为1 $\mu\text{m}$ 至大约50 $\mu\text{m}$ 。

[0038] 在不同实施例中,多个晶片50可以包括任何种类的晶片。在不同实施例中,多个晶片50包括低功率芯片,例如使用低电流(例如,小于10安培)的芯片。例如,消耗大电流(例如,大于30安培)的功率芯片需要低导电率的粗导线,且可能不适用于本发明实施例中描述的此封装。

[0039] 在不同实施例中,多个晶片50可以包括逻辑芯片、存储芯片、模拟芯片、混合信号芯片。本发明的实施例还包括薄膜层20上的多个芯片。例如,可以将两个或更多个芯片置于开口30之间。

[0040] 图4A及图4B示出了在制造期间在形成过孔和/或导线之后的半导体封装件,其中图4A示出了横截面图,且图4B示出了顶视图。

[0041] 将导电材料65施加在载体10上。有利地,以单个步骤将导电材料65施加在整个载体10上。例如,可以在不使用图案化、光刻等复杂步骤的情况下施加导电材料65。相反,可以利用印刷、模制或层压将导电材料65直接施加在整个载体10上。

[0042] 在不同实施例中,可以作为液体、膏状物或焊料来施加导电材料65。在一个实施例中,可以作为聚合物基体中的导电颗粒来施加导电材料65以便在固化之后形成复合材料。在可替换实施例中,可以施加诸如银纳米膏的导电纳米膏。在不同实施例中,包括诸如铝、钛、金、银、铜、钯、铂、镍、铬或镍钒的金属或金属合金的任何适当导电材料65都可以用于形成导电材料65。

[0043] 有利地,导电膏耦接多个晶片50上的触头60,从而形成导线70和过孔75。有利地,导线70和过孔75都可以在单个步骤中形成。进一步地,与顺序地形成导线的引线接合工艺不同,多个导线70(例如,用于连接封装件内的多个晶片的多个导线)可同时形成。

[0044] 在不同实施例中,利用印刷工艺(例如利用模板印刷工艺、随后是热处理工艺)施加导电材料65。在其他实施例中,可以使用包括丝网印刷的其他类型的印刷。可替换地,可以利用压缩模制等模制工艺施加导电材料65。在一个实施例中,可以使用薄膜辅助模制来形成导电材料65。可替换地,诸如注塑模制、粉末模制、液体模制的其他模制技术可以用于施加导电材料65。在不同实施例中,在施加导电材料65之后,可以执行热处理工艺以硬化并固化导电材料65。因此,形成的封装件的底侧包括导电材料65的表面和薄膜层20的表面。

[0045] 图5示出了在制造期间在封装晶片之后的半导体封装件的横截面图。

[0046] 将封装材料80施加在多个晶片50和导电材料65上。在不同实施例中,使用印刷、模制或层压工艺将封装材料80施加在整个载体10上。如上所述,在一个或多个实施例中,可以使用模板印刷、薄膜辅助模制来沉积封装材料80。封装材料80覆盖多个晶片50。

[0047] 在不同实施例中,封装材料80包括介电材料,且在一个实施例中可以包括模制化合物。在其他实施例中,封装材料80可以包括聚合物、生物聚合物、纤维浸渍聚合物(例如,树脂中的碳或玻璃纤维)、颗粒填充聚合物及其他有机材料。在一个或多个实施例中,封装材料80包括不是利用模制化合物形成的密封剂、以及诸如环氧树脂和/或有机硅的材料。在不同实施例中,封装材料80可以由任何适当的热固性塑料、热塑性塑料或热固材料或层叠体制成。在一些实施例中,封装材料80的材料可以包括填充材料。在一个实施例中,封装材料80可以包括环氧材料、以及具有较小的玻璃颗粒的填充材料、或其他电绝缘矿物填充材料(比如氧化铝或有机填充材料)。

[0048] 封装材料80可以被固化,例如进行热处理以固化,从而形成保护多个晶片50和多个导线70的密封。

[0049] 图6A及图6B示出了将重新配置的晶圆分离成单独封装件之后的半导体封装件,其中图6A示出了横截面图,且图6B示出了底视图。

[0050] 将硬化后的封装材料80与载体10分开,从而形成重新构造的晶圆100。与传统的嵌入晶圆级工艺不同,在处理结束时形成重新构造的晶圆。对重新构造的晶圆100进行分离,从而形成单独的封装件。设置在薄膜层20中的过孔75的底部形成有如图6B所示的半导体封装件的外部接触脚(contact pin)。封装件可以利用这些接触脚进行安装,例如,如图17A-17C和图18A-18D所示。利用本发明的实施例,不需要附加引线框结构等来接触封装件。在一些实施例中,在分离之前,重新构造的晶圆100的底表面可以进行附加的镀覆处理,例如以用于随后的焊接。

[0051] 图7A-11B示出了在封装件上形成封装件的本发明的可替换实施例。

[0052] 该实施例的工艺与图7A-9B中的先前实施例的工艺相似。在图10A和10B中,与先前实施例不同,形成薄的封装剂层,因而消除了在形成可层叠封装件中对任何后续薄化处理的需要。

[0053] 图7A及图7B示出了在制造期间在将薄膜层形成在载体上之后的半导体封装件,其中图7A示出了横截面图,且图7B示出了放大的顶视图。如先前实施例中所述,以单个步骤将薄膜层20形成在整个载体10上。

[0054] 图8A及图8B示出了在制造期间在将晶片附接到薄膜层上之后的半导体封装件,其中图8A示出了横截面图,且图8B示出了顶视图。如先前实施例中所述,利用例如薄的粘接层将具有触头60的多个晶片50附接到薄膜层20上。

[0055] 图9A及图9B示出了在制造期间在形成过孔和/或导线之后的半导体封装件,其中图9A示出了横截面图,且图9B示出了顶视图。如先前实施例中所述,以单个步骤将过孔75和/或导线70形成在整个载体10上。

[0056] 图10A及图10B示出了在制造期间在将晶片封装在整个载体上之后的半导体封装件,其中图10A示出了横截面图,且图10B示出了顶视图。

[0057] 与先前实施例不同的是,将薄的封装材料80的层形成在多个晶片50上。在不同实施例中,封装材料80的厚度为大约100 $\mu\text{m}$ 至大约500 $\mu\text{m}$ ,并且在一个实施例中为大约100 $\mu\text{m}$ 至大约300 $\mu\text{m}$ 。与嵌入晶圆级处理(其中重新构造的晶圆必须支持后续处理并因此必须是较厚的)不同,这里没有任何限制,原因是大多数处理都已经在这个阶段完成。因此,在不同实施例中,在不损害机械稳定性的情况下,可以形成薄的封装材料80的层。

[0058] 在不同实施例中,利用印刷、模制或层压等工艺将封装材料80施加在整个载体10上。封装材料80覆盖多个晶片50但暴露出导线70。

[0059] 在不同实施例中,如在先前实施例中,封装材料80包括介电材料,且在一个实施例中可以包括模制化合物。在其他实施例中,封装材料80可以包括聚合物、生物聚合物、纤维浸渍聚合物(例如,树脂中的碳或玻璃纤维)、颗粒填充聚合物、及其他有机材料。在一个或多个实施例中,封装材料80包括不是利用模制化合物形成的密封剂、以及诸如环氧树脂和/或有机硅的材料。在不同实施例中,封装材料80可以由任何适当的热固性塑料(duroplastic,硬质塑料)、热塑性塑料、或热固材料、或层叠体制成。在一些实施例中,封装

材料80的材料可以包括填充材料。在一个实施例中,封装材料80可以包括环氧材料、以及具有较小的玻璃颗粒的填充材料、或其他电绝缘矿物填充材料(比如氧化铝或有机填充材料)。

[0060] 如先前实施例中所述,可以固化封装材料80,从而形成重新构造的晶圆100。

[0061] 图11A及图11B示出了分离之后的半导体封装件,其中图11A示出了横截面图,图11B示出了底视图,且图11C示出了顶视图。

[0062] 如上所述,将在先前步骤(图10A和10B)中形成的重新构造的晶圆100进行分离,以形成单独的封装件。

[0063] 图12-16示出了在制造期间形成包括多个芯片的半导体封装件的可替换实施例。

[0064] 该实施例可以包括与先前实施例中描述的步骤相似的步骤。另外,在该实施例中,将多个芯片互连。进一步地,芯片中的一个或多个可以从正面和相对的背面均接触。

[0065] 参照图12,薄膜级互连部15形成在整个载体10上。在不同实施例中,以单个步骤将多个薄膜级互连部15形成在载体10的整个表面上。例如,可以在不使用涉及沉积、光刻、图案化的复杂的且浪费材料的步骤的情况下施加薄膜级互连部15。在不同实施例中,薄膜级互连部15可以利用印刷、模制或层压等工艺直接施加。

[0066] 在一个或多个实施例中,可以作为液体、膏状物或焊料来施加薄膜级互连部15。在一个实施例中,可以作为聚合物基体中的导电颗粒来施加薄膜级互连部15。在可替换实施例中,可以施加诸如银纳米膏的导电纳米膏。在不同实施例中,包括诸如铝、钛、金、银、铜、钯、铂、镍、铬或镍钒的金属或金属合金的任何适当材料都可以用于形成薄膜级互连部15。

[0067] 图13示出了在制造期间在将薄膜层形成在载体上之后的半导体封装件。在形成薄膜级互连部15之后,以单个步骤将薄膜层20形成在载体10的整个表面上。薄膜级互连部15和薄膜层20形成在相同的竖直高度上(彼此横向靠近),且在不同实施例中,薄膜级互连部和薄膜层的厚度相似。

[0068] 图14示出了在制造期间在将晶片附接到薄膜层20上之后的半导体封装件。如先前实施例中所述,利用薄粘接层将具有触头60的多个晶片50附接到薄膜层20。如图14所示,多个晶片50中的一个晶片可以接触薄膜级互连部15中的一个或多个。例如,在图14中,晶片中的一个从背面耦接,而另一个晶片不从背面耦接。这可能是因为晶片中的一个是竖直晶片(立式晶片,vertical die),该竖直晶片例如包括诸如分立竖直晶体管的竖直器件。可替换地,该晶片可包括垂直电路,诸如通过将正面耦接至背面的过孔。

[0069] 图15示出了在制造期间在形成过孔和/或导线之后的半导体封装件。过孔75和/或导线70如先前实施例中所述地形成。另外,靠近多个晶片形成有晶片级互连部85。晶片级互连部85可以耦接至与晶片耦接的薄膜级互连部15。有利地,过孔75、导线70及晶片级互连部85在单个步骤中同时形成,例如,无需进行附加的图案化。在不同实施例中,可以利用印刷、模制或层压等工艺施加导电材料,从而形成如上所述的过孔75、导线70及晶片级互连部85。

[0070] 图16示出了在制造期间在封装晶片之后的半导体封装件。利用印刷、模制或层压等工艺在单个步骤中执行封装,如先前实施例中所述。可以对所形成的重新配置的晶圆进行分离,如上所述。

[0071] 图17A-17C示出了使用本发明实施例形成的半导体封装件。

[0072] 如图17A所示,图11A-11C中形成的封装件可以彼此层叠,从而形成层叠封装件。在

所示的封装件中，多个晶片50只在一侧上具有接触区域(比如触头60)。在图17B所示的可替换实施例中，可以利用图16的封装件形成层叠封装件，在图16的封装件中，晶片中的至少一个在晶片的两侧都具有接触区域。在不同实施例中，可以利用本发明的实施例层叠不同类型的封装件。图17C示出了不同类型的封装件彼此层叠的情况。进一步地，本发明的实施例层叠两个以上的封装件。

[0073] 图18A-18D示出了使用本发明的实施例形成的并安装在电路板上的半导体封装件。

[0074] 在一个实施例中，使用本发明的实施例形成的半导体封装件可以安装在印刷电路板110上。在一个实施例中，半导体封装件可以面朝下安装在印刷电路板110的主表面上。例如，附加的焊球120可以形成在过孔75下方以便与印刷电路板110耦接。在不同实施例中，可以使用其他类型的安装方式。进一步地，可以将附加的结构附接到半导体封装件。例如，图18D示出了设置在半导体封装件上的散热器150。散热器150可以利用薄粘接部130进行耦接，该薄粘接部可以导热，从而允许将热远离多个晶片50传导。本发明的实施例包括图17A-17C和图18A-18D的组合。

[0075] 本发明的实施例包括柔性封装，该柔性封装因为工艺简单而降低了封装成本。由此形成的封装件可以包括多个芯片、包括层叠封装件配置的多个部件。有利地，金属层可以形成在半导体芯片的正面和相对面上，金属层可以用作电触头或使热远离晶片传导。

[0076] 进一步地，有利地，使用图2A-6B、图7A-11B及图12-16描述的本发明的实施例利用传统图案化工艺大大降低了加工成本和复杂性。相反，利用类似晶圆的工艺形成所有特征，该类似晶圆的工艺同时(并行地，与诸如引线接合的顺序处理不同)在相同单元处理模块内形成特征，同时避免了诸如抗蚀沉积、光刻、抗蚀刻等的顺序晶圆级工艺。相反，在每个单元处理模块中，以单个步骤形成这些特征。

[0077] 尽管已参照说明性实施例对本发明进行了描述，但该描述不旨在以限制的意义进行解释。对本领域技术人员来说将是显而易见的是，在参照该描述之后，可对说明性实施例进行各种修改和组合，以及进行本发明的其他实施例。例如，图6A和6B中描述的实施例可以和图11A-11C、16、17A-17C和/或18A-18D中描述的实施例组合在一起。类似地，图2A-6B、图7A-11B和/或图12-16中描述的工艺可以组合在一起。因此，所附权利要求的目的是涵盖任何这样的修改或实施例。

[0078] 虽然已对本发明及其优点进行了详细描述，但应理解，在不背离如所附权利要求限定的本发明的精神和范围的情况下，可以进行各种改变、替代及变更。例如，本领域技术人员将很容易理解，本文描述的多种特征、功能、工艺及材料可以进行改变，并同时落在本发明的范围内。

[0079] 此外，本申请的范围不旨在限于本说明书中描述的工艺、机器、制造、组合物、手段、方法及步骤的具体实施例。如本领域的普通技术人员将从本发明的公开内容很容易地认识到，可以根据本发明使用目前存在的或后来开发的、执行与本文描述的相应实施例大致相同的功能或取得大致相同的结果的工艺、机器、制造、组合物、手段、方法或步骤。相应地，所附权利要求旨在包括在诸如工艺、机器、制造、组合物、手段、方法或步骤等范围内。

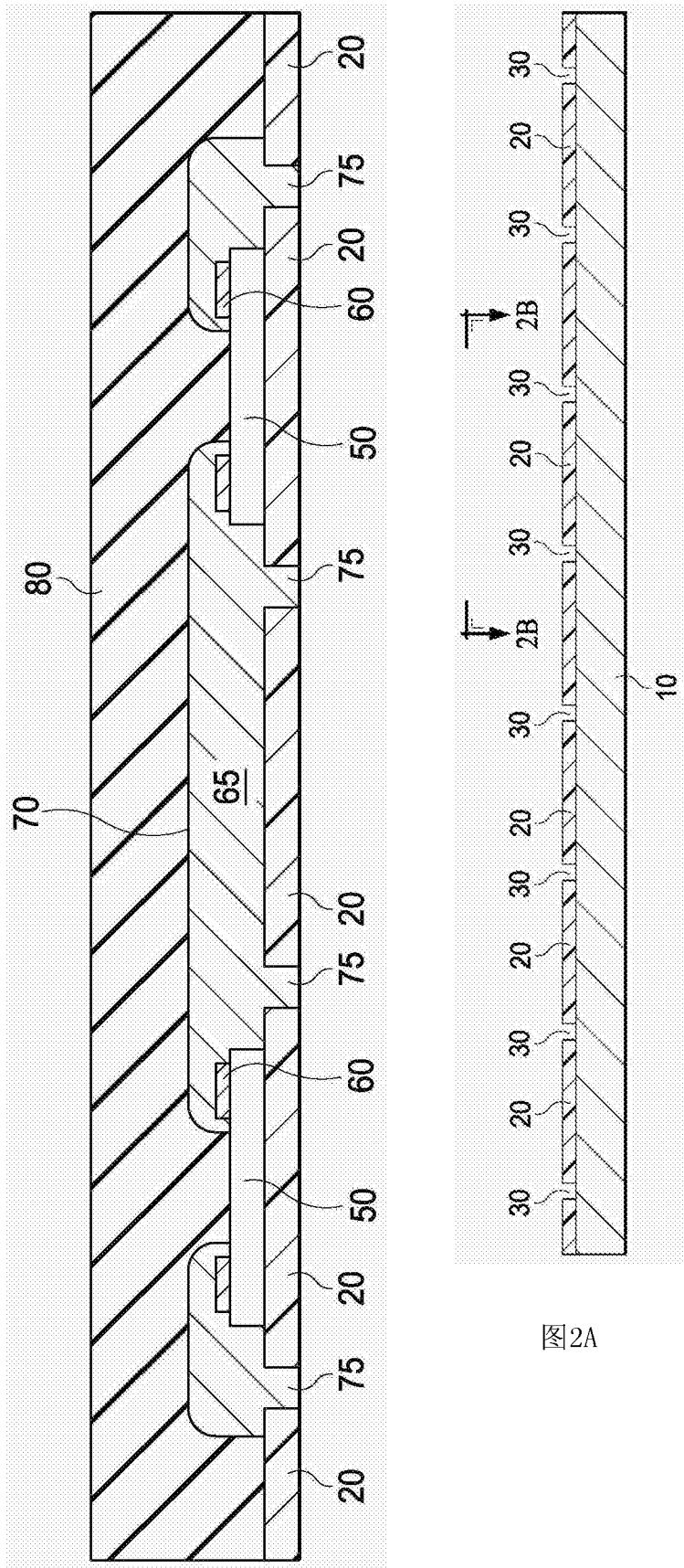


图1

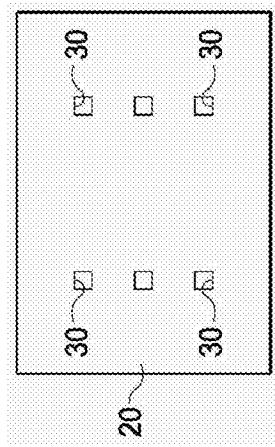


图2B

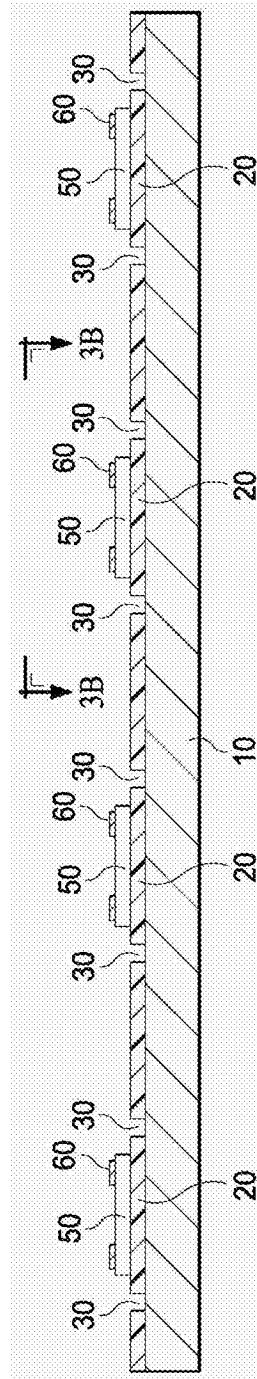


图3A

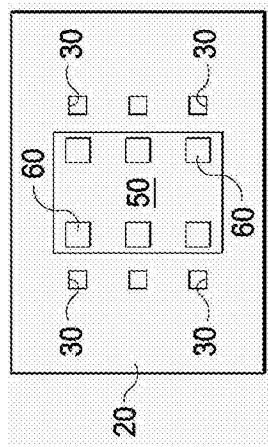


图3B

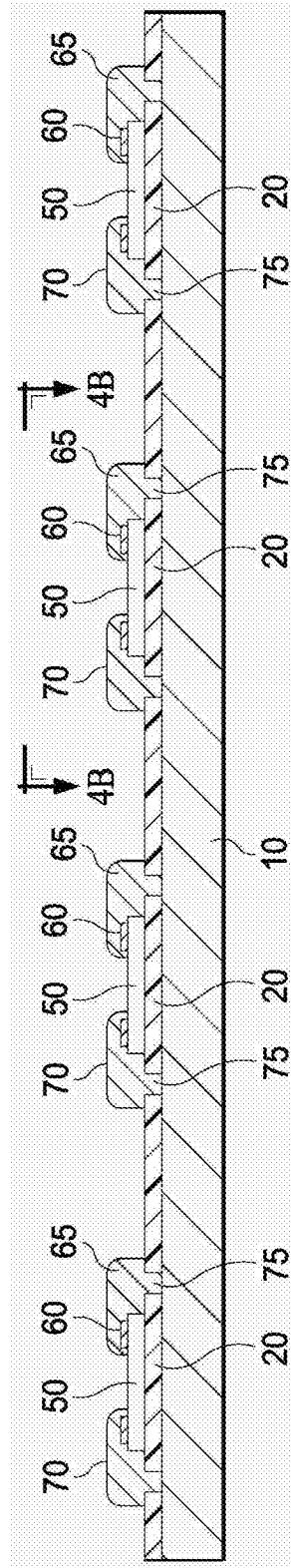


图4A

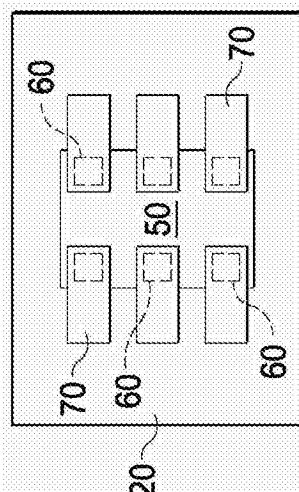


图4B

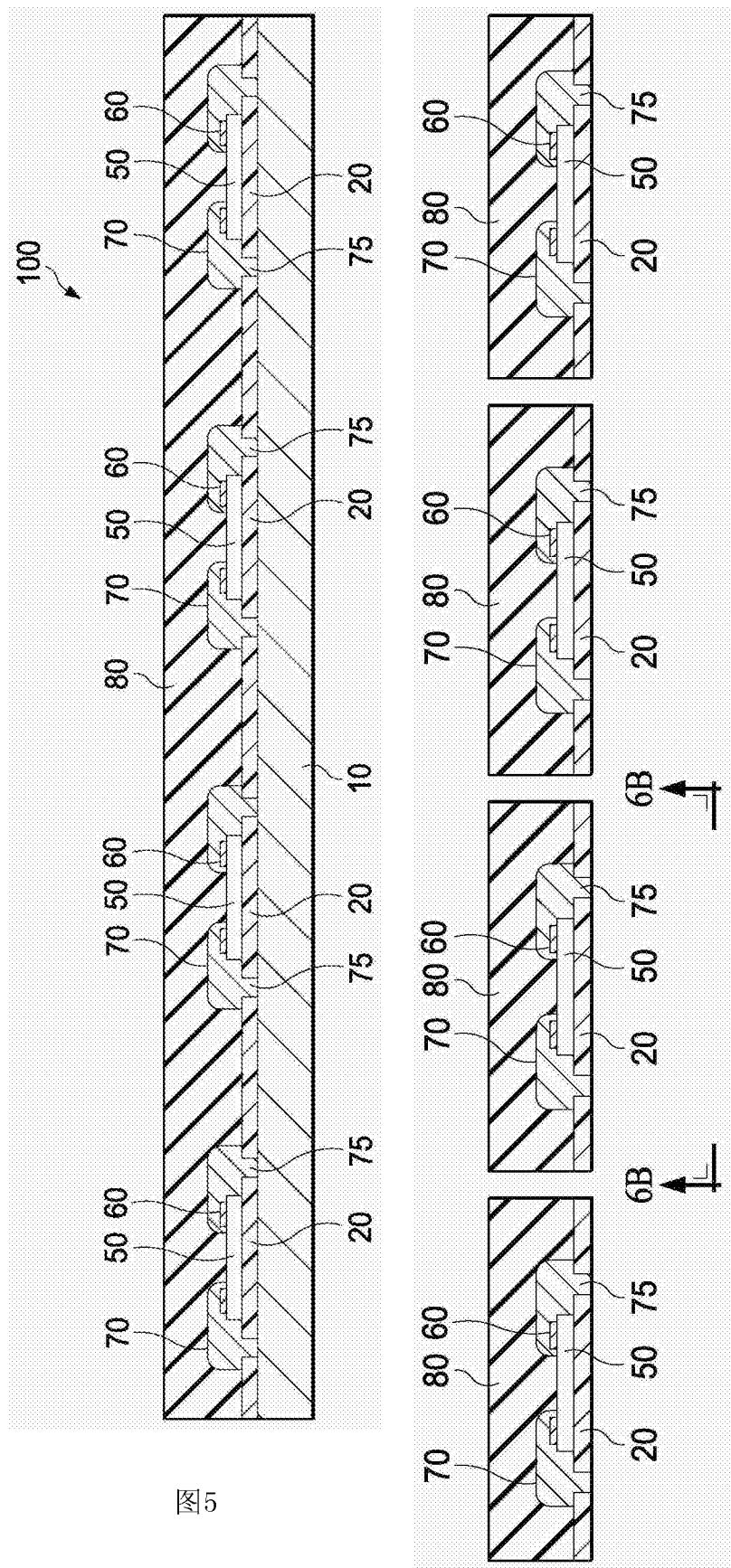


图5

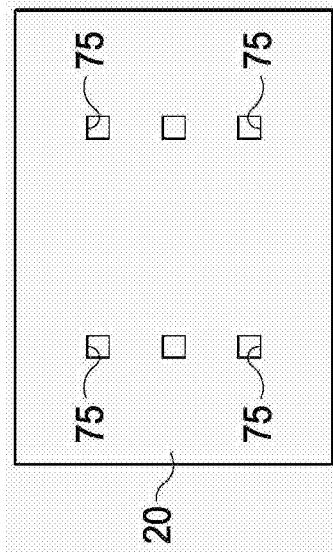


图6B

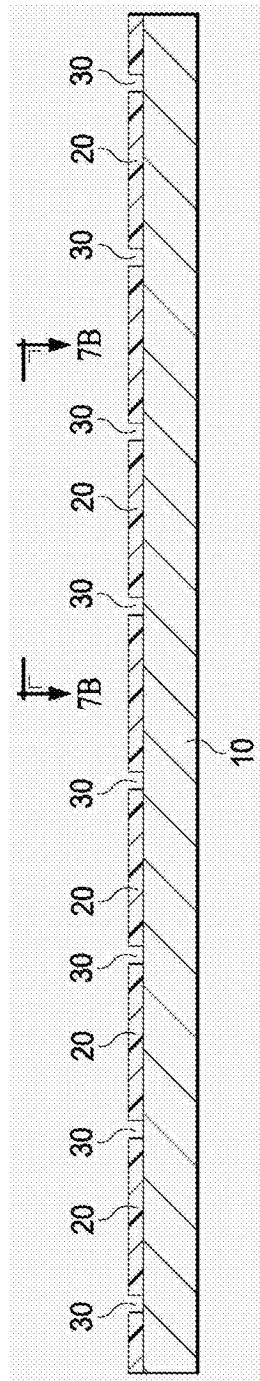


图7A

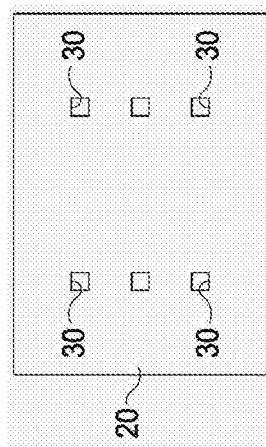


图7B

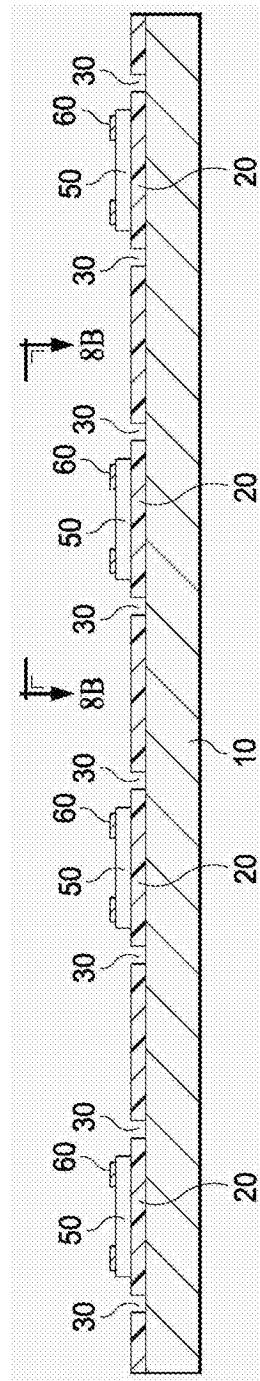


图8A

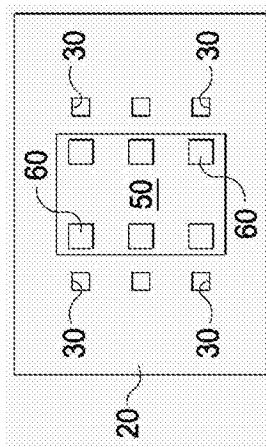
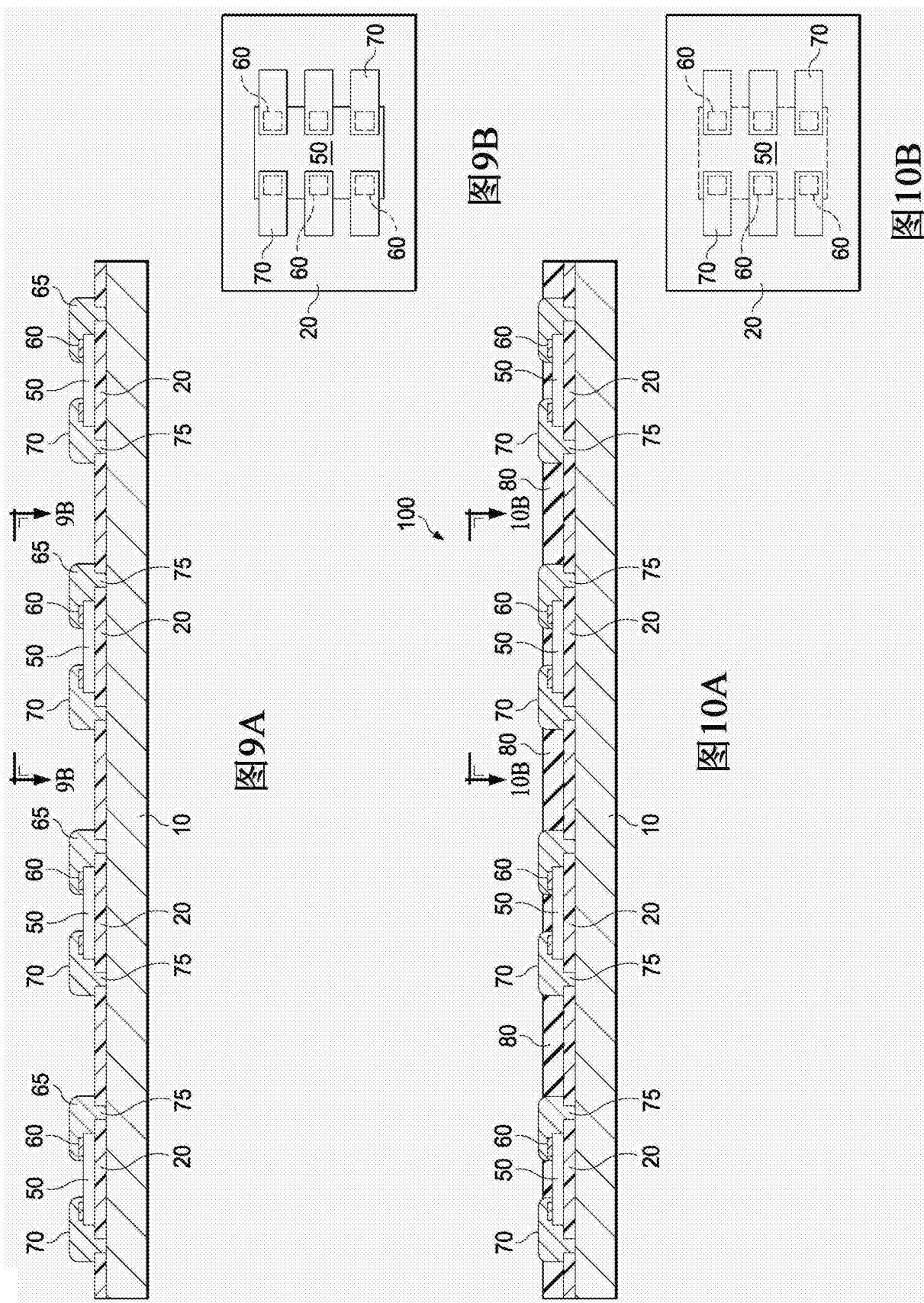


图8B



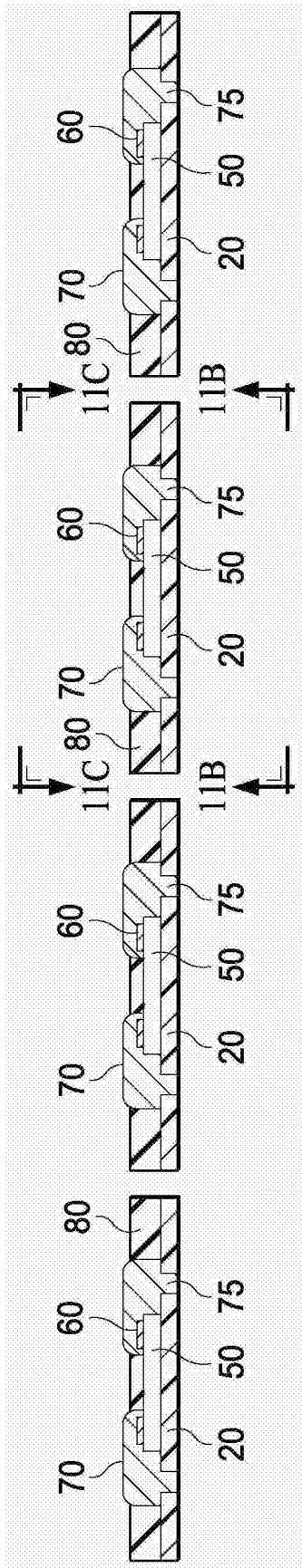


图11A

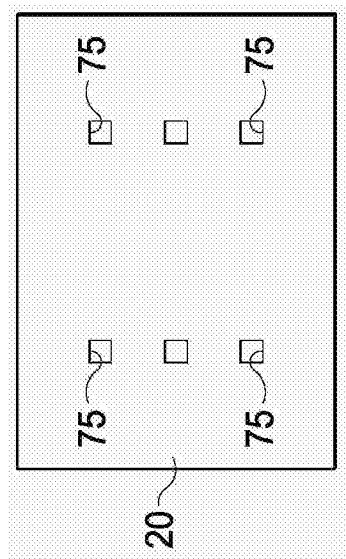


图11B

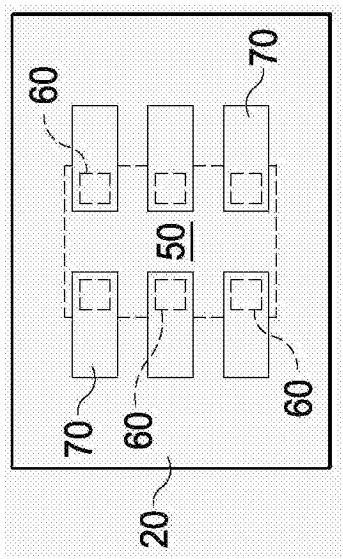


图11C

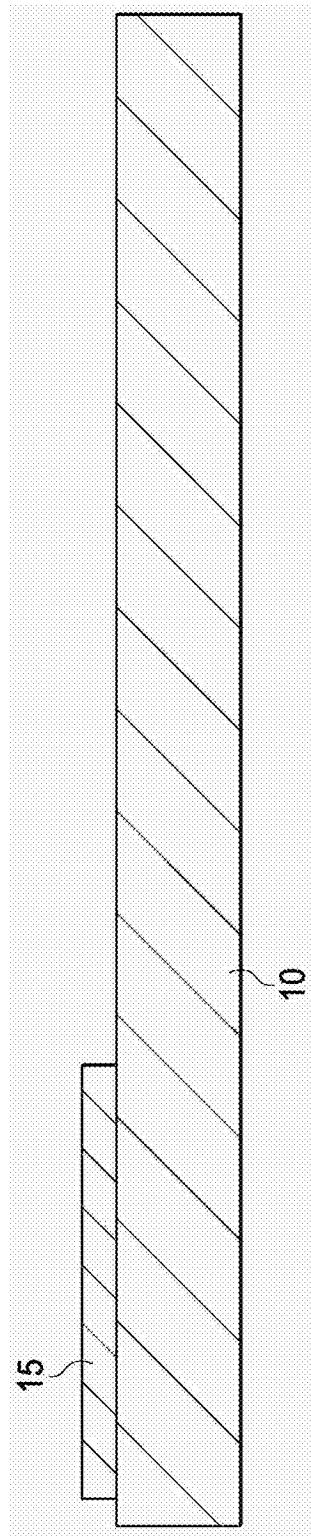


图12

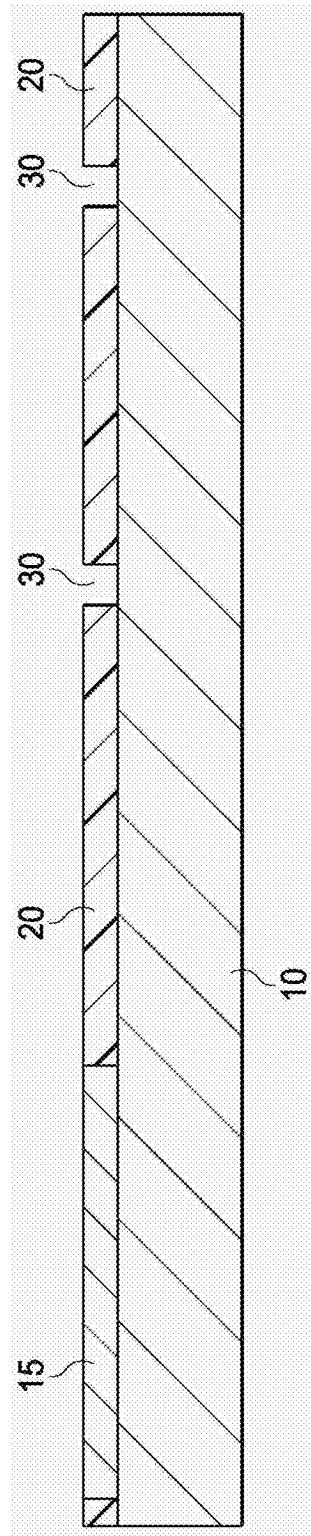


图13

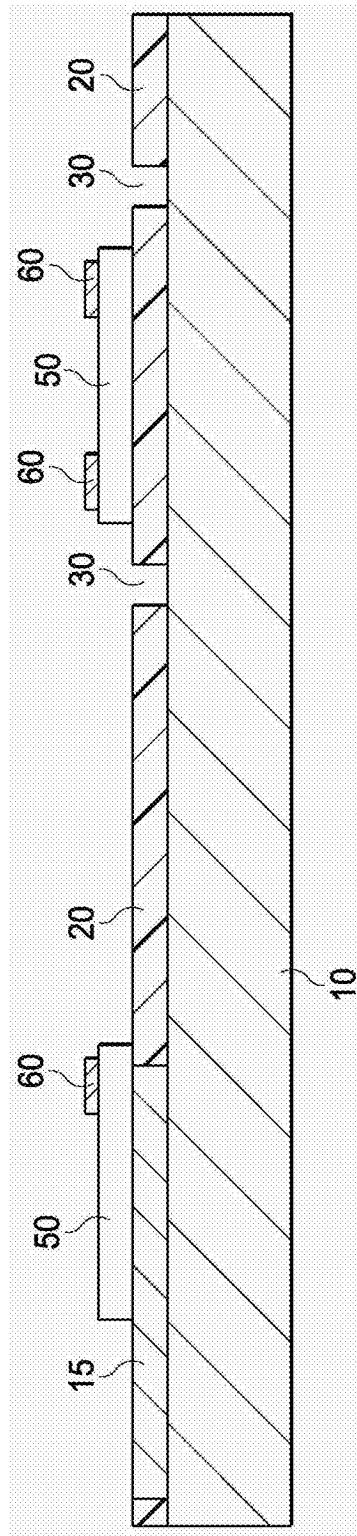


图14

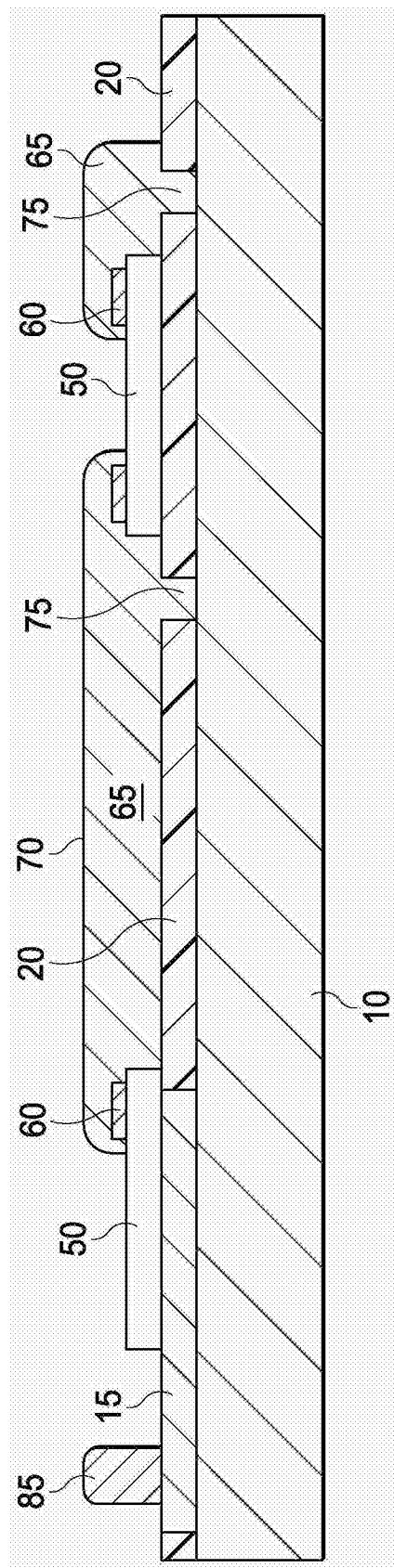


图15

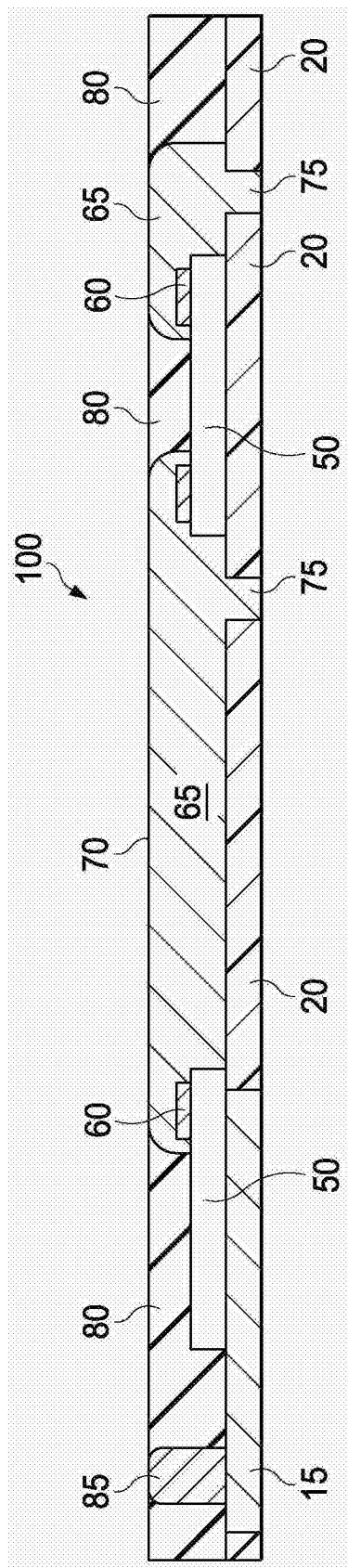


图16

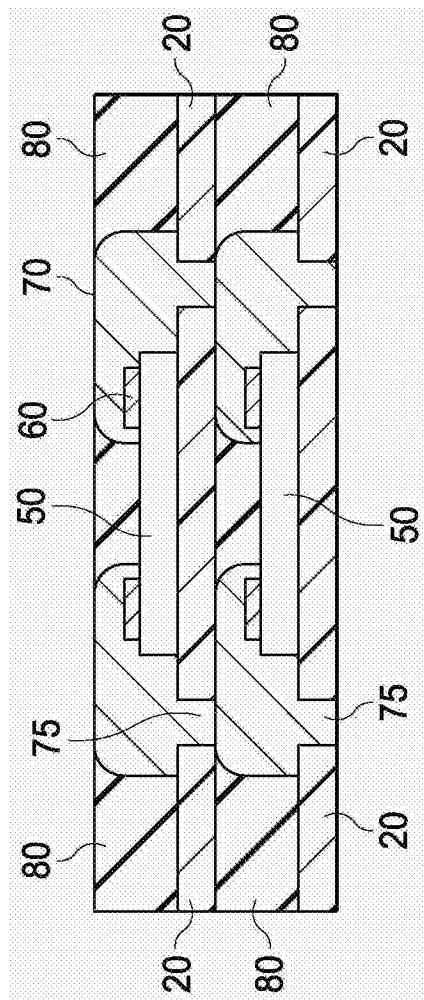


图17A

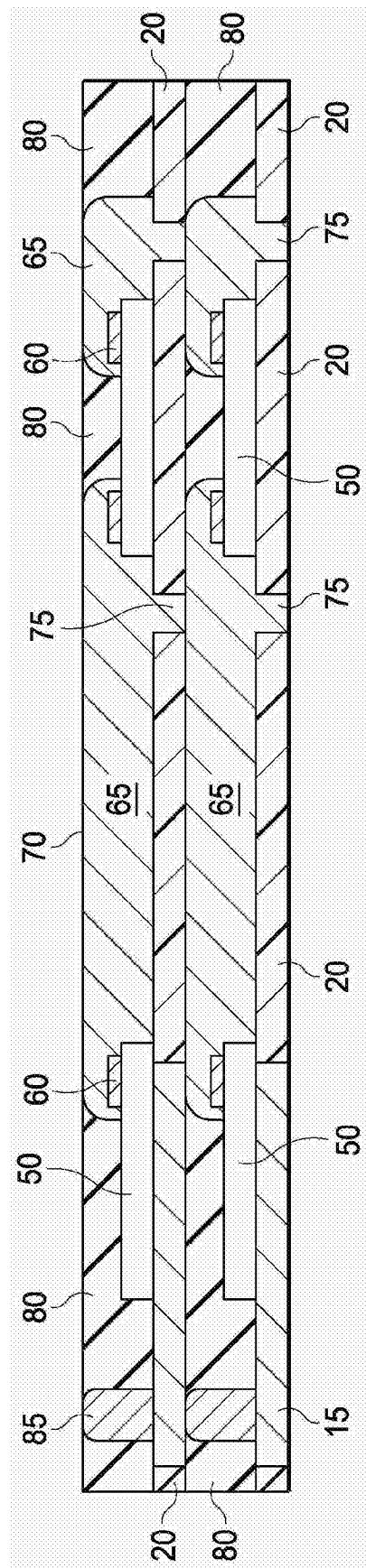


图17B

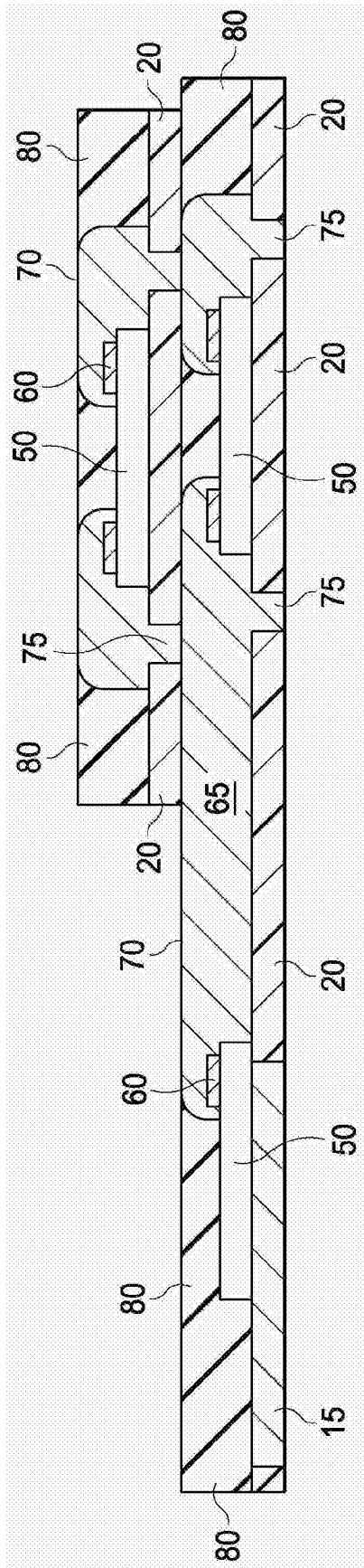


图17C

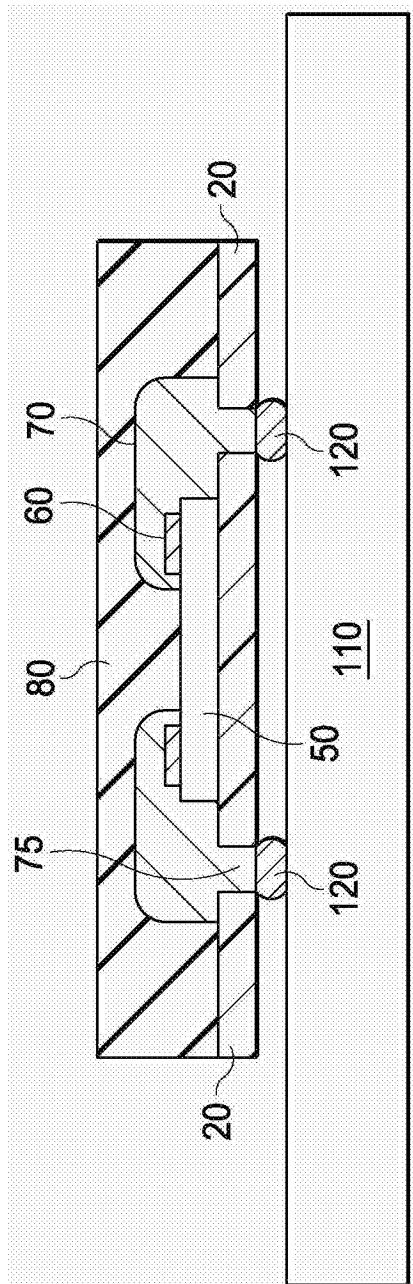


图18A

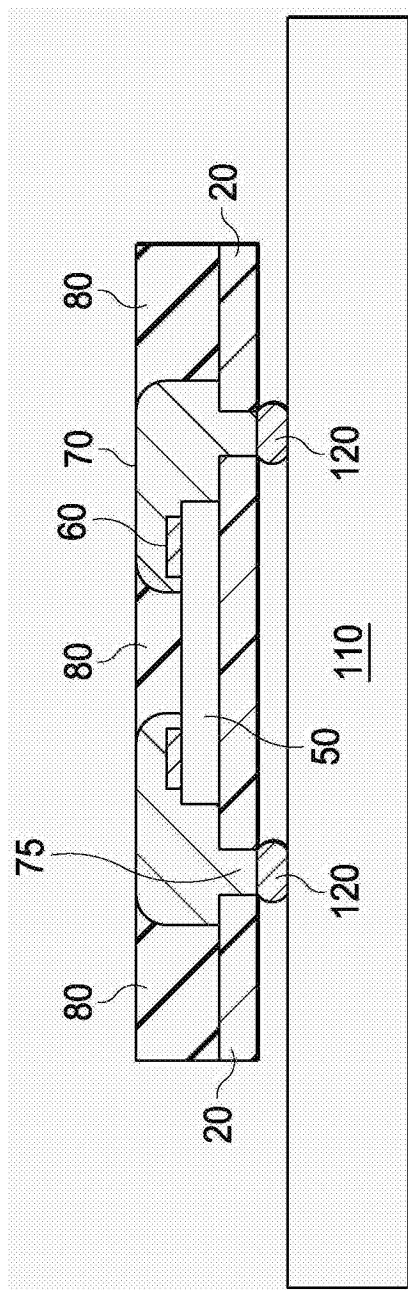


图18B

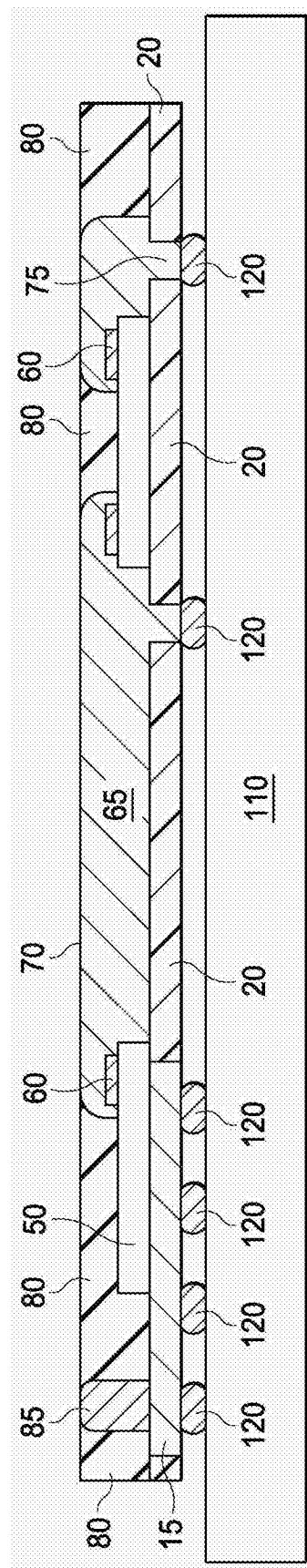


图18C

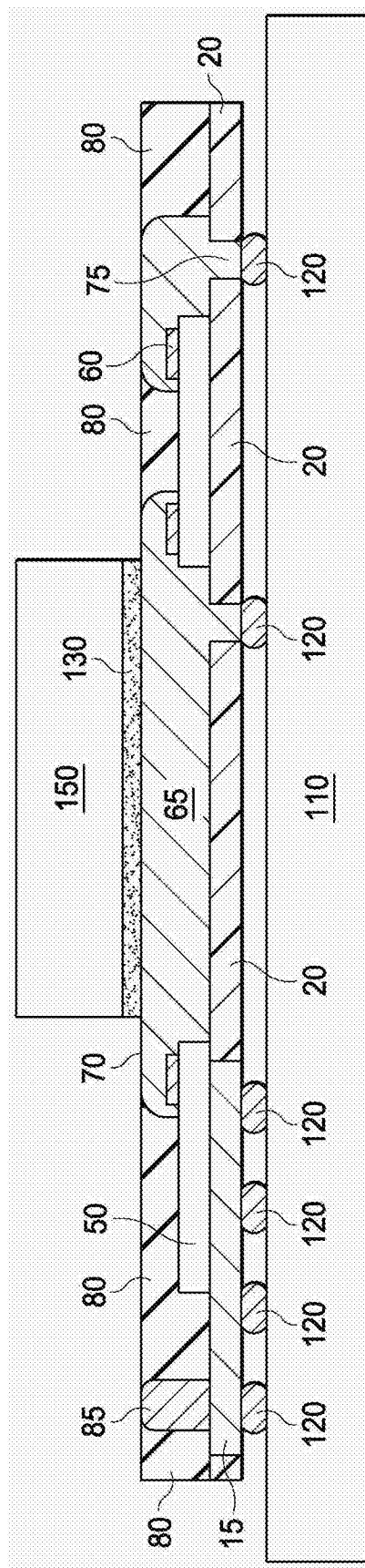


图18D