

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 11 日 (11.03.2004)

PCT

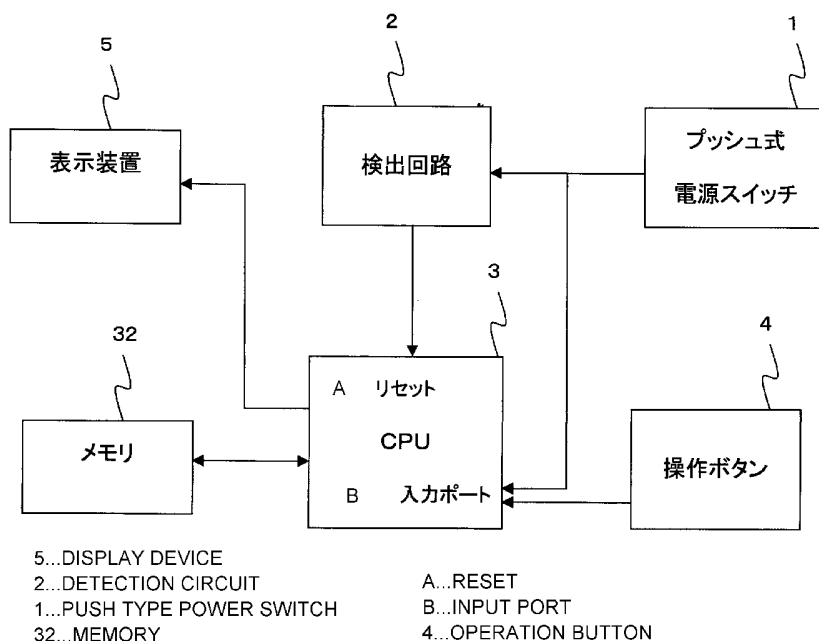
(10) 国際公開番号
WO 2004/021154 A1

- (51) 国際特許分類⁷: G06F 1/24, 1/16, 15/02 (72) 発明者: および
(21) 国際出願番号: PCT/JP2003/010819 (75) 発明者/出願人 (米国についてのみ): 井上 祐一 (INOUE, Yuuichi) [JP/JP]; 〒261-8507 千葉県 千葉市 美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内 Chiba (JP).
(22) 国際出願日: 2003 年 8 月 27 日 (27.08.2003) (74) 代理人: 坂上 正明 (SAKANOUÉ, Masaaki); 〒261-8507 千葉県 千葉市 美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内 Chiba (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-247314 2002 年 8 月 27 日 (27.08.2002) JP
(71) 出願人 (米国を除く全ての指定国について): セイコーインスツルメンツ株式会社 (SEIKO INSTRUMENTS INC.) [JP/JP]; 〒261-8507 千葉県 千葉市 美浜区中瀬 1 丁目 8 番地 Chiba (JP).

/ 続葉有 /

(54) Title: MOBILE ELECTRONIC DEVICE

(54) 発明の名称: 携帯型電子機器



(57) Abstract: There is provided a mobile device which can easily reset a CPU when software in operation runs away in a computer system. When a push type power switch (1) is continuously pushed for a predetermined period of time, this is detected by a continuous push detection circuit (2), which outputs to a CPU (3) a reset signal for initializing the operation of the software which has run away.

(57) 要約: コンピュータ・システムにおいて動作中のソフトウェアが暴走した場合に、簡単にCPUをリセットできる携帯機器を提供する。プッシュ式電源スイッチ1が一定時間以上押し続けられると、押し続け検出回路2がこれを検出し、暴走しているソ

/ 続葉有 /



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

1

明 細 書

携帯型電子機器

5 技術分野

本発明は、携帯型電子機器のリセット方法に係り、特に小型な携帯型電子機器のように、その構造に制限がある場合の携帯型電子機器のリセット方法に係る。

10 背景技術

ソフトウェアが動作する携帯型電子機器、例えば携帯電話やPDA等の携帯可能なコンピュータ・システムにおいて、動作中のソフトウェアが暴走してしまい全ての操作ボタンやキーが操作不能となってしまう場合がある。そのような場合、ソフトウェアに従って動作するコンピュータ・システムやCPUとは関係の無いハードウェア回路でCPUをリセット（以降ハードウェアリセットという）する必要がある。従来のハードウェアリセットの方法は主に次の3つであるが、いずれの方法も課題があった。

（方法1）電池を携帯型電子機器から取り外し、再度電池を機器に接続する。

（方法2）操作面の裏面などに配置された沈頭型リセットスイッチを針金等の細いもので押す。

（方法3）携帯型電子機器の複数の押しボタンを同時に押す。

従来の携帯電話等では、電池を機器から外しておき再接続することでハードウェアリセットする方法があった。図2は、従来の携帯型電子機器の第1のハードウェアリセット方法を示すブロック図である。使用者

2

が電池を機器から取り外し可能な構造であり、電池 6 を機器に再接続する際に、電源電圧の急激な上昇を検出することで電源が投入されたことを検出するパワーオンリセット回路 9 5 が動作し、C P U 3 にリセット信号を出力するので、ソフトウェアが暴走している場合でも C P U 3 を

5 ハードウェアリセットすることが可能であった。（方法 1）

また、従来の P D A 等では、表示面や操作面の裏側に設置された沈頭型のリセットスイッチを針金等の細いもので押すことでハードウェアリセットしていた。図 3 は、従来の携帯型電子機器の第 2 のハードウェアリセット方法を示すブロック図である。沈頭型のリセットスイッチ 1 5

10 の出力信号がソフトウェアの動作とは関係なしに C P U 3 のリセット端子に入力されているので、ソフトウェアが暴走している場合でも C P U 3 をハードウェアリセットすることが可能であった。（方法 2）

さらに、防水構造を有するデジタル式腕時計等では、4 つあるいは 3 つの全ての押しボタンを同時に押すことでハードウェアリセットしていた。図 4 は、従来の携帯型電子機器の第 3 のハードウェアリセット方法を示すブロック図である。各ボタン 1 0 1、1 0 2、1 0 3 の出力信号は、チャタリング防止回路（図示せず）に入力され、ボタンが開閉するときに生じるチャタリングを除去し、4 つあるいは 3 つの全てのボタンが押されていることを検出する A N D 回路 1 0 4 に入力される。A N D

15 回路 1 0 4 は全てのボタンが押されていることを検出すると、C P U 3 にリセット信号を出力するので、ソフトウェアが暴走している場合でも C P U をハードウェアリセットすることが可能であった。（方法 3）

しかし、これら従来のハードウェアリセット方法には、それぞれ以下のような課題があった。

25 （課題 1）方法 1 と方法 2 では、携帯型電子機器を防水構造とすることが困難であった。

3

(課題2) 方法2では、針金等の特殊なものが必要であった。

(課題3) 方法2と方法3では、使用者がハードウェアリセットの方法を理解していなければ用いることができなかった。

電池を機器から外しておくことでハードウェアリセットする方法(前記方法1)の場合、携帯型電子機器を防水構造とすることが非常に困難である。使用者が電池を機器から外しておくことでハードウェアリセットが可能で、かつ防水可能な携帯型電子機器の電池取り外し構造を実現しようとする、防水構造が非常に複雑で大きく、重くなり、また製造コストが上がってしまうという課題を有していた。

沈頭型のリセットスイッチでハードウェアリセットする方法(前記方法2)の場合、操作面のキーやボタンを防水構造とするのは当然であるが、操作面の裏面に配置された沈頭型リセットスイッチも防水構造とする必要がある。防水構造を有する可動部が機器の表裏それぞれに必要なため、機器が大きくなり、また製造コストが上がってしまうという

課題を有していた。また、ソフトウェアが暴走してしまった場合、沈頭型リセットスイッチを押すための針金等の細いものがある使用者の手元にあるとは限らず、すぐにハードウェアリセットできないという課題もあった。さらに、沈頭型リセットスイッチを頻繁に操作することは無いので、使用者によっては、沈頭型リセットスイッチの目的や使用方法を理解し

ていないためにハードウェアリセットできないという課題もあった。

防水構造を有するデジタル式腕時計等でよく用いられるハードウェアリセットの方法として、4つあるいは3つの全ての押しボタンを同時に押すことでハードウェアリセットする方法(前記方法3)の場合、通常の操作において2つ以上のボタンを同時に押すことはない、使用者がハードウェアリセットの方法を知らない場合がほとんどである。使用者は、ソフトウェアの暴走という問題が発生してから取扱説明初を読み

4

はじめてハードウェアリセットの方法を理解するので、その間機器を使用できないという課題があった。

- 本発明は、上記のような従来技術の問題点を解決するためになされたものであり、コンピュータ・システムにおいて動作中のソフトウェアが暴走した場合に、簡単な操作で確実にCPUをリセットできる携帯型電子機器を提供することを目的とする。

発明の開示

- 上記の目的を達成するために本発明は、ソフトウェアが暴走していてもCPUをリセット可能なハードウェアリセット回路を携帯型電子機器に組み込んだ。ハードウェアリセット回路は、プッシュ式電源スイッチ1（以降、電源スイッチと言う）を一定時間以上押し続けることを検出する検出回路2（以降、検出回路と言う）で検出し、暴走しているCPUへリセット信号を出力する構成とした。

15

図面の簡単な説明

図1は、本発明による携帯型電子機器の第1実施例を示すブロック図である。

- 図2は、従来の携帯型電子機器の第1のハードウェアリセット方法を示すブロック図である。

20

図3は、従来の携帯型電子機器の第2のハードウェアリセット方法を示すブロック図である。

図4は、従来の携帯型電子機器の第3のハードウェアリセット方法を示すブロック図である。

- 図5は、本発明による携帯型電子機器の第2実施例を示すブロック図である。

25

5

図 6 は、本発明による検出回路とワンパルス発生回路の実施例を示す回路図である。

図 7 は、図 6 の検出回路とワンパルス発生回路の各信号線の電位を示すタイミング図である。

5 図 8 は、本発明による検出回路の実施例を示す回路図である。

図 9 は、本発明による携帯型電子機器の第 3 実施例を示すブロック図である。

図 10 は、図 9 の各信号線の電位を示すタイミング図の第 1 例である。

図 11 は、図 9 の各信号線の電位を示すタイミング図の第 2 例である。

10 図 12 は、図 9 の各信号線の電位を示すタイミング図の第 3 例である。

図 13 は、図 9 の各信号線の電位を示すタイミング図の第 4 例である。

図 14 は、本発明によるプッシュ式電源スイッチの防水構造を示す断面図である。

図 15 は、本発明による腕時計型携帯型電子機器の外観図である。

15 図 16 は、本発明による第 4 実施例の改善例を示すブロック図である。

図 17 は、本発明による電圧変換回路の実施例を示すブロック図である。

図 18 は、図 17 の各信号線の電位を示すタイミング図の第 1 例である。

20 図 19 は、図 17 の各信号線の電位を示すタイミング図の課題例である。

図 20 は、本発明による携帯型電子機器の第 5 実施例を示すブロック図である。

図 21 は、図 20 の各信号線の電位を示すタイミング図の例である。

25

発明を実施するための最良の形態

6

以下本発明の実施例を、図面をもとに説明する。本発明による第1の実施例を、図1と図15を用いて説明する。

図15は、LCD等の表示装置5、電源スイッチ1と操作ボタン4の配置などを示す腕時計型携帯型電子機器の外観図である。図1は、主に
5 二次電池などの電池6（図示せず）で駆動される携帯型電子機器の全体構成を示すブロック図である。

CPU3はメモリ32に記憶されたソフトウェアに従って動作し、LCD等の表示装置5はCPU3から出力される表示データを使用者が見られるように表示し、操作ボタン4は使用者の操作を電気信号に変換し
10 CPU3へ出力し、電池6は携帯型電子機器全体へ電力を供給し、電源スイッチ1は電氣的接点を開閉し、検出回路2は電源スイッチ1が一定時間（ t_2 ）以上押しつづけられているか否かを検出し、検出回路2は一定時間（ t_2 ）以上の押し続けを検出するとCPU3のソフトウェア動作を初期化するために、CPUにリセット信号を出力する。

15 電源スイッチ1の電氣的接点の開閉状態をCPU3の入力ポートで入力し一定時間（ t_1 ）以上押しつづけられているか否かを、ソフトウェアに従って動作するCPU3が検出し、電源オンの状態で電源スイッチ1が一定時間（ t_1 ）以上押し続けられていると検出すると、CPU3は携帯型電子機器を電源オフする。検出回路2は一定時間（ t_2 ）以上
20 押し続けられているか否かをソフトウェアに従って動作するCPU3とは関係なくハードウェア回路で検出し、一定時間（ t_2 ）以上の押し続けを検出するとCPU3のソフトウェア動作を初期化するためのリセット信号を出力する。

CPU3で動作中のソフトウェアが暴走した場合、電源スイッチ1が
25 一定時間（ t_1 ）以上押し続けられていてもCPU3が携帯型電子機器の電源をオフする動作は保証されないが、CPU3とは関係なくハード

7

ウェア回路で検出し一定時間 (t_2) 以上の押し続けを検出するとリセット信号を出力する動作は保証される。一定時間 (t_1) と (t_2) の大小関係は、当然 $t_1 < t_2$ である。仮に $t_1 > t_2$ とすると、ソフトウェアが暴走していない場合でも、CPU 3 は携帯型電子機器を電源オフする前にリセット信号が出力されてしまう。

次に、本発明による第 2 の実施例を図 5 から図 8 を用いて説明する。

図 5 は、図 1 のブロック図にワンパルス発生回路 9 を追加した構成を示すブロック図である。

検出回路 2 から CPU 3 へのリセット信号が長い時間出力され続けて CPU 3 がリセット状態であり続けるのを避けるために、ワンパルス発生回路 9 を検出回路 2 と CPU 3 の間に追加した。ワンパルス発生回路 9 を追加することで、リセット信号が長い時間 CPU 3 へ出力され続けないので、CPU 3 はリセット信号解除後の初期化処理を開始する。CPU 3 が初期化処理をすぐに開始するので、使用者は携帯型電子機器が正常に動作し始めたことをすぐに確認できる。

図 6 は、本発明による検出回路 2 とワンパルス発生回路 9 の実施例を示す回路図である。

使用者が電源スイッチ 1 を押すと電氣的接点が導通し、離すと電氣的接点 11 が非導通となる。離した状態では電氣的接点 11 が非導通なので信号線 21 は抵抗 12 を介して電池の負極に接続される。押した状態では電氣的接点 11 が導通するので信号線 21 は電池の正極に接続される。抵抗 24 とコンデンサ 26 で積分回路を形成し、この積分回路で電源スイッチ 1 を押し続ける時間を設定する。また、CPU 3 の入力ポートに信号線 21 を接続し、CPU 3 は、電源スイッチ 1 が使用者に押されているか否かをいつでも確認できる。また、信号線 21 の立ち上がりや立ち下がりなどで CPU 3 に割り込み信号を供給することもできる。

8

図 7 は、図 6 の検出回路とワンパルス発生回路の各信号線の電位を示すタイミング図である。

信号線 2 1 は、電源スイッチ 1 を押すと電池の正極電位、離すと電池の負極電位となる。電源スイッチ 1 を押し続けると抵抗 2 4 を介してコンデンサ 2 6 に電荷がたまるので、信号線 2 2 の電位は図 7 に示すように徐々に高くなる。信号線 2 2 の電位がヒステリシス特性をもったインバータ 2 7 のしきい値電圧を越えると、図 7 のように信号線 2 3 の電位が反転する。ワンパルス発生回路 9 は、コンデンサ 9 2 と抵抗 9 3 で微分回路を形成しているので、信号線 2 3 の電位が高い電位から低い電位に急激に落ちると、信号線 9 1 には、図 7 に示すようなワンパルスが発生する。このワンパルスが CPU 3 にリセット信号として供給される。

また、電源スイッチ 1 を離れたときの動作は以下である。電源スイッチ 1 を離すと、抵抗 1 2 とダイオード 2 5 に電流が流れるのでコンデンサ 2 6 に溜まった電荷は放電する。抵抗 1 2 の抵抗値を比較的小さく設定しておけば、信号線 2 2 の電位は図 7 に示すように急激に降下する。信号線 2 2 の電位が急降下すれば、インバータ 2 7 の出力端子である信号線 2 3 の電位が低電位から高電位へ反転する。ワンパルス発生回路 9 の出力端子である信号線 9 1 は抵抗 9 3 で高い電位にプルアップされた状態からさらに高い電位になろうとするが、ダイオード 9 4 の順方向電圧 (V_f) まで電位が上昇するとダイオード 9 4 に電流が流れこむので、図 7 に示すように V_f 以上に電位は上がらない。

電源スイッチ 1 を押し続けると、CPU 3 で動作するソフトウェアに関係なく CPU 3 にハードウェアリセットをかける回路例の動作を図 6 と図 7 を用いて説明した。図 6 の回路例は、発振回路など常時動作する回路がないので低い消費電力を実現可能である。しかし、積分回路と微分回路を抵抗とコンデンサなどで構成しているので、基盤上にコンデン

9

サなど複数の電子部品を配置する必要がある。そこでコンデンサなどの電子部品を使用しないで、カウンタと発振回路などを用いた回路例を図 8 に示した。カウンタなどの回路を CPU と同一チップに集積すれば、基盤上の実装面積を増加することなく実現可能である。

5 図 8 の動作を簡単に説明する。

発振回路 28 は、CPU 3 のソフトウェア動作に関係なく常時発振し、カウンタ 29 にクロックを常に供給する。電源スイッチ 1 が押されていない場合、インバータ 15 の出力信号 16 がカウンタ 29 を常にリセットしているのでカウンタ 29 は計数動作しない。よって、カウンタの出力信号 30 は CPU 3 にリセット信号 30 を出力しない。一方、電源ス
10 イッチ 1 が押されると、インバータ 15 の出力信号 16 がカウンタ 29 をリセットしないのでカウンタ 29 は計数動作を開始する。一定時間が経過すると、カウンタの出力信号 30 は CPU 3 にリセット信号 30 を出力し、CPU がハードウェアリセットされる。

15 次に本発明による第 3 の実施例を図 16 から図 19 を用いて説明する。

本発明による第 4 の実施例を、図 16 と図 17 を用いて説明する。図 16 は、携帯型電子機器の全体構成を示すブロック図であり、第 1 図に示した第 1 実施例の応用例である。第 1 実施例では CPU 3 のみにリセット信号を出力していたが、図 16 の実施例では、CPU 3 に加えてメモリ 32 と表示装置 5 にもリ
20 セット信号を出力し、システムをより確実にリセットしている。また、CPU とメモリなどの複数の IC チップにリセット信号を出力する場合、IC チップそれぞれの電源電圧が異なるなどの理由により供給すべきリセット信号の電圧レベルも異なる場合がある。図 16 の電圧変換回路 55 は、検出回路 2 から出力されるリセット信号を 2 つの異なる電圧に変換し、CPU 3、表示装置 5 と
25 メモリ 32 に供給する。

10

図17は、本発明による電圧変換回路55の実施例を示すブロック図である。マイナス電位側を各ICチップの共通電源（グラウンド）としプラス電位側がV_aとV_bの異なる電位を有する2つの電源が用いられる場合の実施例である。また、各ICチップのリセット入力端子は、マイナス電位側が供給されるとリ

5 セット状態となり、プラス電位側が供給された状態では非リセット状態となる場合の例である。ヒステリシス特性をもったバッファ271は、信号線22の緩やかな電位上昇や下降をある電位レベルを境界にして急峻な電位変化へと変えるためのバッファである。

電源スイッチ1の電氣的接点11がオフの状態では、オープンドレイントラ

10 ンジスタ273がオフなので、各ICチップへ供給されるリセット信号554、555は、それぞれプルアップ抵抗552、553により異なる電位を有する電源（V_aおよびV_b）のプラス電位側へ接続される。

ダイオード551の向きとオープンドレイントランジスタ273のドレイン

15 端子の接続先は、V_aとV_bの電位で決める。すなわち、オープンドレイントランジスタ273がオフの時にプルアップ抵抗552、553とダイオード551を介して電源V_aとV_b間に電流が流れない方向にダイオードの向きを決める。例えば、図17の例ではV_a電位がV_b電位より大きい（V_a>V_b）場合を示している。

オープンドレイントランジスタ273がオフでは、リセット信号554、5

20 55は、それぞれプルアップ抵抗552、553により異なる電位を有する電源（V_aおよびV_b）のプラス電位を保持している。従ってオープンドレイントランジスタ273がオフでは、リセット信号555はV_b電位となるのでCPU3のリセット端子へはV_b電位が供給されCPU3は通常状態、つまり非リセット状態となる。また、リセット信号554はV_a電位となるので表示装

25 置5とメモリ32のリセット端子へはV_a電位が供給されそれぞれ通常状態、つまり非リセット状態となる。

11

一方、オープンドレイントランジスタ 2 7 3 がオンすると、トランジスタのドレイン端子がマイナス電位側（グランド）に接続されるので、抵抗 5 5 2 に電流が流れリセット信号 5 5 4 がマイナス側電位（グランド）となる。また、ダイオード 5 5 1 と抵抗 5 5 3 にも電流が流れリセット信号 5 5 5 もマイナス側電位（グランド）となる。

図 1 8 は、図 1 7 の各信号線の電位を示すタイミング図である。図 7 のタイミング図と同様に、信号線 2 1 は、電源スイッチ 1 を押すと電池のプラス側電位、離すと電池のマイナス側電位となる。電源スイッチ 1 を押し続けると抵抗 2 4 を介してコンデンサ 2 6 に電荷が徐々にたまるので、信号線 2 2 の電位は徐々に高くなる。信号線 2 2 の電位がヒステリシス特性をもったバッファ 2 7 1 のしきい値電圧を越えると、信号線 2 7 2 の電位がマイナス電位側（グランド）からプラス側電位と変化し、オープンドレイントランジスタ 2 7 3 がオフからオンへ急峻に変化する。

図 1 7 のブロック図に示すように、CPU 3、表示装置 5 とメモリ 3 2 などの複数の IC チップにリセット信号を供給する場合、オープンドレイントランジスタ 2 7 3 がオフからオンへ急峻に変化することが重要となる。その理由について説明するために、図 1 7 と図 1 9 を用いて、オープンドレイントランジスタ 2 7 3 がオフからオンへ緩やかに変化する場合の問題点について説明する。図 1 7 のブロック図において、ヒステリシス特性をもったバッファ 2 7 1 が無い場合を仮に想定するとその動作は、図 1 9 に示すタイミング図となる。信号線 2 2 の電位が徐々に高くなると、オープンドレイントランジスタ 2 7 3 が完全なオフから徐々にオンし、プルアップ抵抗 5 5 2 に電流が流れ始める。抵抗 5 5 2 に電流が流れるに従い、図 1 9 の 5 5 a のタイミングで示すように、信号線 5 5 4 の電位が V_a から徐々に低下し始める。信号線 5 5 4 の電位が更に低下すると、プルアップ抵抗 5 5 3 とダイオード 5 5 1 にも電流が流れ始める。抵抗 5 5 3 とダイオード 5 5 1 に電流が流れるに従い、図 1 9 の 5 5 b のタイ

12

ミングに示すように、信号線 5 5 5 の電位が V_b から徐々に低下し始める。ここで、CPU 3 のリセット端子の入力回路が反応する電位を仮に V_{301} とし、表示装置 5 とメモリ 3 2 のリセット端子の入力回路が反応する電位を仮に V_{501} とすると、信号線 3 0 1 と信号線 5 0 1、信号線 3 2 1 はそれぞれ図 1 9 のタイミング図に示す 5 5 c と 5 5 d のタイミングで有効となる。5 5 c から 5 5 d までの期間を t_{LCDoff} とする。 t_{LCDoff} の期間では、表示装置 5 とメモリ 3 2 がリセットされた状態で、CPU 3 にはリセットがかかっていない状態となってしまう。仮に、このような状態で電源スイッチ 1 がオン状態からオフ状態に変化すると、システムの一部にのみリセットがかかった状態となり不都合が生じる。例えば、図 1 9 のタイミング 5 5 e で電源スイッチ 1 がオンからオフに変化すると、図 1 9 に示す様に表示装置 5 とメモリ 3 2 のリセット端子の信号 5 0 1 と 3 2 1 は出力されるが、CPU 3 のリセット端子の信号 3 0 1 は出力されない。

以上のような問題が発生しないように、ヒステリシス特性をもったバッファ 2 7 1 を用い、オープンドレイントランジスタ 2 7 3 が急峻に変化するように構成する。

なお図 1 7 において、電源スイッチ 1 を離れたときの動作は図 7 のタイミング図と同様に、電源スイッチ 1 を離すとコンデンサ 2 6 に溜まった電荷が放電し、信号線 2 2 の電位は比較的急峻に降下し、オープンドレイントランジスタ 2 7 3 がオンからオフに急峻に変化する。オープンドレイントランジスタ 2 7 3 がオフするのでリセット信号 5 5 4 と 5 5 5 は、それぞれプルアップ抵抗 5 5 2 と 5 5 3 により、異なる電位を持つ電源 V_a と V_b に接続され、リセット状態が解除される。

次に、本発明による第 4 の実施例を図 9 から図 1 3 を用いて説明する。

図 9 は、電源スイッチ 1 による電源制御回路 8 の動作と、電源スイッチ 1 による検出回路 2 の動作を説明するための図である。

13

電源スイッチ 1 の出力信号 17 は、検出回路 2 と OR 回路 7 に接続され、電源スイッチ 1 が押されると出力信号 17 は高い電位（論理 1）を出力する。OR 回路 7 の別の入力端子には CPU 3 のソフトウェアで制御される出力信号 31 が接続され、OR 回路 7 はいずれか 1 つの入力が論理 1 である時に出力信号 71 を制御し電源制御回路 8 を電源オンする。電源制御回路 8 が電源オンするとその出力信号 81 が出力され CPU 3 が動作する。検出回路 2 は、電源スイッチ 1 が一定時間（ t_2 ）以上押し続けられたことを検出するとその出力信号である CPU へのリセット信号 18 を出力し、CPU 3 を初期化する。

- 10 図 10 を用いて、携帯型電子機器の電源オフの状態では電源スイッチ 1 が押され、一定時間（ t_{1on} ）が経過する前に離れた時の動作を説明する。

電源オフの状態では電源スイッチ 1 が押されると OR 回路 7 の 1 つの入力が論理 1 となり、即座に電源制御回路 8 が電源オンし CPU 3 が動作開始する。CPU 3 は動作開始から一定時間（ t_{1on} ）をソフトウェアで計数開始する。一定時間（ t_{1on} ）を CPU 3 が計数完了する以前に電源スイッチ 1 が離れると、OR 回路 7 の 2 つの入力が共に論理 0 となり、即座に電源制御回路 8 が電源オフし CPU 3 への電源供給が遮断され動作停止する。

- 20 図 11 を用いて、携帯型電子機器の電源オフの状態では電源スイッチ 1 が押され、一定時間（ t_{1on} ）が経過した後に離れた時の動作を説明する。

- 25 電源オフの状態では電源スイッチ 1 が押されると OR 回路 7 の 1 つの入力が論理 1 となり、即座に電源制御回路 8 が電源オンし CPU 3 が動作開始する。CPU 3 は動作開始から一定時間（ t_{1on} ）をソフトウェアで計数開始する。一定時間（ t_{1on} ）を CPU 3 が計数完了すると、

14

CPU 3 のソフトウェアで制御される出力信号 31 を論理 0 から 1 に変更する。その後に電源スイッチ 1 が離れても出力信号 31 が論理 1 なので、電源制御回路 8 は電源オフせず CPU 3 への電源供給が遮断されず CPU 3 は動作継続する。

- 5 図 12 を用いて、携帯型電子機器の電源オンの状態で電源スイッチ 1 が押され、一定時間 (t_1) が経過した後に離した時の動作を説明する。

電源オンの状態で電源スイッチ 1 が押されると、CPU 3 は電源スイッチ 1 が押されてから一定時間 (t_1) をソフトウェアで計数開始する。一定時間 (t_1) を CPU 3 が計数完了すると、CPU 3 のソフトウェア

- 10 アで制御される出力信号 31 を論理 1 から 0 に変更する。その後に電源スイッチ 1 が離れると、OR 回路 7 の 2 つの入力が共に論理 0 となり、即座に電源制御回路 8 が電源オフし CPU 3 への電源供給が遮断され動作停止する。

図 13 を用いて、携帯型電子機器のソフトウェアが暴走した状態で電源スイッチ 1 が押され、一定時間 (t_2) が経過した後に離した時の動作を説明する。

- 15 電源オンの状態で電源スイッチ 1 が押されても CPU 3 が暴走していると、電源スイッチ 1 が押されてから一定時間 (t_1) をソフトウェアで計数できない。検出回路 2 が一定時間 (t_2) 以上押し続けられたことを検出するとその出力信号であるリセット信号 18 を出力し、CPU 3 を初期化する。

- 20 CPU 3 の初期化処理は 2 種類ある。ハードウェア初期化とソフトウェア初期化である。リセット信号 18 を CPU が受け付けると、CPU は最初にハードウェア初期化し次にソフトウェア初期化する。CPU やその出力ポートによりハードウェア初期化の内容は異なる。しかし、ハードウェア初期化により出力信号 31 がどのような状態に設定されても、
- 25

15

ソフトウェア初期化において出力信号 31 を論理 0 に確実に変更すれば何の問題もない。一定時間 (t_2) でリセット信号 18 が出力された後に、電源スイッチ 1 が離れるとリセット信号 18 が解除され、電源制御回路 8 が電源オフする。

- 5 使用者にとって図 12 における電源オフ操作と図 13 におけるリセット操作は、ほとんど同じである。使用者が電源スイッチ 1 を押している一定時間 (t_1) と (t_2) が異なるだけである。そして携帯型電子機器の携帯方法や使用目的に従って一定時間 (t_1) と (t_2) を機器の設計時に設定すればよい。使用者が一定時間 (t_1) と (t_2) を変更

- 10 できる構成とする必要は特にない。

例えば、携帯電話などのように、通常待ち受け状態の電源オン状態であり、時々混雑した電車に乗る時などに電源オフし、胸ポケットなどに携帯し誤って電源スイッチを短い時間押してしまう可能性があるふた無し形状の場合、一定時間 (t_{1on}) と (t_1) をある程度長い時間、

- 15 例えば 3 秒、一定時間 (t_2) を 4 秒以上 6 秒以下などに設定する。

上記の例では一定時間 (t_2) を 4 秒以上 6 秒以下としたが、これは図 6 に示すように検出回路 2 の積分回路を抵抗とコンデンサなどで構成しており、コンデンサなどの容量値のばらつきがあることを想定しているからである。無論、図 8 に示すように検出回路 2 を精度の良い発振回路 28 とカウンタ 29 など

20 で構成すれば、一定時間 (t_2) をほぼ正確に 4 秒に設定することも可能である。

また別の例として、ふた付きの PDA などのように、通常ふたを閉めて電源オフ状態であり、時々鞆から取り出しふたを開けて電源オンし使用するような機器の場合、ふたを閉めておけば誤って電源スイッチを押してしまう可能性がないので、またふたを開けてから即座に電源オンし

25 使用したいので、一定時間 (t_{1on}) を短い時間、例えば 0.1 秒、

16

一定時間 (t_1) を比較的短い時間、例えば 1 秒、一定時間 (t_2) を 2 秒以上などに設定する。

また別の例として、腕時計型の携帯電話などを考えた場合、通常待ち受け状態の電源オン状態であり、時々混雑した電車に乗る時などに電源
5 オフし、手首に携帯し電源スイッチの配置と構造によっては、誤って電源スイッチを短い時間押してしまう可能性がほとんどない場合、一定時間 (t_{1on}) と (t_1) を比較的長い時間、例えば 2 秒、一定時間 (t_2) を 3 秒以上などに設定する。

いずれの場合も、使用者は、電源スイッチ 1 を 1 秒から 3 秒間押し続ける通常の操作により携帯型電子機器の電源をオフする。そしてごくまれに発生するソフトウェアの暴走により動作が異常だと感じたときに、
10 いったん携帯型電子機器の電源をオフしてみようという自然な発想があれば、使用者は特にソフトウェアが暴走した時にリセット操作する必要があるという専門的な知識が無くても、通常の操作である電源オフ操作
15 をするつもりで電源スイッチを 2 秒から 4 秒以上押し続けることで自然にリセット操作することが可能である。

図 14 は、電源スイッチ 1 の防水構造を示す断面図である。

防水ケース 110 に円形の穴をあけ、パッキン 112 を取付けたスイッチ可動部 111 を防水ケース 110 に取付けている。スイッチ可動部
20 111 の先端には溝 113 とつめ 114 がある。溝 113 によりつめ 114 はバネ性をもち、つめ 114 がケース 110 に引っかかり抜けられないような構造である。

ポリドーム 115 は、スイッチ可動部 111 の先端とフレキシブル基盤 116 の間にあり、スイッチ可動部 111 を押上げている。使用者が
25 スイッチ可動部 111 を押し下げると、ポリドーム 115 がつぶれ、ポリドーム 115 とフレキシブル基板 116 の電氣的接点が導通する。ま

17

た、使用者がスイッチ可動部 111 から指を離すと、ポリドーム 115 がドーム状の元の形に戻り電氣的接点が非導通となる。

次に、本発明による第 5 の実施例を、図 20 を用いて説明する。

- 図 20 は、図 9 に示した実施例の一部を変更した例である。電源スイッチ 1、
5 検出回路 2、OR 回路 7、電源制御回路 8 および CPU 3 の機能と動作は、図 9 に示した実施例と同等である。

図 10 を用いて、図 9 の実施例における携帯型電子機器の電源オフの状態
電源スイッチ 1 が押され、一定時間 (t_{1on}) が経過する前に離れた時の動
作を説明したが、図 20 の実施例においても同じ動作である。

- 10 図 11 を用いて、図 9 の実施例における携帯型電子機器の電源オフの状態
電源スイッチ 1 が押され、一定時間 (t_{1on}) が経過した後に離れた時の動
作を説明したが、図 20 の実施例においても同じ動作である。

- 図 12 を用いて、図 9 の実施例における携帯型電子機器の電源オンの状態
電源スイッチ 1 が押され、一定時間 (t_1) が経過した後に離れた時の動作を
15 説明したが、図 20 の実施例においても同じ動作である。

図 21 を用いて、携帯型電子機器のソフトウェアが暴走した状態で電源ス
イッチ 1 が押され、一定時間 (t_2) が経過した後に離れた時の動作を説明する。
電源オンの状態で電源スイッチ 1 が押されても CPU 3 が暴走していると、電
源スイッチ 1 が押されてから一定時間 (t_1) をソフトウェアで計数できない。

- 20 検出回路 2 が一定時間 (t_2) 以上押し続けられたことを検出するとその出力
信号である信号 18 を出力し、オープンドレイントランジスタ 273 をオンす
る。オープンドレイントランジスタ 273 がオンすると、抵抗 72 に電流が流
れ信号線 73 は、マイナス電位側 (グランド) の電位を示し、電源制御回路 8
がオフ状態となり出力端子 81 の電位が低下する。出力端子 81 の電位を監視
25 している電圧検出回路 82 が電位低下を検出すると、CPU 3 を初期化すべく
信号線 84 を出力する。

産業上の利用可能性

以上説明したように、本発明によれば、防水型の携帯型電子機器で動作するソフトウェアが暴走してしまい全ての操作ボタンやキーが操作不能となってしまう場合でも、機器から電池を取り外す必要がないので、
5 使用者が電池を取り外し可能でかつ防水可能な構造を有する必要がある。

また、プッシュ式の電源スイッチを押し続けることでハードウェアリセットするので、針金等の特殊なものが必要ない。さらに、使用者が通常よく使う電源オン・オフの操作とハードウェアリセットの操作がよく
10 似ているので、使用者はハードウェアリセットの操作方法を特に学習する必要がない。ソフトウェアが暴走しているとか、ハードウェアリセットとかの専門的知識がない場合でも、ソフトウェアが動作しない（暴走した）ので電源を一度オフしてみるというごく自然の操作でハードウェアリセットすることができる。

19

請求の範囲

1. ソフトウェアに従って動作するCPUから構成される携帯型電子機器において、前記携帯型電子機器に設けられたプッシュ式スイッチが予め定められた時間(t_2)以上押しつづけられていることを検出すると、

5 前記CPUの動作を初期化するリセット信号を出力する検出回路を有することを特徴とする携帯型電子機器。

2. 前記プッシュ式スイッチは、予め定められた時間(t_1)以上押し続けることで前記携帯型電子機器をオン又はオフする電源スイッチであり、時間(t_2)は、時間(t_1)よりも長いことを特徴とする請求

10 項1記載の携帯型電子機器。

3. 前記電源スイッチ(1)の開閉状態をCPU(3)の入力ポートから入力し、一定時間(t_1)以上押しつづけられるか否かをソフトウェアに従って動作するCPU(3)が検出し、電源オンの状態で一定時間(t_1)以上押し続けられていると検出するとCPU(3)は携帯型電

15 子機器の全部または一部の電源をオフし、前記検出回路(2)はソフトウェアに従って動作するCPU(3)とは関係なく一定時間(t_2)以上押し続けられるか否かをハードウェア回路で検出し、前記検出回路(2)は一定時間(t_2)以上の押し続けを検出するとCPU(3)のソフトウェア動作を初期化するためのリセット信号を出力することを特
20 徴とする請求項2記載の携帯型電子機器。

4. メモリに記憶されたソフトウェアに従って動作するCPU(3)と、CPU(3)から出力される表示データを使用者が見られるように表示する表示装置(5)と、使用者の操作をCPU(3)へ出力する操作ボタン(4)と、携帯型電子機器を駆動する電池(6)と、電気的接点を
25 開閉する前記プッシュ式電源スイッチ(1)と、プッシュ式電源スイッチ(1)が一定時間(t_2)以上押しつづけられるか否かを検出する前

20

記検出回路（２）とで構成されることを特徴とする請求項３記載の携帯型電子機器。

５．少なくとも２つの条件の内いずれか１つの条件が成りたつとき出力を有効にするＯＲ回路（７）と、ＯＲ回路（７）の出力によりＣＰＵ（３）

５ の電源を制御する電源制御回路（８）とで構成され、ＯＲ回路（７）の２つの条件の内１つの条件（ｊ１）はプッシュ式電源スイッチ（１）を押すことで成立し、他の条件（ｊ２）はソフトウェアに従って動作するＣＰＵ（３）の出力ポートが１か０の論理値を出力することで成立し、

１０ 条件（ｊ２）が成立している時にプッシュ式電源スイッチ（１）の開閉状態をＣＰＵ（３）の入力ポートで入力し一定時間（ t_1 ）以上押しつ

づけられるか否かをソフトウェアに従って動作するＣＰＵ（３）が検出し、プッシュ式電源スイッチ（１）が一定時間（ t_1 ）以上押し続けら

れていると検出するとＣＰＵ（３）は条件（ｊ２）が成立した状態から成立しない状態へ切替えるべくＣＰＵ（３）の出力ポートの論理値を制

１５ 御し、検出回路（２）は一定時間（ t_2 ）以上押し続けられるか否かをソフトウェアに従って動作するＣＰＵ（３）とは関係なくハードウェア

回路で検出し、検出回路（２）は一定時間（ t_2 ）以上の押し続けを検出するとＣＰＵ（３）のソフトウェア動作を初期化するためのリセット

信号を出力することを特徴とする請求項２記載の携帯型電子機器。

２０ ６．メモリに記憶されたソフトウェアに従って動作するＣＰＵ（３）と、携帯型電子機器を駆動する電池（６）と、電気的接点を開閉するプッシ

ュ式電源スイッチ（１）と、プッシュ式電源スイッチ（１）が一定時間（ t_2 ）以上押しつづけられるか否かを検出する検出回路（２）とで構

成されることを特徴とする請求項５記載の携帯型電子機器。

２５ ７．プッシュ式電源スイッチ（１）はプル抵抗と電気的接点で構成され、ＯＲ回路（７）は２個のダイオードで構成されることを特徴とする請求

21

項 6 記載の携帯型電子機器。

8. プッシュ式電源スイッチ (1) の押しつづけ時間について、ソフトウェアに従って動作する CPU (3) が検出する一定時間 (t_1) より、検出回路 (2) が検出する一定時間 (t_2) のほうが長いことを特徴とする請求項 1 から請求項 7 記載の携帯型電子機器。

9. プッシュ式電源スイッチ (1) の可動部分が防水構造であることを特徴とする請求項 1 から請求項 8 記載の携帯型電子機器。

10. 前記検出回路 (2) の出力信号線 22 の緩やかな電位上昇や下降をある電位レベルを境界にして急峻な電位変化へと変えるためのヒステリシス特性をもったバッファ 271 を有することを特徴とする請求項 1 から請求項 8 記載の携帯型電子機器。

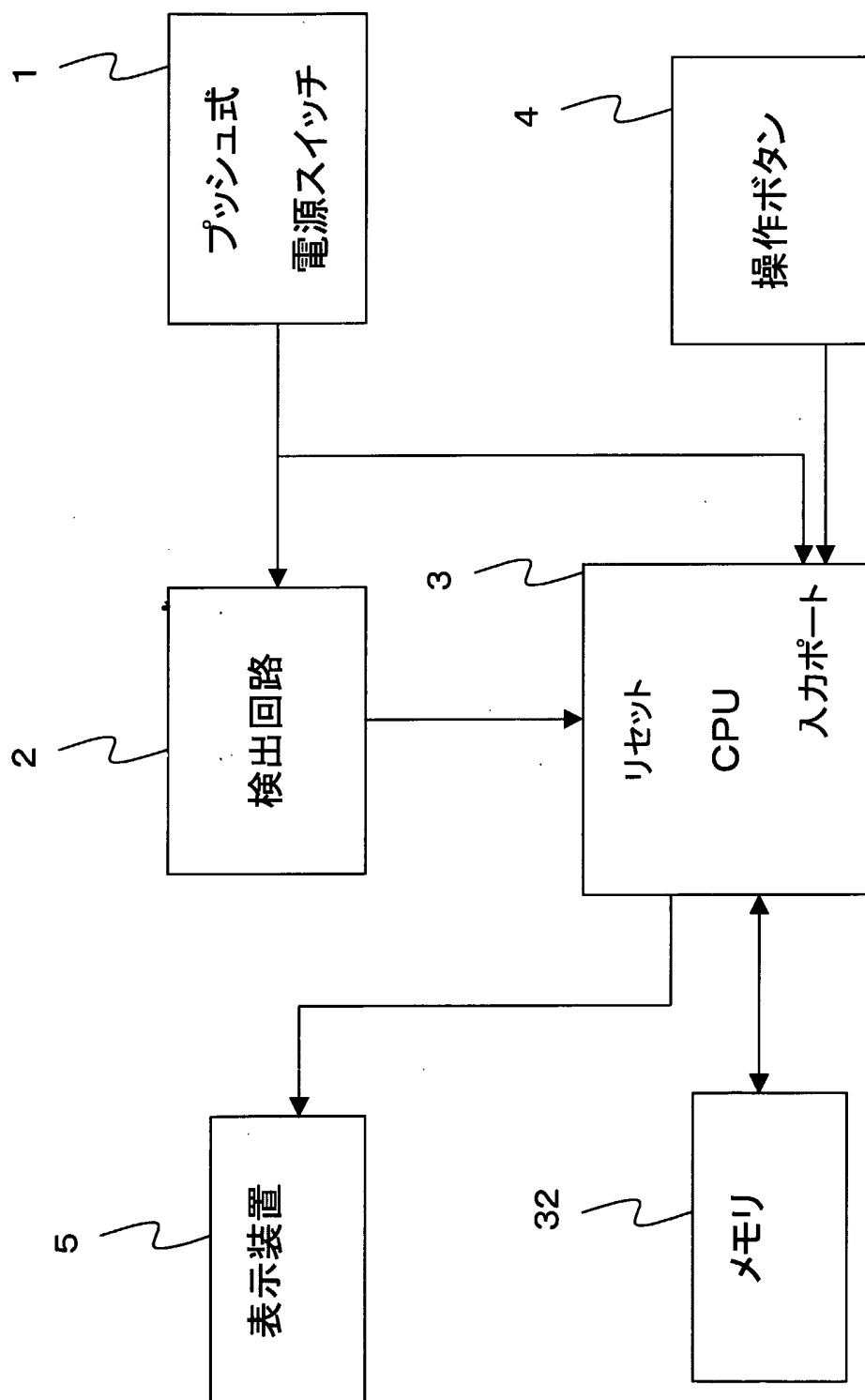
11. 少なくとも 2 つの条件の内いずれか 1 つの条件が成りたつとき出力を有効にする OR 回路 (7) と、OR 回路 (7) の出力により CPU (3) の電源を制御する電源制御回路 (8) と、電源制御回路 (8) の出力電圧を監視する電圧検出回路 (82) とで構成され、OR 回路 (7) の 2 つの条件の内の 1 つの条件 (j_1) はプッシュ式電源スイッチ (1) を押すことで成立し、他の条件 (j_2) はソフトウェアに従って動作する CPU (3) の出力ポートが 1 か 0 の論理値を出力することで成立し、条件 (j_2) が成立している時にプッシュ式電源スイッチ (1) の開閉状態を CPU (3) の入力ポートで入力し一定時間 (t_1) 以上押しつづけられるか否かをソフトウェアに従って動作する CPU (3) が検出し、プッシュ式電源スイッチ (1) が一定時間 (t_1) 以上押し続けられていると検出すると CPU (3) は条件 (j_2) が成立した状態から成立しない状態へ切替えるべく CPU (3) の出力ポートの論理値を制御し、検出回路 (2) は一定時間 (t_2) 以上押し続けられるか否かをソフトウェアに従って動作する CPU (3) とは関係なくハードウェア回路で検出し、検出回路 (2) は一定時間 (t_2) 以上の押し続けを検出すると電源制御回路

22

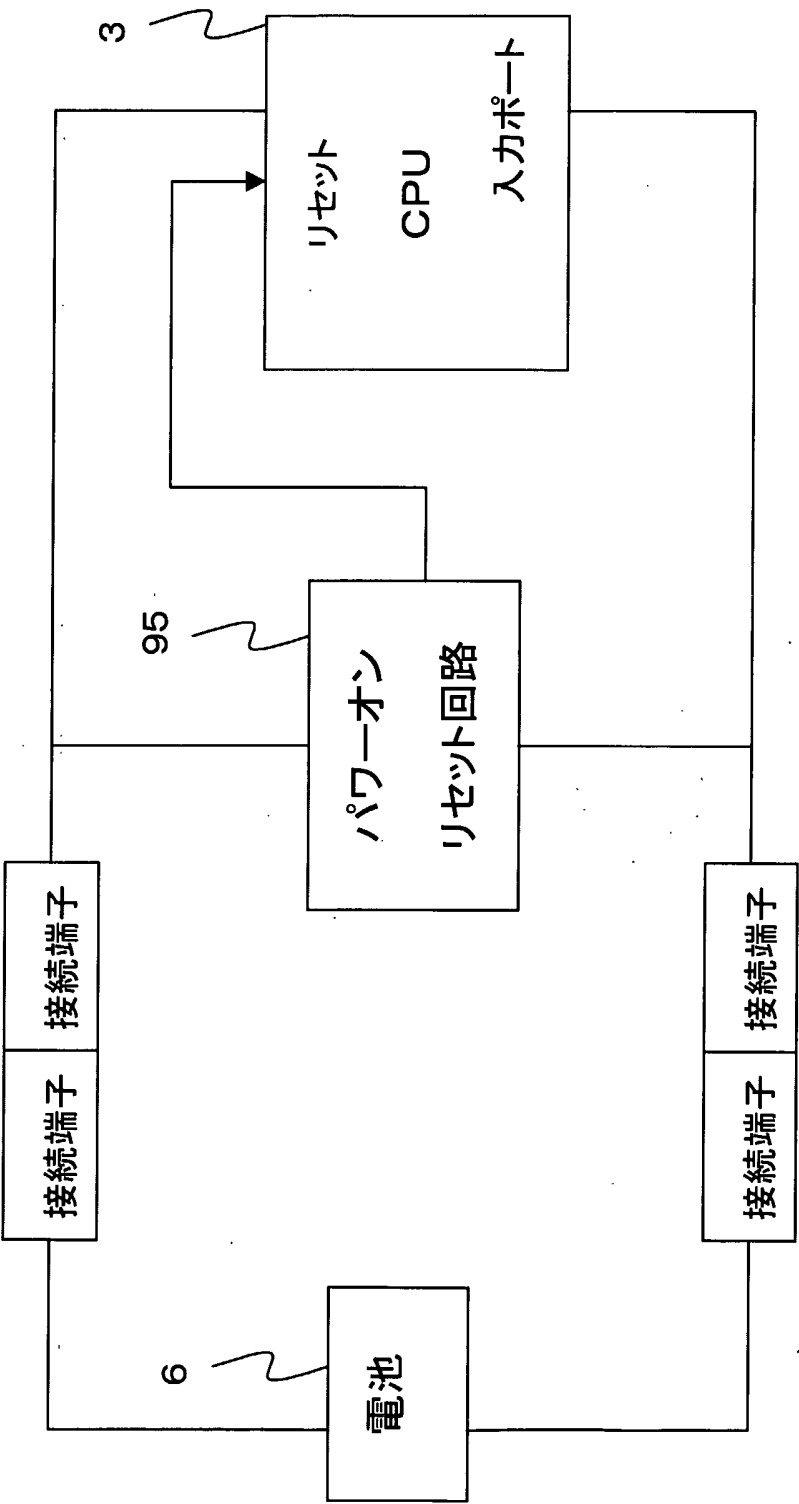
(8) の出力電圧を低下させ、電圧検出回路 (8 2) は電源制御回路 (8) の出力電圧の低下を検出した時点でCPU (3) のソフトウェア動作を初期化するためのリセット信号を出力することを特徴とする請求項 2 記載の携帯型電子機器。

1/21

【図1】

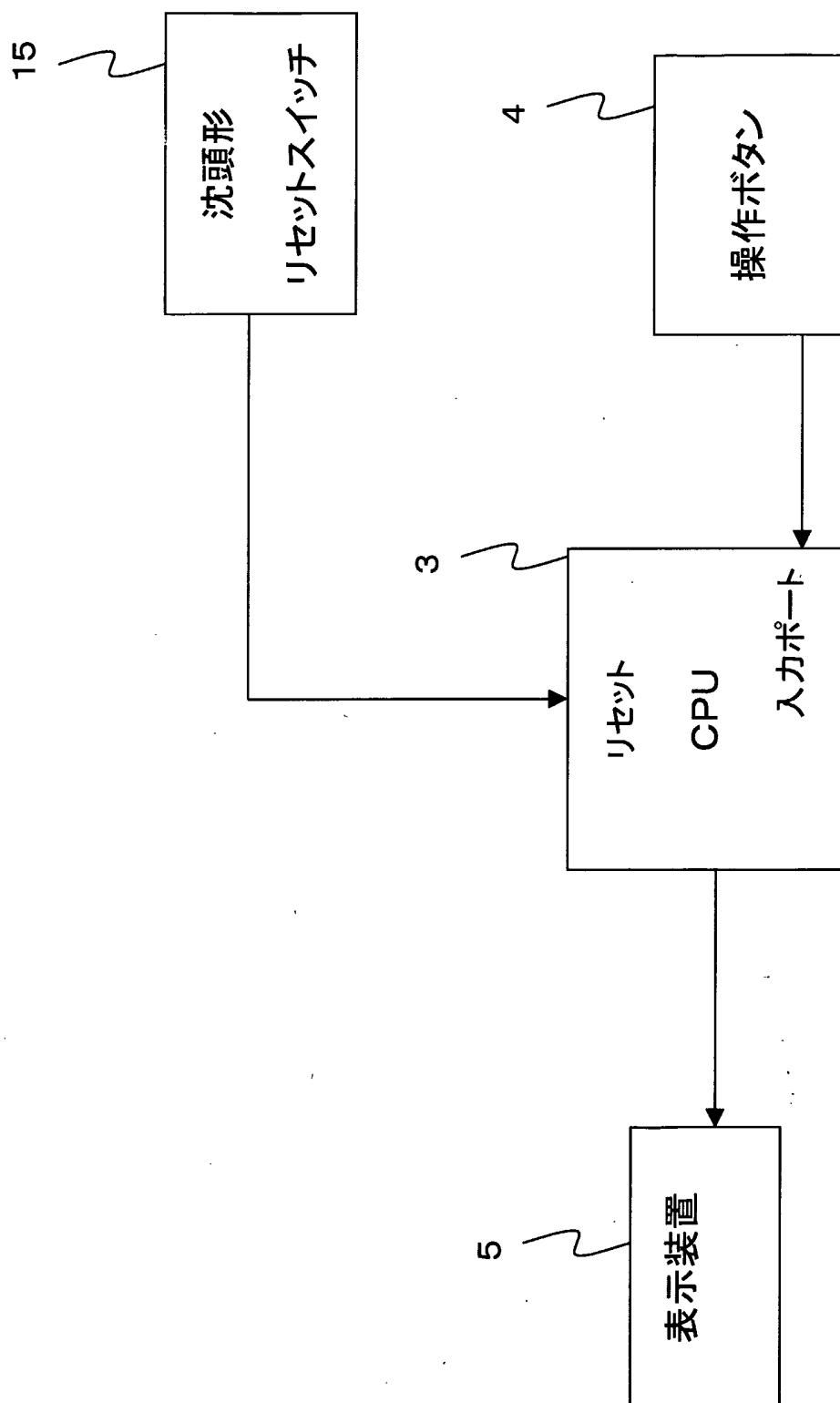


【図2】

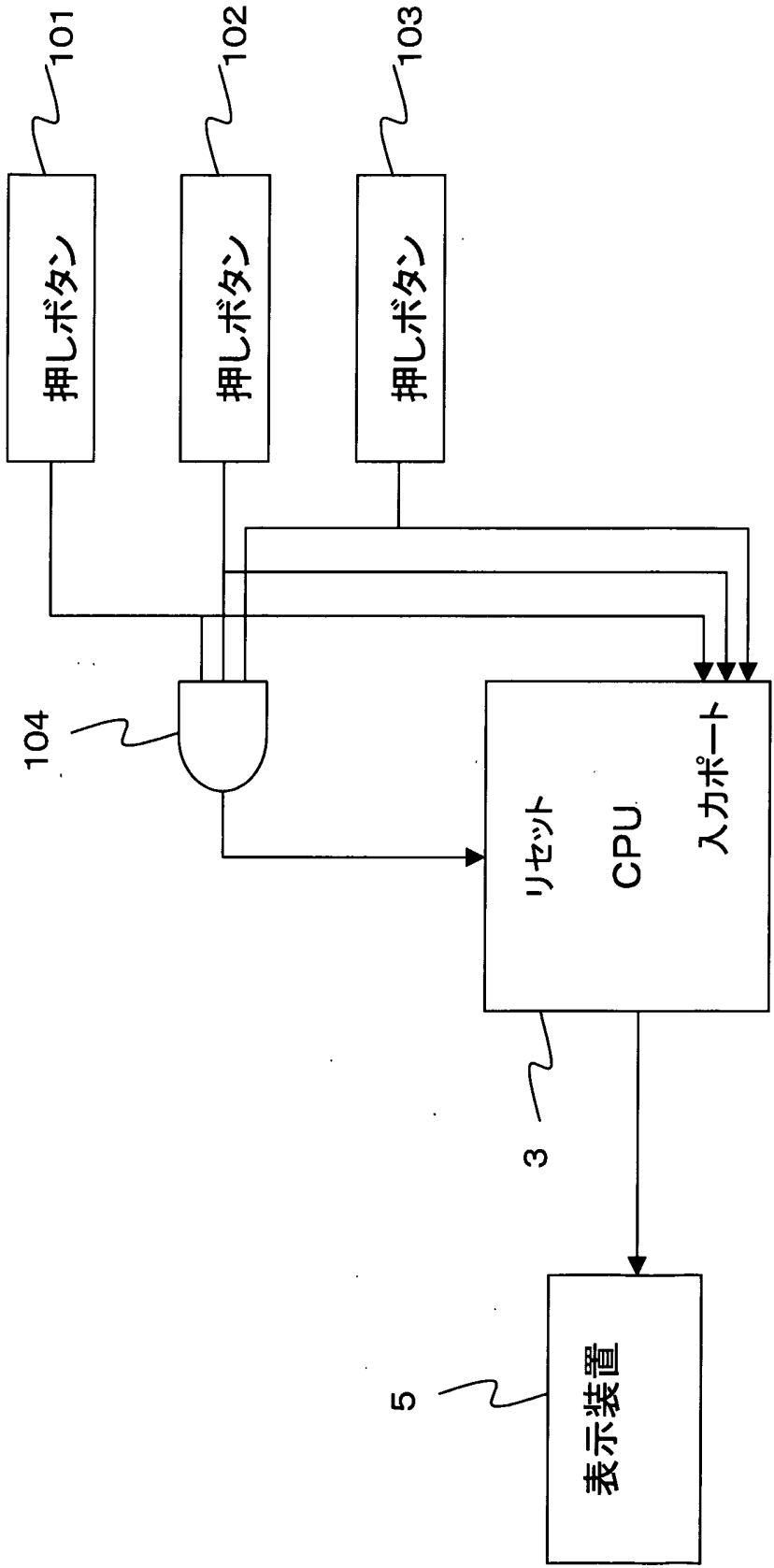


3/21

【図3】

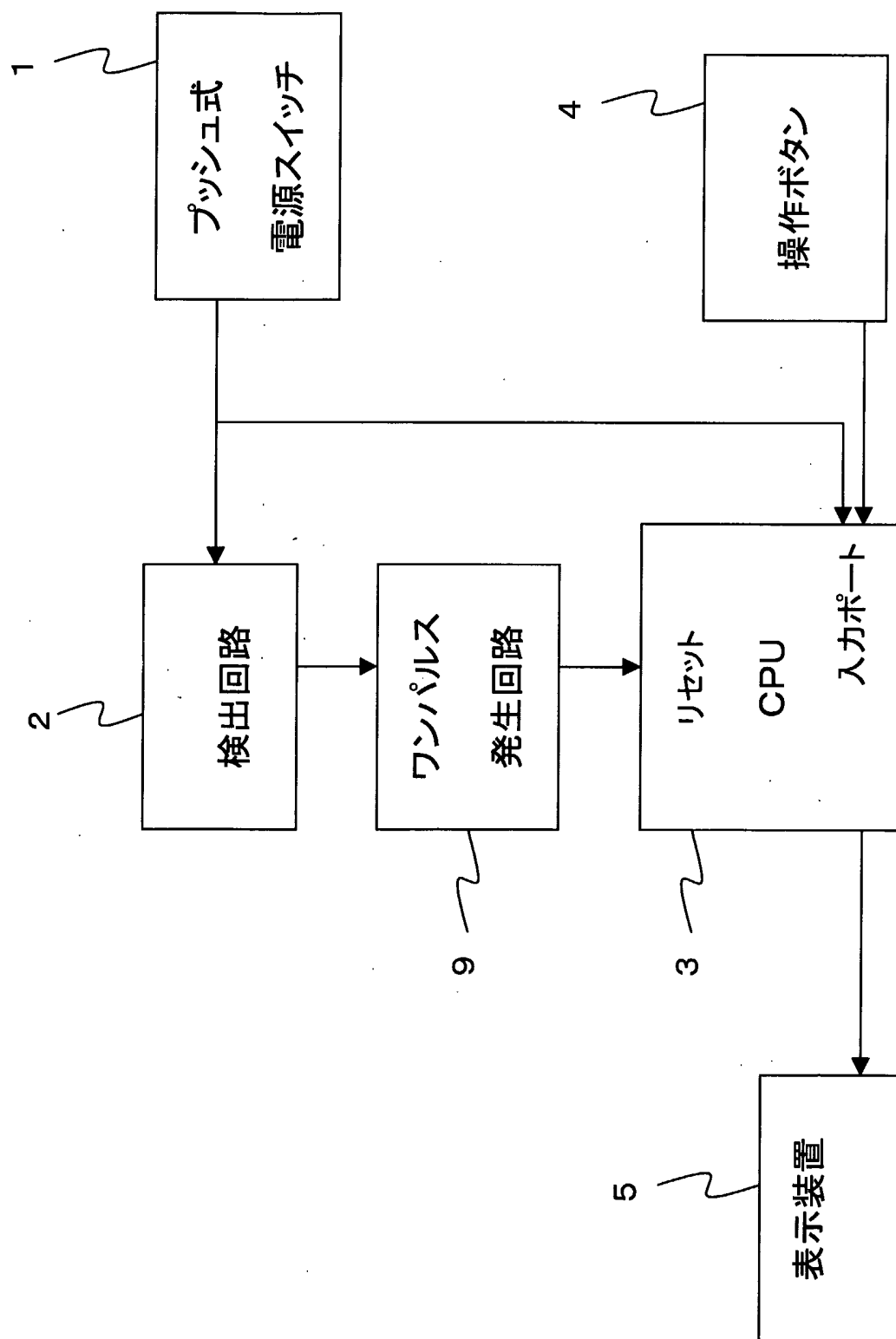


【図4】

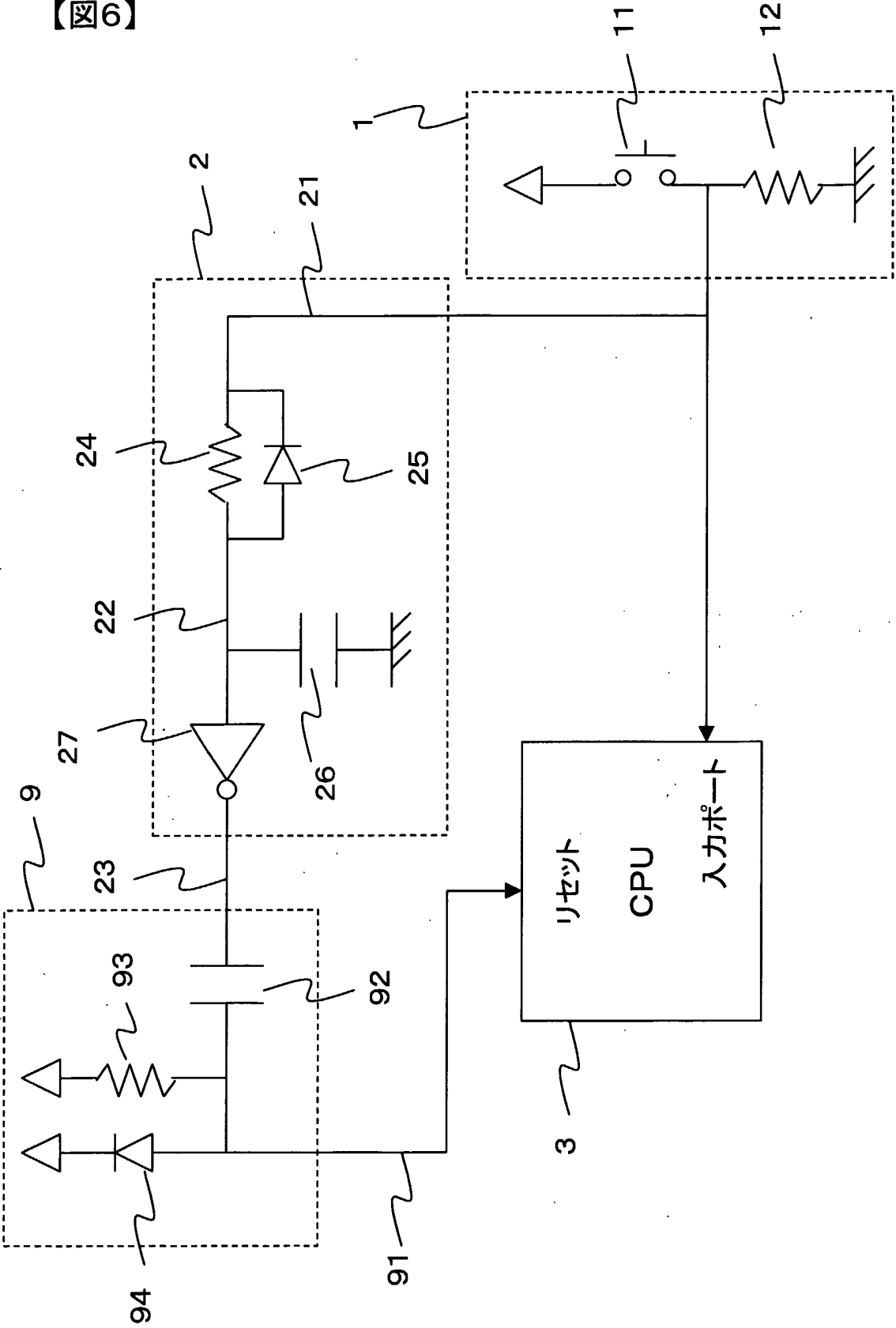


5/21

【図5】

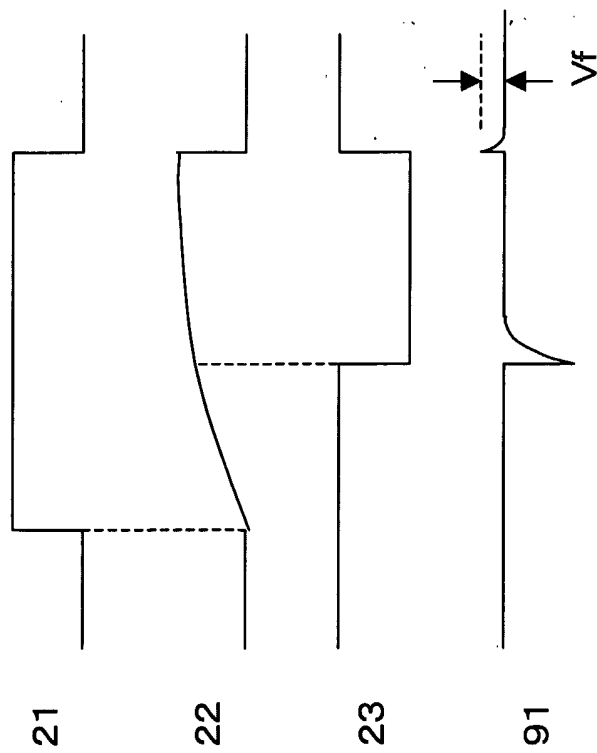


【図6】

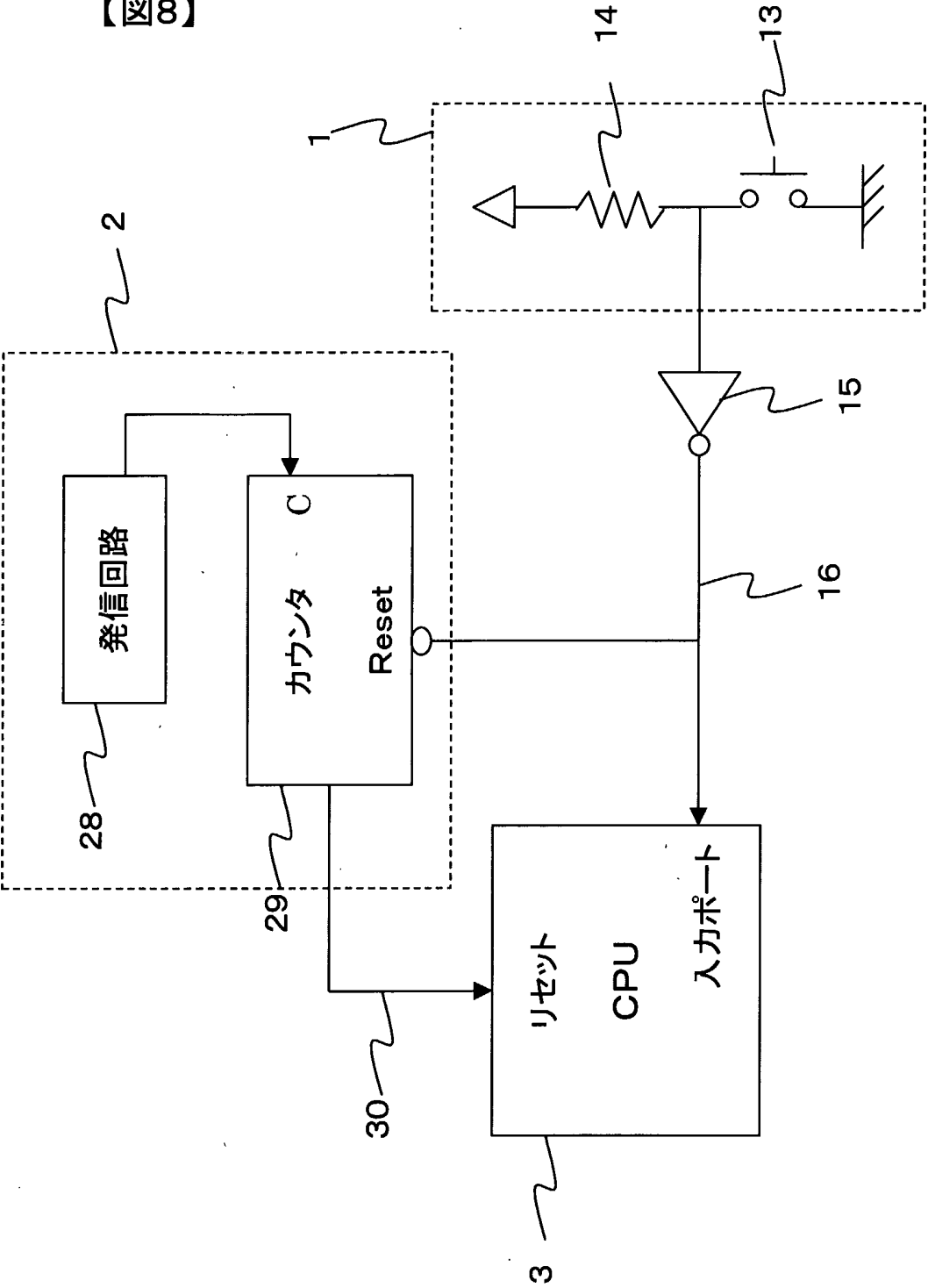


7/21

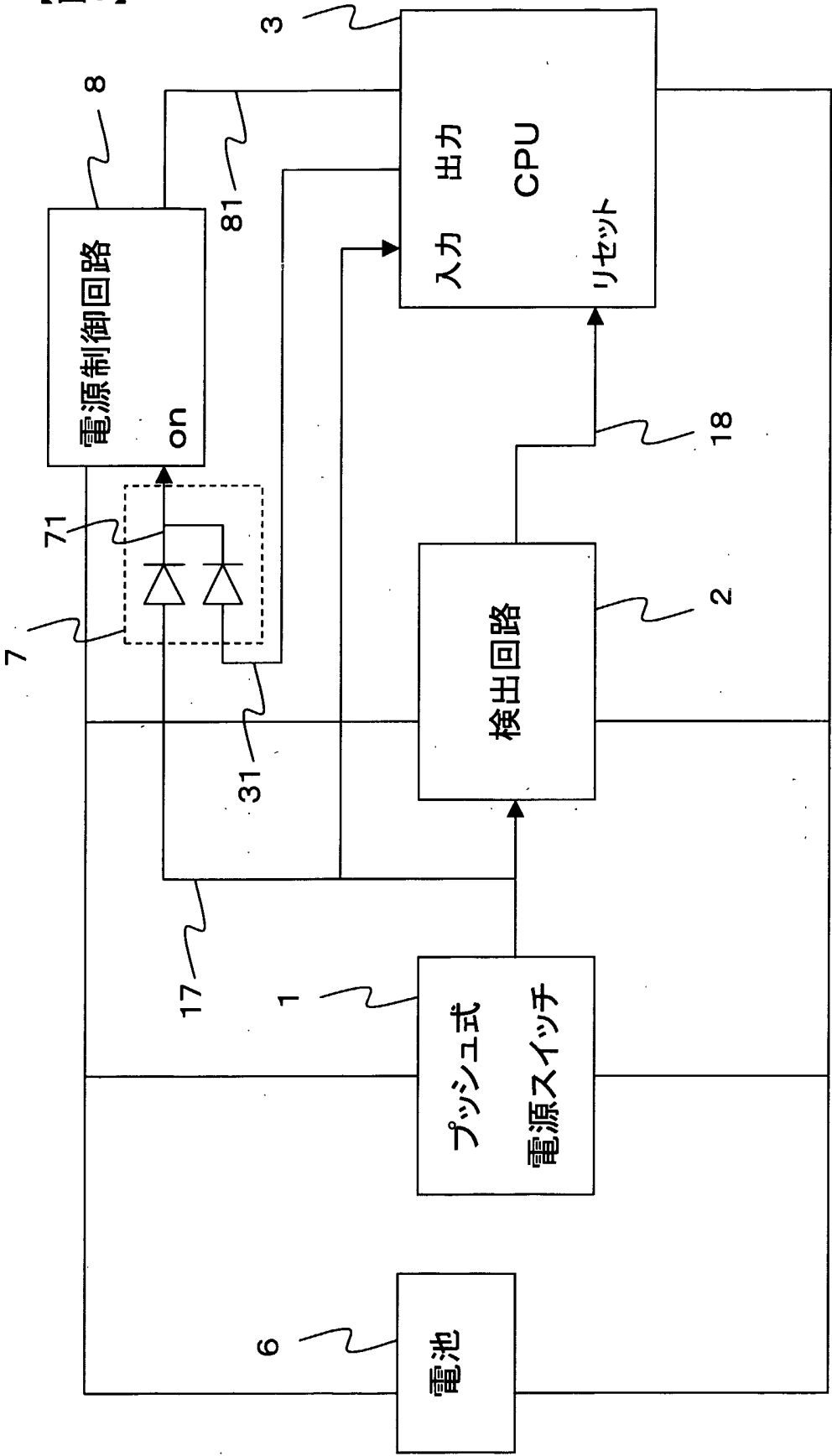
【図7】



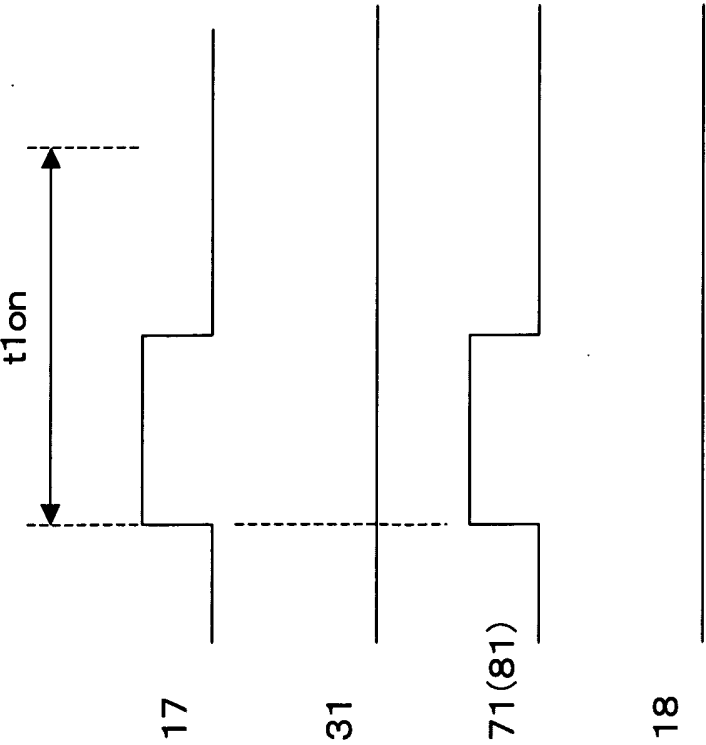
【図8】



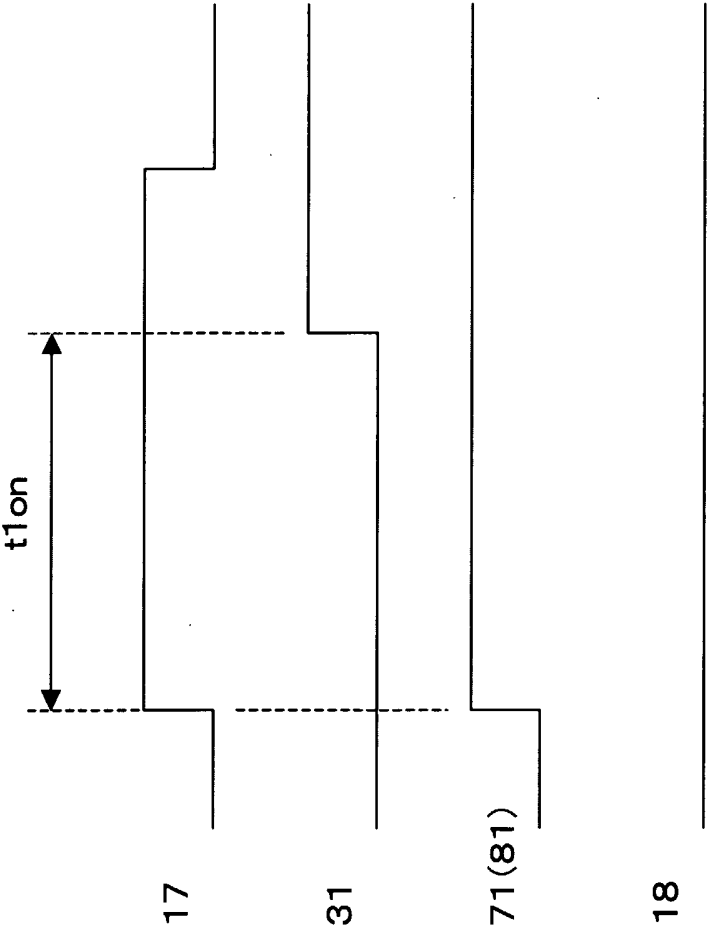
【図9】



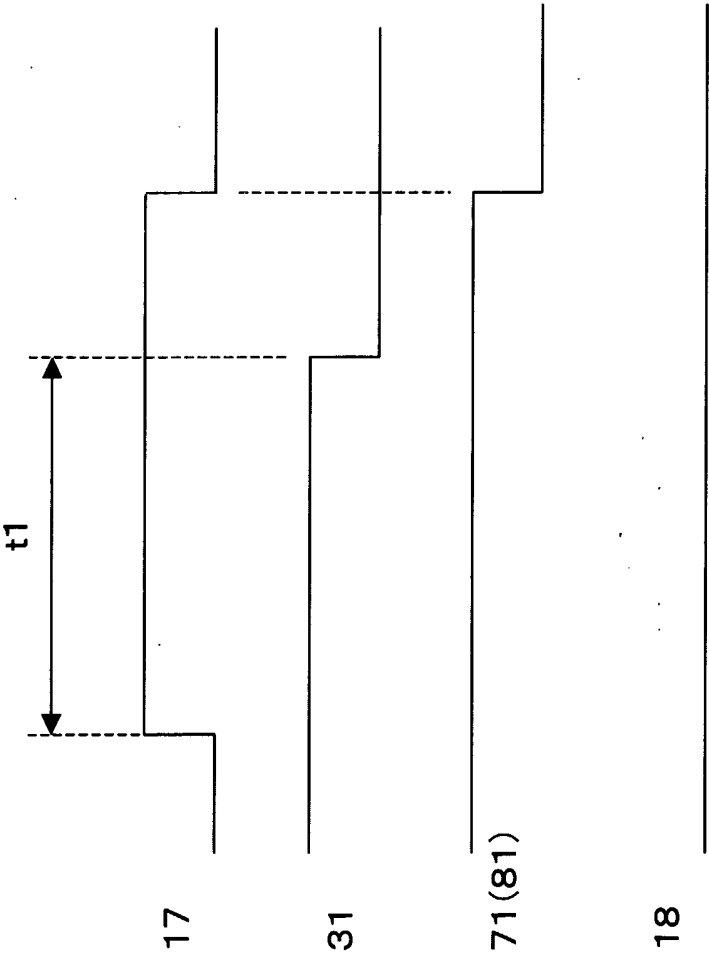
【図10】



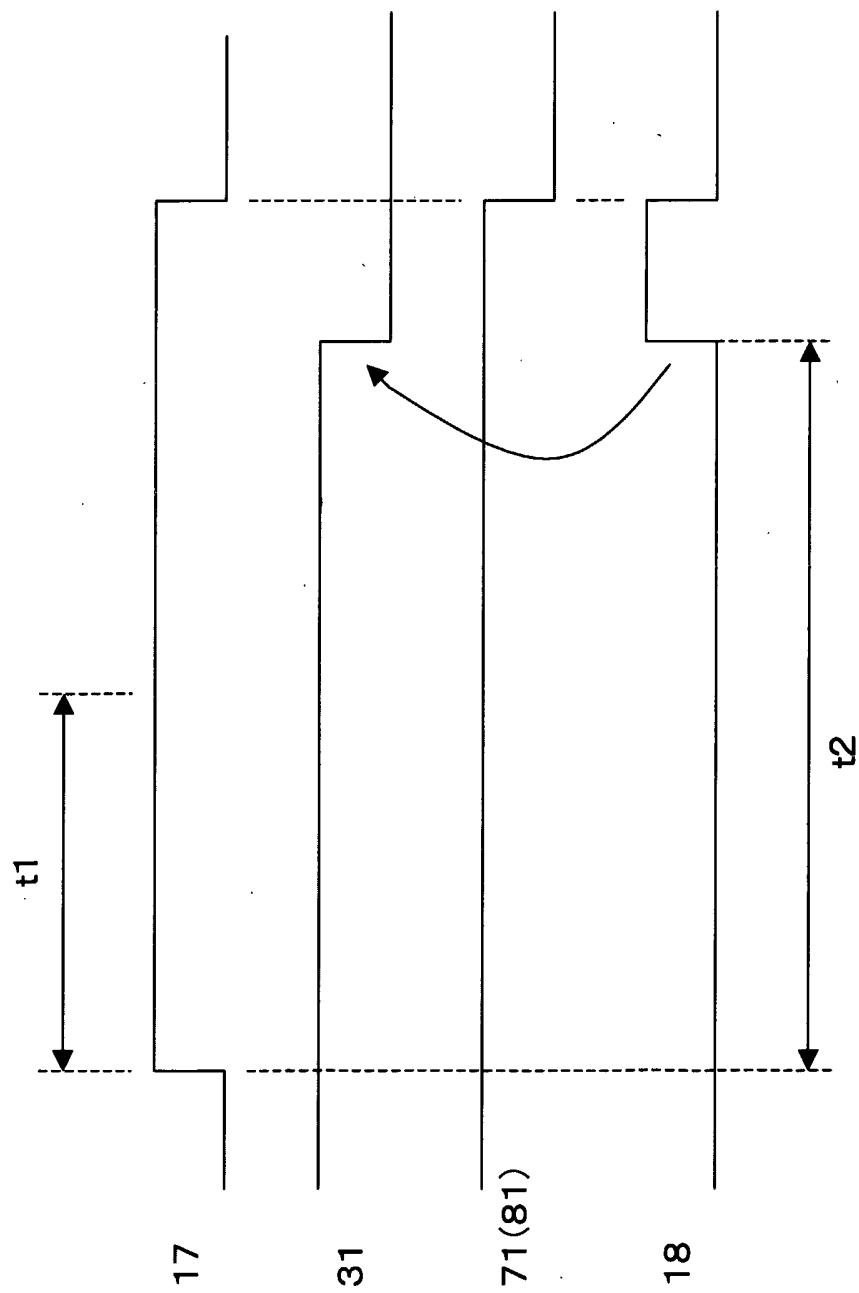
【図 11】



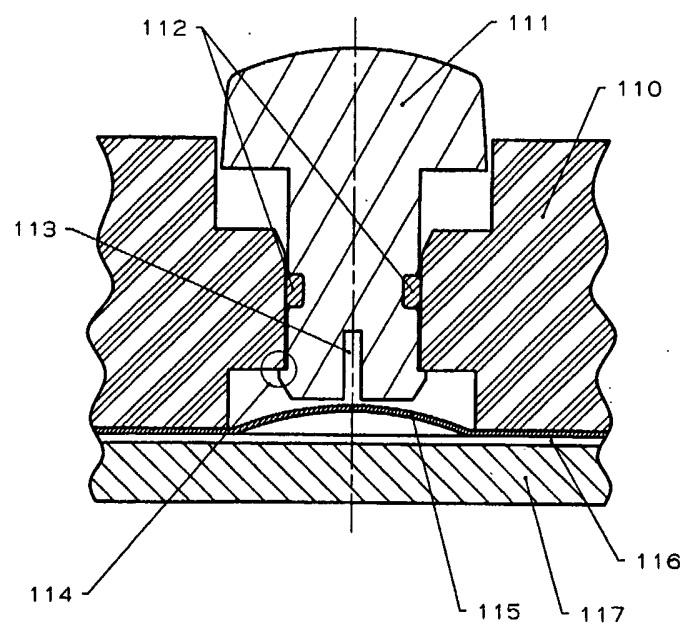
【図12】



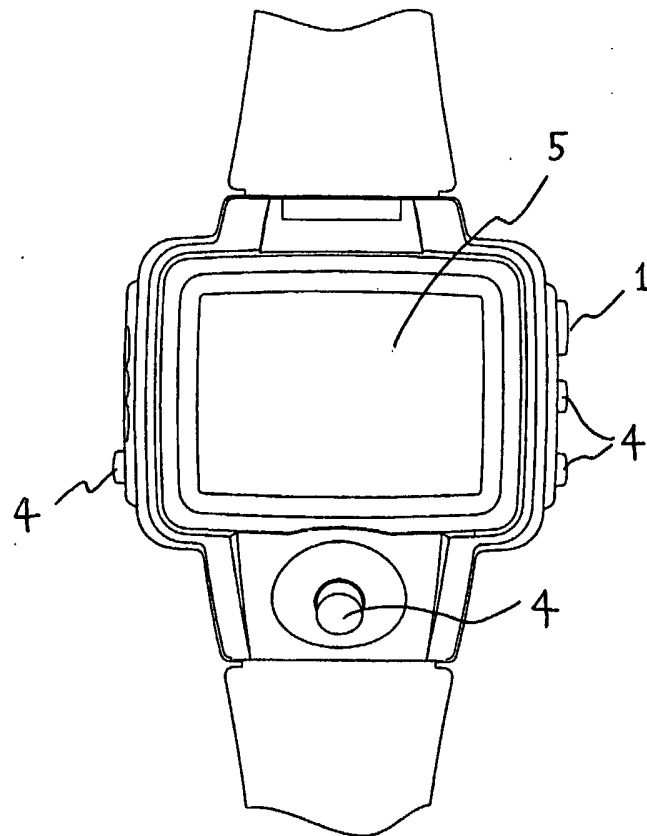
【図13】



【図14】

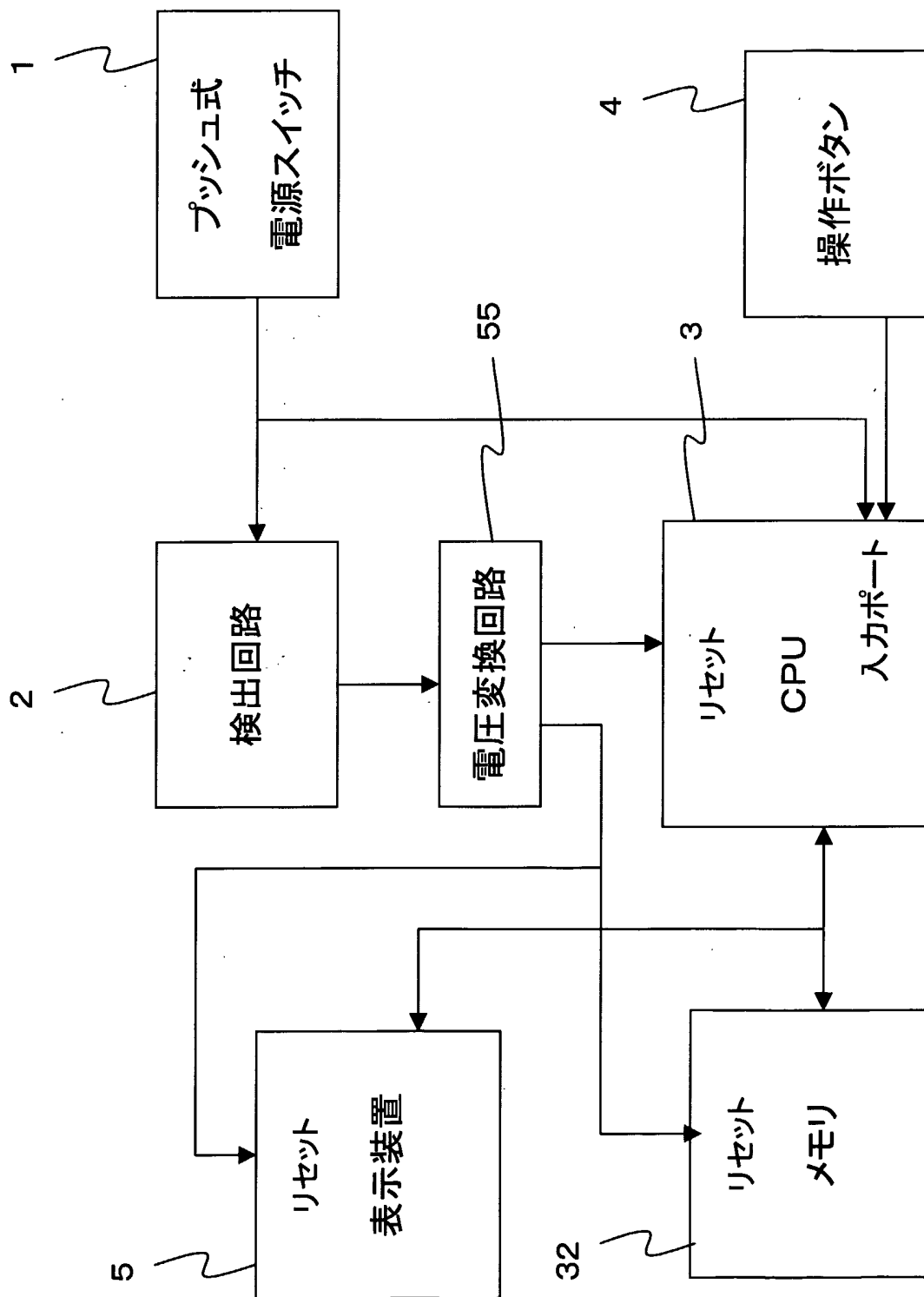


【図15】

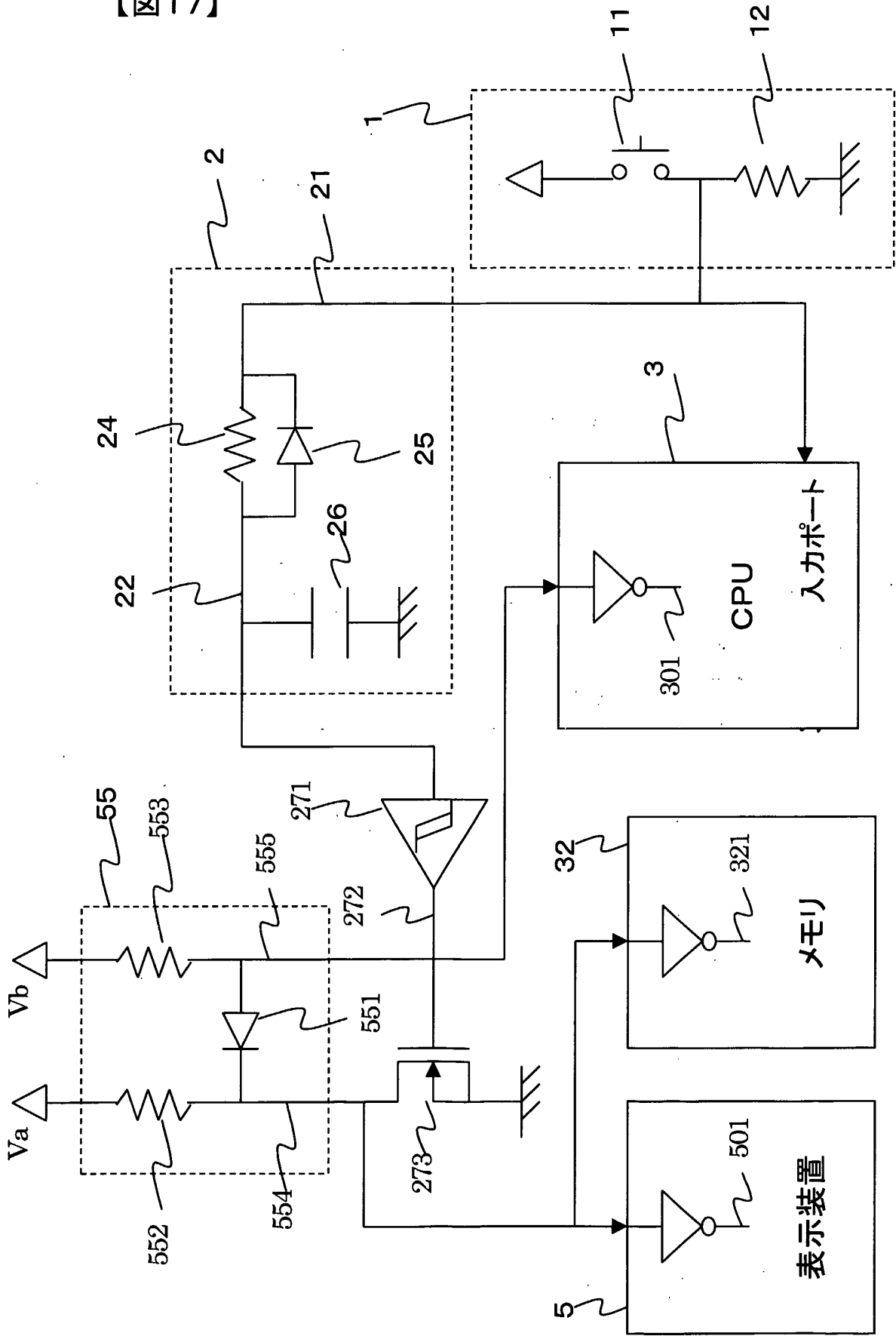


16/21

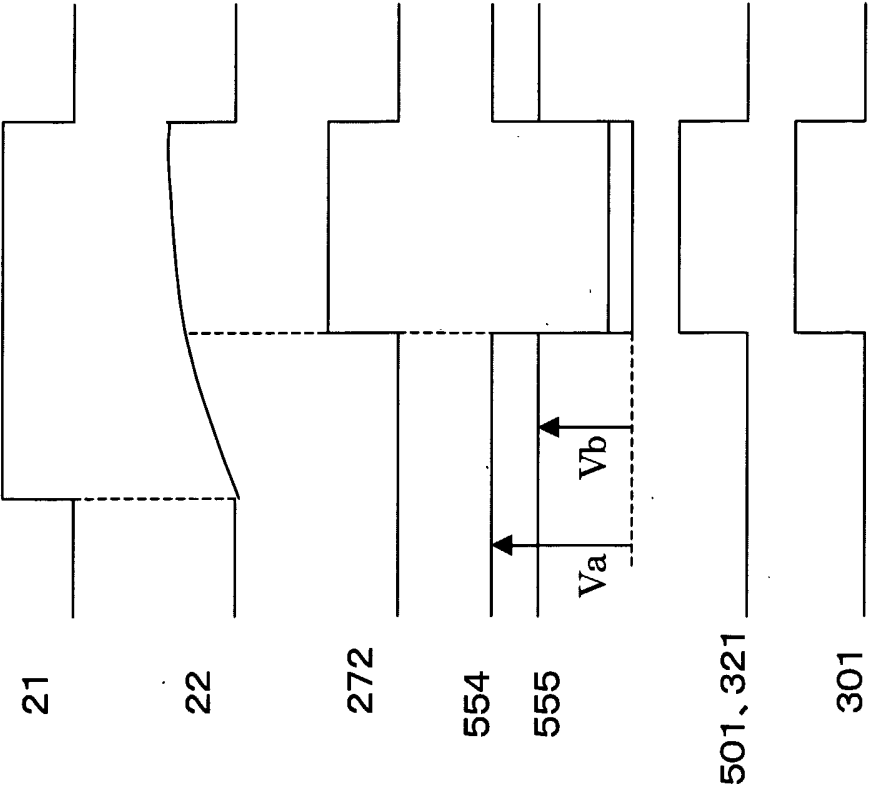
【図16】



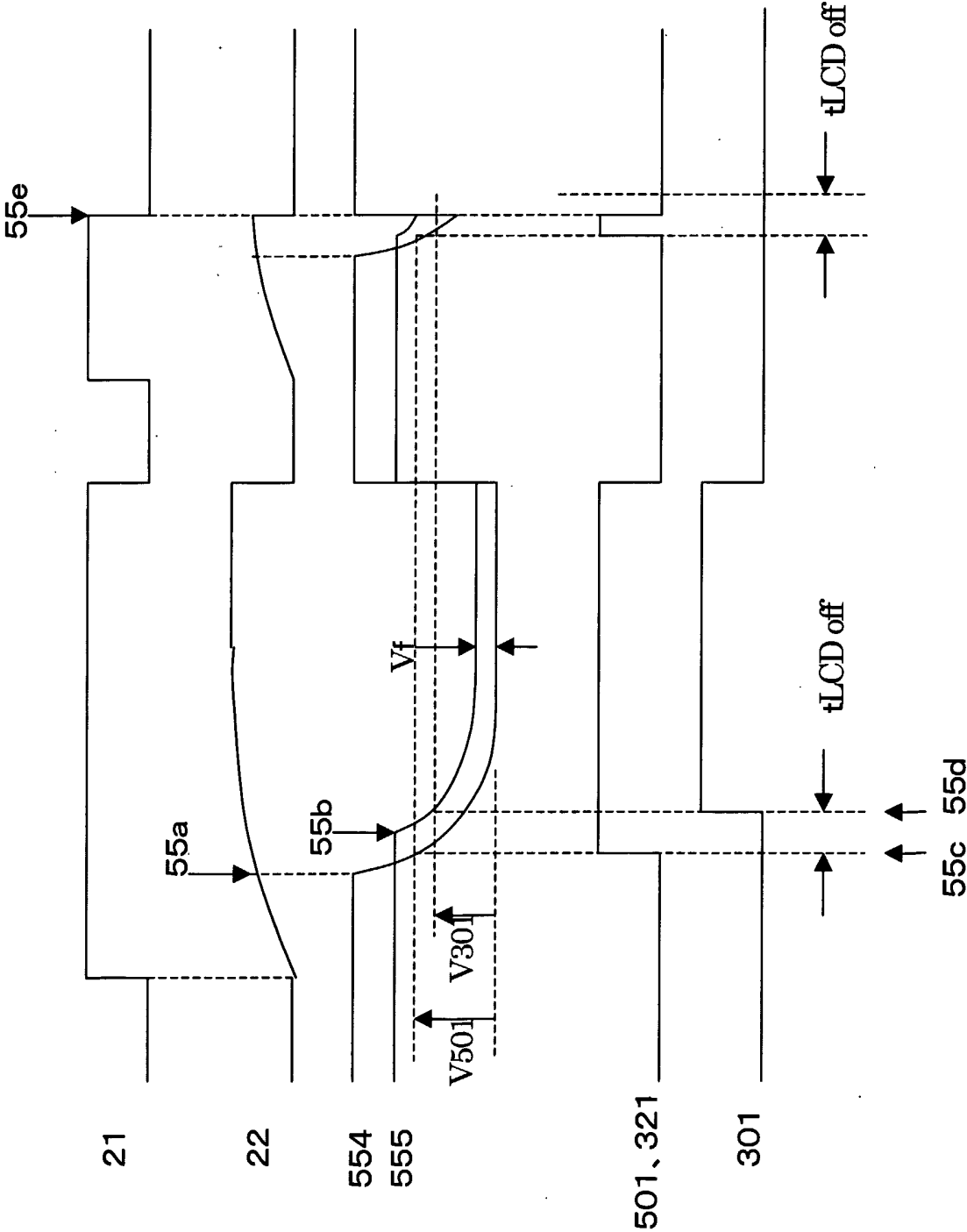
【図17】



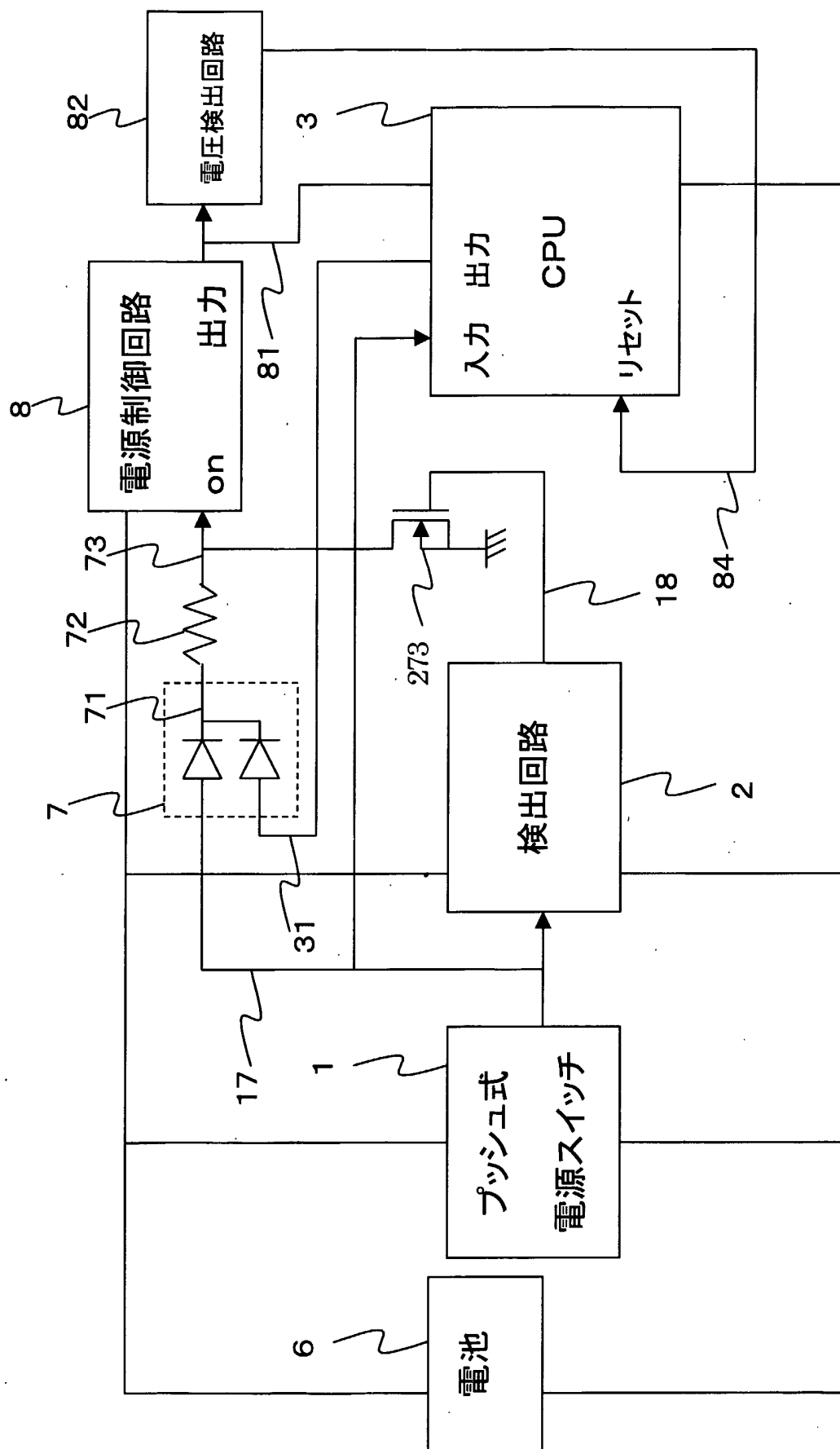
【図18】



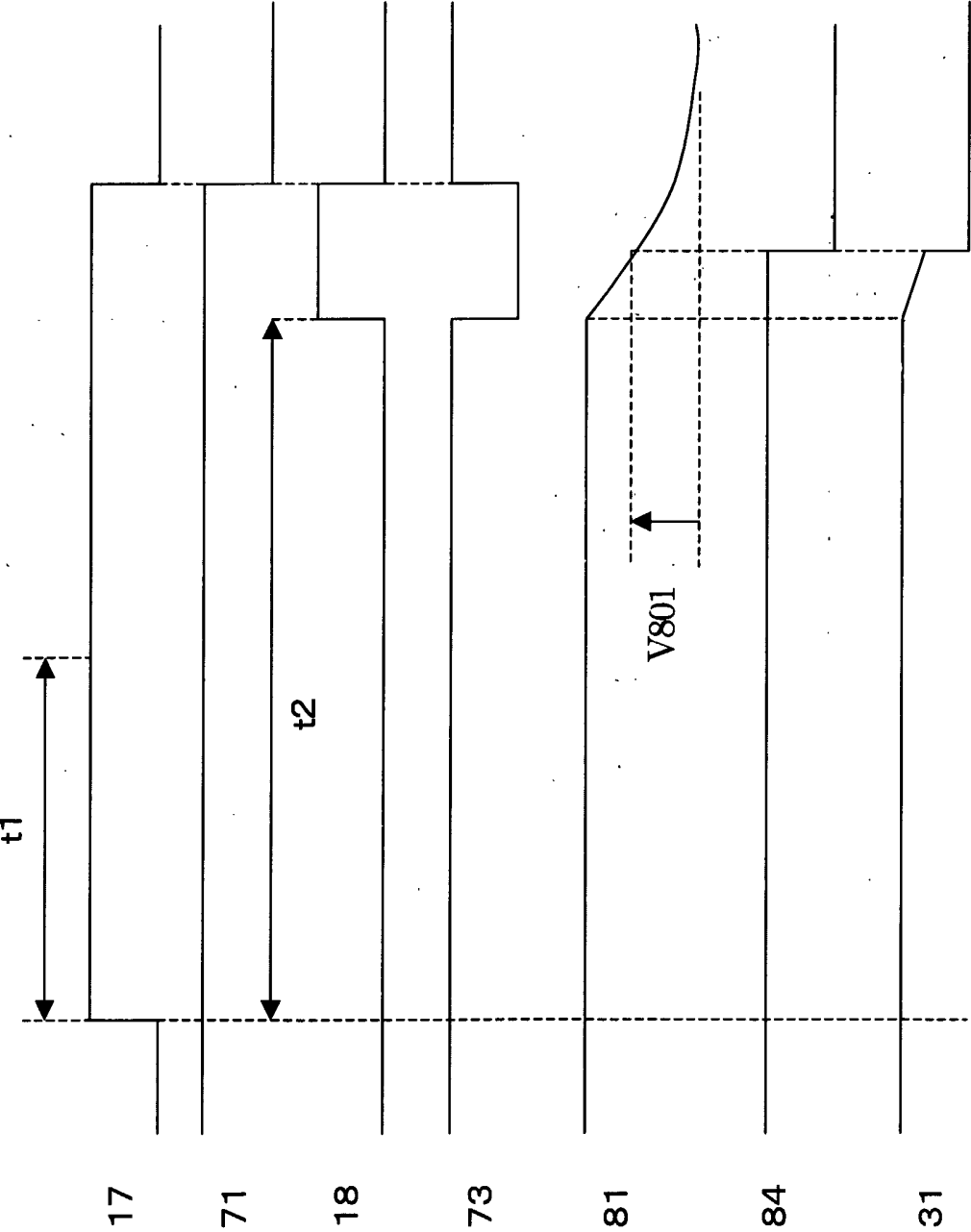
【図19】



【図20】



【図21】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10819

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F1/24, 1/16, 15/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F1/24, 1/16, 15/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-95875 A (Hitachi Device Engineering Co., Ltd.), 09 April, 1999 (09.04.99), Full text; all drawings (Family: none)	1, 2, 8 3-7, 9-11
Y A	JP 6-236225 A (Sanyo Electric Co., Ltd.), 23 August, 1994 (23.08.94), Full text; all drawings (Family: none)	1, 2, 8 3-7, 9-11
P, X	JP 2003-15780 A (Seiko Epson Corp.), 17 January, 2003 (17.01.03), Full text; all drawings (Family: none)	1, 2, 8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 November, 2003 (18.11.03)

Date of mailing of the international search report
02 December, 2003 (02.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10819

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-306192 A (Funai Electric Co., Ltd.), 02 November, 2001 (02.11.01), Full text; all drawings (Family: none)	1-11
A	JP 10-125176 A (NEC Saitama, Ltd.), 15 May, 1998 (15.05.98), Full text; all drawings (Family: none)	9

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F 1/24, 1/16, 15/02		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F 1/24, 1/16, 15/02		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-95875 A (日立デバイスエンジニアリング株式会社)	1, 2, 8,
A	1999. 04. 09, 全文, 全図 (ファミリーなし)	3-7, 9-11
Y	JP 6-236225 A (三洋電機株式会社)	1, 2, 8,
A	1994. 08. 23, 全文, 全図 (ファミリーなし)	3-7, 9-11
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	18. 11. 03	国際調査報告の発送日 02.12.03
国際調査機関の名称及びあて先	日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 富吉 伸弥 電話番号 03-3581-1101 内線 3520

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP 2003-15780 A (セイコーエプソン株式会社) 2003. 01. 17, 全文, 全図 (ファミリーなし)	1, 2, 8
A	JP 2001-306192 A (船井電機株式会社) 2001. 11. 02, 全文, 全図 (ファミリーなし)	1-11
A	JP 10-125176 A (埼玉日本電気株式会社) 1998. 05. 15, 全文, 全図 (ファミリーなし)	9