

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7257498号
(P7257498)

(45)発行日 令和5年4月13日(2023.4.13)

(24)登録日 令和5年4月5日(2023.4.5)

(51)国際特許分類	F I		
H 0 1 L 21/338 (2006.01)	H 0 1 L	29/80	H
H 0 1 L 29/778 (2006.01)	H 0 1 L	29/80	C
H 0 1 L 29/812 (2006.01)			
H 0 1 L 21/337 (2006.01)			
H 0 1 L 29/808 (2006.01)			

請求項の数 9 (全17頁)

(21)出願番号	特願2021-506131(P2021-506131)	(73)特許権者	000005821 パナソニックホールディングス株式会社 大阪府門真市大字門真1006番地
(86)(22)出願日	令和1年8月5日(2019.8.5)	(74)代理人	110001427 弁理士法人前田特許事務所
(86)国際出願番号	PCT/JP2019/030768	(72)発明者	宇治田 信二 大阪府門真市大字門真1006番地 パ ナソニック株式会社内
(87)国際公開番号	WO2020/188846	(72)発明者	田村 聡之 大阪府門真市大字門真1006番地 パ ナソニック株式会社内
(87)国際公開日	令和2年9月24日(2020.9.24)	(72)発明者	小川 雅弘 大阪府門真市大字門真1006番地 パ ナソニック株式会社内
審査請求日	令和4年2月22日(2022.2.22)	(72)発明者	柴田 大輔
(出願人による申告)平成26年度、環境省、未来のあるべき社会・ライフスタイルを創造する技術イノベーション事業委託業務、産業技術力強化法第19条の適用を受ける特許出願		最終頁に続く	

(54)【発明の名称】 窒化物半導体装置

(57)【特許請求の範囲】

【請求項1】

導電性を有する窒化ガリウムからなる基板と、
前記基板の上に設けられ、第1のIII族窒化物半導体からなるバッファ層と、
前記バッファ層の上に設けられ、第2のIII族窒化物半導体からなるドリフト層と、
前記ドリフト層の上に設けられ、第3のIII族窒化物半導体からなり、前記ドリフト層とヘテロ接合するチャンネル層と、
前記チャンネル層の上に設けられたゲート電極と、
前記チャンネル層の上における前記ゲート電極の両側方の領域にそれぞれ設けられたソース電極及びドレイン電極と、
前記基板と前記バッファ層との間に設けられ、p型の第6のIII族窒化物半導体からなる空乏層形成層とを備えている窒化物半導体装置。

【請求項2】

請求項1に記載の窒化物半導体装置において、
前記第1のIII族窒化物半導体は、転位密度が $5 \times 10^7 \text{ cm}^{-2}$ 以下である窒化物半導体装置。

【請求項3】

請求項1又は2に記載の窒化物半導体装置において、
前記チャンネル層と前記ゲート電極との間に設けられ、p型の第4のIII族窒化物半導体からなるp型制御層をさらに備えている窒化物半導体装置。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の窒化物半導体装置において、
前記バッファ層には、カーボンがドーブされており、
前記バッファ層の厚さは $7 \mu\text{m}$ 以上で、且つ、ドーブされたカーボン濃度は $5 \times 10^{17} \text{cm}^{-3}$ 以上である窒化物半導体装置。

【請求項 5】

請求項 4 に記載の窒化物半導体装置において、
前記バッファ層には、シリコン及び酸素の少なくとも一方が含まれており、
前記バッファ層の前記カーボン濃度は、シリコン濃度と酸素濃度との和よりも大きい窒化物半導体装置。

10

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の窒化物半導体装置において、
前記バッファ層と前記ドリフト層との間に設けられ、前記ドリフト層とヘテロ接合し且つ厚さが $0.5 \mu\text{m}$ 以上の第 5 の III 族窒化物半導体からなる耐圧向上層をさらに備えている窒化物半導体装置。

【請求項 7】

請求項 6 に記載の窒化物半導体装置において、
前記第 5 の III 族窒化物半導体は、窒化アルミニウムガリウムであり、
前記窒化アルミニウムガリウムにおけるアルミニウムの組成は、1% 以上且つ 10% 以下である窒化物半導体装置。

20

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の窒化物半導体装置において、
前記第 6 の III 族窒化物半導体は、p 型の窒化ガリウムであり、
前記空乏層形成層の厚さは、 500nm 以下である窒化物半導体装置。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の窒化物半導体装置において、
前記ソース電極は、前記基板と接地されている窒化物半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、窒化物半導体装置に関する。

30

【背景技術】**【0002】**

従来、パワー半導体デバイスとして、III 族窒化物半導体を用いたパワートランジスタが用いられている。III 族窒化物半導体は、III 族元素、すなわちアルミニウム (Al)、ガリウム (Ga) 及びインジウム (In) の少なくとも 1 つと窒素との化合物半導体である。下記の特許文献 1 及び特許文献 2 には、ソース電極とドレイン電極とを同一のチャネル層の上に配置した横型の III 族窒化物半導体からなるトランジスタが記載されている。このトランジスタは、サファイア (単結晶 Al_2O_3) 又はシリコン (Si) を成長用基板に用いると共に、ゲート電極とその下のチャネル層との間に p 型 GaN よりなるホール注入層を設けた、ノーマリオフ型の電界効果トランジスタ (Field Effect Transistor: FET) である。

40

【0003】

また、下記の特許文献 3 には、同じく横型デバイスであり、GaN 系高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) が記載されている。このトランジスタの成長用基板にはシリコンが用いられている。例えばチャネル層が AlGaIn / GaN 層よりなるヘテロ接合で形成されている場合、その下層に GaN 層よりもバンドギャップが大きい例えばアンドープ AlGaIn 層をブロック層として形成している。さらに、基板上のバッファ構造の一部には、組成が異なる窒化アルミニウムガリウム (AlGaIn) 層が交互に積層されたヘテロ接合を持つ超格子構造が用いられている。これにより

50

、GaN系HEMTは、縦方向のリーク電流が抑制され、高電圧領域での低オン抵抗及び高速スイッチング動作が実現される構成としている。

【先行技術文献】

【特許文献】

【0004】

【文献】特許第4712459号公報(図1、図4)

特許第4705412号公報(図1)

米国特許第9768258号明細書(図9)

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、種々の用途、例えば、電気自動車(EV: Electric Vehicle)用車載電源、データセンタ用無停電電源(UPS: Uninterruptible Power Supply)、及びパワーコンディショナ等、システムの高電圧化(800V程度)を目指すことが検討されている。このように、システムの電圧が800Vに高電圧化された場合、パワートランジスタには、1200V程度の耐圧が必要となる。

【0006】

しかしながら、前記従来の横型III族窒化物電界効果トランジスタは、該トランジスタの半導体層(活性層)を成長させる成長用基板に、いずれも活性層とは組成が異なる、いわゆるヘテロ基板を用いている。このため、ヘテロ基板の上に形成するバッファ層は、超格子構造を含め、高耐圧化を実現するための厚膜化が困難となる。

【0007】

ヘテロ基板では、例えばシリコン(Si)基板の場合、活性層を構成する窒化ガリウム層に 10^{10} cm^{-2} 程度の転位密度が生じてしまい、高結晶性を持つ窒化ガリウム層を得ることができない。その結果、窒化ガリウムが本来有するポテンシャルを引き出すだけの低抵抗化を実現できない。

【0008】

また、シリコンと窒化ガリウムとは、両者の格子不整合率が17%程度と大きく、その格子不整合率及び熱膨張係数の差により、格子欠陥(クラック)が生じやすい。このため、電界効果トランジスタの場合は、ソース電極を基板と接地して、コラプス電流を抑制する構成を採る場合がある。この場合は、縦方向(半導体層の厚さ方向)の厚さ、具体的には、バッファ層の厚さを十分に厚くする必要がある。しかし、安価なシリコンヘテロ基板上のバッファ層は、 $5 \mu\text{m} \sim 6 \mu\text{m}$ 程度の厚さにしかならなく、縦方向の耐圧を1000V以上に高くすることは困難である。

【0009】

本開示は、前記従来の問題を解決し、高耐圧化を図ると共に、バッファ層上の窒化物半導体層の結晶性を向上して、オン抵抗を低減することを目的とする。オン抵抗(R_{on})とは、トランジスタの動作開始時のドレイン・ソース間の抵抗値をいう。

【課題を解決するための手段】

【0010】

前記の目的を達成するため、本開示は、III族窒化物半導体(以下、窒化物半導体とも呼ぶ。)の成長用基板に窒化ガリウムを用いる構成とする。

【0011】

具体的に、本開示は、窒化物半導体装置を対象とし、次のような解決手段を講じた。

【0012】

すなわち、本開示は、導電性を有する窒化ガリウムからなる基板と、基板の上に設けられ、第1のIII族窒化物半導体からなるバッファ層と、バッファ層の上に設けられ、第2のIII族窒化物半導体からなるドリフト層と、ドリフト層の上に設けられ、第3のIII族窒化物半導体からなり、ドリフト層とヘテロ接合するチャンネル層と、チャンネル層の上に設けられたゲート電極と、チャンネル層の上におけるゲート電極の両側方の領域にそれぞれ設けられた

10

20

30

40

50

ソース電極及びドレイン電極とを備えている。

【発明の効果】

【0013】

本開示によれば、必要な高耐圧化が可能となる程度にバッファ層を厚くできると共に、該バッファ層上の窒化物半導体層の結晶性が向上するので、オン抵抗を低減することができる。

【図面の簡単な説明】

【0014】

【図1】図1は第1の実施形態に係る窒化物半導体装置を示す模式的な断面図である。

【図2】図2は窒化ガリウムを基板に用いたGaN系半導体デバイスと、シリコンを基板に用いたGaN系半導体デバイスとの耐圧を比較するグラフである。

10

【図3】図3は第1の実施形態に係る窒化物半導体装置のバッファ層の厚膜化による効果を示す模式的な断面図である。

【図4】図4は窒化ガリウムを基板に用いたGaN系半導体と、シリコンを基板に用いたGaN系半導体との結晶性を比較する一覧表である。

【図5】図5は窒化ガリウムを基板に用いたGaN系半導体デバイスと、シリコン系電界効果トランジスタ及び炭化シリコン系電界効果トランジスタとの $R_{on} \cdot Q_{oss}$ を比較するグラフである。

【図6】図6は第2の実施形態に係る窒化物半導体装置を示す模式的な断面図である。

【発明を実施するための形態】

20

【0015】

本開示の一実施形態に係る第1の態様は、導電性を有する窒化ガリウムからなる基板と、基板の上に設けられ、第1のIII族窒化物半導体からなるバッファ層と、バッファ層の上に設けられ、第2のIII族窒化物半導体からなるドリフト層と、ドリフト層の上に設けられ、第3のIII族窒化物半導体からなり、ドリフト層とヘテロ接合するチャンネル層と、チャンネル層の上に設けられたゲート電極と、チャンネル層の上におけるゲート電極の両側方の領域にそれぞれ設けられたソース電極及びドレイン電極とを備えている。

【0016】

これによれば、窒化ガリウムからなる基板の上に第1のIII族窒化物半導体からなるバッファ層を設けるホモエピタキシャル構造により、格子不整合の差及び熱膨張係数の差がない。このため、クラック等の欠陥が発生しにくく、バッファ層を厚くできるので高耐圧化が実現する。その上、ホモエピタキシャル構成であるため、ヘテロエピタキシャル成長の場合よりも転位密度が抑制されるので、バッファ層上の窒化物半導体層の結晶性が向上する。これにより、第2のIII族窒化物半導体からなるドリフト層と第3のIII族窒化物半導体からなるチャンネル層とのヘテロ界面に生じる2次元電子ガス(2DEG: Two Dimensional electron Gas)層における電子移動度が高くなる。従って、オン抵抗を低減することができる。その結果、動作時の電力損失を抑制することができる。

30

【0017】

第2の態様は、上記第1の態様において、第1のIII族窒化物半導体は、転位密度が $5 \times 10^7 \text{ cm}^{-2}$ 以下であってもよい。

40

【0018】

これによれば、III族窒化物半導体の成長用基板に、窒化ガリウムからなる基板を用いているため、その上に成長するバッファ層に生じる転位密度を $5 \times 10^7 \text{ cm}^{-2}$ 以下に抑えることができる。

【0019】

第3の態様は、上記第1又は第2の態様において、チャンネル層とゲート電極との間に設けられ、p型の第4のIII族窒化物半導体からなるp型制御層をさらに備えていてもよい。

【0020】

これによれば、チャンネル層とゲート電極との間に設けられたp型制御層を備えているため、ゲート電極にバイアス電圧を印加していない非動作時にはバンドのポテンシャルが持

50

ち上がるので、ゲート電極の下方の2DEG層の電子キャリアが枯渇してノーマリオフの状態を得ることができる。一方、ゲート電極に正のバイアス電圧を印加すると、バンドのポテンシャルが下がるので、ゲート電極の下方の2DEG層に電子キャリアが発生して、ドレイン・ソース電流(I_{ds})が流れるようになる。

【0021】

第4の態様は、上記第1～第3の態様において、バッファ層には、カーボン(C)がドーピングされており、バッファ層の厚さは7μm以上で、且つ、ドーピングされたカーボン濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上であってもよい。

【0022】

これによれば、バッファ層に、カーボン濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上でドーピングされる場合、製造中の雰囲気及び製造装置等から混入して、エピタキシャル層をn型に近い特性とするシリコン(Si)及び酸素(O)を補償することができ、その上、該バッファ層を構成する窒化ガリウムのバンド間(ミッドギャップ)にエネルギー準位が形成される。この形成されたミッドギャップのエネルギー準位に電子がトラップされるため、該バッファ層の高抵抗化を実現することができ、且つ、7μm以上の厚さのバッファ層により、耐圧を向上することができる。

10

【0023】

第5の態様は、上記第4の態様において、バッファ層には、シリコン及び酸素の少なくとも一方が含まれており、バッファ層のカーボン濃度は、シリコン濃度と酸素濃度との和よりも大きくてもよい。

20

【0024】

これによれば、バッファ層のカーボン濃度がシリコン濃度と酸素濃度との和よりも大きい場合に、バッファ層の極性がn型に近くなって、該バッファ層の耐圧が低下するのを抑制し、また、上述したカーボンによるミッドギャップのエネルギー準位が形成されるので、該バッファ層の高抵抗化を確実に実現することができる。

【0025】

第6の態様は、上記第1～第5の態様において、バッファ層とドリフト層との間に設けられ、ドリフト層とヘテロ接合し且つ厚さが0.5μm以上の第5のIII族窒化物半導体からなる耐圧向上層をさらに備えていてもよい。

【0026】

これによれば、チャンネル層の厚さを大きくすることによる高耐圧化は2DEG層の濃度が高くなって、ノーマリオフ特性を得られにくくなるため、これに代えて、バッファ層とドリフト層との間にドリフト層とヘテロ接合する耐圧向上層を設けることにより、縦方向の耐圧をより大きくすることができる。

30

【0027】

第7の態様は、上記第6の態様において、耐圧向上層は、窒化アルミニウムガリウムであり、該窒化アルミニウムガリウムにおけるアルミニウムの組成は、1%以上且つ10%以下であってもよい。

【0028】

これによれば、耐圧向上層におけるアルミニウムの組成をチャンネル層よりも小さくすることにより、ドリフト層と耐圧向上層との界面に望まない2DEG層の形成が抑制されると共に、GaNからなるバッファ層との格子定数のずれを抑制することができる。

40

【0029】

第8の態様は、上記第1～第7の態様において、基板とバッファ層との間に設けられ、p型の第6のIII族窒化物半導体からなる空乏層形成層をさらに備えていてもよい。

【0030】

これによれば、基板とバッファ層との間に設けられた空乏層形成層によって、オフ電圧の印加時に、バッファ層には高電圧が掛かり、空乏層形成層には接地電圧が掛かる。このため、バッファ層と空乏層形成層とに空乏層が形成され、形成された空乏層によって、縦方向の耐圧がより大きくなる。従って、形成された空乏層によって耐圧を確保することが

50

できるので、バッファ層の面内のばらつきによる耐圧の歩留りの悪化を抑制することができる。

【 0 0 3 1 】

第 9 の態様は、上記第 8 の態様において、第 6 の III 族窒化物半導体は、p 型の窒化ガリウムであり、空乏層形成層の厚さは、500 nm 以下であってもよい。なお、バッファ層側に大きい電圧を印加して、空乏層形成層とバッファ層との間に空乏層が形成される場合に、パンチスルー現象が発生しないように、空乏層形成層の厚さを設計することが好ましい。また、上記の条件を満たすのであれば、空乏層形成層はできる限り薄く形成するのが好ましい。

【 0 0 3 2 】

第 10 の態様は、上記第 1 ~ 9 の態様において、ソース電極は基板と接地されていることが好ましい。

【 0 0 3 3 】

このようにすると、電流コラプス現象が抑制されて、オン抵抗の増大を防ぐことができる。

【 0 0 3 4 】

(第 1 の実施形態)

本開示の第 1 の実施形態について図面を参照しながら説明する。

【 0 0 3 5 】

図 1 は第 1 の実施形態に係る窒化物半導体装置の一例である電界効果トランジスタ 100 の断面構成を表している。ここで、各半導体層の厚さ並びに各電極の厚さ及び幅は、便宜上に過ぎず、実際の寸法比を表してはいない。以下の構成図面においても同様である。

【 0 0 3 6 】

図 1 に示すように、電界効果トランジスタ 100 は、導電性を有する窒化ガリウム (GaN) からなるデバイス成長用の単結晶基板 (以下、基板と呼ぶ。) 101 の主面の上に、順次結晶成長した、バッファ層 102、ドリフト (電子走行) 層 103、チャンネル (電子障壁) 層 104、及び p 型制御層 106 を有している。バッファ層 102 は、例えば、カーボン (C) ドープ窒化ガリウム (i - GaN) により構成される。ドリフト層 103 は、例えば、アンドープの窒化ガリウム (i - GaN) により構成される。チャンネル層 104 は、例えば、アンドープの窒化アルミニウムガリウム (i - AlGaIn) により構成される。p 型制御層 106 は、例えば、チャンネル層 104 の上に選択的に形成された p 型の窒化ガリウム (p - GaN) により構成される。なお、アンドープとは、対象とする半導体に対して積極的にすなわち故意に不純物をドープしていない状態をいう。

【 0 0 3 7 】

基板 101 は、その主面として、例えば、面方位 (0 0 0 1) 面、すなわち c 面を用いることができる。基板 101 は、例えば、厚さが約 300 μm で、ドナーとしてシリコン (Si) がドープされた n 型 GaN 基板を用いてもよい。なお、基板 101 の導電性は p 型であってもよい。この場合のアクセプタには、例えばマグネシウム (Mg) を用いることができる。

【 0 0 3 8 】

バッファ層 102 は、例えば、厚さが 10 μm で、カーボン (C) が $5 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度でドープされた i - GaN である。但し、バッファ層 102 の厚さは 7 μm 以上であればよい。なお、製造中の雰囲気及び製造装置 (治具) 等から混入するシリコン (Si) 及び酸素 (O) の濃度を、それぞれ $2 \times 10^{15} \text{ cm}^{-3}$ 及び $6 \times 10^{15} \text{ cm}^{-3}$ と想定すると、ドープしたカーボンが、シリコンと酸素とによって補償され尽くしてしまわないように、カーボン濃度を、シリコン濃度と酸素濃度との和よりも大きくなるように設定する。上述したように、ドープされたカーボンによって、バッファ層 102 を構成する GaN のミッドギャップにエネルギー準位が形成される。この形成されたミッドギャップの準位に電子がトラップされ、バッファ層 102 の高抵抗化が実現されて、耐圧の向上を図ることができる。

10

20

30

40

50

【0039】

本実施形態に係るCドープのi-GaNからなるバッファ層102は、n-GaNからなる基板101の主面上に結晶成長しており、厚さが10 μ mであっても、その転位密度は5 \times 10⁷cm⁻²以下に抑えることができる。通常、GaNからなる基板101の主面上に結晶成長する窒化物半導体の転位密度は、5 \times 10⁶cm⁻²程度に抑えられる。バッファ層102を構成するi-GaNは、第1のIII族窒化物半導体の一例である。従って、このi-GaNは、基板101との間で格子不整合率の差が相対的に大きくなる範囲で、Cドープのi-AlGaN、Cドープのi-AlInGaN又はCドープのi-InGaNであってもよい。但し、基板101にGaNを用いることから、バッファ層102にはGaNを用いることは好ましい。

10

【0040】

ドリフト層103は、例えば、厚さが約500nmのi-GaNである。ドリフト層103を構成するi-GaNは、第2のIII族窒化物半導体の一例である。従って、このi-GaNは、バッファ層102との間で格子不整合率の差が相対的に大きくなる範囲で、i-AlGaN、i-AlInGaN、i-InGaN又はi-InNであってもよい。

【0041】

ドリフト層103とヘテロ接合するチャンネル層104は、例えば、厚さが約25nmのi-AlGaNである。i-AlGaNにおけるAl組成は、例えば0.2である。但し、Al組成は、0.1以上且つ0.5以下であればよい。公知のように、AlGaN半導体のバンドギャップは、GaN半導体のバンドギャップよりも大きい。チャンネル層104を構成するi-AlGaNは、第3のIII族窒化物半導体の一例である。従って、このi-AlGaNは、ドリフト層103よりもバンドギャップが大きく且つドリフト層103との間での格子不整合率の差が大きくなり過ぎない範囲で、i-AlInGaN又はi-AlNであってもよい。

20

【0042】

上述のように、チャンネル層104とドリフト層103とは、チャンネル層104がドリフト層103よりもバンドギャップが大きいヘテロ接合であり、上述したように、両半導体層の界面には、III族窒化物半導体による自発分極とピエゾ分極とによって、2次元電子ガス(2DEG)層105が生成される。

【0043】

p型制御層106は、例えば、厚さが約100nmのp-GaNである。p型の不純物であるマグネシウム(Mg)の濃度は、例えば1 \times 10¹⁹cm⁻³程度である。p型制御層106を構成するp-GaNは、第4のIII族窒化物半導体の一例である。従って、このp-GaNは、チャンネル層104との間で格子不整合率の差が相対的に大きくなる範囲で、p-AlN、p-AlGaN、p-AlInGaN又はp-InGaNであってもよい。

30

【0044】

p型制御層106の上には、ゲート電極107が設けられている。チャンネル層104の上におけるp型制御層106の両側方の領域には、ソース電極108と、ドレイン電極109とが設けられている。

40

【0045】

ゲート電極107は、例えば、厚さが100nm程度の、パラジウム(Pd)からなる単層膜又はパラジウム(Pd)と金(Au)との積層膜を用いることができる。ソース電極108及びドレイン電極109は、例えば、積層された厚さが100nm程度のチタン(Ti)とアルミニウム(Al)との積層膜を用いることができる。ゲート電極107とドレイン電極109との間隔は、ゲート電極107とソース電極108との間隔よりも大きく設定されている。これにより、ゲート電極107とドレイン電極109との耐圧(横方向耐圧)が高められている。

【0046】

また、ソース電極108は、基板101と電氣的に接続されている。これにより、電流

50

コラプス現象を抑制してオン抵抗の増大を防いでいる。なお、公知のように、電流コラプス現象とは、絶縁体との界面や半導体中の欠陥に起因する深い準位に、横方向に高電界が集中することによって加速された電子がトラップされ、すぐに回復しないことにより、チャンネルが部分的に空乏化してドレイン電流が減少する現象をいう。電流コラプス現象は、オン抵抗の増大の一因となる。このソース電極108の基板101との接地により、縦方向にも電界が分散して掛かり、この電界が緩和することによって、電流コラプス現象を抑制することができる。一方、ソース電極108と基板101とを接地すると、ソース電極108と基板101とが対向する方向の耐圧（縦方向耐圧）を上げる必要が生じる。なお、基板101には、ソース電極108を接地しない構成を採る場合は、必ずしも導電性を持たせる必要はない。

10

【0047】

ここで、本明細書において、例えば「基板101の主面の上に設けられる」とは、基板101の主面上に直接に設けられている状態でもよく、また、他の半導体層等を介して間接的に設けられている状態であってもよい。なお、直接に接触する場合は、例えば「主面の上に直接に設けられる」と記載する。これは、例えば「バッファ層102の下に」という記載の場合も同様である。

【0048】

（電界効果トランジスタの動作）

電界効果トランジスタ100においては、ゲートバイアス（ゲート電圧）を印加していない場合は、p型制御層106とその下のチャンネル層104との実質的なpn接合によって、ポテンシャル障壁が高くなるので、ノーマリオフ化が実現される。さらには、ゲート順方向のオン電圧の向上と、ゲートリーク電流の低減とが実現される。

20

【0049】

次に、ゲートバイアスを上記pn接合の順方向電圧以下で印加すると、チャンネル層104におけるポテンシャル障壁が低くなって、ゲートバイアスが電界効果トランジスタのしきい値以上になると、電流が流れ始める。

【0050】

次に、ゲートバイアスが順方向電圧を超えると、p型制御層106から2DEG層105にホールが注入され始める。2DEG層105（ドリフト層103）には、電荷中性条件を満たすために、注入されたホールと同量の電子がソース電極108から引き出される。これにより、引き出された電子は、ドレイン電圧によってドレイン電極109に向かって移動する。このとき、ドリフト層103に注入されたホールは、その移動度が電子よりも二桁程度も小さいため、ゲート電極107の下方に滞留する。その上、ドリフト層103とチャンネル層104とのヘテロ接合によるポテンシャル障壁によって、ゲート電極107にはほとんど流入しない。

30

【0051】

（効果）

（1）耐圧の向上

本実施形態においては、横型デバイスである電界効果トランジスタを例として、III族窒化物半導体（以下、GaN系半導体とも呼ぶ。）の成長用基板に単結晶GaNからなる基板101を用いている。このため、基板101の主面上にホモエピタキシャル成長するGaNからなるバッファ層102は、格子不整合の差及び熱膨張係数の差がほぼないため、クラック等の欠陥がほとんど発生しない。これにより、バッファ層102の厚さは7 μ m以上にまで大きくすることが可能となり、その結果、縦方向の耐圧が向上する。

40

【0052】

図2に、本実施形態の窒化ガリウム（GaN）を成長用基板に用いたGaN系半導体デバイス（電界効果トランジスタ）と、従来のシリコン（Si）を成長用基板に用いたGaN系半導体デバイス（電界効果トランジスタ）との耐圧の一例を比較する。図2に示すように、従来のSi基板を用いた場合は、縦軸に示すドレイン・ソース電流 I_{ds} が0.04Aの場合に、横軸に示すドレイン・ソース電圧 V_{ds} が約1080Vを示す。これに対

50

し、本実施形態のGaN基板を用いた場合は、ドレイン・ソース電流 I_{ds} が0.04Aで同一の場合、ドレイン・ソース電圧 V_{ds} が約1500Vを示し、約1.4倍の耐圧を得られている。

【0053】

(2) 出力容量(Output Capacitance) C_{oss} の低減

本実施形態においては、バッファ層102の厚膜化によって、電界効果トランジスタ100における静電容量(寄生容量)のうちの出力容量 C_{oss} を低減することができる。これにより、ソフトスイッチング時のドレイン・ソース電圧 V_{ds} を0Vに高速にスイッチングすることができる。

【0054】

出力容量 C_{oss} は、以下の式(1)で表される。

【0055】

$$C_{oss} = C_{ds} + C_{dg} \dots (1)$$

ここで、 C_{ds} はドレイン・ソース電極間容量を、 C_{dg} はドレイン・ゲート電極間容量を示す。

【0056】

図3に示すように、電界効果トランジスタ100は、ソース電極108を基板101に接地しているので、 C_{ds} は以下の式(2)で表される。

【0057】

$$C_{ds} = C_{ds1} + C_{ds2} \dots (2)$$

本実施形態においては、バッファ層102を $10\mu\text{m}$ に厚膜化しており、従来のバッファ層の厚さが、例えば $5\mu\text{m}$ とすると、以下の容量の簡易計算式(3)から、

$$C = \epsilon \times S / d \dots (3)$$

ここで、 ϵ は物質の誘電率を、 S は電極の面積を、 d は電極間の距離を表す。

【0058】

C_{ds2} の容量値は、従来のトランジスタの容量値の2分の1に低減できるため、バッファ層102の厚膜化により、出力容量 C_{oss} を低減することができる。

【0059】

(3) 結晶性の向上

また、本実施形態に係る電界効果トランジスタ100は、単結晶GaN基板101の主面上に結晶成長したGaNバッファ層の転位密度を $5 \times 10^7 \text{ cm}^{-2}$ 以下、例えば $5 \times 10^6 \text{ cm}^{-2}$ にまで抑えることができる。これにより、バッファ層102の厚さは、 $7\mu\text{m}$ 以上にまで大きくすることが可能となり、その結果、縦方向の耐圧が向上する。

【0060】

なお、成長用基板にシリコン(Si)を用いると、その上のGaNからなるバッファ層の転位密度は $1 \times 10^{10} \text{ cm}^{-2}$ 以上となることが知られている。また、成長用基板にサファイア(単結晶 Al_2O_3)を用いると、GaNからなるバッファ層の転位密度は $1 \times 10^8 \text{ cm}^{-2}$ となることが知られている。

【0061】

ところで、半導体結晶に対して、その転位密度を測定するには、以下に示す2通りの方法がある。

【0062】

第1の方法として、転位密度が比較的に高い場合は、透過電子顕微鏡(TEM: Transmission Electron Microscope)を用いる。測定対象の半導体から試料をスポット状に切り出し、切り出した試料の側面から転位である筋状部分の数を数える。この場合、測定範囲が小さいため、数える際の労力は比較的小さい。

【0063】

第2の方法として、転位密度が比較的に低い場合、本実施形態のように転位密度が $5 \times 10^7 \text{ cm}^{-2}$ 以下の場合、カソードルミネセンス(Cathodoluminescence)測定法を用いる。この測定法では、ダークスポットの数を数える。広範囲にわたって転位密度の

10

20

30

40

50

測定が可能であり、非破壊測定が可能であるというメリットもある。

【0064】

バッファ層102の低転位密度化により、バッファ層102の上に結晶成長した少なくともアンドープのGaNからなるドリフト層103、及びアンドープのAlGaNからなるチャンネル層104の各GaN系半導体層の結晶性が良好となる。このため、2DEG層105を含む、ドリフト層103及びチャンネル層104における電子移動度が高く維持されるので、オン抵抗の低抵抗化が実現される。

【0065】

図4に、本実施形態におけるGaNを成長用基板に用いたGaN系半導体と、シリコン(Si)を成長用基板に用いたGaN系半導体との結晶性の良否を表す各種パラメータの一例を示す。図4に示すように、X線回折(XRD: X-ray Diffraction)におけるロッキングカーブの半値幅(FWHM: Full Width at Half Maximum)は、面方位が(002)面による反射の場合に(チルト分布)、GaN基板上のGaN系半導体は、Si基板上のGaN系半導体と比べて、測定値が約30%にまで小さくなる。すなわち、チルト分布は、急峻で良好となる分布を示す。また、面方位の(10-11)面による反射の場合に(ツイスト分布)、GaN基板上のGaN系半導体は、Si基板上のGaN系半導体と比べて、測定値が約12%にまで小さくなる。すなわち、ツイスト分布においても、急峻で良好となる分布を示す。なお、面方位の指数中の負符号“-”は、該負符号に続く一の指数の反転を便宜的に表している。

【0066】

また、電子移動度においても、GaN基板を用いた場合は、Si基板を用いた場合と比べて、移動度が約1.5倍にまで大きくなっている。なお、このときのGaN基板上のGaN系半導体における転位密度は、上述したように $5 \times 10^6 \text{ cm}^{-2}$ であり、Si基板のGaN系半導体における転位密度は、上述したように $1 \times 10^{10} \text{ cm}^{-2}$ である。また、図4には載せていないが、サファイア基板上のGaN系半導体における電子移動度は、 $1700 \text{ cm}^2 / \text{Vs}$ であり、このときのGaN系半導体における転位密度は、 $1 \times 10^8 \text{ cm}^{-2}$ である。

【0067】

シート抵抗においても、GaN基板上のGaN系半導体の場合は、Si基板の場合と比べて、約33%だけ低減している。

【0068】

なお、ドリフト層103及びチャンネル層104において、結晶転位の密度が高い場合には、2DEG層105を生成するドリフト層103とチャンネル層104との界面にトラップが形成されて、このトラップに電子が捕獲される。トラップに電子が捕獲されると、バンドにおけるポテンシャルが持ち上がり、電子の走行の障壁となる。また、トラップに電子が捕獲されて負に帯電したスポットによっても、走行中の電子が散乱される。これらの要因から、電子移動度が低下して、オン抵抗も高くなる。

【0069】

(4) Ron・Qossの低減

トランジスタデバイスにおいては、オン抵抗Ronと出力電荷容量Qossとの積(Ron・Qoss)が小さいほど、高周波駆動に有利となることが知られている。出力電荷容量Qossは、ドレイン・ソース間の電荷量であって、上述した出力容量Cossに蓄積される電荷量を表す。

【0070】

出力電荷容量Qossは、システムの小型化に向けた高周波駆動を行うのに必要なソフトスイッチングにおいて重要なパラメータである。ドレイン・ソース電圧Vdsの値が0Vに立下がった後に、ゲート電圧をオンにしてドレイン・ソース電流Idsが流れ始めるように制御する、いわゆるゼロボルテージスイッチング(Zero Voltage Switching: ZVS)動作時に、低Qossが特に必要となる。この動作を行う際には、ターンオン時のスイッチング損失をほぼ0にすることができる。これに対し、出力電荷容量Qossが大

10

20

30

40

50

きいトランジスタの場合は、ドレイン・ソース電圧 V_{ds} の値が 0 V に立ち下がる速度が遅くなるので、高周波駆動を実現することができない。従って、システムの高周波駆動には、低 Q_{oss} が必要となる。

【0071】

図5に、本実施形態の GaN を成長用基板に用いた GaN 系半導体トランジスタと、 Si 系電界効果トランジスタ (MOSFET : Metal-Oxide-Semiconductor Field-Effect Transistor) 及び SiC (炭化シリコン) 系電界効果トランジスタ (MOSFET) との $R_{on} \cdot Q_{oss}$ を比較して示す。

【0072】

図5において、左の縦軸はドレイン電圧が 800 V までの出力電荷容量 Q_{oss} (nC) を表しており、横軸はオン抵抗 R_{on} (m) を表し、グラフ内の実線は R_{on} と Q_{oss} を掛け合わせた値を示す。例えば、最低位の実線は $R_{on} \cdot Q_{oss}$ の積が 2000 となり、最上位の実線は $R_{on} \cdot Q_{oss}$ の積が 30000 となる。

10

【0073】

図5から分かるように、本実施形態に係る GaN 基板上の GaN 系半導体トランジスタの場合 (印) の一例は、 R_{on} が 80 m で、 Q_{oss} が 25 nC であり、その積は 2000 である。

【0074】

これに対し、 Si 系電界効果トランジスタの場合 () の $R_{on} \cdot Q_{oss}$ の値は、ほぼ 9000 以上であり、 SiC 系電界効果トランジスタの場合 () でも、 $R_{on} \cdot Q_{oss}$ の値は、約 6000 以上で 9000 以下である。

20

【0075】

(第2の実施形態)

以下、本開示の第2の実施形態について図面を参照しながら説明する。

【0076】

図6は第2の実施形態に係る窒化物半導体装置の一例である電界効果トランジスタ120の断面構成を表している。

【0077】

第2の実施形態に係る電界効果トランジスタ120は、第1の実施形態に係る電界効果トランジスタ100に対して、さらに耐圧の向上を図ることが可能な構成としている。なお、図6において、図1に示した符号と同一の構成部材には同一の符号を付すことにより、その説明を省略する。

30

【0078】

図6に示すように、基板101とバッファ層102との間には、例えば、 p 型窒化ガリウム ($p\text{-GaN}$) からなる空乏層形成層121が設けられている。空乏層形成層121の厚さは、例えば 200 nm である。但し、空乏層形成層121の厚さは、 500 nm 以下程度であればよい。なお、空乏層形成層121を構成する $p\text{-GaN}$ は、第6のIII族窒化物半導体の一例である。従って、この $p\text{-GaN}$ は、基板101との間で格子不整合率の差が相対的に大きくなる範囲で、 $p\text{-AlN}$ 、 $p\text{-AlGaN}$ 、 $p\text{-AlInGaN}$ 、又は $p\text{-InGaN}$ であってもよい。但し、基板101が GaN であることから、空乏層形成層121には $p\text{-GaN}$ が好ましい。

40

【0079】

また、バッファ層102とドリフト層103の間には、例えば、アンドープの窒化アルミニウムガリウム ($i\text{-AlGaN}$) からなる耐圧向上層122が設けられている。耐圧向上層122における Al 組成は、例えば 0.05 である。耐圧向上層122の厚さは、例えば $1\text{ }\mu\text{m}$ である。但し、耐圧向上層122の Al 組成は、 0.01 以上且つ 0.1 以下であればよく、耐圧向上層122の厚さは、 500 nm 以上であればよい。なお、耐圧向上層122を構成する $i\text{-AlGaN}$ は、第5のIII族窒化物半導体の一例である。従って、この $i\text{-AlGaN}$ は、バッファ層102との間で格子不整合率の差が相対的に大きくなる範囲で、 $i\text{-AlN}$ 、 $i\text{-AlInGaN}$ 、又は $i\text{-InGaN}$ であっても

50

よい。但し、耐圧向上層 1 2 2 には、組成比は異なってもチャンネル層 1 0 4 と同じ混晶の $i\text{-AlGaIn}$ が好ましい。

【0080】

なお、本実施形態においては、空乏層形成層 1 2 1 と耐圧向上層 1 2 2 とは、いずれか一方のみを設けてもよい。空乏層形成層 1 2 1 と耐圧向上層 1 2 2 との両方の層を設けた場合は、第 1 の実施形態に係る電界効果トランジスタ 1 0 0 と比べて、耐圧が 5 0 % 程度向上し、面内ばらつきによる歩留りの悪化を 3 0 % 程度抑制することができる。

【0081】

このように、 n 型の GaIn 基板 1 0 1 とバッファ層 1 0 2 との間に、 p 型 GaIn からなる空乏層形成層 1 2 1 を設けることにより、オフ電圧の印加時に、バッファ層 1 0 2 には高電圧が掛かり、空乏層形成層 1 2 1 には接地電圧が掛かる。このため、バッファ層 1 0 2 と空乏層形成層 1 2 1 とに空乏層が形成されるので、形成された空乏層によって、縦方向の耐圧がより大きくなる。なお、空乏層形成層 1 2 1 の厚さは、2 0 0 nm に限られず、1 0 0 nm 以上且つ 5 0 0 nm 以下であってもよい。

10

【0082】

また、本実施形態においては、 GaIn からなるバッファ層 1 0 1 と $i\text{-GaIn}$ からなるドリフト層 1 0 3 との間に、 $i\text{-AlGaIn}$ からなる耐圧向上層 1 2 2 を設けている。これは、チャンネル層 1 0 4 の厚さを大きくすることによって高耐圧化を図ろうとすると、2 D E G 層 1 0 5 の濃度が高くなり過ぎて、ノーマリオフ特性を得られにくくなるからである。従って、バッファ層 1 0 2 とドリフト層 1 0 3 との間にドリフト層 1 0 3 とその下面でヘテロ接合する耐圧向上層 1 2 2 を設けることにより、縦方向の耐圧をより大きくすることができる。

20

【0083】

なお、耐圧向上層 1 2 2 を構成する $i\text{-AlGaIn}$ の Al 組成は、 $i\text{-AlGaIn}$ からなるチャンネル層 1 0 4 よりも小さく設定している。これにより、ドリフト層 1 0 3 と耐圧向上層 1 2 2 との界面に、望まない 2 D E G 層の形成が抑制されると共に、 GaIn からなるバッファ層 1 0 2 との格子定数のずれを抑制することができるので好ましい。

【0084】

(製造方法)

以下に、第 2 の実施形態に係る電界効果トランジスタ 1 2 0 の製造方法の一例を説明する。

30

【0085】

まず、主面の面方位に (0 0 0 1) 面、すなわち c 面を持つ n 型 GaIn からなる基板 1 0 1 を準備する。

【0086】

基板 1 0 1 の主面上に GaIn 系半導体層を成膜する成膜法には、例えば、有機金属気相成長 (M O V P E : Metal Organic Vapor Phase Epitaxy) 法を用いることができる。他の成膜法として、例えば、分子線エピタキシ (M B E : Molecular Beam Epitaxy) 法を用いることができる。

【0087】

n 型の GaIn 系半導体は、例えばシリコン (S i) を添加することにより形成できる。 p 型の GaIn 系半導体は、マグネシウム (M g) を添加することにより形成できる。なお、 n 型の不純物及び p 型の不純物は、これらに限られない。

40

【0088】

次に、M O V P E 法により、基板 1 0 1 の主面上に、成長温度を 9 5 0 とし、 p 型の不純物として M g を添加した $p\text{-GaIn}$ からなる空乏層形成層 1 2 1 を成長させる。各 GaIn 系半導体層の組成、厚さ及び不純物濃度は第 2 の実施形態と同一である。

【0089】

空乏層形成層 1 2 1 における各種の製造パラメータは、 V 族源であるアンモニア (NH_3) の流量を 4 0 L / m i n (標準状態 (0 , 1 a t m) : 流量において以下同じ。)

50

で、III族源であるTMG (Trimethyl Gallium) の流量を16 mL/minとした。V族源とIII族源とのモル比を表すV/III比の値は10000である。また、共にキャリアガスである、水素(H₂)の流量を32 L/minとし、窒素(N₂)の流量を46 L/minとした。アンモニア(NH₃)の流量及びキャリアガスの流量は、これ以降のGaN系半導体でも同一である。

【0090】

次に、空乏層形成層121の上に、成長温度を1020とし、i-GaNからなるバッファ層102を成長させる。このときのバッファ層102には、製造装置や治具等の影響によって、シリコン(Si)及び酸素(O)が不純物として取り込まれ、バッファ層102がn型に近い導電性を示すことがある。これらの望まない不純物を補償するため、カーボン(C)を不純物として添加する。このときのカーボン濃度は、上述したように、シリコン濃度及び酸素濃度の和よりも大きい。なお、カーボン濃度は、バッファ層102の成長温度を下げるか、成長速度を上げることにより、高くすることができる。バッファ層102における製造パラメータは、III族源のTMGの流量を100 mL/minとした。V/III比の値は1000である。ここでは、バッファ層102のカーボン濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上となるように、カーボン濃度の原材料となるTMGの流量及びそのTMG内のメチル基CH₃の取り込み量に関する成長温度を調整している。

10

【0091】

次に、バッファ層102の上に、成長温度を1100とし、i-Al_{0.05}Ga_{0.95}Nからなる耐圧向上層122を成長させる。耐圧向上層122における製造パラメータは、III族源のTMGの流量を38 mL/minとし、TMA (Trimethyl Aluminium) の流量を7 mL/minとした。V/III比の値は4000である。

20

【0092】

次に、耐圧向上層122の上に、成長温度を1020とし、i-GaNからなるドリフト層103を成長させる。ドリフト層103における製造パラメータは、III族源のTMGの流量を38 mL/minとした。V/III比の値は4000である。

【0093】

次に、ドリフト層103の上に、成長温度を1100とし、i-Al_{0.2}Ga_{0.8}Nからなるチャネル層104を成長させる。チャネル層104における製造パラメータは、III族源のTMG及びTMAの流量を、共に5 mL/minとした。V/III比の値は25000である。

30

【0094】

次に、チャネル層104の上の全面に、成長温度を950とし、p型の不純物としてMgを添加したp-GaNからなるp型制御層106を成長させる。p型制御層106における製造パラメータは、III族源のTMGの流量を100 mL/minとした。V/III比の値は1000である。

【0095】

なお、基板101上のバッファ層102からp型制御層106までは、温度及び原料ガスの流量は適宜変更されるものの、一連の成長工程として実行される。

【0096】

次に、MOVPE装置から、p型制御層106まで形成された基板101を取り出す。続いて、p型制御層106の上の全面にレジストを塗布し、塗布したレジストを、ゲート電極107の形成領域を含む部分が残るように、フォトリソグラフィによってパターンニングする。これにより、p型制御層106のパターンニング用のレジストマスクが形成される。このレジストマスクを用いてドライエッチングを行うことにより、所望のp型制御層106が形成されると共に、p型制御層106の両側方に、チャネル層104が露出する。

40

【0097】

次に、真空蒸着法又はスパッタリング法等により、露出したチャネル層104の上に、パターン化されたp型制御層106を含む全面にわたってTiとAlとの積層膜を形成する。続いて、形成された積層膜に対するレジストによる所望のパターンニングを行って、T

50

i と Al との積層膜からなるソース電極 108 及びドレイン電極 109 をそれぞれ形成する。その後、ソース電極 108 及びドレイン電極 109 と、i - Al GaN からなるチャネル層 104 とがオーミック接触してコンタクト抵抗が低くなるように、温度が 450 ~ 550 の範囲でシタ（焼結）処理を行う。

【0098】

次に、真空蒸着法又はスパッタリング法により、再度、チャネル層 104 の上に、パターン化された p 型制御層 106 を含む全面にわたって、Pd 単層膜又は Pd と Au との積層膜であるゲート用金属膜を形成する。続いて、形成されたゲート用金属膜に対して、フォトリソグラフィによる所望のパターニングを行って、ゲート用金属膜からゲート電極 107 を形成する。ソース電極 108、ドレイン電極 109 及びゲート電極 107 の組成及び厚さは、第 2 の実施形態と同一である。

10

【0099】

なお、ここでは、ソース電極 108 及びドレイン電極 109、並びにゲート電極 107 の各形成工程において、それぞれ電極形成用の金属膜を成膜した後に、金属膜の上に所望のレジストパターンを形成している。この方法に代えて、レジスト膜を、先に電極パターン以外の領域をマスクするマスクパターンとして形成しておき、その後、形成したマスクパターンを含む全面に所定の金属膜を堆積し、さらに、マスクパターンを、その上に堆積した金属膜と共に除去する、いわゆるリフトオフ法を用いてもよい。

【0100】

以上の工程により、図 6 に示す電界効果トランジスタ 120 が形成される。

20

【0101】

ここでは、第 2 の実施形態に係る電界効果トランジスタ 120 の製造方法を説明したが、第 1 の実施形態に係る電界効果トランジスタ 100 の製造方法は、電界効果トランジスタ 120 におけるバッファ層 101 の下の空乏層形成層 121 及びバッファ層 101 の上の耐圧向上層 122 の各成長工程を省略すれば、電界効果トランジスタ 120 と同等である。

【0102】

（他の実施形態）

第 1 の実施形態及び第 2 の実施形態においては、窒化物半導体装置の例として、ノーマリオフ動作を実現すると共に、2DEG 層にホールを注入する機能を果たす p 型制御層を有する電界効果トランジスタ（FET）を挙げたが、本開示はこの構成に限られない。すなわち、本開示は、主に高耐圧化と低オン抵抗化（高速化）との実現を目指しており、p 型制御層を設けない構成の窒化物半導体装置に対しても、高耐圧化と低オン抵抗化とは実現可能である。

30

【産業上の利用可能性】

【0103】

本開示に係る窒化物半導体装置は、高耐圧化と低オン抵抗化とを目指すパワー半導体デバイスとして有用である。

【符号の説明】

【0104】

100、120 電界効果トランジスタ

101 基板

102 バッファ層

103 ドリフト層

104 チャネル層

105 2DEG 層

106 p 型制御層

107 ゲート電極

108 ソース電極

109 ドレイン電極

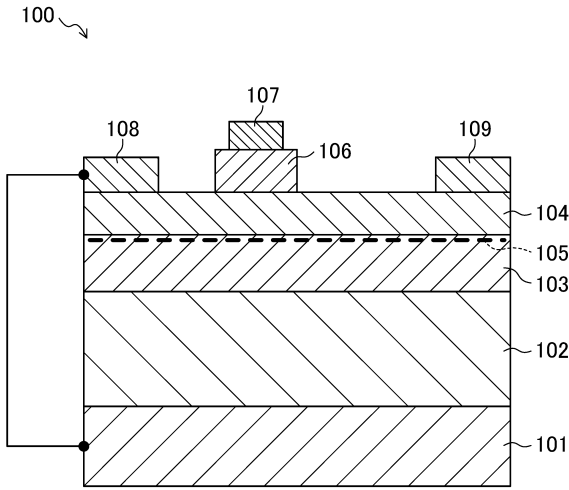
40

50

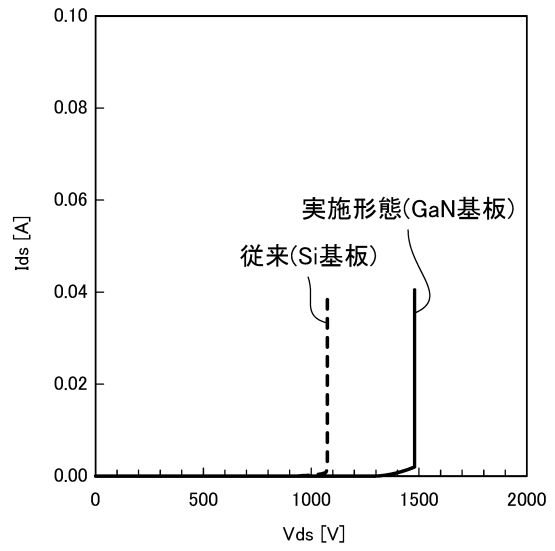
- 1 2 1 空乏層形成層
- 1 2 2 耐压向上層

【図面】

【図 1】



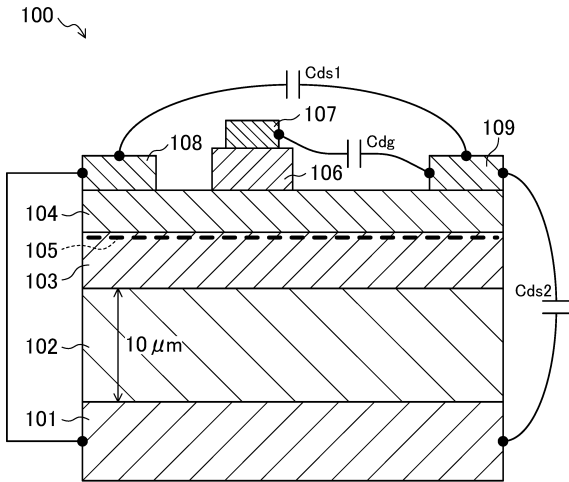
【図 2】



10

20

【図 3】



【図 4】

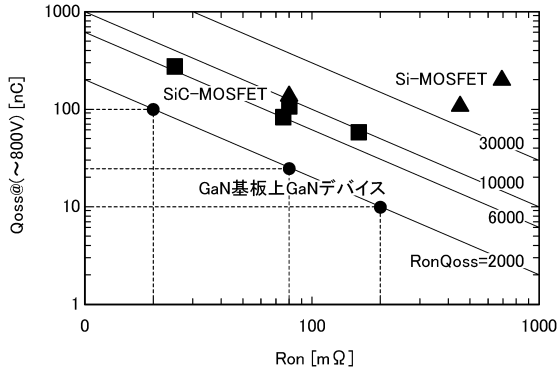
	GaN基板上	Si基板上
(0002) 半値幅 (arcsec)	113	377
(1011) 半値幅 (arcsec)	79	644
電子移動度 μ (cm^2/Vs)	2130	1450
キャリア密度 N_s (cm^{-2})	5.7×10^{12}	5.7×10^{12}
シート抵抗 ($\Omega/\text{sq.}$)	508	756

30

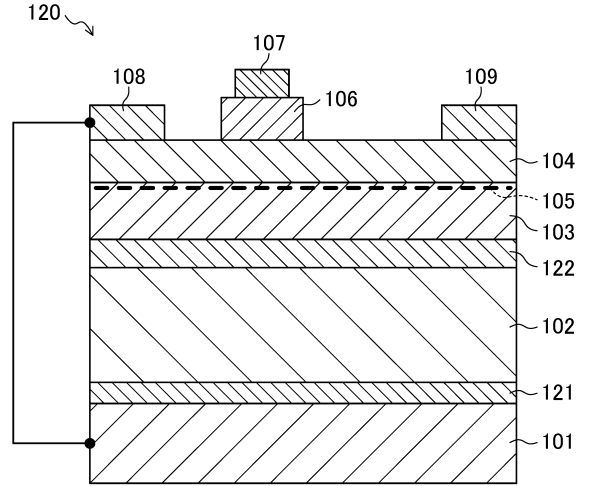
40

50

【図5】



【図6】



10

20

30

40

50

フロントページの続き

- 大阪府門真市大字門真1006番地 パナソニック株式会社内
(72)発明者 半田 浩之
大阪府門真市大字門真1006番地 パナソニック株式会社内
審査官 杉山 芳弘
- (56)参考文献 特開2012-199398(JP,A)
国際公開第2016/175024(WO,A1)
特開2015-126034(JP,A)
特開2013-197357(JP,A)
特開2011-071307(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 29/778
H01L 29/812
H01L 21/338
H01L 21/337