



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I464802 B

(45)公告日：中華民國 103 (2014) 年 12 月 11 日

(21)申請案號：100134827

(22)申請日：中華民國 100 (2011) 年 09 月 27 日

(51)Int. Cl. : **H01L21/31 (2006.01)**

(30)優先權：2010/09/30 美國

12/894,513

(71)申請人：東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：迪普 安東尼 DIP, ANTHONY (US)；萊德 金柏利 G REID, KIMBERLY G. (US)

(74)代理人：周良謀；周良吉

(56)參考文獻：

JP 特表 2004-523885A

JP 特表 2006-524439A

US 2002/0182342A1

WO 2004/097897A2

審查人員：黃鼎富

申請專利範圍項數：16 項 圖式數：6 共 20 頁

(54)名稱

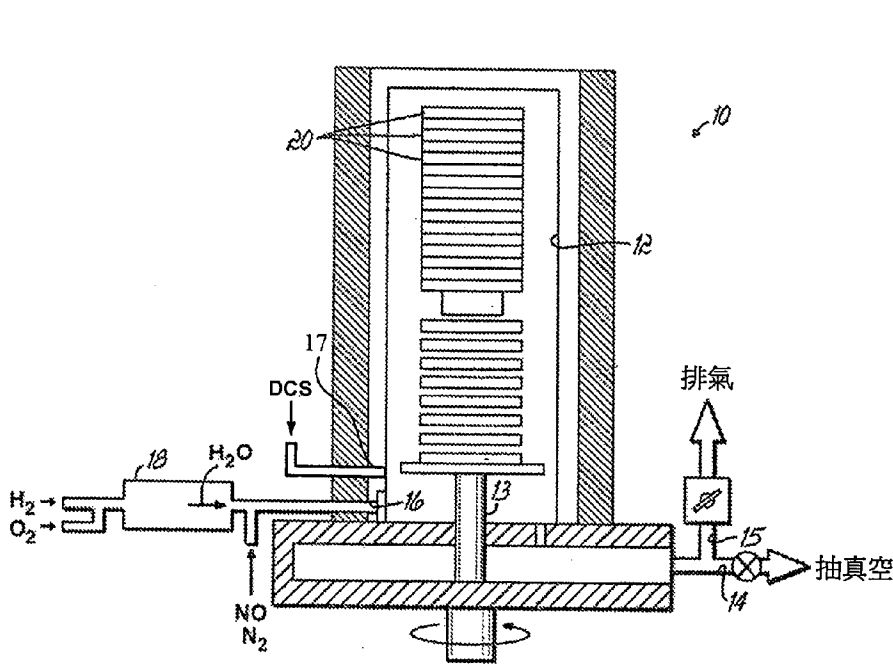
藉由化學氣相沉積之低溫介電膜形成

LOW-TEMPERATURE DIELECTRIC FILM FORMATION BY CHEMICAL VAPOR DEPOSITION

(57)摘要

在基板上沉積介電膜之方法，包含：將數個基板安置在製程腔室中；將製程腔室加熱至 400°C 與少於 650°C 間之沉積溫度；將包含水蒸氣之第一製程氣體流動到製程腔室中；將包含二氯矽烷 (DCS) 之第二製程氣體流動到製程腔室中；建立少於 2 Torr 之氣體壓力；以及使第一與第二製程氣體反應，以在數個基板上熱沉積氧化矽膜。一實施例更包含在流動第一製程氣體與第二製程氣體時將包含一氧化氮 (NO) 氣體之第三製程氣體流動到製程腔室中；以及使氧化物膜與第三製程氣體反應，以在基板上形成氮氧化矽膜。

A method for depositing a dielectric film on a substrate includes positioning a plurality of substrates in a process chamber, heating the process chamber to a deposition temperature between 400°C and less than 650°C, flowing a first process gas comprising water vapor into the process chamber, flowing a second process gas comprising dichlorosilane (DCS) into the process chamber, establishing a gas pressure of less than 2 Torr, and reacting the first and second process gases to thermally deposit a silicon oxide film on the plurality of substrates. One embodiment further includes flowing a third process gas comprising nitric oxide (NO) gas into the process chamber while flowing the first process gas and the second process gas; and reacting the oxide film with the third process gas to form a silicon oxynitride film on the substrate.



- 10 . . . 批次式處理系統
- 12 . . . 製程腔室
- 13 . . . 基板支撐器
- 14 . . . 真空口
- 15 . . . 排氣口
- 16、17 . . . 進氣口
- 18 . . . 致熱炬
- 20 . . . 基板

圖 1

一氧化氮 (sccm)	tox (Å)	沉積速率 (Å/min)	EOT (Å)	K	ΔVfb (mV)	Dit (E12 eV ⁻¹ cm ⁻²)
0	45.8	4.6	33.2	5.4	-15.6	-1.4
50	51.0	5.1	35.3	5.6	23.6	1.4
100	55.1	5.5	36.6	5.9	31.9	1.3

表 1

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100134827

※申請日：100.9.27

※IPC 分類：

H01L21/31 2006.01

一、發明名稱：(中文/英文)

藉由化學氣相沉積之低溫介電膜形成/ LOW-TEMPERATURE
DIELECTRIC FILM FORMATION BY CHEMICAL VAPOR
DEPOSITION

二、中文發明摘要：

在基板上沉積介電膜之方法，包含：將數個基板安置在製程腔室中；

將製程腔室加熱至 400°C 與少於 650°C 間之沉積溫度；將包含水蒸氣之第一製程氣體流動到製程腔室中；將包含二氯矽烷(DCS)之第二製程氣體流動到製程腔室中；建立少於 2 Torr 之氣體壓力；以及使第一與第二製程氣體反應，以在數個基板上熱沉積氧化矽膜。一實施例更包含在流動第一製程氣體與第二製程氣體時將包含一氧化氮(NO)氣體之第三製程氣體流動到製程腔室中；以及使氧化物膜與第三製程氣體反應，以在基板上形成氮氧化矽膜。

三、英文發明摘要：

A method for depositing a dielectric film on a substrate includes positioning a plurality of substrates in a process chamber, heating the process chamber to a deposition temperature between 400°C and less than 650°C, flowing a first process gas comprising water vapor into the process chamber, flowing a second process gas comprising dichlorosilane (DCS) into the process chamber, establishing a gas pressure of less than 2 Torr, and reacting the first and second process gases to thermally deposit a silicon oxide film on the plurality of

substrates. One embodiment further includes flowing a third process gas comprising nitric oxide (NO) gas into the process chamber while flowing the first process gas and the second process gas; and reacting the oxide film with the third process gas to form a silicon oxynitride film on the substrate.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10 批次式處理系統

12 製程腔室

13 基板支撐器

14 真空口

15 排氣口

16、17 進氣口

18 致熱炬

20 基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體基板處理，尤有關於使用氯化之矽烷與水蒸氣之低溫介電膜沉積之方法。

【先前技術】

在半導體基板表面上之積體電路之形成過程中，氧化物或氮氧化物膜頻繁地生長或沉積在晶體基板(例如：矽)之表面上方。舉例來說，用在半導體快閃記憶體與微特徵側壁應用(micro-feature sidewall applications)之高品質氧化矽(SiO_x , $x \leq 2$)膜之化學氣相沉積(CVD)之工業標準製程係以二氯矽烷(DCS)與一氧化二氮(N_2O)之高溫反應為基礎。此製程之主要優點包含在批次製程中同時處理多個基板之能力；氧化矽膜之良好電氣性能；以及相較於其他CVD膜，膜之濕蝕刻速率相對低，該CVD膜例如：使用矽酸四乙酯(TEOS, tetraethyl orthosilicate)、雙(叔丁胺基)矽烷(BTBAS, bis(tertiary-butylamino) silane)、與其他前導物所沉積之膜。

然而，有一些關於使用DCS與 N_2O 來執行氧化矽膜之CVD之缺點。當使氧化矽膜與需要低的熱預算之先進材料結合時，此CVD製程需要可能會限制其使用之相當高之基板溫度(例如：約 800°C)。並且，已發現使用 N_2O 氣體作為氧化氣體會導致不良與普遍不可控制之氮(N)結合到氧化矽膜中。低的膜沉積率被認為是由於氧化膜上之速率限制DCS成核步驟所造成，其因DCS與 N_2O 間缺乏氣相反應所引起。

高K介電質之需求使製造業者必須藉由將氮結合至氧化物膜中來加強現存之氧化物膜(例如：矽與鍍上之氧化物膜)。在此技藝中眾所皆知，氮結合至氧化物膜會增加所產生氮氧化物膜之介電常數，並且允許薄閘極介電質生長在這些半導體基板材料上。氮氧化矽(SiO_xN_y)膜可以有良好的電氣特性，包含半導體應用中之裝置運作所期望之高電子遷移率(electron mobility)與低電子陷阱密

度(electron trap density)。氮結合至薄氧化矽膜之更多優點包含：減少硼穿透 P 摻雜多晶矽閘極、改善之介面平坦度、氮氧化矽膜之介電常數之增加、以及改善之障壁特性以避免金屬氧化物或金屬閘極材料擴散至下方基板。

由於半導體裝置之微型化與先進材料之使用(需要減少之半導體處理方法之熱預算)，有新處理方法之需求，該新處理方法提供於控制之深度具高氮結合之低溫氧化矽與氮氧化矽膜沉積作用，同時提供氧化物生長之控制速率。

【發明內容】

本發明之一實施例提供藉由使用二氯矽烷(DCS)與水蒸氣在批次式處理系統中之數個基板上低溫 CVD 氧化矽膜之方法。該方法包含：將數個基板安置在製程腔室中；將製程腔室加熱至 400 °C 與少於 650 °C 間之沉積溫度；將包含水蒸氣之第一製程氣體流動到製程腔室中；將包含二氯矽烷(DCS)之第二製程氣體流動到製程腔室中；在製程腔室中建立少於 2 Torr 之氣體壓力；以及使第一與第二製程氣體反應，以在數個基板上熱沉積氧化矽膜。另一實施例更包含：在流動第一製程氣體與第二製程氣體時將包含一氧化氮(NO)氣體之第三製程氣體流動到製程腔室中；以及使氧化物膜與第三製程氣體反應，以在基板上形成氮氧化矽膜。

【實施方式】

本發明之實施例提供用來形成半導體裝置之介電膜之低溫沉積製程。在一實施例中，提供使用二氯矽烷(DCS)與水蒸氣之氧化矽膜之非電漿 CVD 方法。在另一實施例中，提供使用 DCS、水蒸氣、與一氧化氮(NO, nitric oxide)氣體之氮氧化矽膜之非電漿 CVD 方法。本發明之實施例達到具有良好材料與電氣特性之二氧化矽與氮氧化矽膜之高沉積速率，同時使用比工業標準高溫氧化物(HTO)製程(依賴基板上之 DCS 與一氧化二氮(N₂O, nitrous oxide)之反應)更低之沉積溫度。

本發明者了解，以水蒸氣氧化劑與非必要之 NO 氣體取代 N_2O 氧化劑來形成氮氧化矽膜，允許沉積溫度降低大於 $100^{\circ}C$ 、大於 $200^{\circ}C$ 、或甚至大於 $300^{\circ}C$ (例如：高達 $350^{\circ}C$)，同時提供有良好材料特性之氧化矽膜，該良好材料特性包含相較於基線 HTO 製程之低濕蝕刻速率。此沉積溫度之降低提供先進積體電路所需之熱預算之必要降低，因為受限制之熱預算不會允許基板溫度之增加，而且更長之處理時間在半導體裝置之高量製造中會不符合成本效益。

水蒸氣氧化劑之使用比在相同低沉積溫度下使用 N_2O 提供更高之沉積速率，同時提供相當之氧化矽與氮氧化矽膜之電氣性能。不像使用 N_2O 之 HTO 製程，本發明之實施例提供用來精確控制氮氧化矽膜之 N 結合之機構。而且，可以選擇性地在高於沉積溫度之溫度下執行後沉積(post-deposition)熱處理，以進一步改善氧化矽與氮氧化矽膜之材料與電氣特性。

雖然不希望受理論拘束，本發明者相信，不像被認為專門發生在基板表面上之 DCS 與 N_2O 間之反應，DCS 與水蒸氣間之氣相反應(在與基板表面互相作用之前)能使基板表面上發生因 DSC 裂解或聚合物之形成所產生之 DCS 物種之改善核化作用。

圖 1 係橫剖面圖，顯示具有製程腔室 12 之批次式處理系統 10，而數個基板 20 安置在製程腔室 12 內。熟悉本技藝者將觀察到，雖然顯示與描述批次式處理系統 10，本發明亦可應用於一次處理一個基板之單一式基板處理。圖 2A 與 2B 描述在圖 1 中之基板 20 上個別形成氧化矽與氮氧化矽膜之製程流程圖。

現在參考圖 1 與圖 2 兩者，在方法 200 之一實施例中，在步驟 202 中，將數個基板 20 安置在製程腔室 12 中。基板 20 可以安置在可旋轉基板支撐器 13 上。熟悉本技藝者將觀察到，將基板 20 安置或裝載到批次式處理系統 10 內可以包含在基板 20 插入後透過排氣口 15 使製程腔室 12 排氣、以及透過真空口 14 來排空製程腔室 12。此外，將基板 20 安置於批次式處理系統 10 內也可以包含使用惰性氣體(例如：氮)來洗滌製程腔室 12，以稀釋或減少製

程腔室 12 內之有機污染物之濃度。

在步驟 204 中，將製程腔室 12 加熱到 400°C 與少於 650°C 之間之沉積溫度。在製程腔室 12 之加熱期間，加熱速率可以從每分鐘數度 C 到每分鐘 100 度 C 以上。

在加熱之後，在步驟 206 中，將包含水蒸氣之第一製程氣體透過進氣口 16 而導引到製程腔室 12 中。第一製程氣體包含水蒸氣但不是氮化氣體。在步驟 208 中，將包含 DCS 與非必要之稀釋氣體之第二製程氣體透過進氣口 17 而導引到製程腔室 12 中。在步驟 210 中，在製程腔室中建立低於 2 Torr 之製程氣體壓力。在步驟 212 中，來自水蒸氣之氧與 DCS 於氣相中反應，並在各基板 20 上沉積氧化矽膜。

現在參考圖 1 與圖 3 兩者，在方法 300 之另一實施例中，在步驟 302 中，將數個基板 20 安置在製程腔室 12 中。基板 20 可以安置在可旋轉基板支撐器 13 上。熟悉本技藝者將觀察到，將基板 20 安置或裝載到批次式處理系統 10 內可以包含在基板 20 插入之後透過排氣口 15 來使製程腔室 12 排氣、以及透過真空口 14 來排空製程腔室 12。此外，將基板 20 安置於批次式處理系統 10 內也可以包含使用惰性氣體(例如：氮)來洗滌製程腔室 12，以稀釋或減少製程腔室 12 內之有機污染物之濃度。

在步驟 304 中，接著將製程腔室 12 加熱到 400°C 與少於 650°C 之間之處理溫度。在製程腔室 12 之加熱期間，加熱速率可以從每分鐘數度 C 到每分鐘 100 度 C 以上。

在加熱之後，在步驟 306 中，將包含水蒸氣之第一製程氣體透過進氣口 16 而導引到製程腔室 12 中。在步驟 308 中，將包含 DCS 與非必要之稀釋氣體之第二製程氣體透過進氣口 17 而導引到製程腔室 12 中。在步驟 310 中，將包含 NO 與非必要之稀釋氣體之第三製程氣體導引到製程腔室中。在步驟 312 中，在製程腔室中建立低於 2 Torr 之製程氣體壓力。在步驟 314 中，來自水蒸氣之氧在氣相中與 DCS 和 NO 反應，如此來自 NO 之氮會結合至氧化矽膜中，藉此在各基板 20 上形成氮氧化矽膜。

配合可以產生處理環境之第一、第二、與非必要之第三製程氣體之流速，處理環境有一處理壓力。本發明者了解處理壓力可低於 2 Torr，以沉積具有良好均勻度與半導體裝置之所需材料與電氣特性之氧化矽與氮氧化矽膜。根據一實施例，處理壓力可以在 100 mTorr 與少於 2 Torr 之間、100 mTorr 與 1 Torr 之間、1 Torr 與少於 2 Torr 之間、1 Torr 與 1.5 Torr 之間、或 1.5 Torr 與少於 2 Torr 之間。根據本發明之實施例，沉積製程可以使用在 400°C 與少於 650°C 之間、400°C 與 450°C 之間、400°C 與 500°C 之間、500°C 與 550°C 之間、500°C 與 600°C 之間、550°C 與 600°C 之間、550°C 與少於 650°C 之間、或 600°C 與少於 650°C 之間之沉積溫度。在一實施例中，配合處理溫度來設定處理壓力，以控制氧化矽或氮氧化矽膜之沉積速率。熟悉本技藝者將觀察到，在膜沉積期間，處理壓力與氣體流速隨時會變化。因此，「設定」一詞並不限制於設定處理壓力、氣體流速、或處理溫度之單一動作。更確切地說，設定可以代表任何數目之設定或調整動作，如此係依據來自內部控制、來自產業、或者由客戶所決定之任何品質標準來沉積氧化矽膜或氮氧化矽膜。第一、第二、以及非必要之第三製程氣體之流速可以在從 10 sccm(每分鐘標準立方米)到 20 slm(每分鐘標準公升)之範圍內，對 NO 氮化氣體而言為 1 到 5000 sccm，而對稀釋氣體而言為 100 sccm 到 20 slm。

根據本發明之一實施例，在將包含水蒸氣之第一製程氣體流動到製程腔室 12 中之前，如圖 1 所顯示，藉由氫氣(H₂)與氧氣(O₂)之燃燒作用以在製程腔室 12 外部產生水蒸氣。如圖 1 所描述，產生第一濕製程氣體之一範例為使用 Tokyo Electron Ltd., Nirasaki, Tamanashi, Japan 所發展之高稀釋致熱炬 18 (high-dilution pyrogenic torch)。高稀釋致熱炬燃燒小流量之氫氣與氧氣。致熱炬 18 因此在製程腔室 12 外部產生水蒸氣(即蒸氣形式之水蒸氣)。

在本發明之另一實施例中，在處理環境中使用稀釋氣體來稀釋第一與第二製程氣體。稀釋氣體之濃度與第一和第二製程氣體之濃度之比率會影響氧化矽或氮氧化矽膜之沉積速率。因此，可

以使用稀釋氣體來控制氧化矽膜生長速率與氮氧化矽膜生長速率。在一實施例中，如圖 1 所顯示，稀釋氣體包含氮氣(N_2)。然而，可以使用其他非反應性氣體，例如：氬(Ar)。仍舊參考圖 1，熟悉本技藝者將容易地了解，可以使用氮稀釋氣體來稀釋包含水蒸氣之第一製程氣體，而不需將 NO 氣體流動到製程腔室中。

在方法之另一實施例中，一旦氧化矽膜或氮氧化矽膜沉積在各基板 20 上，便以高於沉積溫度之熱處理溫度來熱處理其上有膜之基板 20。在此技藝中眾所皆知，熱處理基板 20 上之二氧化矽或氮氧化矽膜會更改膜之特性，尤其是膜之電氣特性，因此會變更含膜裝置之電氣特性。根據本發明之實施例，在熱處理期間，可以更改處理環境與處理壓力。舉例來說，在製程腔室 12 中之膜沉積作用之後，在熱處理前製程腔室 12 會被真空洗滌一或更多次，以去除包含第一、第二、與非必要之第三製程氣體之處理環境以及稀釋氣體(若有的話)。處理環境一經洗滌，熱處理氣體會被導引並且處理腔室 12 內會建立熱處理溫度與熱處理壓力，其會需要從沉積壓力提升或降低壓力。或者，其上有氧化矽或氮氧化矽膜之基板 20 會傳送到不同處理系統以進行熱處理。熱處理壓力可以相似於沉積壓力之範圍。根據一實施例，熱處理氣體包含氮氣(N_2)、一氧化氮(NO)、一氧化二氮(N_2O)、氧氣(O_2)、或水(H_2O)、或其混合物之至少一者。

圖 4 係顯示根據本發明實施例之為 DCS 流速的函數之氧化矽沉積速率。膜沉積條件包含 100 sccm 之 H_2 氣體流速度與 100 sccm 之 O_2 氣體流速度通過致熱炬 18、水蒸氣產生器，因此產生水蒸氣。使用 200 sccm 之 N_2 稀釋氣體流速來稀釋包含水蒸氣之第一製程氣體。在氧化矽膜之沉積期間建立 0.2 Torr 之處理壓力，而沉積溫度可以變化於 450°C 到 600°C 間。氧化矽膜之厚度小於約 100 Å。DCS 氣體流速可以變化於 10 sccm 到 20 sccm 之間。圖 4 顯示增加 DCS 流速會導致增加之氧化矽沉積速率，在 450°C 與 500°C 之沉積溫度下從約 3-4 Å/min 增加到約 9-10 Å/min、以及在 600°C 下從 6 Å/min 增加到約 11 Å/min。此外，為了作比較，圖 4 顯示在

基板表面上使用將 DCS 與 N_2O 反應之習知 HTO 製程於 810°C 之沉積溫度下之氧化矽膜之沉積速率僅為約 $2 \text{ \AA}/\text{min}$ ，而且沉積速率實質上與 DCS 流速無關。

圖 5 係顯示根據本發明實施例之為 N_2 後沉積熱處理溫度的函數之不同氧化矽膜之濕蝕刻速率。濕蝕刻速率為氧化矽膜之材料品質之量測，其中高品質氧化矽膜濕蝕刻慢於低品質氧化矽膜。在存在 N_2 氣體之 0.5 Torr 之處理壓力與不同溫度之(沉積)製程腔室中，經沉積之氧化矽膜接著被熱處理 1 小時。在熱處理之後，二氧化矽膜接著在稀釋 $\text{HF}(200:1, N_2O:\text{HF})$ 中經歷 2.5 分鐘之濕蝕刻製程，而且將蝕刻速率對基線 HTO 氧化矽膜之蝕刻速率正規化，該基線 HTO 氧化矽膜係於 800°C 下使用 50 sccm 之 DCS 氣體流速與 100 sccm 之 N_2O 氣體流速沉積而成。圖 5 顯示對於相同方式沉積之氧化矽膜而言，更高之沉積溫度或更高之 DCS 氣體流速會導致更高之濕蝕刻速率。此外，後沉積熱處理溫度越高，使用 10 sccm 之 DCS 氣體流速所沉積之氧化矽膜之濕蝕刻速率越低。在一範例中，於 600°C 之基板溫度下使用低 DCS 氣體流速(10 sccm)所沉積並接著在 N_2 氣體中、 800°C 之基板溫度下經熱處理之氧化矽膜之濕蝕刻速率小於基線 HTO 氧化矽膜之濕蝕刻速率。

圖 6 係顯示藉由本發明實施例所形成之氧化矽與氮氧化矽膜之電容-電壓曲線。藉由使用 DCS 與水蒸氣來沉積氧化矽膜，並且藉由將 50 sccm 與 100 sccm 之 NO 氣體添加到 DCS 與水蒸氣製程氣體中來沉積氮氧化矽膜。表 1 與圖 6 之結果說明 NO 氣體之添加會增加 T_{ox} 、沉積速率、等效氧化物厚度(EOT)、以及介電常數(K)。此外，雖然未顯示於表 1 中，對於在 0 到 50 sccm 間之 NO 氣體流速而言，介面陷阱密度(D_{it})預期會減少至基線氧化矽之介面陷阱密度之約 $1/100$ (即從約 $E12\text{eV}^{-1}\text{cm}^{-2}$ 降低到 $E10\text{eV}^{-1}\text{cm}^{-2}$)。這樣的 D_{it} 之減少會提供具有相對地無電荷陷阱之介面之氮氧化矽膜，並且其本身可以有利地使用作為具有大幅改善之電子/電動遷移率與最高通道驅動電流之金氧半導體場效電晶體(MOSFET, metal oxide semiconductor field effect transistor)裝置之閘介電質。而

且，當 NO 氣體流速增加到大於 50 sccm，而氮氧化矽膜中之 N 濃度進一步增加時，不管 D_{it} 值之增加，預期將改善包含氮氧化矽膜(例如：非揮發性記憶體(NVM, non-volatile memory)應用，如快閃記憶體隧道閘極)之半導體裝置之可靠度。雖然增加之 D_{it} 值表示介面電荷捕獲與 MOSFET 起始電壓(V_{th})之可能偏移之可能性提高，NVM 應用之可靠度之改善被認為比因 D_{it} 增加所帶來之任何缺點重要。增加之 N 濃度被認為有利於將膜內之鬆(懸浮)原子鍵結結合得更緊密。此外，增加之 N 濃度會提高膜之密度，而且導致對於在上升電壓之電子衝擊(electron bombardment) (常使用於半導體處理期間)之阻力增加。總體而言，結果顯示，不像使用 DCS 與 N_2O 之先前技術反應，在使用 DCS 與 H_2O 之膜沉積期間添加 NO 有效於將 N 結合至氧化矽膜，以形成半導體裝置之氮氧化矽膜。

雖然已藉由其一或多個實施例之描述來說明本發明，以及雖然已相當詳細地說明本實施例，其並不意圖將隨附申請專利範圍限定或以任何方式限制於這些詳述。額外優點與修改將容易地顯露給熟悉本技藝者。本發明因此不限制於顯示與描述之特定細節、代表設備與方法、以及說明範例。因此，在不離開一般發明概念之範圍內，可以變更這些細節。

【圖式簡單說明】

隨附之圖示，包含於說明書內且構成說明書的一部分，闡明本發明之實施例，並且連同上述發明之一般說明與上面之詳細說明，得以解釋本發明。

圖 1 係橫剖面圖，概略地顯示根據本發明一實施例之用來處理數個基板之批次式處理系統；

圖 2 係在基板上沉積氧化物膜之方法之一實施例之製程流程圖；

圖 3 係在基板上沉積氮氧化物膜之方法之一實施例之製程流程圖；

圖 4 係顯示根據本發明實施例之為 DCS 流速的函數之氧化矽



沉積速率；

圖 5 係顯示根據本發明實施例之為 N_2 後沉積熱處理溫度的函數之不同氧化矽膜之濕蝕刻速率；

圖 6 係藉由本發明實施例所形成之氧化矽與氮氧化矽膜之電容-電壓曲線。

【主要元件符號說明】

10 批次式處理系統

12 製程腔室

13 基板支撐器

14 真空口

15 排氣口

16、17 進氣口

18 致熱炬

20 基板

200、300 方法

202、204、206、208、210、212 步驟

302、304、306、308、310、312、314 步驟

七、申請專利範圍：

1. 一種在基板上形成介電膜之方法，該方法包含：

將數個基板安置在製程腔室中；

將該製程腔室加熱至 400°C 與少於 650°C 間之沉積溫度；

將包含水蒸氣之第一製程氣體流動到該製程腔室中；

將包含二氯矽烷(DCS)之第二製程氣體流動到該製程腔室中；

在該製程腔室中建立少於 2 Torr 之氣體壓力；以及

使該第一與該第二製程氣體反應，以藉由非電漿化學氣相沉積，在該數個基板上熱沉積氧化矽膜。

2. 如申請專利範圍第 1 項之在基板上形成介電膜之方法，更包含藉由燃燒氫氣(H_2)與氧氣(O_2)以在該製程腔室外部產生該水蒸氣。

3. 如申請專利範圍第 1 項之在基板上形成介電膜之方法，更包含，在形成該氧化矽膜後，在熱處理氣體中熱處理其上有該氧化矽膜之該基板，該熱處理氣體包含氮氣(N_2)、一氧化氮(NO)、一氧化二氮(N_2O)、氧氣(O_2)、或水(H_2O)、或其混合物之至少一者。

4. 如申請專利範圍第 3 項之在基板上形成介電膜之方法，其中該熱處理係執行於高於該沉積溫度之溫度下。

5. 如申請專利範圍第 1 項之在基板上形成介電膜之方法，更包含在流動該第一製程氣體與該第二製程氣體時將第一稀釋氣體流動到該製程腔室中，以控制該氧化矽膜之生長速率。

6. 如申請專利範圍第 1 項之在基板上形成介電膜之方法，更包含在流動該第一製程氣體與該第二製程氣體時將包含一氧化氮(NO)氣體之第三製程氣體流動到該製程腔室中；以及使該氧化矽膜與該第三製程氣體反應，以在該基板上形成氮氧化矽膜。

7. 如申請專利範圍第 6 項之在基板上形成介電膜之方法，其中將包含 NO 氣體之該第三製程氣體在該製程腔室外面添加到該第一製程氣體。
8. 如申請專利範圍第 6 項之在基板上形成介電膜之方法，更包含在流動該第一製程氣體與該第二製程氣體時將第一稀釋氣體流動到該製程腔室中，以控制該氧化矽膜之生長速率；以及在流動該第三製程氣體時將第二稀釋氣體流動到該製程腔室中，以控制氮結合到該氧化矽膜。
9. 如申請專利範圍第 6 項之在基板上形成介電膜之方法，更包含在形成該氮氧化矽膜後，在熱處理氣體中熱處理其上有該氮氧化矽膜之該基板，該熱處理氣體包含氮氣(N₂)、一氧化氮(NO)、一氧化二氮(N₂O)、氧氣(O₂)、或水(H₂O)、或其混合物之至少一者。
10. 如申請專利範圍第 9 項之在基板上形成介電膜之方法，其中該熱處理係執行於高於該沉積溫度之溫度下。
11. 如申請專利範圍第 6 項之在基板上形成介電膜之方法，其中該氮氧化矽膜具有比該氧化矽膜更低之介面陷阱密度(D_{it})。
12. 一種在基板上形成介電膜之方法，該方法包含：
 - 將數個基板安置在製程腔室中；
 - 將該製程腔室加熱至 400°C 與少於 650°C 間之沉積溫度；
 - 將包含水蒸氣之第一製程氣體流動到該製程腔室中，其中藉由燃燒氫氣(H₂)與氧氣(O₂)以在該製程腔室外面產生該水蒸氣；
 - 將包含二氯矽烷(DCS)之第二製程氣體流動到該製程腔室中；
 - 在該製程腔室中建立少於 2 Torr 之氣體壓力；
 - 使該第一與該第二製程氣體反應，以藉由非電漿化學氣相沉

積，在該數個基板上熱沉積氧化矽膜；以及

在形成該氧化矽膜後，在熱處理氣體中熱處理其上有該氧化矽膜之該基板，該熱處理氣體包含氮氣(N_2)、一氧化氮(NO)、一氧化二氮(N_2O)、氧氣(O_2)、或水(H_2O)、或其混合物之至少一者，其中該熱處理係執行於高於該沉積溫度之溫度下。

13. 如申請專利範圍第 12 項之在基板上形成介電膜之方法，更包含

在流動該第一製程氣體與該第二製程氣體時將第一稀釋氣體流動到該製程腔室中，以控制該氧化矽膜之生長速率。

14. 一種在基板上形成介電膜之方法，該方法包含：

將數個基板安置在製程腔室中；

將該製程腔室加熱至 $400^{\circ}C$ 與少於 $650^{\circ}C$ 間之沉積溫度；

將包含水蒸氣之第一製程氣體流動到該製程腔室中；

將包含二氯矽烷(DCS)之第二製程氣體流動到該製程腔室中；

將包含一氧化氮(NO)之第三製程氣體流動到該製程腔室中；

在該製程腔室中建立少於 2 Torr 之氣體壓力；

使該第一、該第二、與該第三製程氣體反應，以在該數個基板上熱沉積氮氧化矽膜；以及

在形成該氮氧化矽膜後，在熱處理氣體中熱處理其上有該氮氧化矽膜之該基板，該熱處理氣體包含氮氣(N_2)、一氧化氮(NO)、一氧化二氮(N_2O)、氧氣(O_2)、或水(H_2O)、或其混合物之至少一者。

15. 如申請專利範圍第 14 項之在基板上形成介電膜之方法，其中該熱處理係執行於高於該沉積溫度之溫度下。

16. 如申請專利範圍第 14 項之在基板上形成介電膜之方法，更包含藉由燃燒氫氣(H_2)與氧氣(O_2)以在該製程腔室外面產生該水蒸氣。

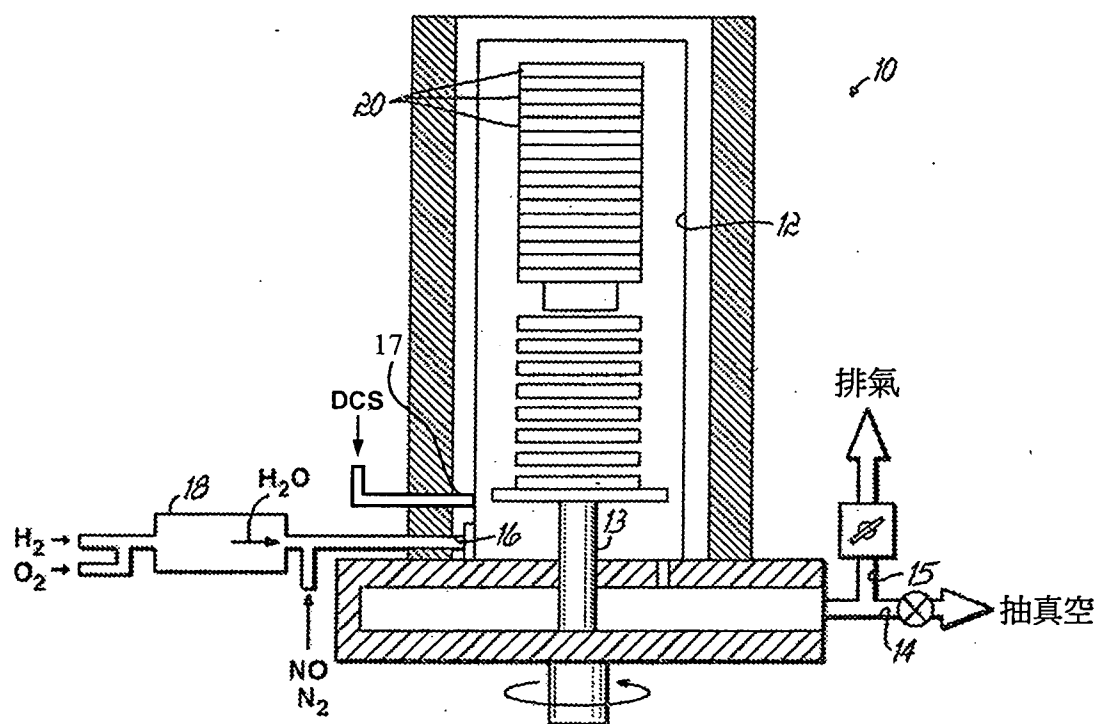


圖 1

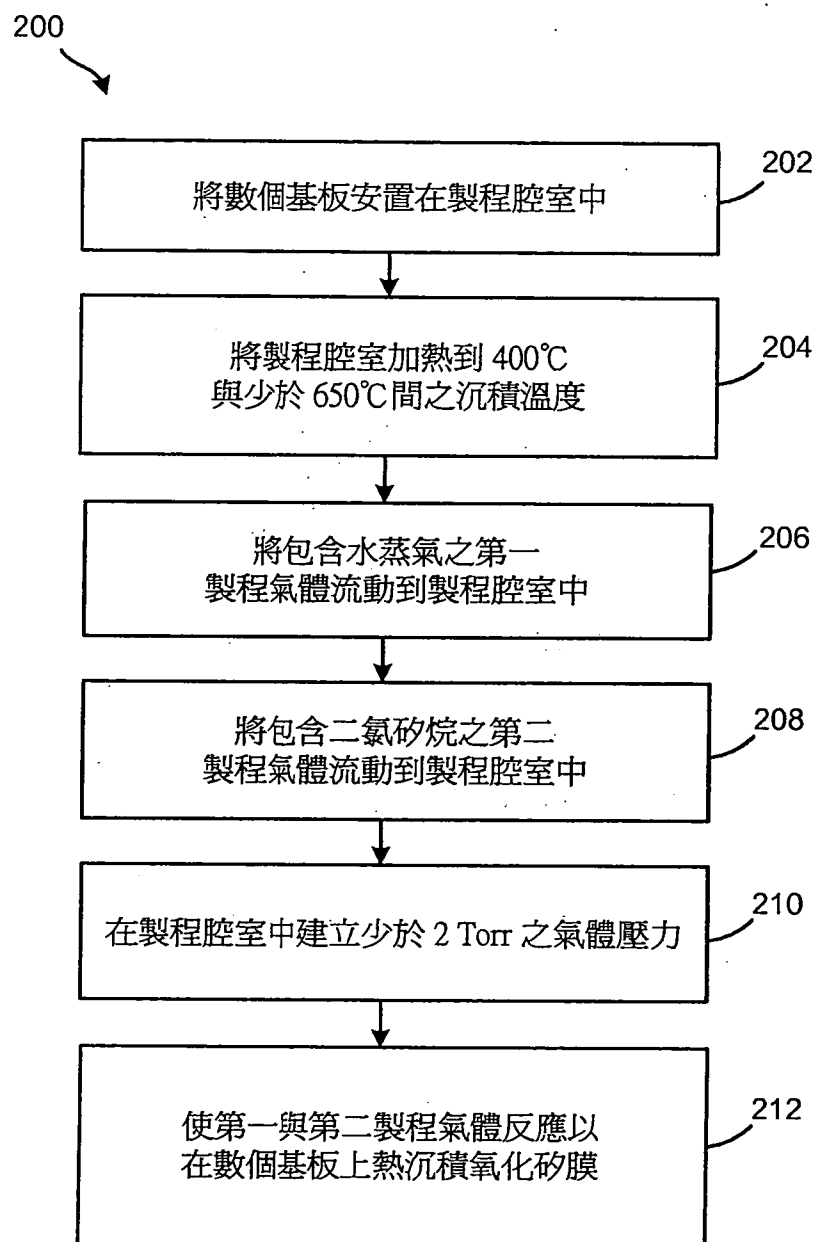


圖 2

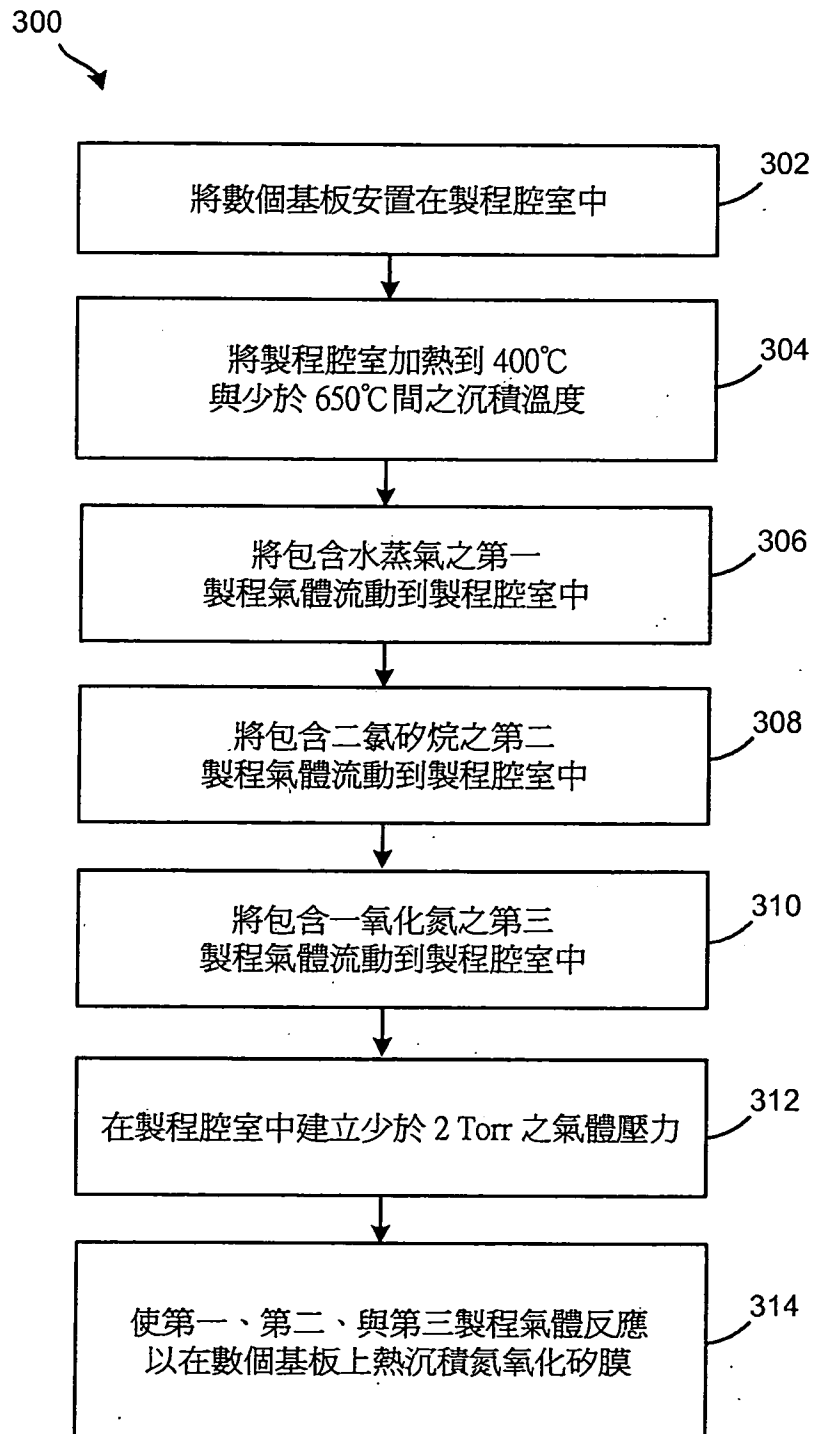


圖 3

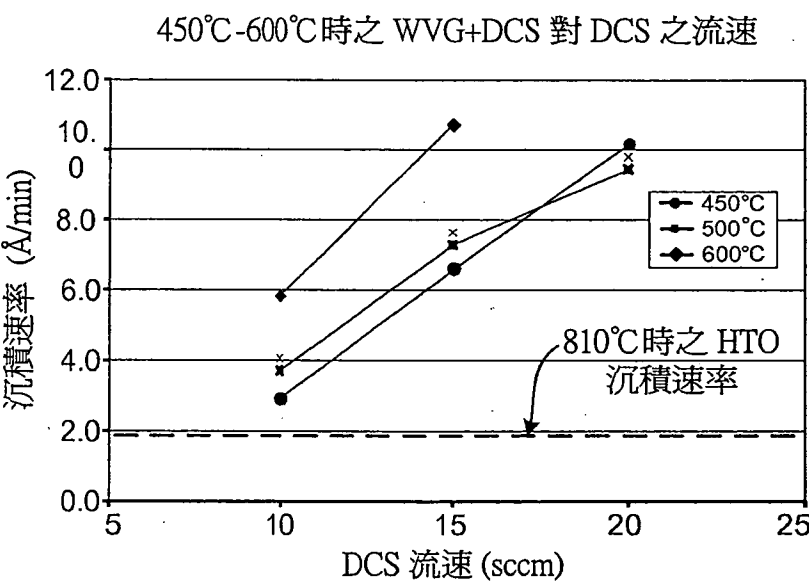


圖 4

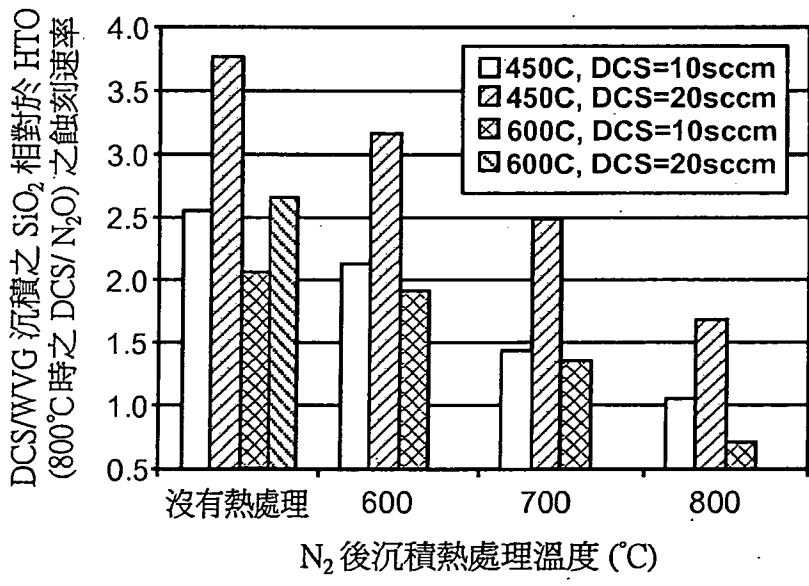


圖 5

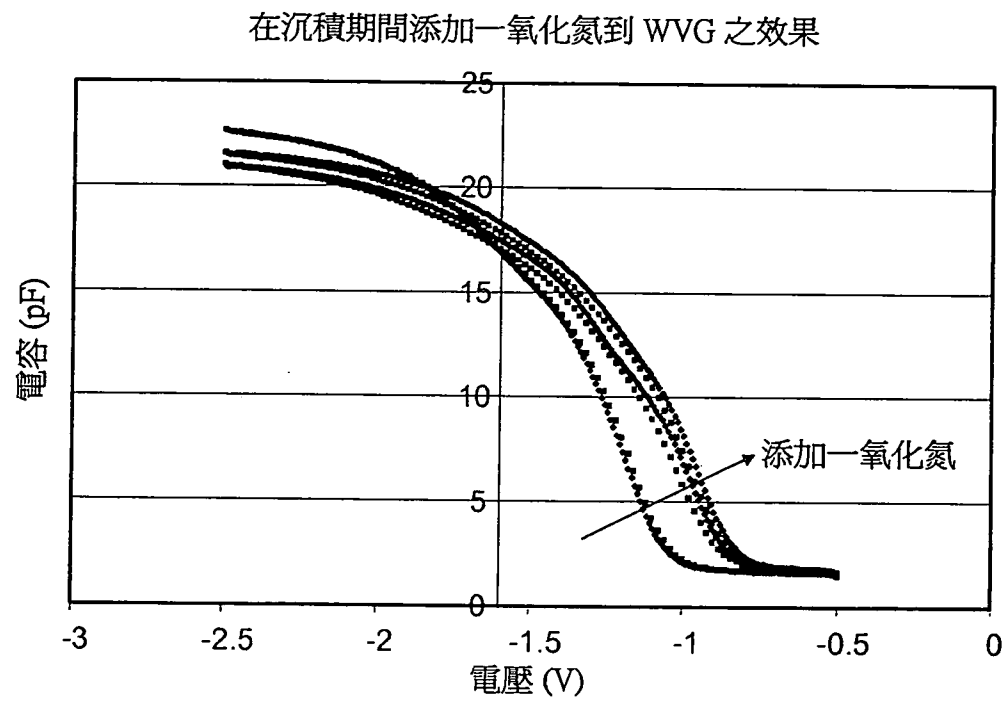


圖 6

一氧化氮 (sccm)	t_{ox} (Å)	沉積速率 (Å/min)	EOT (Å)	K	ΔV_{fb} (mV)	Dit ($E12\text{ eV}^{-1}\text{ cm}^{-2}$)
0	45.8	4.6	33.2	5.4	-15.6	-1.4
50	51.0	5.1	35.3	5.6	23.6	1.4
100	55.1	5.5	36.6	5.9	31.9	1.3

表 1