



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I458084 B

(45) 公告日：中華民國 103 (2014) 年 10 月 21 日

(21) 申請案號：100109961

(22) 申請日：中華民國 100 (2011) 年 03 月 23 日

(51) Int. Cl. : **H01L27/146 (2006.01)**

(30) 優先權：2010/03/31 日本 2010-082488

(71) 申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)  
日本

(72) 發明人：檜山晉 HIYAMA, SUSUMU (JP) ; 渡邊一史 WATANABE, KAZUFUMI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 2007/0210395A1

US 2009/0065821A1

審查人員：王人毅

申請專利範圍項數：37 項 圖式數：17 共 0 頁

(54) 名稱

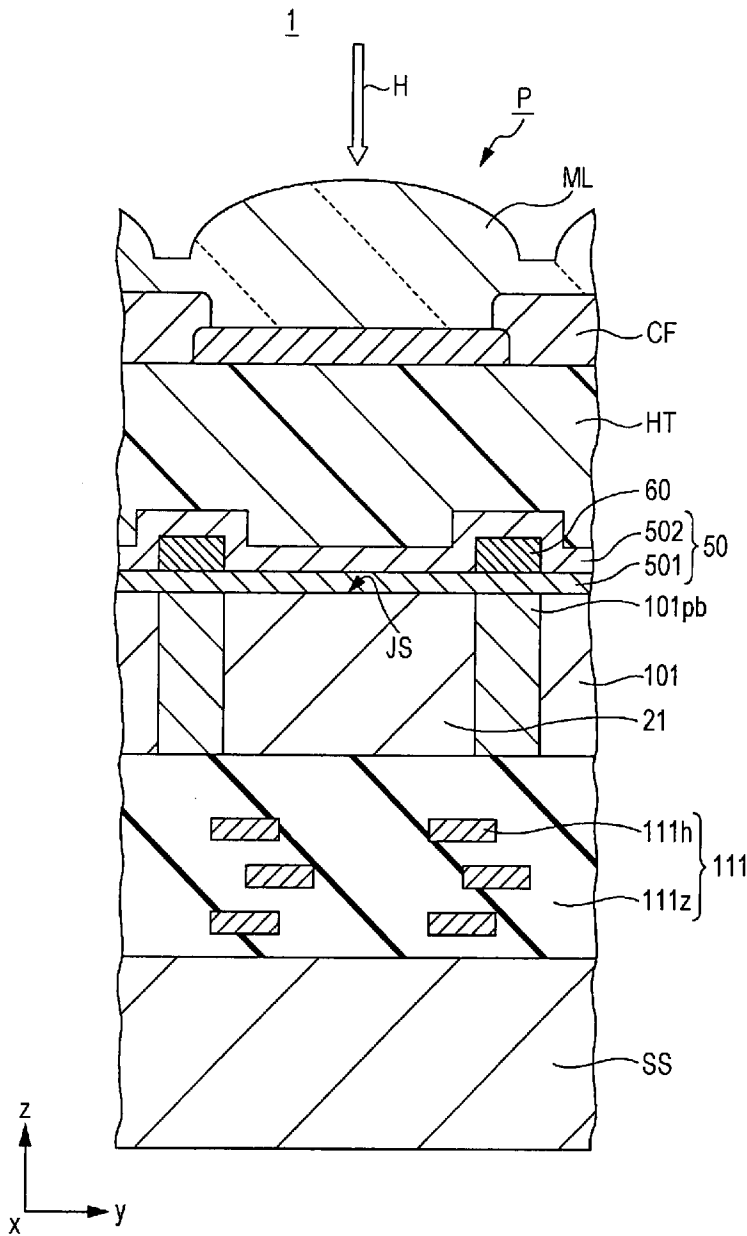
固態成像器件及其製造方法，及電子設備

SOLID-STATE IMAGING DEVICE, METHOD OF MANUFACTURING THE SAME, AND  
ELECTRONIC EQUIPMENT

(57) 摘要

本發明揭示一種固態成像器件，其包含：一半導體層，其包括複數個光電二極體；一第一抗反射膜，其位於該半導體層之一第一表面上方；一第二抗反射膜，其位於該第一抗反射膜上方；一光屏蔽層，其具有毗鄰於該第一抗反射膜及該第二抗反射膜中之至少一者之側表面。

A solid state imaging device including a semiconductor layer comprising a plurality of photodiodes, a first antireflection film located over a first surface of the semiconductor layer, a second antireflection film located over the first antireflection film, a light shielding layer having side surfaces which are adjacent to at least one of first and the second antireflection film.



- 1 . . . 固態成像器件
- 21 . . . 光電二極體
- 50 . . . 抗反射膜
- 60 . . . 光屏蔽層
- 101 . . . 半導體層
- 101pb . . . 像素分離部分
- 111 . . . 佈線層
- 111h . . . 佈線
- 111z . . . 絕緣層
- 501 . . . 第一抗反射膜
- 502 . . . 第二抗反射膜
- CF . . . 濾色器
- H . . . 入射光
- HT . . . 平坦化膜
- JS . . . 感光表面
- ML . . . 微透鏡
- P . . . 像素
- SS . . . 支撐基板

圖3

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/09961

※申請日：100.3.23 ※IPC 分類：H01L27/146 (2006.01)

### 一、發明名稱：(中文/英文)

固態成像器件及其製造方法，及電子設備

SOLID-STATE IMAGING DEVICE, METHOD OF MANUFACTURING  
THE SAME, AND ELECTRONIC EQUIPMENT

### 二、中文發明摘要：

本發明揭示一種固態成像器件，其包含：一半導體層，其包括複數個光電二極體；一第一抗反射膜，其位於該半導體層之一第一表面上方；一第二抗反射膜，其位於該第一抗反射膜上方；一光屏蔽層，其具有毗鄰於該第一抗反射膜及該第二抗反射膜中之至少一者之側表面。

### 三、英文發明摘要：

A solid state imaging device including a semiconductor layer comprising a plurality of photodiodes, a first antireflection film located over a first surface of the semiconductor layer, a second antireflection film located over the first antireflection film, a light shielding layer having side surfaces which are adjacent to at least one of first and the second antireflection film.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

|       |        |
|-------|--------|
| 1     | 固態成像器件 |
| 21    | 光電二極體  |
| 50    | 抗反射膜   |
| 60    | 光屏蔽層   |
| 101   | 半導體層   |
| 101pb | 像素分離部分 |
| 111   | 佈線層    |
| 111h  | 佈線     |
| 111z  | 絕緣層    |
| 501   | 第一抗反射膜 |
| 502   | 第二抗反射膜 |
| CF    | 濾色器    |
| H     | 入射光    |
| HT    | 平坦化膜   |
| JS    | 感光表面   |
| ML    | 微透鏡    |
| P     | 像素     |
| SS    | 支撐基板   |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種固態成像器件、一種製造該固態成像器件之方法及電子設備。

本申請案主張優先於2010年3月31日在日本專利局提出申請之日本優先專利申請案JP 2010-082488，該申請案之整個內容以在律所准許之程度上引用之方式併入本文中。

### 【先前技術】

諸如一數位視訊攝影機及一數位相機之電子設備包含一固態成像器件。舉例而言，作為固態成像器件，包含一CMOS(互補金屬氧化物半導體)型影像感測器及一CCD(電荷耦合器件)型影像感測器。

在該固態成像器件中，將複數個像素配置於一基板之一表面上。在每一像素中，提供一光電轉換部分。舉例而言，該光電轉換部分係一光電二極體，且藉由由一感光表面接收一入射光來產生一信號電荷以執行光電轉換。

在該等固態成像器件當中，在CMOS型影像感測器中，該像素經組態以除光電轉換部分外包含一像素電晶體。該像素電晶體經組態以讀取在光電轉換部分中產生之信號電荷並將所讀取之信號電荷作為一電信號輸出至一信號線。

在該固態成像器件中，通常，光電轉換部分接收自基板上之其上提供有一電路元件、一佈線或類似元件之前表面側入射之光。於此情形中，由於電路元件、佈線或類似元

件屏蔽或反射入射光，因此難以改良敏感度。

出於此原因，提議一「後表面輻照型」(例如，見日本未審查專利申請公開案第2003-31785、2005-347707、2005-35363及2005-353955號)，其中光電轉換部分接收自作為與基板中之其上提供有電路元件、佈線或類似元件之一前表面相對之一側之一後表面側入射之光。

然而，為藉助其上提供之光電轉換部分抑制由於半導體之一介面狀態而出現之暗電流，揭示該光電轉換部分具有一HAD(電洞累積二極體)結構。在該HAD結構中，藉由在一n型電荷累積區域之感光表面上形成一正電荷累積(電洞)累積區域來抑制暗電流之出現。

為在光電轉換部分之一介面部分中形成正電荷累積區域，提議藉由在該n型電荷累積區域之感光表面上提供「具有一負的固定電荷之一膜」並剝除該膜來抑制暗電流之出現。於此處，將諸如氧化鈣膜( $\text{HfO}_2$ 膜)之具有一高折射率之一高介電膜用作「具有一負的固定電荷之一膜」，以抑制暗電流之出現，且將該氧化鈣膜用作一抗反射膜以實現高敏感度(例如，見日本未經審查之專利申請公開案第2007-258684號(0163至0168段落)及日本未經審查之專利申請公開案第2008-306154號(0044段落或類似段落))。

### 【發明內容】

與本發明一致之一個實施例包含：一半導體層，其包括複數個光電二極體；一第一抗反射膜，其位於該半導體層之一第一表面上方；一第二抗反射膜，其位於該第一抗反

射膜上方；一光屏蔽層，其具有毗鄰於該第一抗反射膜及第二抗反射膜之至少一者之側表面。

在與本發明一致之另一實施例中，該光屏蔽層係位於第一抗反射膜與第二抗反射膜之間。

在與本發明一致之另一實施例中，將一中間層定位於第一抗反射膜與光屏蔽層之間。

在與本發明一致之另一實施例中，該光屏蔽層係嵌入於第二抗反射膜中。

在與本發明一致之另一實施例中，將一分離區包含於該複數個光電二極體之每一者之間。

在與本發明一致之另一實施例中，該光屏蔽層係位於該分離區上方。

在與本發明一致之另一實施例中，將一溝渠定位於該等分離區之每一者中，其中光屏蔽層係位於該溝渠內側。

在與本發明一致之另一實施例中，該光電二極體具有接收光之一第一表面。

在與本發明一致之另一實施例中，第一抗反射膜與第二抗反射膜係位於該光電二極體之第一表面上方。

在與本發明一致之另一實施例中，第一抗反射膜之厚度小於第二抗反射膜之厚度。

在與本發明一致之另一實施例中，該光屏蔽層具有一大致凸面形狀。

在與本發明一致之另一實施例中，第一抗反射膜包含鉛、鋅、鋁、鈹、鈦、鎂、鈮、釧系元素或矽元素之氧化

物中之至少一者。

在與本發明一致之另一實施例中，第二抗反射膜包含鉛、銻、鋁、鉍、鈦、鎂、鈮、釧系元素或矽元素之氧化物中之至少一者。

在與本發明一致之另一實施例中，第一抗反射膜具有1.5或更大之一折射率。

在與本發明一致之另一實施例中，第二抗反射膜具有1.5或更大之一折射率。

在與本發明一致之另一實施例中，該固態成像器件包含位於該半導體層與第一抗反射膜及第二抗反射膜相對之一第二表面上方之一佈線層。

在與本發明一致之另一實施例中，該固態成像器件包含位於該半導體層之該第二表面上方之一電晶體。

在與本發明一致之另一實施例中，該電晶體將一電荷自光電二極體傳送至一傳輸線。

與本發明一致之另一實施例包含一種製造一固態成像器件之方法，其包括以下步驟：形成包括複數個光電二極體之一半導體層；在該半導體層之一第一表面上方形成一第一抗反射膜；在該第一抗反射膜上方形成一第二抗反射膜；形成具有側表面之一光屏蔽層，其中該等側表面毗鄰於該第一抗反射膜及該第二抗反射膜中之至少一者。

在與本發明一致之另一實施例中，在形成該光屏蔽層之後形成該第二抗反射膜。

在與本發明一致之另一實施例中，在形成該第二抗反射

膜之後形成該光屏蔽層。

在與本發明一致之另一實施例中，該光屏蔽層係位於第一抗反射膜與第二抗反射膜之間。

在與本發明一致之另一實施例中，該方法包含形成位於該第一抗反射膜與該光屏蔽層之間的一中間層之步驟。

在與本發明一致之另一實施例中，該光屏蔽層係嵌入於第二抗反射膜中。

在與本發明一致之另一實施例中，該方法包含在該複數個光電二極體中之每一者之間形成一分離區之步驟。

在與本發明一致之另一實施例中，將該光屏蔽層定位於分離區上方。

在與本發明一致之另一實施例中，該方法包含在該等分離區中之每一者中形成一溝渠，其中光屏蔽層係位於該溝渠內側。

在與本發明一致之另一實施例中，該光電二極體具有接收光之一第一表面。

在與本發明一致之另一實施例中，將第一抗反射膜與第二抗反射膜定位於光電二極體之第一表面上方。

在與本發明一致之另一實施例中，第一抗反射膜之厚度小於第二抗反射膜之厚度。

在與本發明一致之另一實施例中，該光屏蔽層具有一大致凸面形狀。

在與本發明一致之另一實施例中，第一抗反射膜包含鉛、鋅、鋁、鈹、鈦、鎂、鈮、釧系元素或矽元素之氧化

物中之至少一者。

在與本發明一致之另一實施例中，第二抗反射膜包含鉛、鋳、鋁、鉍、鈦、鎂、鈮、釧系元素或矽之氧化物中之至少一者。

在與本發明一致之另一實施例中，第一抗反射膜具有1.5或更大之一折射率。

在與本發明一致之另一實施例中，第二抗反射膜具有1.5或更大之一折射率。

在與本發明一致之另一實施例中，包含在該半導體層與第一抗反射膜及第二抗反射膜相對之一第二表面上方形成一佈線層之步驟。

在與本發明一致之另一實施例中，包含在該半導體層之第二表面上方形成一電晶體之步驟。

在與本發明一致之另一實施例中，該電晶體將一電荷自光電二極體傳送至一傳輸線。

與本發明一致之另一實施例係一電子裝置，其包含：一半導體層，其包含複數個光電二極體；一第一抗反射膜，其在該半導體層之一第一表面上；一第二抗反射膜，其在該第一抗反射膜上方；一光屏蔽層，其毗鄰該第一抗反射膜；及一光電二極體層，其具有至少毗鄰該第二抗反射膜之一側表面。

在本發明中，提供第一抗反射膜以覆蓋半導體層之後表面上之提供有感光表面及光屏蔽層之部分。此外，在第一抗反射膜上形成第二抗反射膜以覆蓋後表面上之提供有感

光表面之部分。光屏蔽層 60 不是提供在第二抗反射膜上，而是在第一抗反射膜上。

根據本發明之一實施例，可能提供一種固態成像器件、一種製造該固態成像器件之方法及能夠改良一所捕獲影像之一影像品質或諸如此類之電子設備。

### 【實施方式】

將參照圖示闡述與本發明之原理一致之實施例。

此外，將以下列次序提供該說明。

1. 第一實施例(覆蓋一光屏蔽層之一上部表面之一情形)
2. 第二實施例(在覆蓋光屏蔽層之上部表面之情形中提供一中間層之一情形)
3. 第三實施例(不覆蓋光屏蔽層之上部表面之一情形)
4. 第四實施例(一光屏蔽層嵌入類型)

圖 17 係圖解說明一「後表面輻照型」之一 CMOS 影像感測器之一像素 P 之一主體之一剖面圖。

如圖 17 中展示，在「後表面輻照型」之 CMOS 影像感測器中，在由一半導體層 101 之一內部部分中之一像素分離部分 101pb 劃分之一部分中提供一光電二極體 21。

儘管在圖 17 中未展示，但在半導體層 101 之一前表面(圖 17 中之一下部表面)上提供一像素電晶體，且如圖 17 中展示，提供一佈線層 111 以覆蓋該像素電晶體。另外，在佈線層 111 之前表面上提供一支撐基板 SS。

與此相反，在半導體層 101 之後表面(圖 17 中之一上部表面)上提供一抗反射膜 50J、一光屏蔽層 60J、一濾光器 CF

及一微透鏡ML，且光電二極體21接收經由該等各別部分入射之入射光H。

於此處，如圖17中展示，抗反射膜50J覆蓋半導體層101之後表面(上部表面)。藉由使用具有一負的固定電荷之一高電介質來形成抗反射膜50J，以使得藉由在光電二極體21之感光表面JS上形成正電荷累積(電洞)累積區域來抑制暗電流之出現。舉例而言，將氧化鈺膜( $\text{HfO}_2$ 膜)提供為抗反射膜50J。

如圖17中展示，經由一層間絕緣膜SZ在抗反射膜50J之上表面上形成光屏蔽層60J。於此處，在提供於半導體層101之內部分中之像素分離部分101pb之一上部部分處提供光屏蔽層60J。

另外，光屏蔽層60J之上部部分覆蓋有一平坦化膜HT，且在該平坦化膜HT之上表面上提供濾色器CF及微透鏡ML。舉例而言，在濾色器CF中，針對一貝爾(Bayer)配置中之每一像素P配置三原色之每一過濾層。

在上文提及之結構之情形中，由於入射光H(其係入射至一個像素P)並未入射至該一個像素P之光電二極體21，而是穿透光屏蔽層60J之下部部分，因此在某些情形中該入射光H係入射至另一毗鄰像素P之光電二極體21。亦即，在其中入射光H經入射以相對於與感光表面JS正交之一方向z大大地傾斜之一情形中，入射光H未入射至其正下方之感光表面JS，而是入射至本來接收另一色之光之另一像素P之感光表面JS。出於此原因，產生一所謂的「混合色」，

且一色彩再現性在所捕獲之彩色影像中減弱，藉此減弱影像品質。

以此方式，在上文提及之組態之情形中，藉由入射光之滲漏而出現諸如「混合色」之一缺點，且因此難以改良所捕獲影像之影像品質。

因此，期望提供一種固態成像器件、一種製造該固態成像器件之方法及可改良所捕獲影像之影像品質或諸如此類之電子設備。

#### 1. 第一實施例

(

圖1係展示在根據本發明之一第一實施例中之一相機40之一組態之一組態圖。

如圖1中展示，相機40具有一固態成像器件1、一光學系統42、一控制部分43及一信號處理電路44。將依序闡述該等部分中之每一者。

固態成像器件1藉由由一成像表面PS接收經由一光學系統42入射之一光H以執行一光電轉換來產生一信號電荷。於此處，基於自一控制部分43輸出之控制信號(將其作為原始資料輸出)驅動固態成像器件1。

光學系統42包含一光學部件，諸如一成像透鏡或一孔隙，且經安置以將由於一入射主題影像所致之光H會聚至固態成像器件1之一成像表面PS。

控制部分43將各種控制信號輸出至固態成像器件1及信號處理電路44，控制及驅動固態成像器件1及信號處理電

路44。

信號處理電路44經組態以藉由相對於自固態成像器件1輸出之電信號執行信號處理來相對於主題影像產生數位影像。

#### (1-2) 固態成像器件之主體組態

將闡述固態成像器件1之總組態。

圖2係展示在根據本發明之一第一實施例中之固態成像器件1之總組態之一方塊圖。

本實施例之固態成像器件1係一CMOS型影像感測器，且包含如圖2中展示之一板形半導體層101。舉例而言，半導體層101係一單晶矽半導體，且具有一像素區域PA及提供於其上之一環繞區域SA。

如圖2中展示，像素區域PA具有一矩形形狀，且複數個像素P係分別地沿一水平方向x及一垂直方向y安置。亦即，像素P係以一矩陣之形狀配置成一線。

在像素區域PA中，每一像素P經組態以接收入射光來產生信號電荷。另外，所產生之信號電荷經一像素電晶體(未展示)讀取並輸出為電信號。下文將闡述該像素P之詳細組態。

如圖2中展示，環繞區域SA係位於像素區域PA周圍。另外，在環繞區域SA中提供一環繞電路。

具體而言，如圖2中展示，提供一垂直驅動電路13、一行電路14、一水平驅動電路15、一外部輸出電路17、一計時產生器(TG)18及一快門驅動電路19作為環繞電路。

如圖2中展示，垂直驅動電路13係提供於環繞區域SA中之像素區域PA之一側部分處，且經組態以以一線為單位選擇及驅動像素區域PA中之像素P。

如圖2中展示，行電路14係提供於環繞區域SA中之像素區域PA之一下部端部分處，且相對於以線為單位自像素P輸出之信號來實施信號處理。於此處，行電路14包含一CDS(相關雙重取樣)電路(未展示)，並實施移除固定型樣雜訊之信號處理。

如圖2中展示，水平驅動電路15電連接至行電路14。舉例而言，水平驅動電路15包含一移位暫存器，且將針對行電路14中之每一列像素P維持之信號順序地輸出至外部輸出電路17。

如圖2中展示，外部輸出電路17電連接至行電路14，相對於自行電路14輸出之信號實施信號處理，且然後將該信號輸出至外側。外部輸出電路17包含一AGC(自動增益控制)電路17a及一ADC電路17b。在外部輸出電路17中，在AGC電路17a將增益施加至信號之後，ADC電路17b將該信號自一類比信號轉變至一數位信號，並將該經轉變之信號輸出至外側。

如圖2中展示，計時產生器18電連接至垂直驅動電路13、行電路14、水平驅動電路15、外部輸出電路17及快門驅動電路19中之每一者。計時產生器18將各種計時信號形成及輸出至垂直驅動電路13、行電路14、水平驅動電路15、外部輸出電路17及快門驅動電路19，藉此相對於每一

部分實施驅動控制。

快門驅動電路19經組態以以線為單位選擇像素P並調節像素P中之曝光時間。

### (1-3) 固態成像器件之詳細組態

將闡述根據本發明之一實施例之固態成像器件之詳細內容。

圖3至圖5係展示根據本發明在一第一實施例中之一固態成像器件之一主體之圖示。

圖3係一像素P之一剖面圖。另外，圖4係形成於半導體基板上之像素P之一頂部平面圖。此外，圖5展示像素P之電路組態。此外，圖3展示圖4中展示之III-III部分之一剖面圖。

如圖3中展示，固態成像器件1具有提供於半導體層101之內部分中之一光電二極體21。舉例而言，光電二極體21係提供於被薄化至約10至20  $\mu\text{m}$ 之一厚度之半導體基板上。

在半導體層101之一前表面(圖3中之一下部表面)上，儘管在圖3中未展示，但提供諸如圖4及圖5中繪示之像素電晶體之一像素電晶體Tr。另外，如圖3中展示，提供一佈線層111以覆蓋像素電晶體Tr，且在佈線層111中相對於半導體層101之一相對表面上提供一支撐基板SS。

在半導體層101之一後表面(圖3中之一上部表面)上，提供一抗反射膜50、一光屏蔽層60、一濾色器CF及一微透鏡ML，且光電二極體21接收自後表面側入射之入射光H。

與此實施例一致，本實施例之固態成像器件1係一「後表面輻照型CMOS影像感測器」，且經形成以在係前表面(圖3中之下部表面)側之相對側之後表面(圖3中之上部表面)側處接收入射光H。

(a) 光電二極體21

在固態成像器件1中，安置複數個光電二極體21以使得每一光電二極體對應於圖2中展示之複數個像素P。亦即，在成像表面(xy表面)上，分別沿一線提供一水平方向x及與該水平方向x正交之一垂直方向y。

光電二極體21經組態以藉由接收入射光H(主題影像)並執行光電轉換來累積信號電荷。

於此處，如圖3中展示，光電二極體21接收自半導體層101之後表面(圖3中之上部表面)側入射之光。在光電二極體21之一上部部分處，如圖3中展示，提供抗反射膜50、平坦化膜HT、濾色器CF及微透鏡ML，且光電二極體21接收經由各別部分順序地入射之入射光H並執行光電轉換。

如圖3中展示，在半導體層101中提供光電二極體21作為一單晶矽半導體。具體而言，光電二極體21包含一n型電荷累積區域(未展示)。另外，形成一電洞累積區域(未展示)以抑制在n型電荷累積區域之上部表面側與下部表面側之間的每一介面中暗電流之出現。

如圖3中展示，在半導體層101之一內部部分中，提供一像素分離部分101pb，其中p型雜質經擴散以在複數個像素P之間電分離，且將光電二極體21提供於由像素分離部分

101pb分割之一區域處。

舉例而言，如圖4中展示，形成像素分離部分101pb以將其插入於複數個像素P之間。亦即，形成像素分離部分101pb以使得其平面形狀變成一網格形狀，且如圖4中展示，光電二極體21係形成於由像素分離部分101pb分割之區域中。

另外，如圖5中展示，每一光電二極體21經組態以使得一陽極接地，且所累積之信號電荷(於此處，電子)由像素電晶體Tr讀取並作為電信號輸出至一垂直信號線27。

#### (b) 像素電晶體Tr

在固態成像器件1中，提供複數個像素電晶體Tr以對應於圖2中展示之複數個像素P。

如圖4及圖5中展示，像素電晶體Tr包含一傳輸電晶體22、一放大電晶體23、一選擇電晶體24及一重設電晶體25，且經組態以自光電二極體21讀取信號電荷並將其作為電信號輸出。舉例而言，如圖4中展示，提供像素電晶體Tr以使其位於成像表面(xy表面)中光電二極體21之下部部分處。

構成像素電晶體Tr之電晶體22至25中之每一者在圖3中未展示，而是提供於半導體層101中之其上提供有佈線層111之前表面上。舉例而言，電晶體22至25中之每一者係提供於半導體層101中之在像素P之間分離的像素分離部分101pb中。舉例而言，電晶體22至25中之每一者係N通道之MOS電晶體，且每一閘極係使用(舉例而言)多晶矽形成。

另外，電晶體22至25中之每一者覆蓋有佈線層111。

如圖4及圖5中展示，在像素電晶體Tr中，傳輸電晶體22經組態以將在光電二極體21中產生之信號電荷傳輸至一浮動與擴散部FD。

具體而言，如圖4及圖5中展示，傳輸電晶體22係提供於光電二極體21之一陽極與浮動與擴散部FD之間。另外，在傳輸電晶體22中，傳輸線26電連接至閘極。在傳輸電晶體22中，傳輸信號TG係自傳輸線26給出至該閘極，藉此將在光電二極體21中累積之信號電荷傳輸至浮動與擴散部FD。

如圖4及圖5中展示，在像素電晶體Tr中，放大電晶體23經組態以放大及輸出自該電荷轉變至浮動與擴散部FD中之電壓之電信號。

具體而言，如圖4中展示，放大電晶體23係提供於選擇電晶體24與重設電晶體25之間。於此處，如圖5中展示，在放大電晶體23中，該閘極電連接至浮動與擴散部FD。此外，在放大電晶體23中，汲極電連接至一電源線Vdd，且源極電連接至選擇電晶體24。在選擇電晶體24經選擇以變成接通(ON)狀態時，放大電晶體23供應有來自一恆定電源I之恆定電流且操作為一源極隨耦器。出於此原因，在放大電晶體23中，將選擇信號供應至選擇電晶體24，藉此在浮動與擴散部FD中放大自電荷轉變至電壓之電信號。

在像素電晶體Tr中，選擇電晶體24經組態以在如圖4及圖5中展示輸入選擇信號時將由放大電晶體23輸出之電信

號輸出至垂直信號線27。

具體而言，如圖4中展示，提供選擇電晶體24以使得其接近於放大電晶體23。此外，如圖5中展示，在選擇電晶體24中，將閘極連接至供應有選擇信號之一位址線28。另外，選擇電晶體24在供應有選擇信號時進入ON狀態，並將如上文由放大電晶體23放大之輸出信號輸出至垂直信號線27。

在像素電晶體Tr中，如圖4及圖5中展示，重設電晶體25經組態以重設放大電晶體23之閘極電勢。

具體而言，如圖4中展示，提供重設電晶體25以使得其接近於放大電晶體23。如圖5中展示，在重設電晶體25中，將閘極電連接至提供有重設信號之一重設線29。此外，在重設電晶體25中，汲極電連接至電源線Vdd且源極電連接至浮動與擴散部FD。另外，在將重設信號自重設線29供應至閘極時，重設電晶體25經由浮動與擴散部FD將放大電晶體23之閘極電勢重設至電源電壓。

在上文中，連接傳輸線26、位址線28及重設線29以使其連接至沿水平方向H(一線方向)配置之複數個像素P之各別電晶體22、24及25之閘極。出於此原因，相對於一個線之像素P同時地執行各別電晶體22、23、24及25之操作。

### (c) 佈線層111

在固態成像器件1中，如圖3中展示，佈線層111係提供於半導體層101中之在其上提供有諸如抗反射膜50之每一部分之後表面(圖3中之上部表面)之相對側之前表面(圖3中

之下部表面)上。

佈線層 111 包含一佈線 111h 及一絕緣層 111z，且經組態以使得佈線 111h 電連接至絕緣層 111z 中之每一元件。於此處，每一佈線 111h 經堆疊及形成於絕緣層 111z 中以充當每一佈線，諸如圖 5 中展示之傳輸線 26、位址線 28、垂直信號線 27 及重設線 29。

另外，在佈線層 111 中，在其中半導體層 101 定位之側之相對側之表面上，提供支撐基板 SS。舉例而言，提供具有數百  $\mu\text{m}$  之厚度之由矽半導體形成之基板作為支撐基板 SS。

#### (d) 抗反射膜 50

在固態成像器件 1 中，如圖 3 中展示，抗反射膜 50 係提供於半導體層 101 中之藉此提供有諸如佈線層 111 等每一部分之前表面(圖 3 中之下部表面)之相對側之後表面(圖 3 中之上部表面)上。

如圖 3 中展示，抗反射膜 50 包含一第一抗反射膜 501 及一第二抗反射膜 502，且經組態以防止自半導體層 101 之後表面側入射之光 H 在半導體層 101 之後表面中反射。亦即，適當地選擇及形成抗反射膜 50 之材料及膜厚度以使得該抗反射功能由光干擾作用表現。於此處，期望使用具有一高折射率之一材料來形成抗反射膜 50。特定而言，期望使用具有 1.5 或更大之折射率之一材料來形成抗反射膜 50。在另一實施例中，抗反射膜係由具有 1.5 或更大之一抗反射率之第一抗反射膜 501 構成。在另一實施例中，第一抗反射

膜501及第二抗反射膜502中之每一者具有1.5或更大之一抗反射率。

在抗反射膜50中，如圖3中展示，形成第一抗反射膜501以覆蓋半導體層101之後表面(上部表面)。

具體而言，如圖3中展示，提供第一抗反射膜501以覆蓋半導體層101之後表面中之其中形成光電二極體21之部分及其中形成像素分離部分101pb之部分。於此處，提供沿半導體層101之一平坦後表面具有一恆定厚度之第一抗反射膜501。

在本實施例中，形成具有比第二抗反射膜502之厚度更薄之一膜厚度之第一抗反射膜501。

此外，第一抗反射膜501係使用具有一負的固定電荷之一高電介質形成，以使得藉由在光電二極體21之感光表面JS上形成一正電荷累積(電洞)累積區域來抑制暗電流之出現。第一抗反射膜501經形成以包含鈣、鋅、鋁、鈮、鈦、鎂、鈮、釧系、矽元素或類似元素之氧化物中之至少一者。藉由形成第一抗反射膜501以具有負的固定電荷，藉由該負的固定電荷將電場添加至其與光電二極體21之間的一介面，且因此形成正電荷累積(電洞)累積區域。

舉例而言，提供經受膜形成以具有1至20 nm之一膜厚度之氧化鈣膜(HfO<sub>2</sub>膜)作為第一抗反射膜501。

在抗反射膜50中，如圖3中展示，形成第二抗反射膜502以經由第一抗反射膜501及光屏蔽層60中之至少一者覆蓋半導體層101之後表面(上部表面)。第二抗反射膜502可經

形成以包含鉛、鋯、鋁、鈹、鈦、鎂、鈮、釧系、矽元素或類似元素之氧化物中之至少一者。

具體而言，如圖3中展示，在其中在半導體層101之後表面上形成光電二極體21之部分中，提供第二抗反射膜502以使得第一抗反射膜501插入於其與半導體層101之間。

此外，在其中在半導體層101之後表面中形成像素分離部分101pb之部分中，提供第二抗反射膜502以使得第一抗反射膜501及光屏蔽層60兩者皆插入於其與半導體層101之間。於此處，在第一抗反射膜501之上部表面當中，在其中在半導體層101中提供有像素分離部分101pb之部分中提供光屏蔽層60，並在第一抗反射膜501之上部表面上提供第二抗反射膜502以覆蓋光屏蔽層60。亦即，在第一抗反射膜501之平坦表面上提供具有一凸面形狀之光屏蔽層60，提供凹凸表面，及提供第二抗反射膜502，以以一恆定厚度沿循該凹凸表面。

在本實施例中，形成具有比第一抗反射膜501之厚度更厚之一膜厚度之第二抗反射膜502。

舉例而言，形成經受膜形成以使得與第一抗反射膜501一起之膜厚度變成40至80 nm之氧化鉛膜(HfO<sub>2</sub>膜)作為第二抗反射膜502。

關於第一抗反射膜501及第二抗反射膜502，亦可使用除上文提及之氧化鉛膜(HfO<sub>2</sub>膜)之外的各種材料。

於此處，期望使用具有比氧化矽膜(SiO<sub>2</sub>膜)之平帶電壓更高之一平帶電壓的材料形成第一抗反射膜501。

舉例而言，期望使用如下之一高電介質材料(高k)形成第一抗反射膜501。另外，在下列說明中， $\Delta V_{fb}$ 係指自高k材料之平帶電壓 $V_{fb}(\text{高k})$ 減去 $\text{SiO}_2$ 之平帶電壓 $V_{fb}(\text{SiO}_2)$ 之值(亦即， $\Delta V_{fb}=V_{fb}(\text{高k})-V_{fb}(\text{SiO}_2)$ )。

- $\text{Al}_2\text{O}_3$ ( $\Delta V_{fb}=4$ 至 $6\text{V}$ )
- $\text{HfO}_2$ ( $\Delta V_{fb}=2$ 至 $3\text{V}$ )
- $\text{ZrO}_2$ ( $\Delta V_{fb}=2$ 至 $3\text{V}$ )
- $\text{TiO}_2$ ( $\Delta V_{fb}=3$ 至 $4\text{V}$ )
- $\text{Ta}_2\text{O}_5$ ( $\Delta V_{fb}=3$ 至 $4\text{V}$ )
- $\text{MgO}_2$ ( $\Delta V_{fb}=1.5$ 至 $2.5\text{V}$ )

此外，除上述材料外，期望使用下列材料形成第二抗反射膜502。

- SiN
- SiON

在上文中，已給出其中關於第一抗反射膜501及第二抗反射膜502兩者使用氧化鈦膜( $\text{HfO}_2$ 膜)之情形給出說明，但本發明不限於此。可適當地組合及使用上文提及之各種材料。

舉例而言，期望藉由下文展示之材料組合來形成第一抗反射膜501及第二抗反射膜502。在下列說明中，左側係指在形成第一抗反射膜501時使用之材料，且右側係指在形成第二抗反射膜502時使用之材料。

(第一抗反射膜501之材料及第二抗反射膜502之材料)  
( $\text{HfO}_2$ ， $\text{HfO}_2$ )

(HfO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>)

(HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>)

(HfO<sub>2</sub>, ZrO<sub>2</sub>)

(HfO<sub>2</sub>, TiO<sub>2</sub>)

(MgO<sub>2</sub>, HfO<sub>2</sub>)

(Al<sub>2</sub>O<sub>3</sub>, SiN)

(HfO<sub>2</sub>, SiON)

(e) 光屏蔽層 60

在固態成像器件 1 中，如圖 3 中展示，在半導體層 101 之後表面(圖 3 中之上部表面)之側面處提供光屏蔽層 60。

光屏蔽層 60 經組態以屏蔽面向自半導體層 101 之上部部分至半導體層 101 之後表面之入射光 H 之一部分。

如圖 3 中展示，光屏蔽層 60 係提供於在半導體層 101 之內部部分中提供之像素分離部分 101pb 之上部部分中。與此相反，在半導體層 101 之內部部分中提供之光電二極體 21 之上部部分中，不提供光屏蔽層 60 而是無遮蓋的以使得入射光 H 入射至光電二極體 21。

亦即，儘管在圖 4 中未展示，但光屏蔽層 60 經形成以使得其平面形狀以與像素分離部分 101pb 相同之方式變成一網格形狀。

在本實施例中，如圖 3 中展示，提供光屏蔽層 60 以在第一抗反射膜 501 之上部表面上以一凸面形狀突出。另外，提供光屏蔽層 60 以使得用第二抗反射膜 502 覆蓋其上部表面，且凸面形狀側部分變得接觸第二抗反射膜 502。

光屏蔽層 60 係由屏蔽光之一光屏蔽材料形成。舉例而言，形成經受膜形成以具有 100 至 400 nm 之一膜厚度之一鎢 (W) 膜作為光屏蔽層 60。另外，亦期望藉由堆疊氮化鈦 (TiN) 膜及鎢 (W) 膜來形成光屏蔽層 60。

#### (f) 重設

另外，如圖 3 中展示，在半導體層 101 之後表面側中，在抗反射膜 50 之上部表面上提供一平坦化膜 HT。在平坦化膜 HT 之上部表面上，提供一濾色器 CF 及一微透鏡 ML。

舉例而言，濾色器 CF 包含一紅色濾波層 (未展示)、一綠色濾波層 (未展示) 及一藍色濾波層 (未展示)，且該三原色之每一濾波層經安置以對應於一貝爾配置中之每一像素 P。亦即，濾色器 CF 經組態以使得不同色彩之光穿透通過沿水平方向 x 及垂直方向 y 彼此毗鄰地配置之像素 P 之間。

複數個微透鏡 ML 經安置以對應於每一像素 P。微透鏡 ML 係以凸面形狀在半導體層 101 之後表面側中突出之一凸面鏡，且經組態以將入射光 H 會聚於每一像素 P 之光電二極體 21 中。舉例而言，微透鏡 ML 係使用諸如樹脂之一有機材料形成。

#### (2) 製造方法

將闡述一種製造固態成像器件 1 之方法之一主體。

圖 6 至圖 10 展示一種在根據本發明之一第一實施例中製造一固態成像器件之方法。

圖 6 至圖 10 展示類似於圖 3 之剖面。圖 3 中展示之固態成像器件 1 或類似器件係經由每一圖示中展示之過程順序地

製造。

### (2-1) 光電二極體 21 或類似器件之形成

首先，如圖 6 中展示，形成光電二極體 21 或類似器件。

於此處，藉由自一單晶矽半導體所形成之半導體基板之前表面執行雜質之離子植入，形成光電二極體 21 及像素分離部分 101pb。另外，當在半導體基板之前表面上形成像素電晶體 Tr(圖 6 中所展示)之後，形成佈線層 111 以覆蓋像素電晶體 Tr。另外，將支撐基板 SS 附接至佈線層 111 之前表面。

接下來，藉由將半導體基板薄化至具有(舉例而言)約 10 至 20  $\mu\text{m}$  之厚度，形成上文提及之半導體層 101。舉例而言，該薄化係藉由根據 CMP 方法拋光半導體基板來實施。

### (2-2) 第一抗反射膜 501 之形成

接下來，如圖 7 中展示，形成第一抗反射膜 501。

於此處，如圖 7 中展示，第一抗反射膜 501 經形成以覆蓋半導體層 101 之後表面(上部表面)。

具體而言，如圖 3 中展示，在半導體層 101 之後表面上，提供第一抗反射膜 501 以覆蓋其中形成光電二極體 21 之部分及其中形成像素分離部分 101pb 之部分。

舉例而言，藉由在 200 至 300°C 之膜形成溫度之條件下藉由一 ALD(原子層沈積)方法形成具有 1 至 20 nm 之一膜厚度的氧化鈦膜( $\text{HfO}_2$  膜)，提供第一抗反射膜 501。

### (2-3) 光屏蔽層 60 之形成

接下來，如圖 8 中展示，形成光屏蔽層 60。

於此處，如圖8中展示，在第一抗反射膜501之上部表面上形成光屏蔽層60以使其位於半導體層101之內部部分中所提供之像素分離部分101pb之上部部分處。

舉例而言，當在第一抗反射膜501之上部表面上藉由濺鍍方法形成具有100至400 nm之一膜厚度之鎢(W)膜(未展示)之後，藉由對該鎢膜執行型樣加工來形成光屏蔽層60。具體而言，藉由執行幹蝕刻處理，自該鎢膜形成光屏蔽層60。

#### (2-4) 第二抗反射膜502之形成

接下來，如圖9中展示，形成第二抗反射膜502。

於此處，如圖9中展示，形成第二抗反射膜502以使得第二抗反射膜502經由第一抗反射膜501及光屏蔽層60中之至少一者覆蓋半導體層101之後表面(上部表面)。

具體而言，如圖9中展示，形成第二抗反射膜502以使得第一抗反射膜501插入光電二極體21之形成部分中，且第一抗反射膜501及光屏蔽層60兩者插入像素分離部分101pb之形成部分中。

舉例而言，藉由以一物理汽相沈積(PVD)方法形成氧化鈦膜( $\text{HfO}_2$ 膜)以使得與第一抗反射膜501一起之總膜厚度變成40至80 nm，形成第二抗反射膜502。根據該PVD方法之膜形成具有比ALD方法之膜形成速度更高之膜形成速度，因此可在一短時間內形成厚膜。

#### (2-5) 平坦化膜HT之形成

接下來，如圖10中展示，形成平坦化膜HT。

於此處，如圖 10 中展示，形成平坦化膜 HT 以使得其上部表面在第二抗反射膜 502 上係平坦的。

舉例而言，藉由以旋轉塗佈方法塗佈諸如樹脂之一有機材料，形成平坦化膜 HT。

接下來，如圖 3 中展示，在半導體層 101 之後表面側，提供濾色器 CF 及微透鏡 ML。藉此，完成一後表面輻照型之 CMOS 型影像感測器。

### (3) 總論

如上文所述，在本實施例中，在半導體層 101 之內部部分中提供由感光表面 JS 接收入射光 H 之複數個光電二極體 21 以對應於該複數個像素 P。另外，在半導體層 101 中之其中入射有入射光 H 之後表面(上部表面)側處，提供防止入射光 H 之反射之抗反射膜 50。此外，在半導體層 101 之後表面側處，提供有其中形成一開口之光屏蔽層 60，其中入射光 H 通過該開口傳遞至感光表面 JS。

於此處，抗反射膜 50 包含第一抗反射膜 501、第二抗反射膜 502 之複數個膜，且第一抗反射膜 501 經提供以覆蓋後表面上之其中提供有感光表面 JS 及光屏蔽層 60 之部分。與此同時，在抗反射膜 50 中，在第一抗反射膜 501 上形成第二抗反射膜 502 以覆蓋後表面上之其中提供有感光表面 JS 之部分。第一抗反射膜 501 具有比第二抗反射膜 502 之膜厚度更薄之一膜厚度。另外，光屏蔽層 60 並未提供於第二抗反射膜 502 上而是提供於第一抗反射膜 501 上(見圖 3)。

以此方式，在本實施例中，在半導體層 101 與光屏蔽層

60之間僅提供薄的第二抗反射膜501。出於此原因，可能抑制入射光H穿透光屏蔽層60之下部部分，藉此可防止入射至像素P之入射光H入射至毗鄰的不同像素P之光電二極體21。亦即，入射光H入射至正下方之感光表面JS，藉此可能防止入射光入射至接收其他色彩的光之不同像素P之感光表面JS。

因此，在本實施例中，可能防止「混合色」出現，以改良所捕獲彩色影像中之色彩再現性。

因此，本實施例可改良影像品質。

此外，在本實施例中，第一抗反射膜501係使用具有負的固定電荷之高電介質來形成。出於此原因，由於正電荷累積(電洞)累積區域係形成於光電二極體21之感光表面JS上，因此可防止暗電流之出現。

此外，在本實施例中，使用具有1.5或更大之折射率之一材料形成抗反射膜50。出於此原因，由於其與矽(Si)之間的折射率差減小，因此可獲得在矽之感光表面上之抗反射效應。特定而言，期望使用具有在下部層之Si之折射率(3.6)與上部層之SiO<sub>2</sub>之折射率(1.45)之間的中間折射率的折射率之一材料。具體而言，期望使用SiN膜(折射率約為2)形成抗反射膜50。除此之外，亦可使用諸如TiO<sub>2</sub>之一高折射膜(折射率約為2.5)。因此，期望使用具有1.5或更大及2.6或更小之折射率之一材料形成抗反射膜50。

此外，在本實施例中，藉由ALD方法形成第一抗反射膜501。出於此原因，由於可形成具有小介面狀態之一令人

滿意的矽介面，因此可獲得暗電流減少之效應。

## 2. 第二實施例

### (1) 器件組態或諸如此類

圖11係展示在根據本發明之一第二實施例中之一固態成像器件1b之一主體之一圖式。

圖11展示類似於圖3之像素P之剖面。

如圖11中展示，在本實施例中，提供一絕緣膜Z1。而且，一光屏蔽層60b之一材料不同於第一實施例之彼材料。除此之外，本實施例與第一實施例相同。出於此原因，將省略重疊部分之說明。

在本實施例中，不同於第一實施例之情形，使用鈦(Ti)膜形成光屏蔽層60b。

鈦膜具有一優秀的緊密接觸屬性，但具有一強的還原作用。

在其中在形成為第一抗反射膜501之氧化鈺膜(HfO<sub>2</sub>膜)上將鈦膜直接形成為光屏蔽層60b之情形中，在兩個膜之間發生反應。出於此原因，於此情形中，很難有效地抑制由於某些情形中之介面狀態所致之暗電流之出現。

為防止此缺點之出現，在本實施例中，如圖11中展示，提供絕緣膜Z1作為形成為第一抗反射膜501之氧化鈺膜(HfO<sub>2</sub>膜)與形成為光屏蔽層60b之鈦膜之間的一中間層。

亦即，在本實施例中，絕緣膜Z1係使用其中與光屏蔽層60b相比很難出現其與第一抗反射膜501之間的反應之一材料形成。

舉例而言，絕緣膜 Z1 係氧化矽膜，且經形成以具有 10 nm 至 50 nm 之一膜厚度。

## (2) 製造方法

將闡述一種製造固態成像器件之方法之一主體。

圖 12 至圖 14 係展示在根據本發明之一第二實施例中製造一固態成像器件 1b 之方法之圖式。

類似於圖 11，圖 12 至圖 14 展示剖面及經由圖 12 至圖 14 中展示之每一過程順序地製造圖 11 中展示之固態成像器件。

即使在本實施例之情形中，類似於第一實施例，如圖 6 及圖 7 中展示，實施光電二極體 21 或類似器件之形成及第一抗反射膜 501 之形成。

### (2-1) 絕緣膜 Z1 及光屏蔽層 60b 之形成

接下來，如圖 12 中展示，形成絕緣膜 Z1 及光屏蔽層 60b。

於此處，如圖 12 中展示，將絕緣膜 Z1 及光屏蔽層 60 形成於第一抗反射膜 501 之上部表面上以定位於在半導體層 101 之內部部分中提供之像素分離部分 101pb 之上部部分處。

舉例而言，藉由電漿 CVD 方法在第一抗反射膜 501 之上部表面上形成具有 10 至 50 nm 之一膜厚度之氧化矽膜。接下來，舉例而言，藉由濺鍍方法在氧化矽膜之上部表面上形成具有 10 至 50 nm 之一膜厚度之鈦 (Ti) 膜作為緊密接觸層。然後，形成具有 100 至 400 nm 之厚度之鎢 (W) 膜作為光屏蔽層。

另外，藉由關於該氧化矽膜及鎢膜及鈦膜中之每一者執

行型樣加工(pattern working)，形成絕緣膜Z1及光屏蔽層60b。具體而言，藉由相對於氧化矽膜執行幹蝕刻製程，使絕緣膜Z經受該型樣加工。此外，藉由相對於鎢膜及鈦膜執行幹蝕刻製程，使光屏蔽層60b經受該型樣加工。

### (2-2) 第二抗反射膜502之形成

接下來，如圖13中展示，形成第二抗反射膜502。

於此處，如圖13中展示，形成第二抗反射膜502以覆蓋第一抗反射膜501之其上形成有絕緣膜Z1及光屏蔽層60b之上部表面。

舉例而言，類似於第一實施例之情形，藉由藉助物理汽相沈積(PVD)方法形成氧化鈣膜( $\text{HfO}_2$ 膜)來形成第二抗反射膜502。

結果，形成第二抗反射膜502以使得僅將第一抗反射膜501插入光電二極體21之形成部分中，且將第一抗反射膜501、絕緣膜Z1及光屏蔽層60b插入像素分離部分101pb之形成部分中。

### (2-3) 平坦化膜HT之形成

接下來，如圖14中展示，形成平坦化膜HT。

於此處，如圖14中展示，形成平坦化膜HT以使得其上部表面在第二抗反射膜502上係平坦的，類似於第一實施例之情形。

接下來，如圖11中展示，在半導體層101之後表面側處，提供濾色器CF及微透鏡ML。藉此，完成一後表面輻照型之CMOS型影像感測器。

### (3) 總論

在本實施例中，類似於第一實施例之情形，在半導體層101與光屏蔽層60b之間僅提供薄的第一抗反射膜501(見圖11)。

因此，可能防止出現「混合色」以改良所捕獲彩色影像中之色彩再現性。

此外，在本實施例中，不同於第一實施例之情形，在第一抗反射膜501與光屏蔽層60b之間提供絕緣膜Z1(見圖11)。

出於此原因，在本實施例中，防止第一抗反射膜501與光屏蔽層60b之間的反應。因此，即使在其中針對光屏蔽層60b使用具有強還原反應之一材料(諸如鈦)以改良緊密接觸屬性之一情形中，藉由包含於第一抗反射膜501中之負的固定電荷之作用，可有效地抑制由介面狀態所致之暗電流之出現。

因此，本實施例可改良影像品質。

另外，除上文外，在其中藉由組合下列材料而形成第一抗反射膜501與光屏蔽層60b之一情形中，類似於本實施例之情形，期望提供絕緣膜Z1作為中間層。

(第一抗反射膜501之材料與光屏蔽層60b之材料)=( $\text{HfO}_2$ ， $\text{Ti}$ )，( $\text{Al}_2\text{O}_3$ ， $\text{Ti}$ )，( $\text{ZrO}_2$ ， $\text{Ti}$ )

### 3. 第三實施例

#### (1) 器件組態或諸如此類

圖15係展示在根據本發明之一第三實施例中之一固態成

像器件1c之一主體之一圖示。

圖15展示類似於圖3之像素P之剖面。

如圖15中展示，在本實施例中，一抗反射膜50c與一光屏蔽層60c之組態與第一實施例之彼等組態不同。除此點外，本發明與第一實施例相同。出於此原因，將省略重疊部分之說明。

(a) 抗反射膜50c

如圖15中展示，類似於第一實施例之情形，抗反射膜50c包含一第一抗反射膜501及一第二抗反射膜502c之複數個膜。

在抗反射膜50c中，類似於第一實施例之情形，在半導體層101之後表面(圖15中之上部表面)上提供第一抗反射膜501。另外，如圖15中展示，提供第二抗反射膜502c以使得第一抗反射膜501插入其中在半導體層101之後表面上形成光電二極體21之部分中。

然而，在其中在半導體層101之後表面上形成像素分離部分101pb之部分中，不同於第一實施例之情形，不提供第二抗反射膜502c。

(b) 光屏蔽層60c

如圖15中展示，類似於第一實施例，在第一抗反射膜501之上部表面當中的其中在半導體層101中提供像素分離部分101pb之部分中形成光屏蔽層60c。然而，不提供用以覆蓋光屏蔽層60c之第二抗反射膜502c。

(c) 其他(製造方法或諸如此類)

在本實施例中，在形成第一抗反射膜501之後及形成光屏蔽層60c之前，形成第二抗反射膜502c。於此處，藉由將用於形成第二抗反射膜502c之一材料膜形成於第一抗反射膜501之上部表面上且然後執行材料膜之型樣加工，形成第二抗反射膜502c。亦即，藉由蝕刻用於形成第二抗反射膜502c之材料膜以使得其中形成有光屏蔽層60c之部分之前表面曝露於第一抗反射膜501之上部表面當中以形成一溝槽TR，形成第二抗反射膜502c。

接下來，在第二抗反射膜502c上形成用於形成光屏蔽層60c之材料膜以嵌入溝槽TR之內部部分。另外，藉由執行平坦化製程以使得曝露第二抗反射膜502c之上部表面，形成光屏蔽層60c。

形成如上文之各別部分以完成固態成像器件1c。

在本實施例中，為形成如上文之各別部分，期望藉由其中使第一抗反射膜501與第二抗反射膜502c之間的蝕刻選擇率變得較大之一材料來形成第一抗反射膜501及第二抗反射膜502c。此外，期望藉由可容易地嵌入溝槽TR中之一材料來形成光屏蔽層60c。

## (2) 總論

在本實施例中，類似於第一實施例之情形，在半導體層101與光屏蔽層60c之間僅形成薄的第一抗反射膜501(見圖15)。

因此，可能防止「混合色」之出現，以改良所捕獲彩色影像中之色彩再現性。

在本實施例中，不同於第一實施例之情形，不形成用以覆蓋光屏蔽層60c之上部部分之第二抗反射膜502。形成光屏蔽層60c以將其掩埋於在第二抗反射膜502中提供之溝槽TR中(見圖15)。

出於此原因，在本實施例中，光屏蔽層60c及第二抗反射膜502之前表面係平坦的(見圖15)。因此，可將欲堆疊於上部層上之平坦化膜HT薄化，且可改良入射至感光表面JS之光H之強度，以使得可實現高敏感度。

因此，本實施例可改良影像品質。

#### 4. 第四實施例

##### (1) 器件組態或諸如此類

圖16係展示根據本發明之一第四實施例中之一固態成像器件1d之一主體之一圖示。

圖16展示像素P之剖面，類似於圖3。

如圖16中展示，在本實施例中，一抗反射膜50d及一光屏蔽層60d之組態與第一實施例之彼等組態不同。除此點外，本發明與第一實施例相同。出於此原因，將省略重疊部分之說明。

##### (a) 抗反射膜50d

如圖16中展示，類似於第一實施例之情形，抗反射膜50d包含一第一抗反射膜501d及一第二抗反射膜502d之複數個膜。

如圖16中展示，在抗反射膜50d中，類似於第一實施例，提供第一抗反射膜501d以覆蓋半導體層101之後表面

(上部表面)側。亦即，提供第一抗反射膜501d以覆蓋半導體層101之後表面側中之其中形成有光電二極體21之部分及其中形成有像素分離部分101pb之部分。

然而，在本實施例中，不同於第一實施例，半導體層101之後表面側並非平坦的，而是其中提供有一溝槽TRd，並變成一凹凸表面，且以一規則厚度形成第一抗反射膜501d以覆蓋該凹凸表面。

在抗反射膜50d中，如圖16中展示，提供第二抗反射膜502d以經由第一抗反射膜501d及光屏蔽層60d中之至少一者覆蓋半導體層101之後表面(上部表面)。

具體而言，如圖16中展示，在其中在半導體層101之後表面上形成光電二極體21之部分中，類似於第一實施例，提供第二抗反射膜502d以使得第一抗反射膜501d插入其與半導體層101之間。

此外，在其中在半導體層101之後表面上形成像素分離部分101pb之部分中，提供第二抗反射膜502以使得第一抗反射膜501d與光屏蔽層60d兩者插入其與半導體層101之間。

在本實施例中，如圖16中展示，不同於第一實施例，半導體層101之後表面側其中提供有溝槽TRd，第一抗反射膜501d覆蓋溝槽TRd之表面，且在溝槽TRd之內部部分中提供光屏蔽層60d。出於此原因，在第一抗反射膜501d之上部表面上提供第二抗反射膜502d以插入因此形成於其間之光屏蔽層60d。亦即，以規則厚度形成第二抗反射膜502d

以沿循其上提供有第一抗反射膜501d及光屏蔽層60d之平坦表面。

(b) 光屏蔽層60d

如圖16中展示，在提供於半導體層101之內部部分中之像素分離部分101pb之上部部分處提供光屏蔽層60d。

在本實施例中，如圖16中展示，在半導體層101之後表面側上之其中提供有像素分離部分101pb之部分中提供溝槽TRd，且提供第一抗反射膜501d以覆蓋溝槽TRd之表面。另外，提供光屏蔽層60d以將其掩埋於覆蓋有第一抗反射膜501d之溝槽TRd之內部部分中。

另外，光屏蔽層60d之上部部分覆蓋有第二抗反射膜502d。

(c) 其他(製造方法或諸如此類)

在本實施例中，在形成第一抗反射膜501之前，在半導體層101之後表面側中之其中提供有像素分離部分101pb之部分中形成溝槽TRd。另外，在半導體層101之後表面上形成第一抗反射膜501以覆蓋溝槽TRd。

接下來，在第一抗反射膜501d上形成用於形成光屏蔽層60d之材料膜以掩埋溝槽TR之內部部分。另外，藉由執行平坦化製程以使得曝露第一抗反射膜501d之上部表面，形成光屏蔽層60d。

形成第二抗反射膜502d以覆蓋第一抗反射膜501d及光屏蔽層60d。

形成如上文之各別部分以完成固態成像器件1d。

## (2) 總論

在本實施例中，在提供於像素分離部分101pb之形成部分中之溝槽TRd之內部部分中提供光屏蔽層60d(見圖16)。

出於此原因，光屏蔽層60d可屏蔽自像素P入射至毗鄰不同像素P之光電二極體21之光。因此，可能防止「混合色」之出現，以改良在所捕獲彩色影像中之色彩再現性。

在本實施例中，半導體層101之前表面係平坦的，且因此可薄化欲堆疊於其上部部分上之平坦化膜HT，且可改良入射至感光表面JS之光H之強度。因此，可實現高敏感度。

在實施本發明時，可採取各種修改實例而不限於上文提及之實施例。

舉例而言，儘管在上文提及之實施例中，已闡述其中由兩個膜構成抗反射膜50之情形，但本發明不限於此。在經組態以使得在入射光所入射之表面當中抗反射膜50包含覆蓋感光表面及光屏蔽表面之形成部分之第一抗反射部分及覆蓋第一抗反射部分上之感光部分JS之形成部分之第二抗反射部分之情況下，膜之數目並不受限。

在上文提及之實施例中，已闡述「後表面輻照型」之情形，但本發明不限於此。本發明可應用於「前表面輻照型」之情形。

在上文提及之實施例中，已闡述其中提供傳輸電晶體、放大電晶體、選擇電晶體及重設電晶體四種類型作為像素電晶體之情形，但本發明不限於此。舉例而言，本發明可

應用於其中提供傳輸電晶體、放大電晶體及重設電晶體三種類型作為像素電晶體之一情形。

在上文提及之實施例中，已給出其中相對於一個光電二極體提供一個傳輸電晶體、一個放大電晶體、一個選擇電晶體及一個重設電晶體之情形之說明，但本發明不限於此。舉例而言，本發明可應用於其中相對於複數個光電二極體提供一個放大電晶體、一個選擇電晶體及一個重設電晶體之情形。

此外，在上文提及之實施例中，已給出其中將本發明應用於一相機之情形之說明，但本發明不限於此。本發明可應用於包含一固態成像器件之其他電子設備，諸如一掃描機或一複印機。

另外，在上文提及之實施例中，固態成像器件1、1b、1c及1d對應於本發明之固態成像器件。此外，在上文提及之實施例中，光電二極體21對應於本發明之光電轉換部分。在上文提及之實施例中，相機40對應於本發明之電子設備。在上文提及之實施例中，半導體層101對應於本發明之半導體層。在上文提及之實施例中，抗反射膜50、50c及50d對應於本發明之抗反射膜。在上文提及之實施例中，第一抗反射膜501及501d對應於本發明之第一抗反射部分。在上文提及之實施例中，第二抗反射膜502、502c及502d對應於本發明之第二抗反射部分。在上文提及之實施例中，光屏蔽層60、60b、60c及60d對應於本發明之光屏蔽層。在上文提及之實施例中，感光表面JS對應於本發

明之感光表面。在上文提及之實施例中，像素P對應於本發明之像素。在上文提及之實施例中，絕緣層Z1對應於本發明之中間層。

熟習此項技術者應瞭解，可相依於在隨附申請專利範圍或其等效物之範疇內之設計需求及其他因素而出現各種修改、組合、子組合及變化。

### 【圖式簡單說明】

圖1係展示在根據本發明之一第一實施例中之一相機之一組態之一組態圖；

圖2係展示在根據本發明之第一實施例中之一固態成像器件之總組態之一方塊圖；

圖3係展示在根據本發明之第一實施例中之固態成像器件之一主體之一圖示；

圖4係展示在根據本發明之第一實施例中之固態成像器件之一主體之一圖示；

圖5係展示在根據本發明之第一實施例中之固態成像器件之一主體之一圖示；

圖6係展示一種製造在根據本發明之第一實施例中之固態成像器件之方法之一圖示；

圖7係展示一種製造在根據本發明之第一實施例中之固態成像器件之方法之一圖示；

圖8係展示一種製造在根據本發明之第一實施例中之固態成像器件之方法之一圖示；

圖9係展示一種製造在根據本發明之第一實施例中之固

態成像器件之方法之一圖示；

圖 10 係展示一種製造在根據本發明之第一實施例中之固態成像器件之方法之一圖示；

圖 11 係展示在根據本發明之一第二實施例中之一固態成像器件之一主體之一圖示；

圖 12 係展示一種製造在根據本發明之第二實施例中之固態成像器件之方法之一圖示；

圖 13 係展示一種製造在根據本發明之第二實施例中之固態成像器件之方法之一圖示；

圖 14 係展示一種製造在根據本發明之第二實施例中之固態成像器件之方法之一圖示；

圖 15 係展示在根據本發明之一第三實施例中之一固態成像器件之一主體之一圖示；

圖 16 係展示在根據本發明之一第四實施例中之一固態成像器件之一主體之一圖示；及

圖 17 係展示一「後表面輻照型」之一 CMOS 影像感測器之一像素 P 之一主體之一剖面圖。

#### 【主要元件符號說明】

- |     |          |
|-----|----------|
| 1   | 固態成像器件   |
| 13  | 垂直驅動電路   |
| 14  | 行電路      |
| 15  | 水平驅動電路   |
| 17  | 外部輸出電路   |
| 17a | 自動增益控制電路 |

|       |            |
|-------|------------|
| 17b   | 類比至數位轉換器電路 |
| 18    | 計時產生器      |
| 19    | 快門驅動電路     |
| 21    | 光電二極體      |
| 22    | 傳輸電晶體      |
| 23    | 放大電晶體      |
| 24    | 選擇電晶體      |
| 25    | 重設電晶體      |
| 26    | 傳輸線        |
| 27    | 垂直信號線      |
| 28    | 位址線        |
| 29    | 重設線        |
| 40    | 相機         |
| 42    | 光學系統       |
| 43    | 控制部分       |
| 44    | 信號處理電路     |
| 50    | 抗反射膜       |
| 50J   | 抗反射膜       |
| 60    | 光屏蔽層       |
| 60J   | 光屏蔽層       |
| 101   | 半導體層       |
| 101pb | 像素分離部分     |
| 111   | 佈線層        |
| 111h  | 佈線         |

|      |        |
|------|--------|
| 111z | 絕緣層    |
| 501  | 第一抗反射膜 |
| 502  | 第二抗反射膜 |
| CF   | 濾色器    |
| FD   | 浮動與擴散部 |
| H    | 入射光    |
| HT   | 平坦化膜   |
| JS   | 感光表面   |
| ML   | 微透鏡    |
| P    | 像素     |
| PA   | 像素區域   |
| PS   | 成像表面   |
| SA   | 環繞區域   |
| SS   | 支撐基板   |
| SZ   | 層間絕緣膜  |
| Tr   | 像素電晶體  |
| Z1   | 絕緣膜    |

## 七、申請專利範圍：

103年6月11日修正頁(初)對線 P1~5

1. 一種固態成像器件，其包括：
  - 一半導體層，其包括以一或多個分離區所分離之複數個光電二極體；
  - 位於該等分離區之每一者中之一溝渠；
  - 一第一抗反射膜，其位於該等光電二極體上及該半導體層之該等溝渠中；
  - 一第二抗反射膜，其位於該第一抗反射膜上方；
  - 一光屏蔽層，其至少部分地位於該第一抗反射膜上及在該等溝渠中以掩埋於該等溝渠中及至少部分地由該第一抗反射膜所環繞；
  - 一佈線層，其位於該半導體層下方。
2. 如請求項 1 之固態成像器件，其中該光屏蔽層係位於該第一抗反射膜與該第二抗反射膜之間。
3. 如請求項 2 之固態成像器件，其包含位於該第一抗反射膜與該光屏蔽層之間的一中間層。
4. 如請求項 1 之固態成像器件，其中該光屏蔽層係嵌入於該第二抗反射膜中。
5. 如請求項 1 之固態成像器件，其中該光屏蔽層係位於該分離區上方。
6. 如請求項 1 之固態成像器件，
  - 其中該光屏蔽層係位於該溝渠內側。
7. 如請求項 1 之固態成像器件，其中該光電二極體具有接收光之一第一表面。

8. 如請求項7之固態成像器件，其中該第一抗反射膜與該第二抗反射膜皆係位於該光電二極體之該第一表面上方。
9. 如請求項1之固態成像器件，其中該第一抗反射膜之厚度小於該第二抗反射膜之厚度。
10. 如請求項1之固態成像器件，其中該光屏蔽層具有一大致凸面形狀。
11. 如請求項1之固態成像器件，其中該第一抗反射膜包含鈺、鋯、鋁、鈹、鈦、鎂、鈮、釧系元素或矽元素之氧化物中之至少一者。
12. 如請求項1之固態成像器件，其中該第二抗反射膜包含鈺、鋯、鋁、鈹、鈦、鎂、鈮、釧系元素或矽元素之氧化物中之至少一者。
13. 如請求項1之固態成像器件，其中該第一抗反射膜具有1.5或更大之一折射率。
14. 如請求項13之固態成像器件，其中該第二抗反射膜具有1.5或更大之一折射率。
15. 如請求項1之固態成像器件，其中該佈線層係位於該半導體層之與該第一抗反射膜及該第二抗反射膜相對之一第二表面上方。
16. 如請求項15之固態成像器件，其包含位於該半導體層之該第二表面上方之一電晶體。
17. 如請求項16之固態成像器件，其中該電晶體將一電荷自該光電二極體傳送至一傳輸線。

18. 一種用於製造一固態成像器件之方法，其包括以下步驟：

形成包括複數個光電二極體之一半導體層，該複數個光電二極體係以一或多個分離區所隔離；

在該等分離區之每一者中形成一溝渠；

在該等光電二極體上及該半導體層之該等溝渠中形成一第一抗反射膜；

在該等溝渠中至少部分地在該第一抗反射膜上形成一光屏蔽層，以使該光屏蔽層掩埋於該等溝渠中及至少由該第一抗反射膜所環繞；

在該第一抗反射膜上方形成一第二抗反射膜；及

在該半導體層下方形成一佈線層。

19. 如請求項18之方法，其中在形成該光屏蔽層之後形成該第二抗反射膜。

20. 如請求項18之方法，其中在形成該第二抗反射膜之後形成該光屏蔽層。

21. 如請求項18之方法，其中將該光屏蔽層定位於該第一抗反射膜與該第二抗反射膜之間。

22. 如請求項21之方法，其包含形成位於該第一抗反射膜與該光屏蔽層之間的一中間層之步驟。

23. 如請求項21之方法，其中將該光屏蔽層嵌入於該第二抗反射膜中。

24. 如請求項18之方法，其中將該光屏蔽層定位於該分離區上方。

25. 如請求項18之方法，

其中該光屏蔽層係位於該溝渠內側。

26. 如請求項18之方法，其中該光電二極體具有接收光之一第一表面。

27. 如請求項26之方法，其中將該第一抗反射膜與該第二抗反射膜定位於該光電二極體之該第一表面上方。

28. 如請求項18之方法，其中該第一抗反射膜之厚度小於該第二抗反射膜之厚度。

29. 如請求項18之方法，其中該光屏蔽層具有一大致凸面形狀。

30. 如請求項18之方法，其中該第一抗反射膜包含鉛、鋅、鋁、鈮、鈦、鎂、鈮、釧系元素或矽元素之氧化物中之至少一者。

31. 如請求項18之方法，其中該第二抗反射膜包含鉛、鋅、鋁、鈮、鈦、鎂、鈮、釧系元素或矽元素之氧化物中之至少一者。

32. 如請求項18之方法，其中該第一抗反射膜具有1.5或更大之一折射率。

33. 如請求項32之方法，其中該第二抗反射膜具有1.5或更大之一折射率。

34. 如請求項18之方法，其中該佈線層係在該半導體層之與該第一抗反射膜及該第二抗反射膜相對之一第二表面上方。

35. 如請求項34之方法，其包含在該半導體層之該第二表面

上方形成一電晶體。

36. 如請求項35之方法，其中該電晶體將一電荷自該光電二極體傳送至一傳輸線。

37. 一種電子裝置，其包括：

一半導體層，其包含以一或多個分離區所分離之複數個光電二極體；

位於該等分離區之每一者中之一溝渠；

一第一抗反射膜，其位於該等光電二極體上及該半導體層之該等溝渠中；

一第二抗反射膜，其位於該第一抗反射膜上方；

一光屏蔽層，其至少部分地位於該等溝渠中之該第一抗反射膜上以掩埋於該等溝渠中及至少部分地由第一抗反射膜所環繞；及

一佈線層，其位於該半導體層下方。

八、圖式：

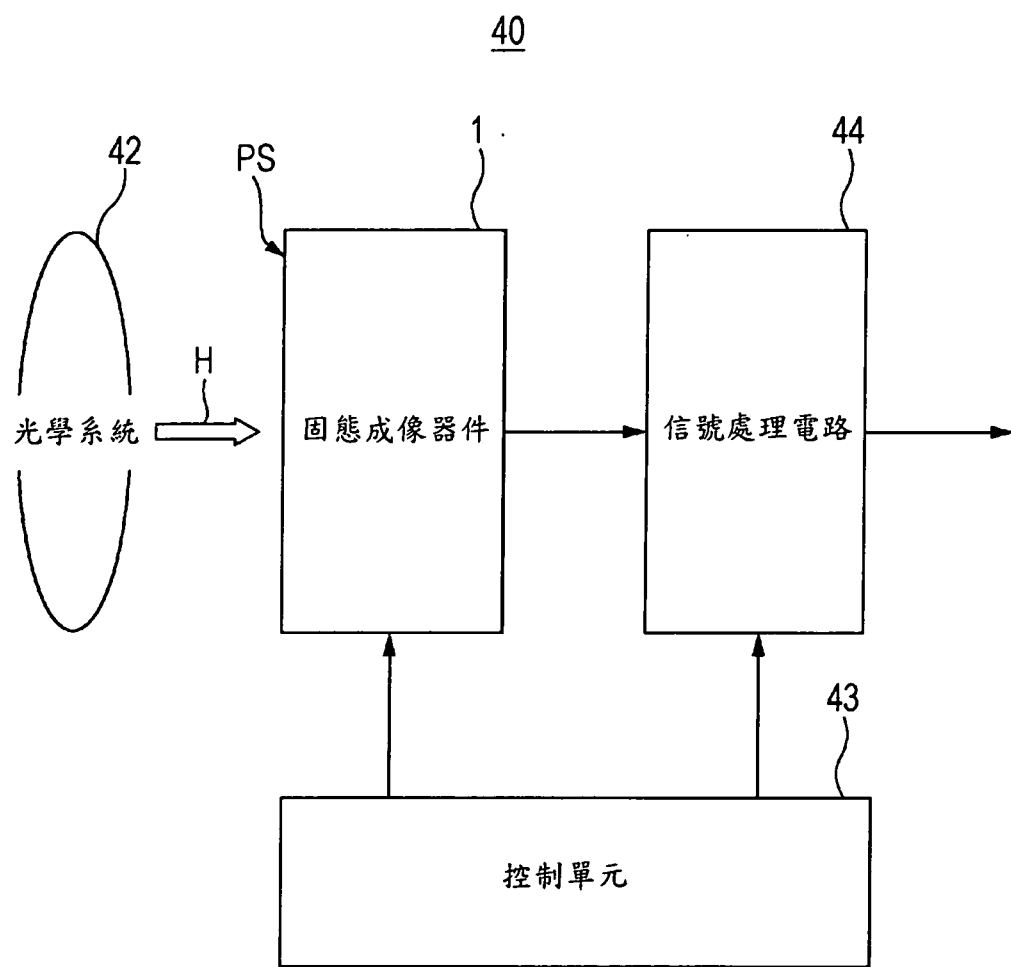


圖 1

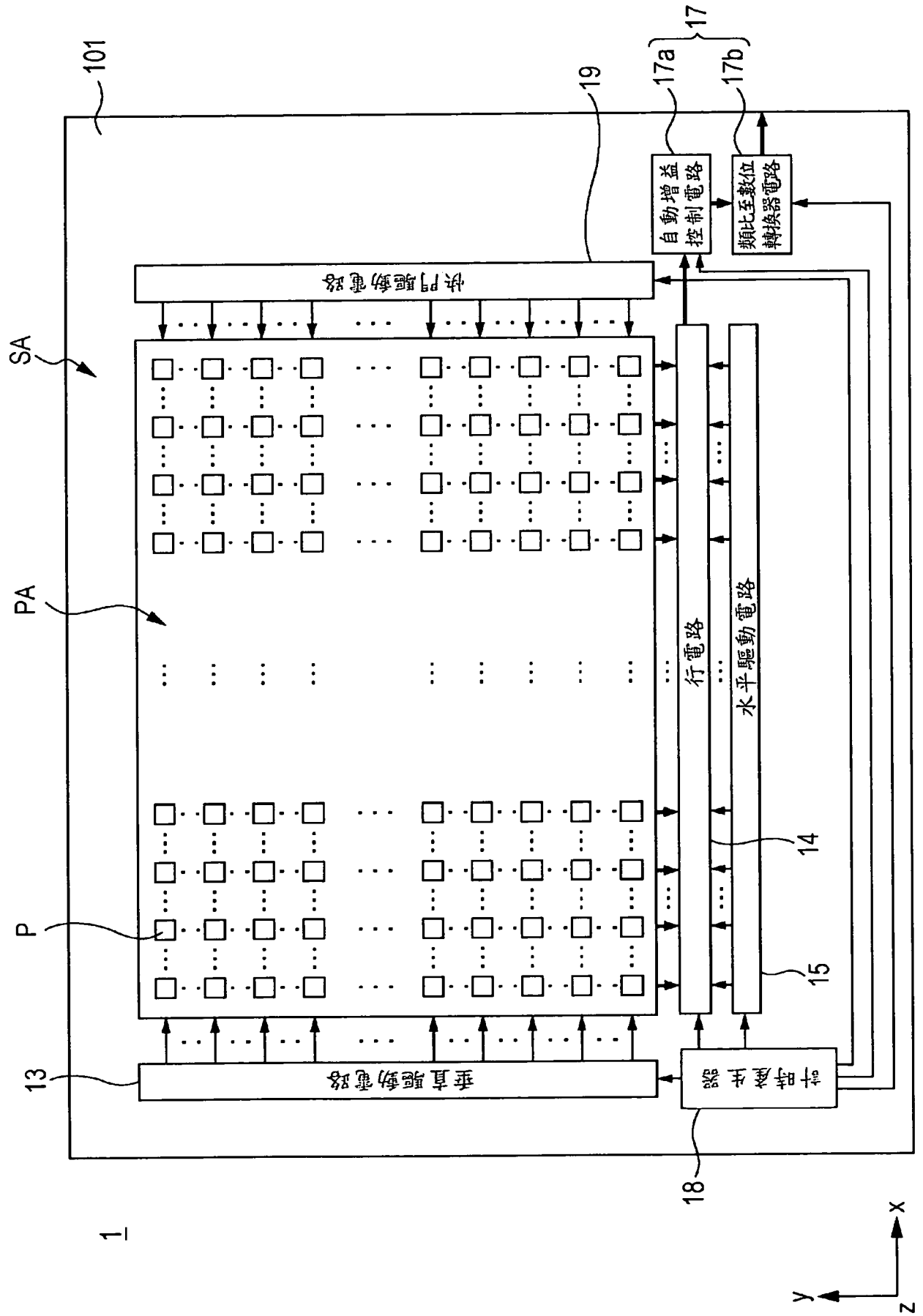


圖2

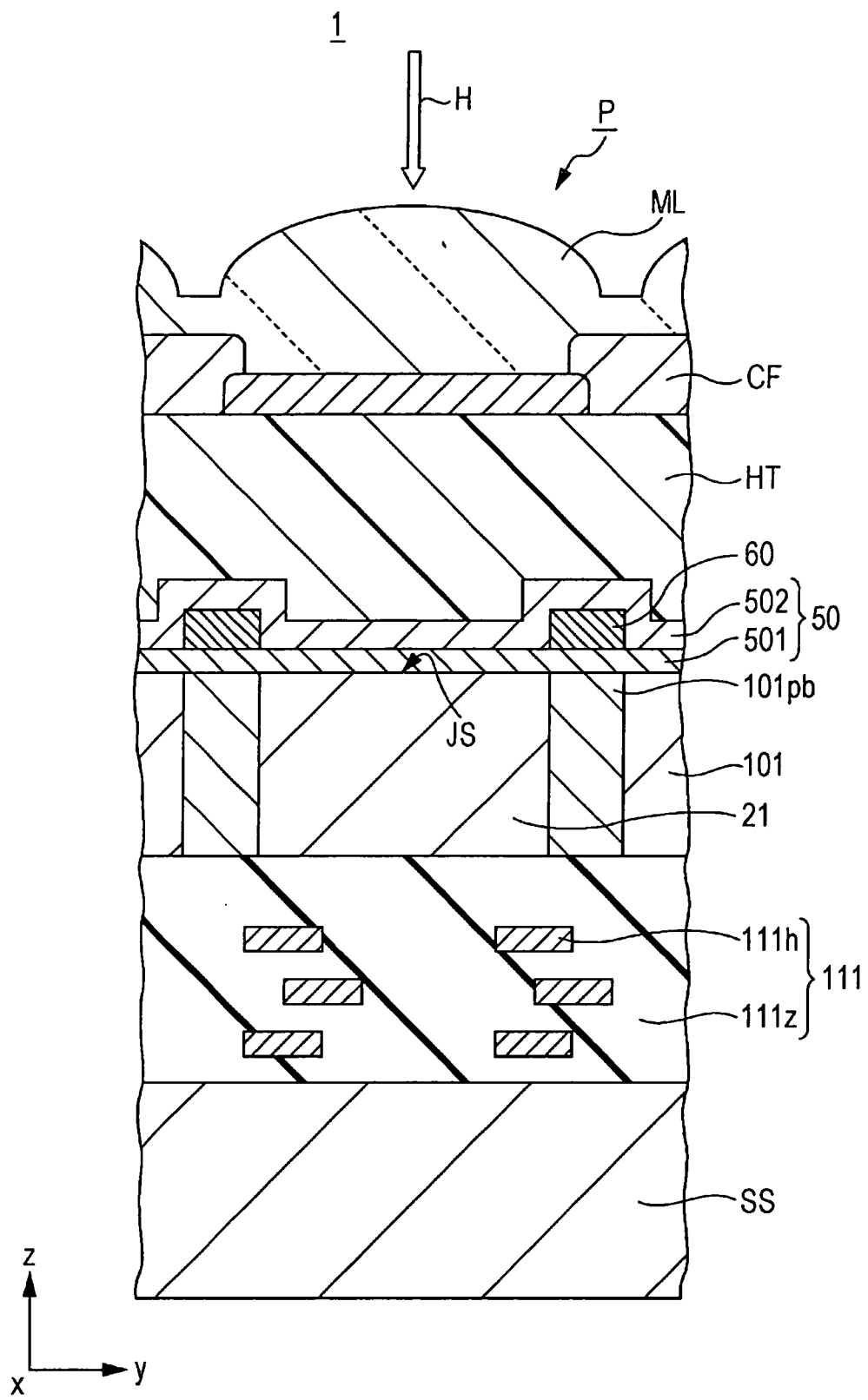


圖3

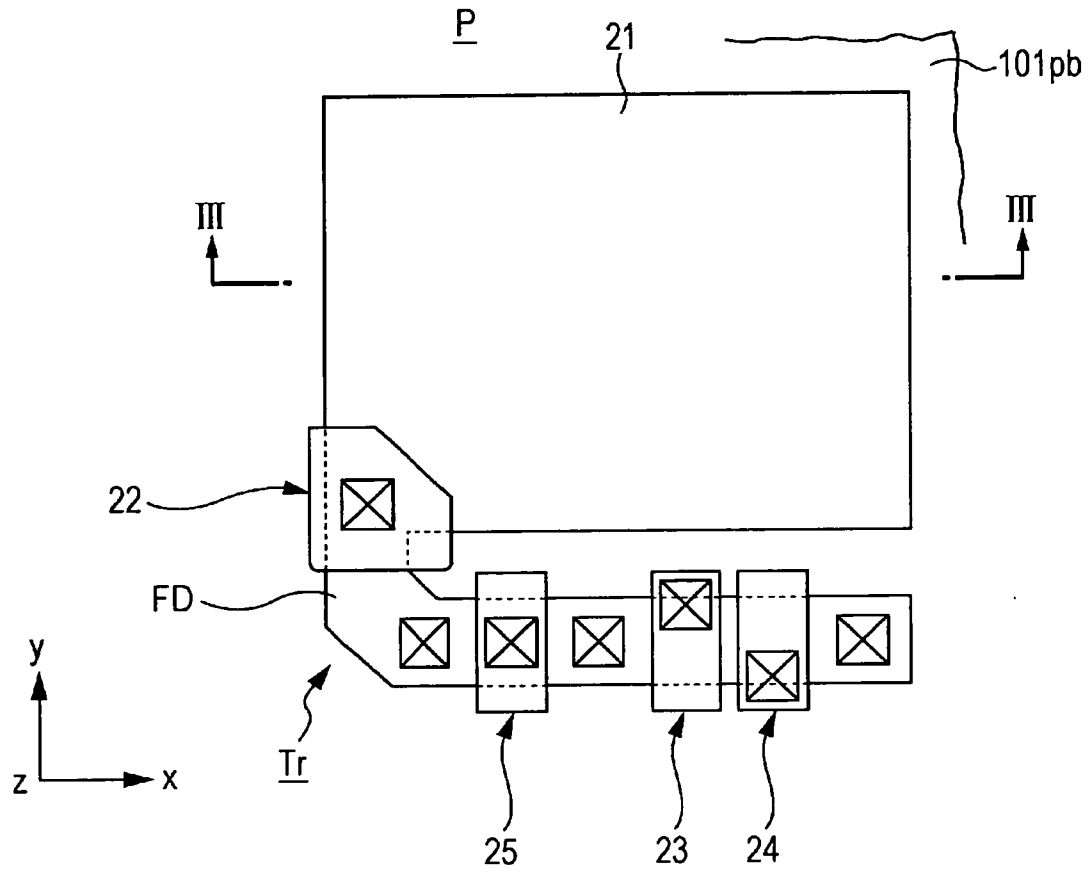


圖 4

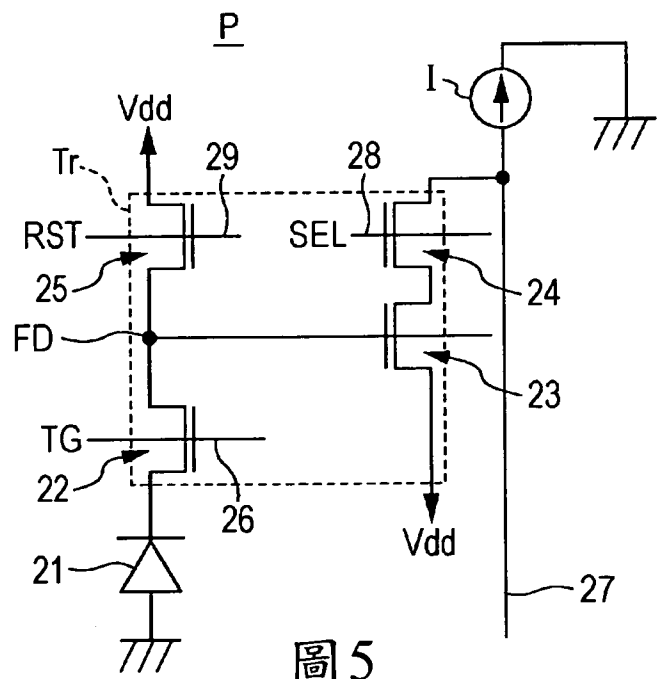


圖 5

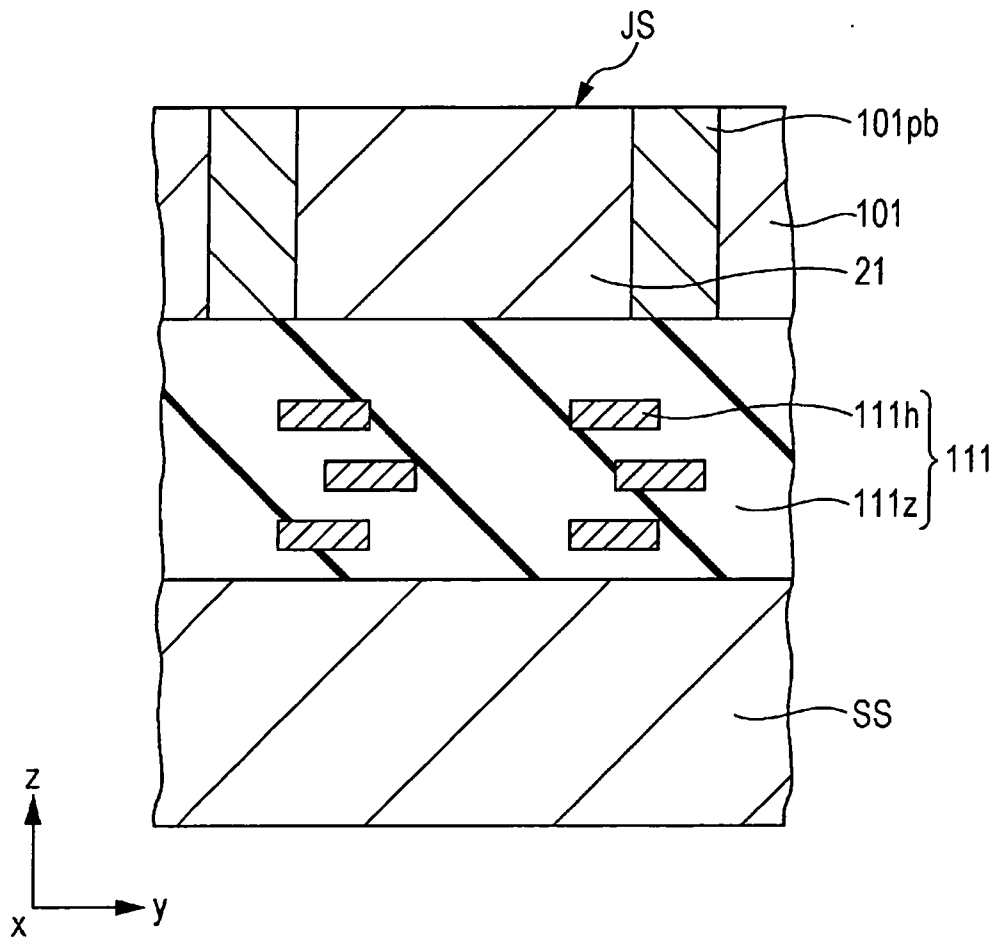


圖6

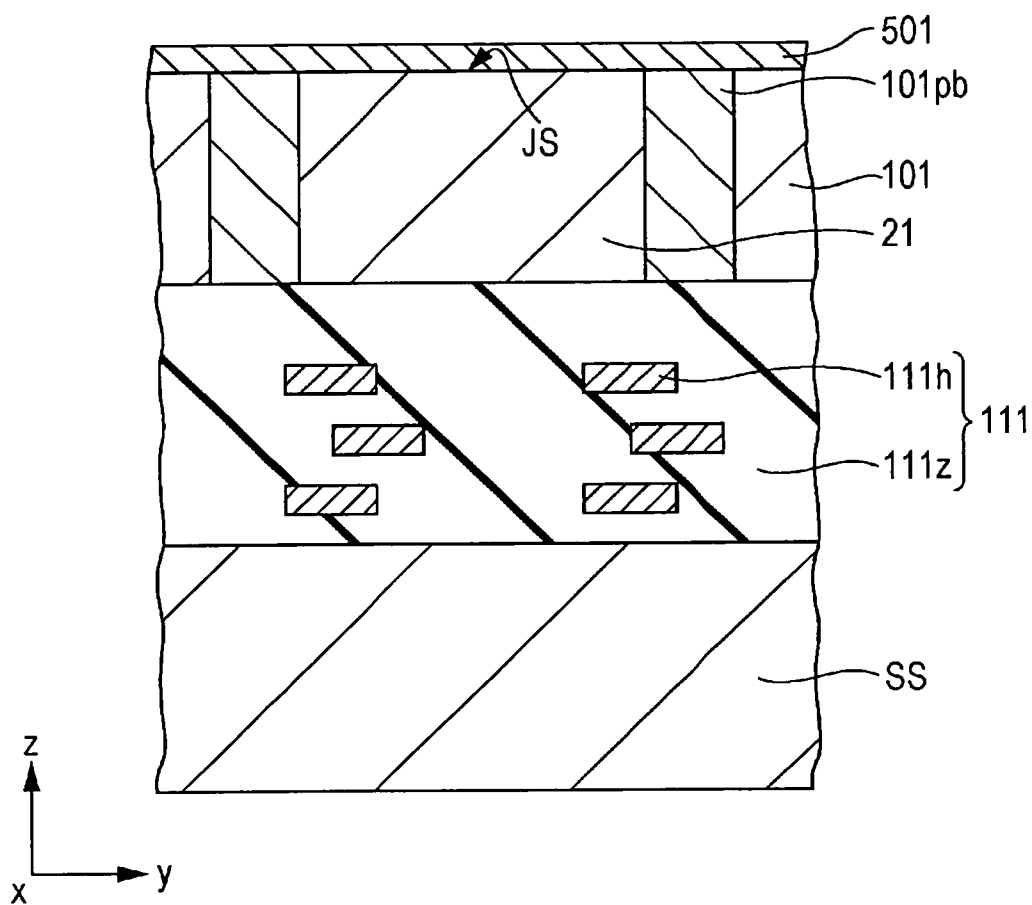


圖 7

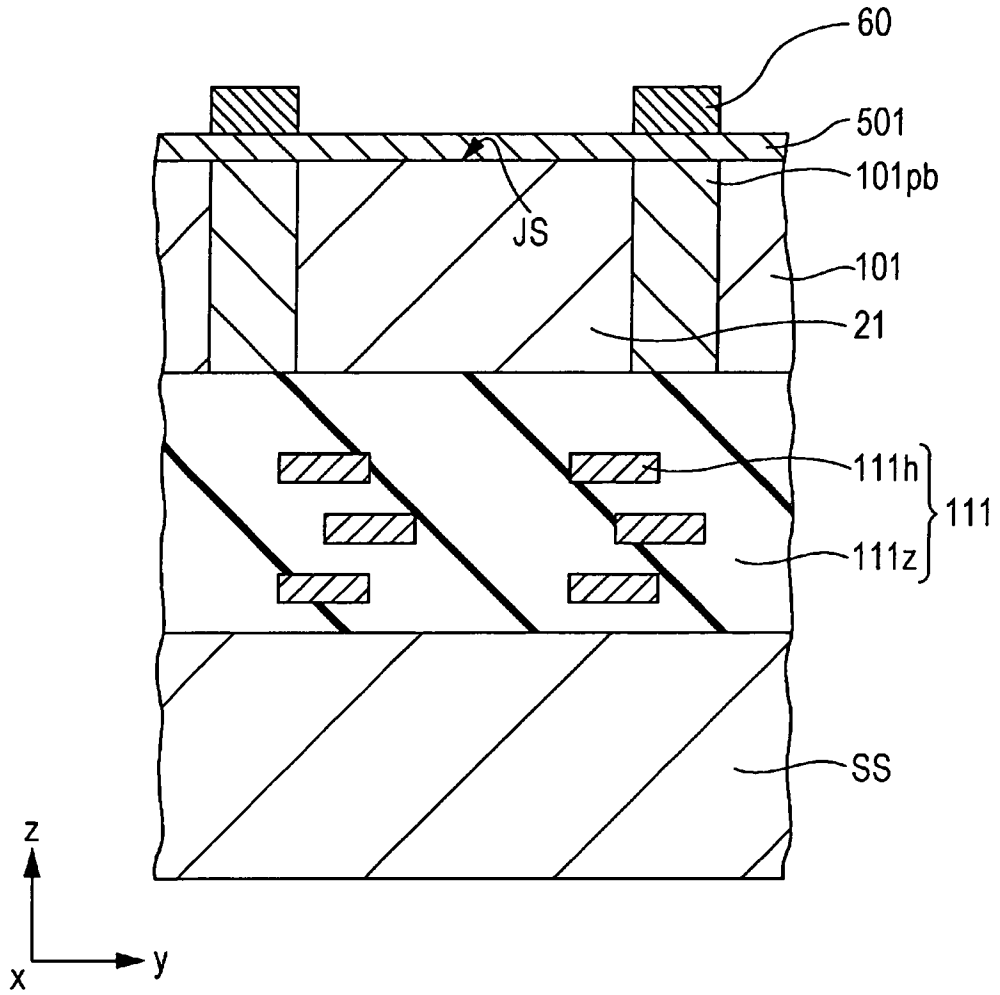


圖8

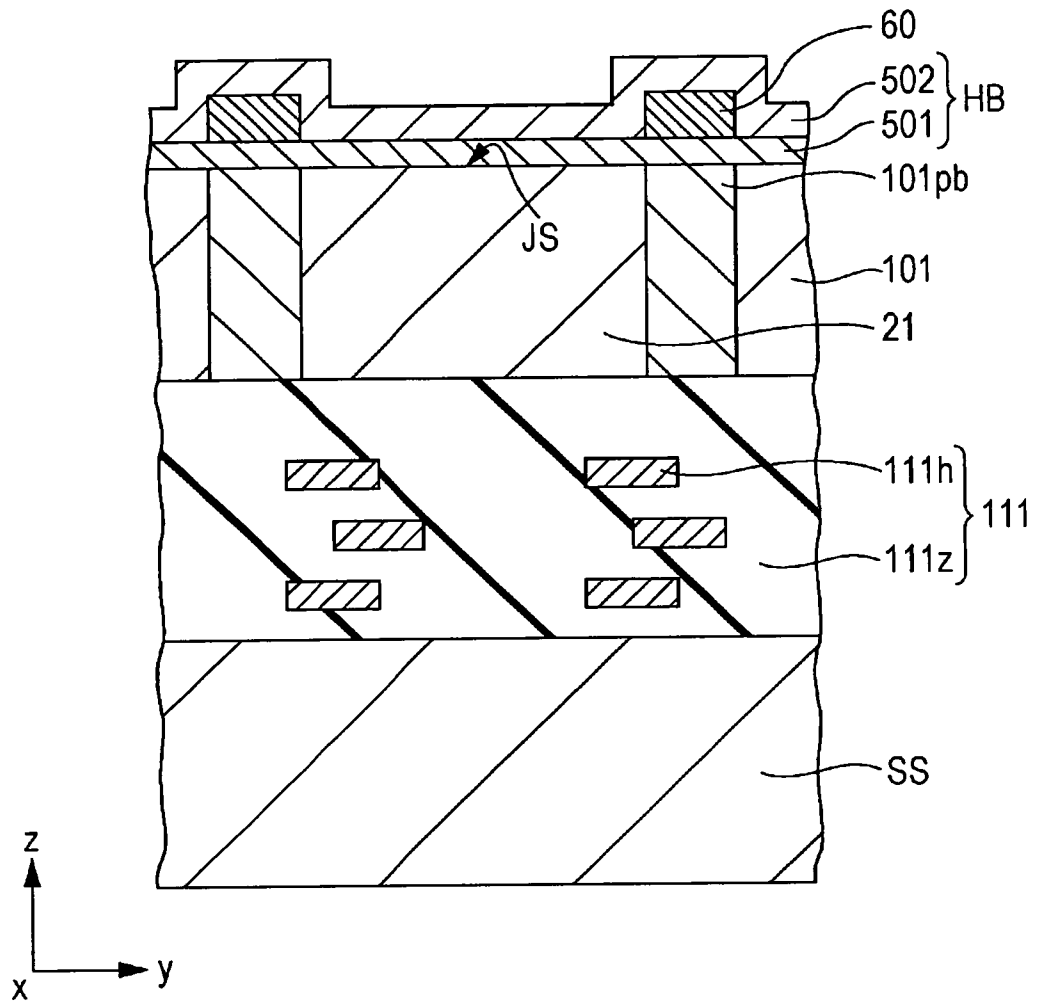


圖9

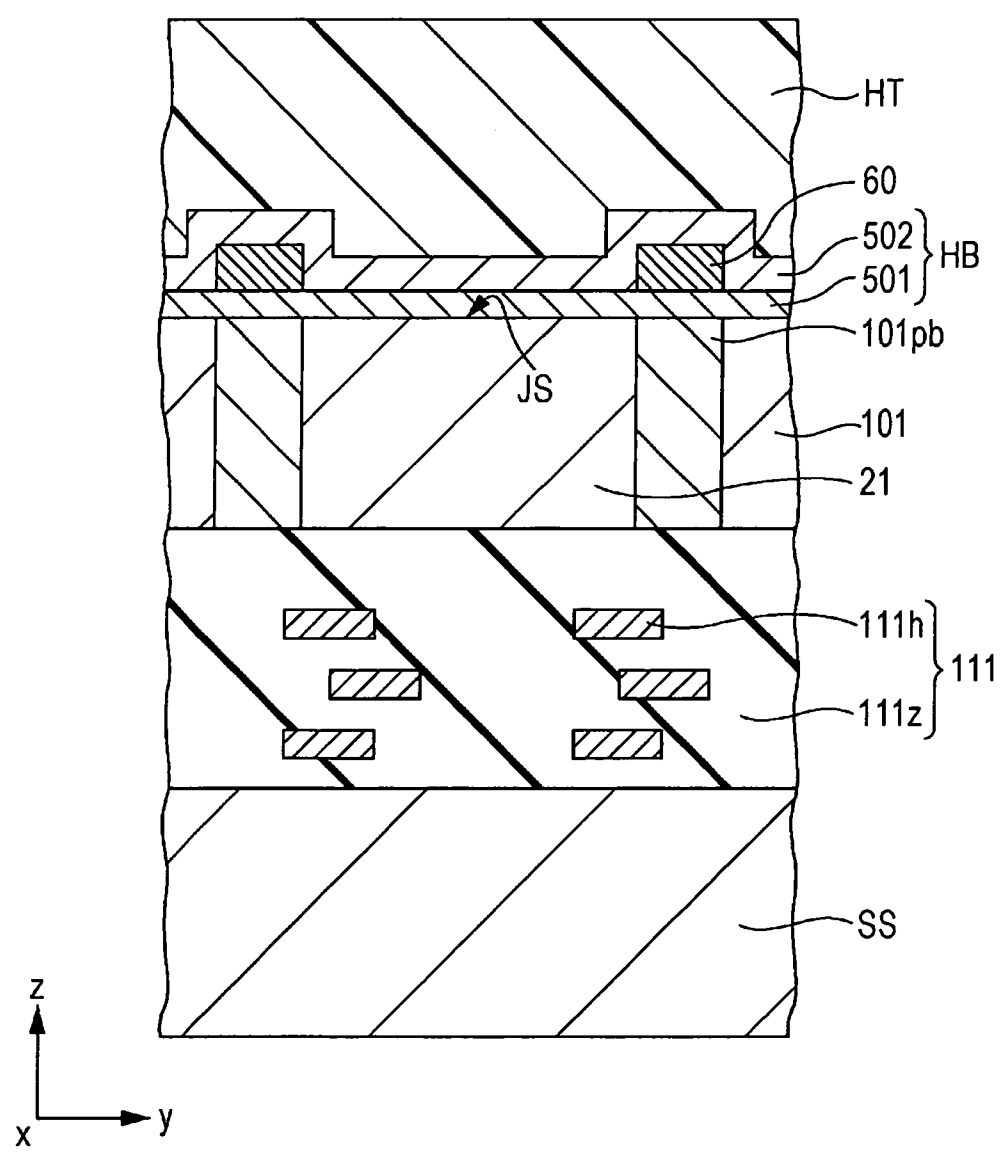


圖 10

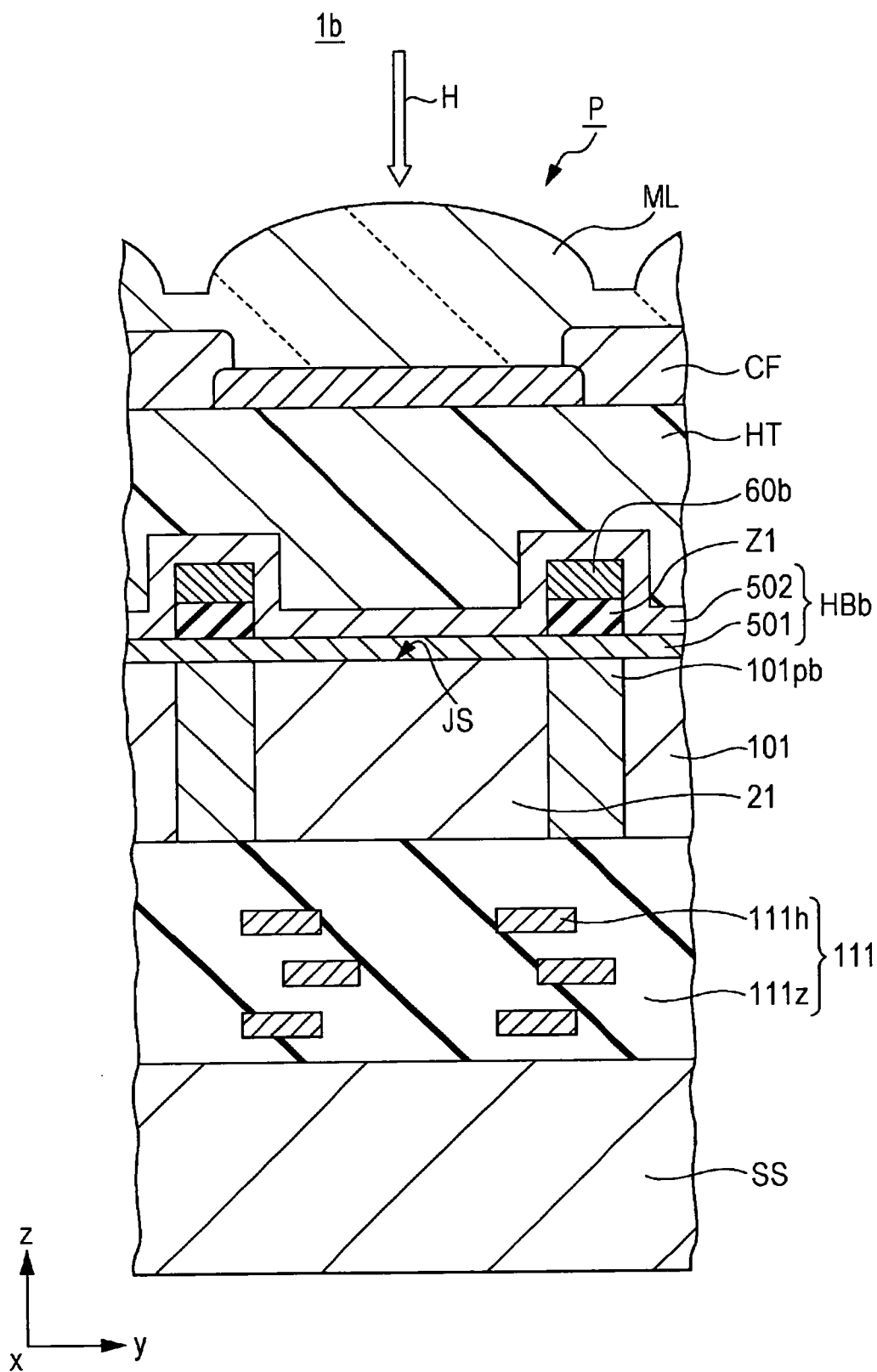


圖 11

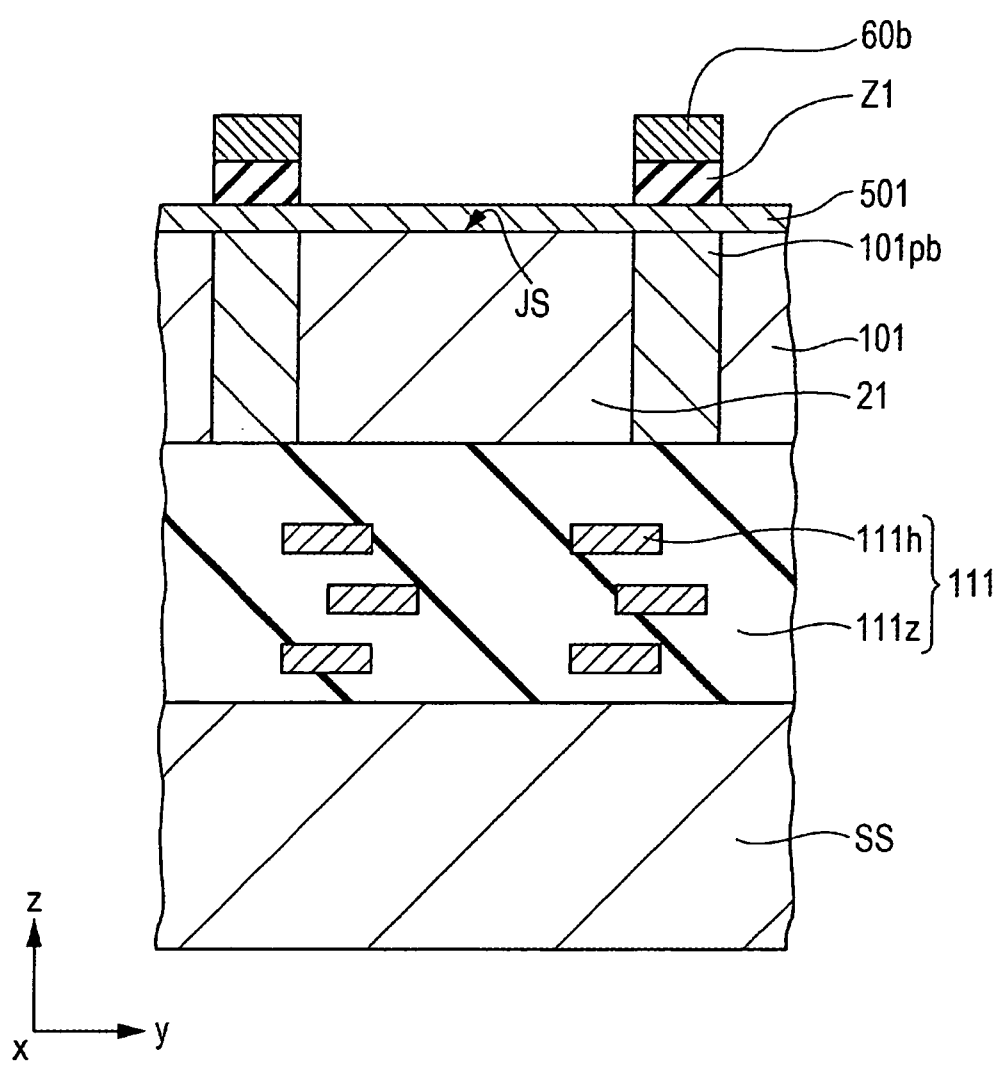


圖12

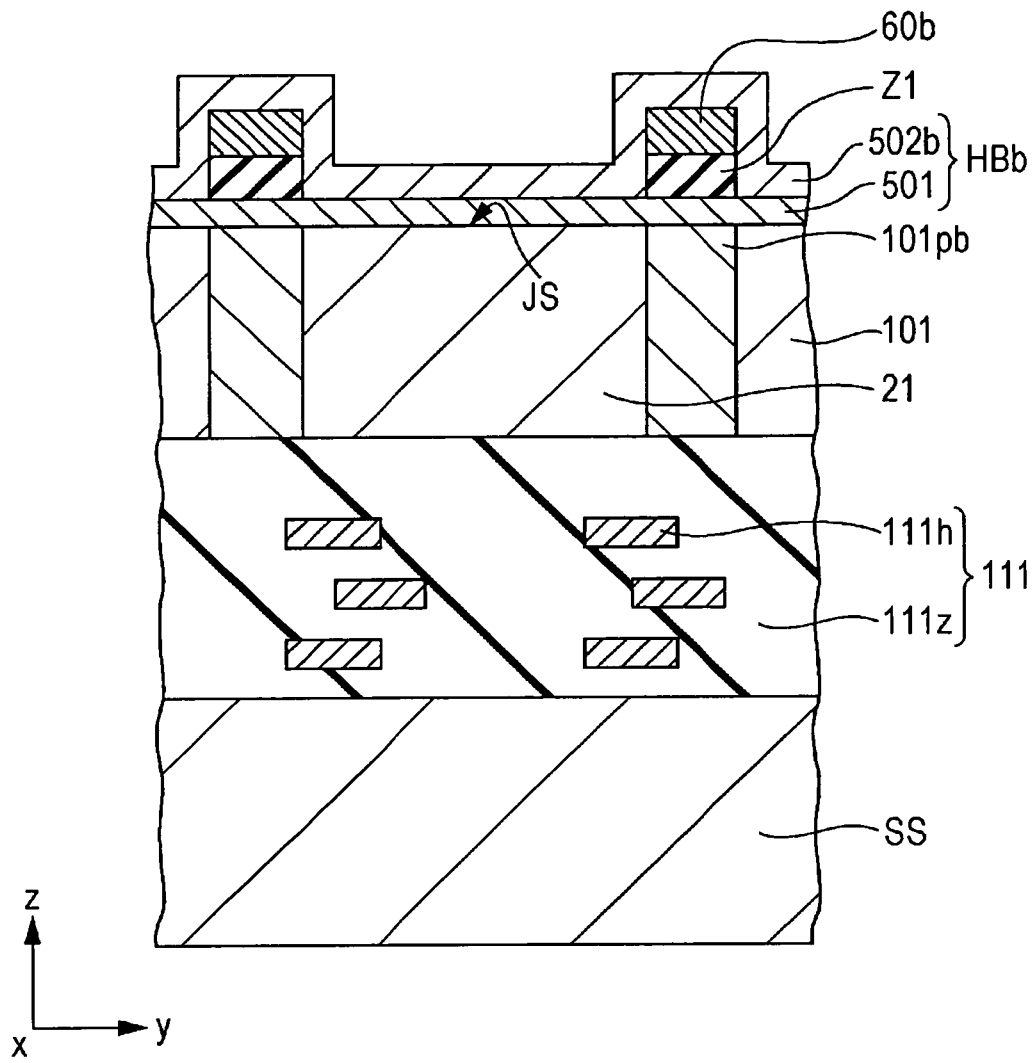


圖 13

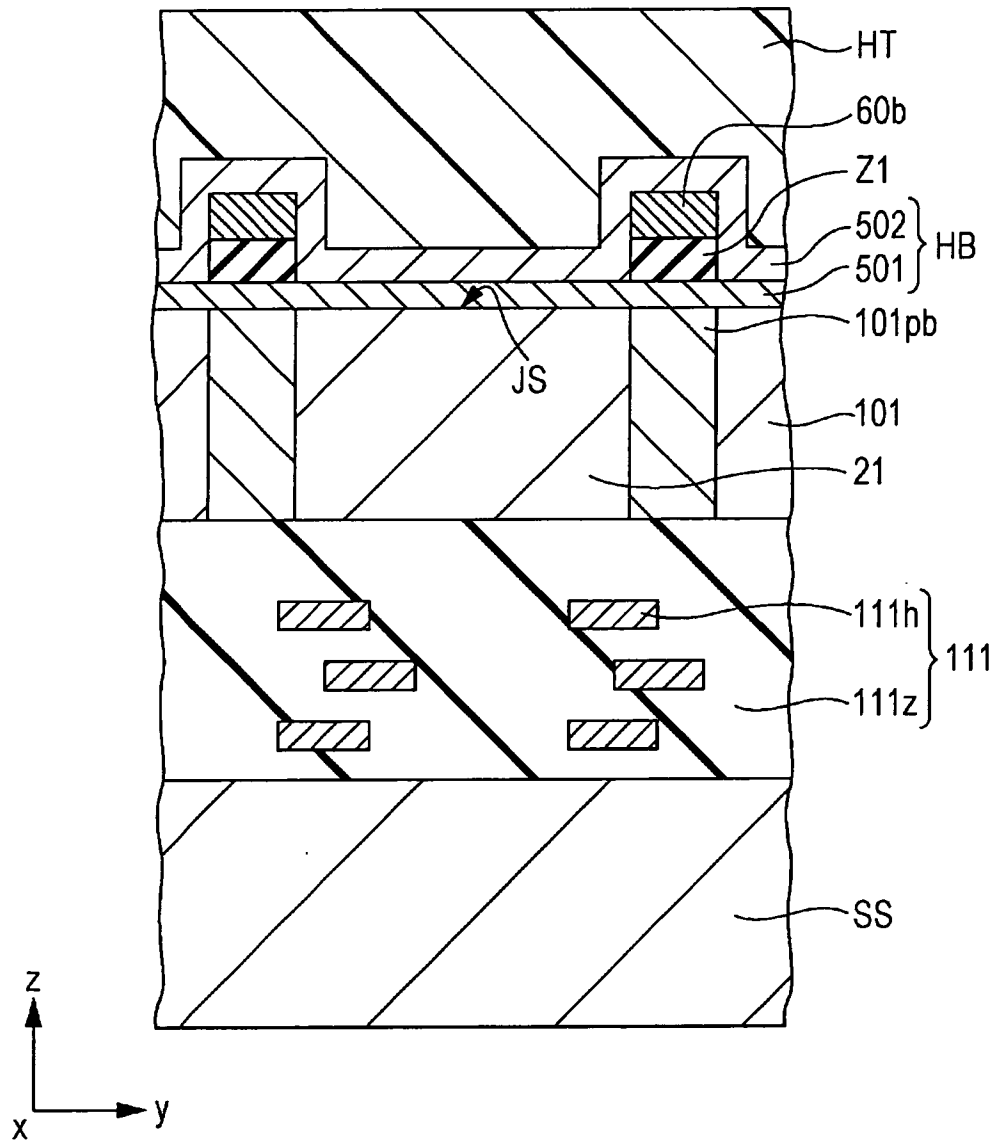


圖 14

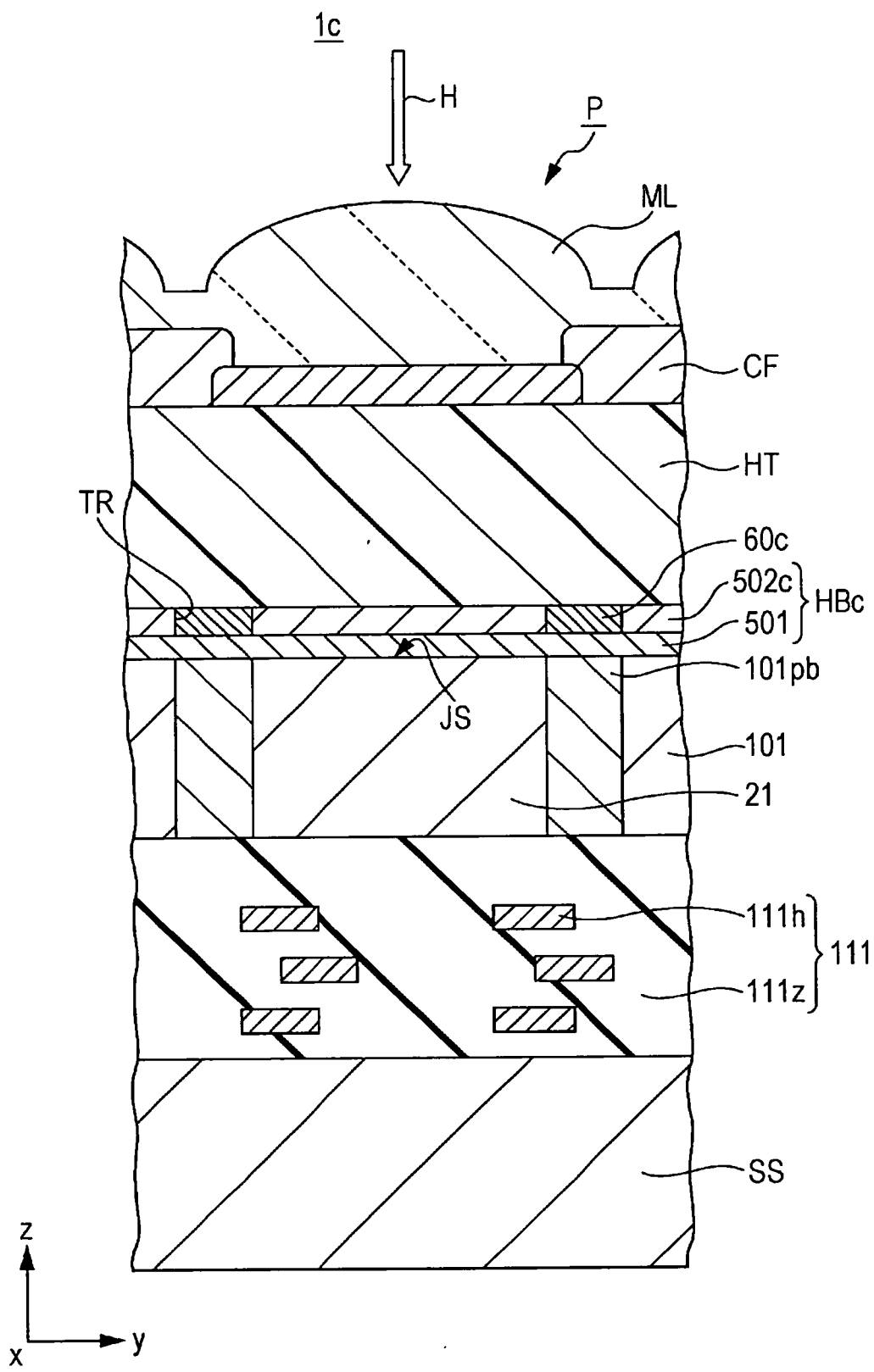


圖 15

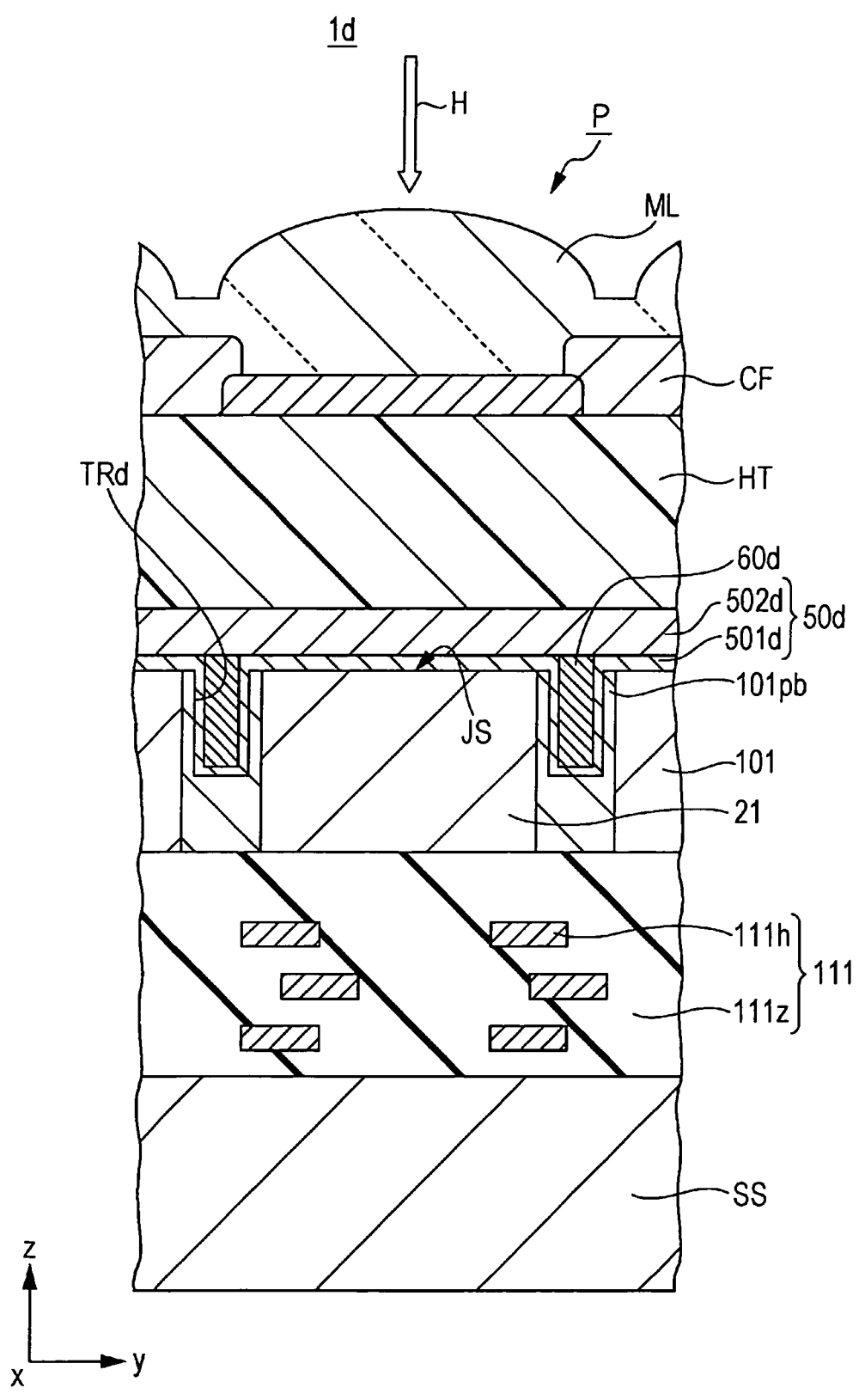


圖 16

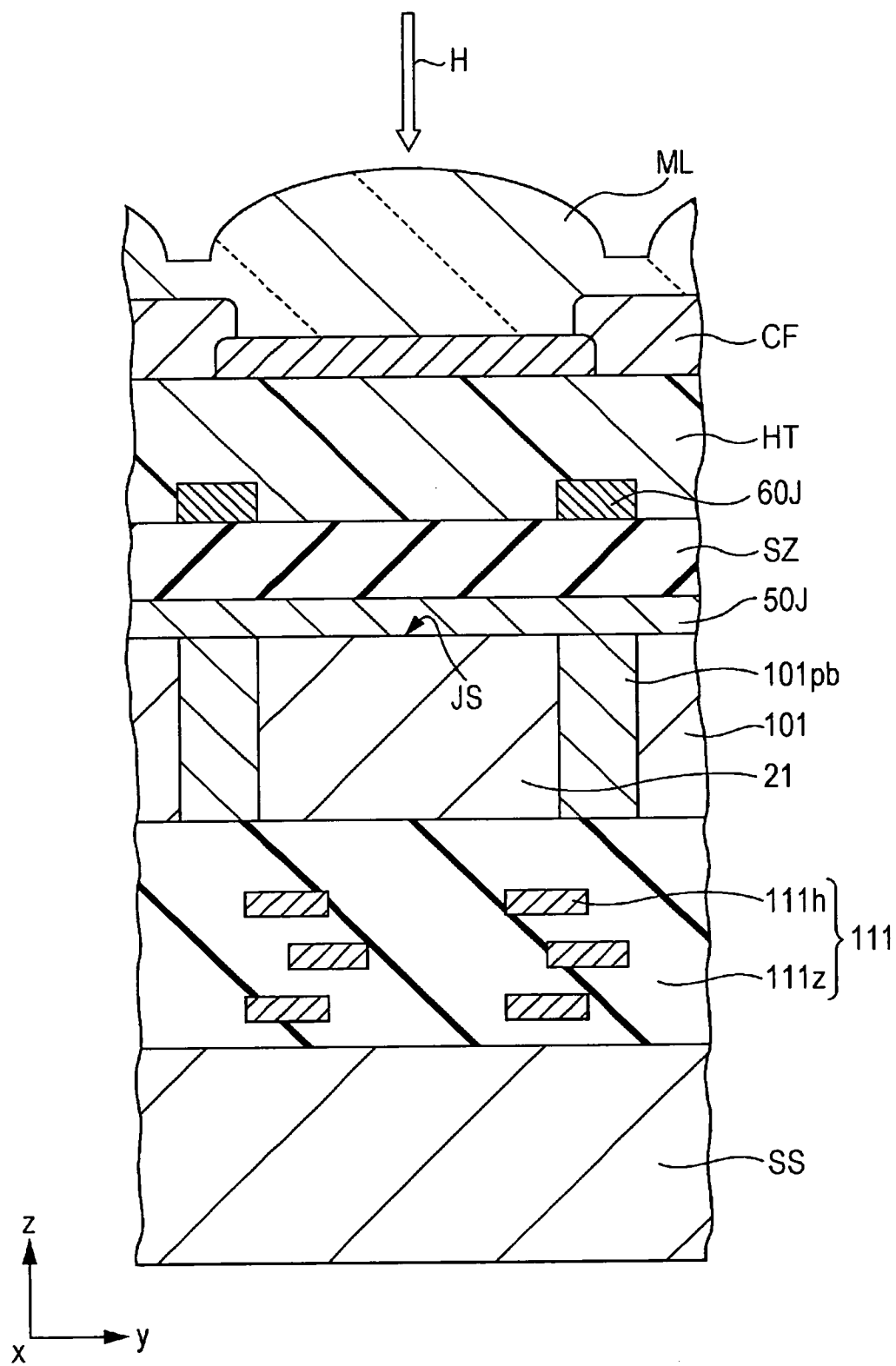


圖 17