



등록특허 10-2040329



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년11월27일

(11) 등록번호 10-2040329

(24) 등록일자 2019년10월29일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2017.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2012-0063035

(22) 출원일자 2012년06월13일

심사청구일자 2017년05월25일

(65) 공개번호 10-2013-0007427

(43) 공개일자 2013년01월18일

(30) 우선권주장

JP-P-2011-146113 2011년06월30일 일본(JP)

(56) 선행기술조사문헌

JP2007189087 A\*

(뒷면에 계속)

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

시무타 마사유키

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

야스다 슈이치로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사

사내

(뒷면에 계속)

(74) 대리인

최달용

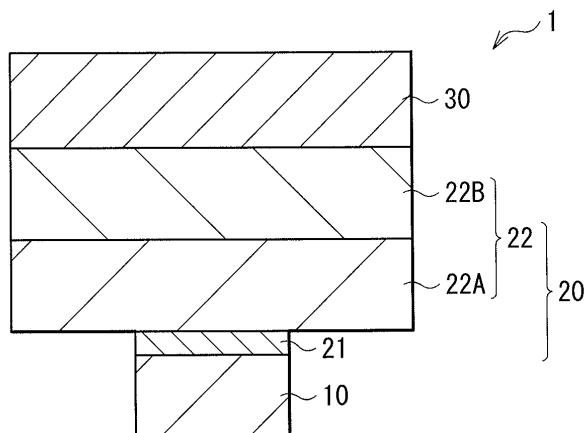
전체 청구항 수 : 총 19 항

심사관 : 고연화

(54) 발명의 명칭 기억 소자 및 그 제조 방법 및 기억 장치

**(57) 요 약**

본 발명의 기억 소자는, 제 1 전극, 기억층 및 제 2 전극을 이 순서로 가지며, 기억층은, 제 1 전극측에 마련된 저항변화층과, 적어도 1종의 금속 원소를 포함함과 함께, 제 2 전극측에 마련된 이온원층을 구비하고, 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 저항변화층측에 마련된 제 1 이온원층과, 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 제 2 전극측에 마련된 제 2 이온원층으로 이루어진다.

**대 표 도 - 도1**

(72) 발명자

**미즈구치 테츠야**

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
내

**오바 카즈히로**

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
내

**아라타니 카츠히사**

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
내

(56) 선행기술조사문현

JP2009049322 A\*

KR1020100050452 A\*

KR1020050108388 A

KR1020110049814 A

KR1020110068849 A

US20110278530 A1

US20110194329 A1

US20100259967 A1

\*는 심사관에 의하여 인용된 문현

---

## 명세서

### 청구범위

#### 청구항 1

제 1 전극, 기억층 및 제 2 전극을 이 순서로 가지며,

상기 기억층은,

상기 제 1 전극측에 마련된 저항변화층과,

적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원층을 구비하고,

상기 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 상기 저항변화층측에 마련된 제 1 이온원층과,

상기 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 상기 제1 이온원층 보다도 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이 금속군 중 적어도 1 종류의 금속 원소의 함유량이 많으며, 상기 제 2 전극측에 마련된 제 2 이온원층으로 이루어지는 것을 특징으로 하는 기억 소자.

#### 청구항 2

제 1항에 있어서,

상기 제 1 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 구배를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층이 적어도 1층씩 적층되어 있는 것을 특징으로 하는 기억 소자.

#### 청구항 3

제 1항에 있어서,

상기 금속 원소는, 구리(Cu), 알루미늄(Al), 게르마늄(Ge) 및 아연(Zn)중의 적어도 1종류의 금속 원소인 것을 특징으로 하는 기억 소자.

#### 청구항 4

제 1항에 있어서,

상기 금속 원소는, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이금속의 군중의 적어도 1종류인 것을 특징으로 하는 기억 소자.

#### 청구항 5

제 1항에 있어서,

상기 제 2 이온원층에 포함되는 칼코겐 원소의 함유량은 상기 제 1 이온원층보다도 적은 것을 특징으로 하는 기억 소자.

#### 청구항 6

제 1항에 있어서,

상기 제 2 이온원층에 포함되는 구리(Cu), 알루미늄(Al), 게르마늄(Ge) 및 아연(Zn)중 적어도 1종류의 금속 원소의 함유량은, 상기 제 1 이온원층보다도 많은 것을 특징으로 하는 기억 소자.

#### 청구항 7

제 1항에 있어서,

상기 제 2 이온원층에 포함되는, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이금속의 군중 적어도 1종류의 금속 원소의 함유량은, 상기 제 1 이온원층보다도 많은 것을 특징으로 하는 기억 소자.

#### 청구항 8

제 1항에 있어서,

상기 제 2 이온원층의 용점은 상기 제 1 이온원층보다도 높은 것을 특징으로 하는 청구항 1에 기재된 기억 소자.

#### 청구항 9

제 1항에 있어서,

상기 제 2 이온원층의 저항치는 상기 제 1 이온원층보다도 낮은 것을 특징으로 하는 기억 소자.

#### 청구항 10

제 1항에 있어서,

상기 제 2 이온원층에 포함되는 산소(0)의 함유량이, 상기 제 1 이온원층보다도 많은 것을 특징으로 하는 기억 소자.

#### 청구항 11

제 1항에 있어서,

상기 제 1 이온원층은 층 내에 상기 제 1 전극측부터 제 2 전극측을 향하여 칼코겐 원소의 농도 구배를 갖는 것을 특징으로 하는 기억 소자.

#### 청구항 12

제 2항에 있어서,

상기 제 2 이온원층의 용점은, 상기 제 1 이온원층을 구성하는 복수의 층중의 상기 저항변화층에 접하는 층보다도 높은 것을 특징으로 하는 기억 소자.

#### 청구항 13

제 2항에 있어서,

상기 제 2 이온원층의 저항치는, 상기 제 1 이온원층을 구성하는 복수의 층중의 상기 저항변화층에 접하는 층보다도 낮은 것을 특징으로 하는 기억 소자.

#### 청구항 14

제 1항에 있어서,

상기 제 1 전극 및 상기 제 2 전극에의 전압 인가에 의해 상기 저항변화층 내에 상기 금속 원소를 포함하는 저저항부가 형성됨에 의해 저항치가 변화하는 것을 특징으로 하는 기억 소자.

#### 청구항 15

제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 가지며,

상기 기억층은,

상기 제 1 전극측에 마련된 저항변화층과,

적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원층을 구비하고,

상기 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 상기 저항변화층에 마련된 제 1 이온원층과, 상기 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께,

상기 제1 이온원층 보다도 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이 금속의 군 중 적어도 1 종류의 금속 원소의 함유량이 많으며, 상기 제 2 전극층에 마련된 제 2 이온원층으로 이루어지는 것을 특징으로 하는 기억 장치.

### 청구항 16

기판상에 제 1 전극을 형성하는 공정과,

상기 제 1 전극상에 저항변화층을 형성하는 공정과,

상기 저항변화층상에 금속 원소 및, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함하는 제 1 이온원층을 형성하는 공정과,

상기 제 1 이온원층상에 상기 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 상기 제1 이온원층 보다도 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이 금속의 군 중 적어도 1 종류의 금속 원소의 함유량이 많은 제 2 이온원층을 형성하는 공정과,

상기 제 2 이온원층상에 제 2 전극상을 형성하는 공정을 포함하는 것을 특징으로 하는 기억 소자의 제조 방법.

### 청구항 17

제 16항에 있어서,

상기 제 1 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층, 전해질중에서의 이동이 용이한 이동용이 원소를 적어도 1종 포함하는 이동층 및 전해질중에서 이동하기 어려운 이동곤란 원소를 적어도 1종 포함하는 고정층을 각각 1층 이상 적층하고, 적어도 일부를 칼코겐층, 이동층 및 칼코겐층의 순서로 적층하는 것을 특징으로 하는 기억 소자의 제조 방법.

### 청구항 18

제 17항에 있어서,

상기 제 2 전극을 형성한 후 가열 처리를 행하여, 텔루르(Te), 황(S) 및 셀렌(Se)중 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층과 이동층과의 혼합층을 형성하는 것을 특징으로 하는 기억 소자의 제조 방법.

### 청구항 19

제 17항에 있어서,

텔루르(Te), 황(S) 및 셀렌(Se)중 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층, 이동층 및 고정층중, 적어도 상기 칼코겐층을 2층 이상 가짐과 함께, 적어도 일부가 상기 칼코겐층, 이동층, 칼코겐층의 순서로 적층되어 있는 것을 특징으로 하는 기억 소자의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은, 이온원층 및 저항변화층을 포함하는 기억층의 전기적 특성의 변화에 의해 정보를 기억하는 기억 소자 및 그 제조 방법 및 기억 장치에 관한 것이다.

### 배경 기술

[0002] 컴퓨터 등의 정보 기기에서는, 랜덤·액세스·메모리로서, 동작이 고속이며, 고밀도의 DRAM(Dynamic RandomAccess Memory)이 널리 사용되고 있다. 그러나, DRAM은, 전자 기기에 사용되는 일반적인 논리 회로(LSI)(Large Scale Integrated circuit)나 신호 처리 회로와 비교하여, 제조 프로세스가 복잡하기 때문에, 제조 비용이 높게 되어 있다. 또한, DRAM은, 전원을 끊으면 정보가 사라져 버리는 휘발성 메모리이고, 빈번하게 리프레시 동작, 즉 기록한 정보(데이터)를 판독하고, 다시 증폭하여, 재차 재기록하는 동작을 행할 필요가

있다.

[0003] 그래서, 종래, 전원을 끊어도 정보가 사라지지 않는 불휘발성의 메모리로서, 예를 들면, 플래시 메모리, FeRAM(Ferroelectric Random Access Memory)(강유전체 메모리)이나 MRAM(Magnetoresistive Random Access Memory)(자기 기억 소자) 등이 제안되어 있다. 이들의 메모리의 경우, 전원을 공급하지 않아도 기록한 정보를 장시간 계속 보존하는 것이 가능해진다. 그러나, 이들의 메모리는 각각 일장일단이 있다. 즉, 플래시 메모리는, 집적도가 높지만 동작 속도의 점에서 불리하다. FeRAM은 고 집적도화를 위한 미세 가공에 한계가 있고, 또한 제작 프로세스에서 문제가 있다. MRAM은 소비 전력의 문제가 있다.

[0004] 그래서, 차세대 불휘발 메모리로서, ReRAM(Resistive Random Access Memory)(저항 변화형 메모리)나 PCM(Phase Change Memory)(상변화형 메모리)라는 새로운 타입의 기억 소자가 제안되어 있다(예를 들면, 특히 문현 1, 2 참조). 또한, 메모리의 대용량화를 실현하기 위해, 저전류 동작이 가능한 기억 소자도 개발되어 있다.

## 선행기술문헌

### 특허문헌

[0005] (특허문헌 0001) 일본 특원2006-322188호 공보

(특허문헌 0002) 일본 특개2009-43873호 공보

## 발명의 내용

### 해결하려는 과제

[0006] 그러나, 상기 기억 소자에서는, 기록 상태(저저항 상태) 또는 소거 상태(고저항 상태)를 장시간에 걸쳐서 방치한 경우나, 실온보다도 높은 온도 분위기에서 방치한 경우에는 저항변화층의 저항치가 변화하고, 데이터를 잃어버릴 우려가 있다는 문제가 있다.

[0007] 본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 내열성이 향상한 기억 소자 및 그 제조 방법 및 기억 장치를 제공하는 것에 있다.

### 과제의 해결 수단

[0008] 본 발명의 기억 소자는, 제 1 전극, 기억층 및 제 2 전극을 이 순서로 가지며, 기억층은, 제 1 전극측에 마련된 저항변화층과, 적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원층을 구비한 것이고, 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중 적어도 1종의, 칼코겐 원소를 포함함과 함께, 상기 저항변화층측에 마련된 제 1 이온원층과, 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 제 2 전극측에 마련된 제 2 이온원층을 포함한다.

[0009] 본 발명의 기억 장치는, 제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자와, 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 구비한다. 기억층은, 제 1 전극측에 마련된 저항변화층과, 적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원층을 구비한 것이고, 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중 적어도 1종의, 칼코겐 원소를 포함함과 함께, 상기 저항변화층측에 마련된 제 1 이온원층과, 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 제 2 전극측에 마련된 제 2 이온원층을 포함한다.

[0010] 본 발명은 의한 기억 소자의 제조 방법을 제공한다. 그 방법은 기판상에 제 1 전극을 형성하는 공정, 제 1 전극 상에 저항변화층을 형성하는 공정, 저항변화층상에 금속 원소 및 텔루르(Te), 황(S) 및 셀렌(Se)의 적어도 1종의 칼코겐 원소를 포함하는 제 1 이온원층을 형성하는 공정, 제 1 이온원층의 위에 제 2 이온원층과는 칼코겐 원소의 함유량이 다른 제 2 이온원층을 형성하는 공정 및 이온원층상에 제 2 전극을 형성하는 공정을 포함한다.

[0011] 본 발명의 기억 소자(기억 장치)에서는, 초기 상태(고저항 상태)의 소자에 대해 "정방향"(예를 들면 제 1 전극 측을 부전위, 제 2 전극측을 정전위)의 전압 또는 전류 펄스가 인가되면, 이온원층에 포함되는 금속 원소가 이온화하여 저항변화층중에 확산하고, 제 1 전극에서 전자와 결합하여 석출하고, 또는 저항변화층중에 머물러서 불순물 준위를 형성한다. 이에 의해 기억층 내에 금속 원소를 포함하는 저저항부(전도 패스)가 형성되고, 저항

변화층의 저항이 낮아진다(기록 상태). 이 저저항의 상태의 소자에 대해 "부방향"(예를 들면 제 1 전극층을 정전위, 제 2 전극층을 부전위)으로 전압 펄스가 인가되면, 제 1 전극에 석출하여 있던 금속 원소가 이온화하여 이온원층중에 용해한다. 이에 의해 금속 원소를 포함하는 전도 패스가 소멸하고, 저항변화층의 저항이 높은 상태가 된다(초기 상태 또는 소거 상태).

[0012] 여기서는, 이온원층이 텔루르(Te), 황(S) 및 셀렌중(Se)의 적어도 1종의 칼코겐 원소를 포함함과 함께, 저항변화층에 마련된 제 1 이온원층과, 제 1 이온원층과는 칼코겐 원소의 함유량이 다름과 함께, 제 2 전극층에 마련된 제 2 이온원층과의 적층 구조에 의해 구성되어 있음에 의해, 이온원층의 열화가 억제된다.

### 발명의 효과

[0013] 본 발명의 기억 소자, 그 기억 소자의 제조 방법 및 기억 장치에 의하면, 이온원층을 각각 칼코겐 원소의 함유량이 다른 제 1 이온원층 및 제 2 이온원층의 적층 구조로 하였다. 이에 의해, 이온원층의 열화가 억제되고, 기억 소자의 내열성이 향상한다. 즉, 높은 신뢰성을 갖는 기억 장치를 제공하는 것이 가능해진다.

### 도면의 간단한 설명

[0014] 도 1은 본 발명의 제 1의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.

도 2는 도 1의 기억 소자를 이용한 메모리 셀 어레이의 구성을 도시하는 단면도.

도 3은 도 2의 메모리 셀 어레이의 평면도.

도 4는 본 발명의 변형례에 관한 기억 소자의 구성을 도시하는 단면도.

도 5의 A 및 도 5의 B는 본 발명의 제 2의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.

도 6은 본 발명의 제 2의 실시의 형태에 관한 기억 소자의 제 1 이온원층 내의 농도 분포를 설명하는 모식도.

도 7의 A 내지 도 7의 D는 실시예 1에 관한 반복 특성을 도시하는 도면.

도 8의 A 내지 도 8의 D는 실시예 1에 관한 반복 특성을 도시하는 도면.

도 9의 A 내지 도 9의 C는 실시예 1에 관한 반복 특성을 도시하는 도면.

도 10의 A 내지 도 10의 C는 실시예 1에 관한 반복 특성을 도시하는 도면.

도 11의 A 내지 도 11의 C는 실시예 2에 관한 반복 특성을 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 실시의 형태에 관해, 이하의 순서로 도면을 참조하면서 설명한다.

[0016] [제 1의 실시의 형태]

[0017] 1. 기억 소자(이온원층이 제 1 이온원층 및 제 2 이온원층으로 이루어지는 기억 소자)

[0018] 2. 기억 소자의 제조 방법

[0019] 3. 기억 장치

[0020] [변형례]

[0021] [저항변화층이 2층 적층된 기억 소자]

[0022] [제 2의 실시의 형태]

[0023] [제 2 이온원층이 적층 구조를 갖는 기억 소자]

[0024] [실시예]

[0025] [제 1의 실시의 형태]

[0026] [기억 소자]

[0027] 도 1은, 본 발명의 제 1의 실시의 형태에 관한 기억 소자(1)의 단면 구성도이다. 이 기억 소자(1)는, 하부 전극

(10)(제 1 전극), 기억층(20) 및 상부 전극(30)(제 2 전극)을 이 순서로 갖는 것이다.

[0028] 하부 전극(10)은, 예를 들면, 후술(도 4)하는 바와 같이 CMOS(Complementary MetalOxide Semiconductor) 회로가 형성된 실리콘 기판(41)상에 마련되고, CMOS 회로 부분과의 접속부가 되어 있다. 이 하부 전극(10)은, 반도체 프로세스에 사용되는 배선 재료, 예를 들면, 텅스텐(W), 질화 텅스텐(WN), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 탄탈(Ta) 및 실리사이드 등에 의해 구성되어 있다. 하부 전극(10)이 전계(電界)에서 이온 전도(傳導)가 생길 가능성이 있는 재료(예를 들면, Cu 등)에 의해 구성되어 있는 경우에는, 하부 전극(10)의 표면을, W, WN, 질화 티탄(TiN), 질화 탄탈(TaN) 등의 이온 전도나 열 확산하기 어려운 재료로 괴복하도록 하여도 좋다. 또한, 후술하는 이온원층(22)에 Al이 포함되어 있는 경우에는, Al보다도 이온화하기 어려운 재료, 예를 들면 크롬(Cr), W, 코발트(Co), Si, 금(Au), 팔라듐(Pd), Mo, 이리듐(Ir), 티탄(Ti) 등의 적어도 1종을 포함한 금속막이나, 이들의 산화막 또는 질화막을 사용하는 것이 바람직하다.

[0029] 기억층(20)은 저항변화층(21) 및 이온원층(22)에 의해 구성되어 있다. 저항변화층(21)은 하부 전극(10)측에 있고, 여기서는 하부 전극(10)에 접하여 마련되어 있다. 이 저항변화층(21)은 전기 전도상의 배리어로서의 기능을 갖고 있다. 또한, 이 저항변화층(21)은, 하부 전극(10)과 상부 전극(30)과의 사이에 소정의 전압을 인가한 때에 그 저항치가 변화한다. 저항변화층(21)은, 후술하는 이온원층(22)과 접하여 있어도 안정한 절연체 또는 반도체라면 어느 물질이라도 사용할 수 있다. 구체적인 재료로서는, Gd(가돌리늄) 등의 희토류 원소, Al, Mg(마그네슘), Ta, Si(실리콘) 등을 적어도 1종 포함하는 산화물, 질화물, 또는 불화물 등을 들 수 있다. 이 밖에, 음이온 성분으로서 거동하는, 텔루르(Te), 황(S) 및 셀렌(Se) 등의 칼코겐 원소를 포함하는 화합물을 사용하여도 좋다. 구체적으로는, 예를 들면 Te를 사용한 경우에는 AlTe, MgTe 또는 ZnTe, 또는 또한 질소(N)를 포함하는 AlTeN 등을 들 수 있다.

[0030] 저항변화층(21)의 초기 저항치는  $1M\Omega$  이상인 것이 바람직하고, 저저항 상태에서의 저항치는 수백  $k\Omega$  이하인 것이 바람직하다. 미세화한 저항 변화형 메모리의 저항 상태를 고속으로 판독하기 위해서는, 가능한 한 저저항 상태의 저항치를 낮게 하는 것이 바람직하다. 그러나, 예를 들면 20 내지  $50\mu\text{A}$ , 2V의 조건으로 기록한 경우의 저항치는 40 내지  $100k\Omega$ 이기 때문에, 메모리의 초기 저항치는 이값보다 높을 것이 전제가 된다.

[0031] 이온원층(22)은, 저항변화층(21)에 확산하는 가동(可動) 이온(양이온 및 음이온)으로 이루어지는 이온 도전 재료를 포함하는 층이고, 이온 공급원으로서의 역할을 가지며, 주로 비정질 구조를 취한다. 이온원층(22)은, 음이온화하는 이온 전도 재료로서, Te, S 및 Se중 적어도 1종의 칼코겐 원소를 포함하고 있다. 또한, 이온원층(22)은, 소거시에 하부 전극(10)상에 산화물을 형성하는 원소로서, Al을 함유하여도 좋다. 또한, 이온원층(22)은, 적어도 1종의 금속 원소를 포함하고 있다. 이온원층(22)에 포함되는 금속 원소로서는, 예를 들면, Cu, 아연(Zn), 은(Ag), 니켈(Ni), 코발트(Co), 망간(Mn), 철(Fe), Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 금속 원소의 군중의 적어도 1종이 바람직하다. Al 및 이들의 금속 원소의 몇 가지는, 양이온화하는 이온 전도 재료로서의 기능을 갖는 것이다.

[0032] 이온원층(22)은, 비정질화를 위해 금속 원소로서 Zr을 포함하는 것이 바람직하다. 저저항 상태(기록 상태) 또는 고저항 상태(초기 상태 또는 소거 상태)의 저항치 유지 특성을 향상시키는 것이 가능해지기 때문이다. 여기서는, 저저항 상태를 기록 상태, 고저항 상태를 소거 상태라고 정의한다. 또한, Cu는, 양이온화 가능한 금속 원소이고, Zr과 조합시킴에 의해, 비정질을 형성하기 쉽고, 이온원층(21)의 미세 구조를 균일하게 유지한다는 기능을 갖는다.

[0033] 이온원층(22)에는, 필요에 응하여 기타의 원소가 첨가되어 있어도 좋다. 첨가 원소의 예로서는, Mg, 게르마늄(Ge), Si 등이 들 수 있다. Mg는, 양이온화하기 쉽고, 소거 바이어스로 산화막을 형성하고 고저항화하기 쉽게 하기 위한 것이다. Ge는, Al과 마찬가지로, 소거시에 산화물을 형성함에 의해 고저항 상태(소거 상태)를 안정화시킴과 함께, 반복 회수의 증가에도 기여하는 것이다. Si는, 기억층(20)의 고온 열처리시의 막 벗겨짐을 억제함과 함께, 유지 특성의 향상도 동시에 기대할 수 있는 첨가 원소이고, 이온원층(21)에 Zr과 함께 첨가하여도 좋다.

[0034] 이와 같은 이온원층(22)의 구체적인 재료로서는, 예를 들면, ZrTeAl, ZrTeAlGe, CuZrTeAl, CuZrTeAlGe, CuHfTeAl, CuTiTeAl, AgZrTeAl, NiZrTeAl, CoZrTeAl, MnZrTeAl, FeZrTeAl의 조성의 이온원층 재료를 들 수 있다.

[0035] 본 실시의 형태의 이온원층(22)은, 서로 조성이 다른 제 1 이온원층(22A) 및 제 2 이온원층(22B)을 저항변화층(21)측부터 차례로 적층한 구성을 갖는다. 구체적으로는, 제 1 이온원층(22A)에 포함되는 칼코겐 원소의 함유량

은, 제 2 이온원층(22B)보다도 많은 것이 바람직하다. 또한, 제 2 이온원층에 포함되는 Cu, Al, Ge 및 Zn중 적어도 1종류의 금속 원소의 함유량은, 상기 제 1 이온원층보다도 많은 것이 바람직하다. 또는, 제 2 이온원층에 포함되는, Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 천이금속의 군중 적어도 1종류의 금속 원소의 함유량이, 상기 제 1 이온원층보다도 많은 것이 바람직하다. 또한, 제 1 이온원층에 포함되는 산소(0) 또는 N의 함유량은, 제 2 이온원층보다도 적은 것이 바람직하다. 제 1 이온원층(22A) 및 제 2 이온원층(22B)을 구성하는 원소의 종류는, 상술한 함유량의 차이가 있으면 동일하여도 좋고, 달라도 좋다. 제 1 이온원층(22A) 및 제 2 이온원층(22B)의 막두께는, 각각 6nm 이상인 것이 바람직하다. 그 저항치는, 제 1 이온원층(22A)보다도 제 2 이온원층(22B)쪽이 낮은 것이 바람직하다. 또한, 제 1 이온원층(22A)의 융점은, 제 2 이온원층(22B)보다도 낮은 것이 바람직하다. 제 1 이온원층(22A) 및 제 2 이온원층(22B)이 상기한 바와 같은 구성을 취함에 의해, 이온원층(22)의 열에 의한 열화가 억제되고, 기억 소자(1)의 내열성이 향상한다. 또한, 제 1 이온원층(22A) 및 제 2 이온원층(22B)은 상기 조건을 전부 구비하고 있을 필요는 없고, 적어도 칼코겐 원소의 함유량이 상기 조건을 충족시키고 있으면 된다.

[0036] 상부 전극(30)은, 하부 전극(10)과 마찬가지로 공지의 반도체 배선 재료를 사용할 수 있지만, 포스트 어닐을 경유하여도 이온원층(22)과 반응하지 않는 안정한 재료가 바람직하다.

[0037] 본 실시의 형태의 기억 소자(1)에서는, 도시하지 않은 전원 회로(펄스 인가 수단)로부터 하부 전극(10) 및 상부 전극(30)을 통하여 전압 펄스 또는 전류 펄스를 인가하면, 기억층(20)의 전기적 특성(저항치)이 변화하는 것이고, 이에 의해 정보의 기록, 소거, 또한 판독이 행하여진다. 이하, 그 동작을 구체적으로 설명한다.

[0038] 우선, 상부 전극(30)이 예를 들면 정전위, 하부 전극(10)측이 부전위가 되도록 하여 기억 소자(1)에 대해 정전압을 인가한다. 이에 의해 이온원층(22)에 포함되는 금속 원소(특히, 양이온화 가능한 금속 원소)가 이온화하여 저항변화층(21)에 확산하고, 하부 전극(10)측에서 전자와 결합하여 석출한다. 그 결과, 하부 전극(10)과 기억층(20)의 계면에 금속 상태로 환원된 저저항의 금속 원소의 전도 패스(필라멘트)가 형성된다. 또는, 이온화한 금속 원소는, 저항변화층(21)중에 머물러서 불순물 준위를 형성한다. 이에 의해 저항변화층(21)중에 필라멘트가 형성되어 기억층(20)의 저항치가 낮아지고, 초기 상태의 저항치(고저항 상태)보다도 낮은 저항치(저저항 상태)로 변화한다.

[0039] 그 후, 정전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저저항 상태가 유지된다. 이에 의해 정보가 기록된 것으로 된다. 한 번만 기록이 가능한 기억 장치, 이른바, PROM(Programmable Read Only Memory)에 사용하는 경우에는, 상기한 기록 과정만으로 기록은 완결된다. 한편, 소거가 가능한 기억 장치, 즉, RAM(Random Access Memory) 또는 EEPROM(Electronically Erasable and Programmable Read Only Memory) 등에의 응용에는 소거 과정이 필요한데, 소거 과정에서는, 상부 전극(30)이 예를 들면 부전위, 하부 전극(10)측이 정전위가 되도록 기억 소자(1)에 대해 부전압을 인가한다. 이에 의해, 기억층(20) 내에 형성되어 있던 필라멘트의 금속 원소가 이온화하고, 이온원층(22)에 용해, 또는 Te 등과 결합해 Cu<sub>2</sub>Te, CuTe 등의 화합물을 형성한다. 이에 의해, 금속 원소에 의한 필라멘트가 소멸, 또는 감소하여 저항치가 높아진다.

[0040] 또한, 부전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저항치가 높아진 상태로 유지된다. 이에 의해 기록된 정보를 소거하는 것이 가능해진다. 이와 같은 과정을 반복함에 의해, 기억 소자(1)에 정보의 기록과 기록된 정보의 소거를 반복하여 행할 수 있다.

[0041] 예를 들면, 저항치가 높은 상태를 "0"의 정보에, 저항치가 낮은 상태를 "1"의 정보에, 각각 대응시키면, 정전압의 인가에 의한 정보의 기록 과정에서 "0"으로부터 "1"로 바꾸고, 부전압의 인가에 의한 정보의 소거 과정에서 "1"로부터 "0"으로 바꿀 수 있다. 또한, 여기서는 기억 소자를 저저항화하는 동작 및 고저항화하는 동작을 각각 기록 동작 및 소거 동작에 대응시켰지만, 그 대응 관계는 역으로 정의해도 좋다.

[0042] 다음에, 이온원층(22)에 포함되는 각 원소의 작용 및 바람직한 함유량에 관해 설명한다. 또한, 후술하는 각 원소의 함유량은, 제 1 이온원층(22A) 및 제 2 이온원층(22B)을 합친 이온원층(22) 전체에서의 것이다.

[0043] 이온원층(22)중에 Zr이 포함되어 있는 경우에는, 상술한 Cu 등의 금속 원소와 함께, Zr이 이온화 원소로서 작용하고, 상기 이동용이(移動容易) 원소(예를 들면, Cu)와, 이동곤란(移動困難) 원소(예를 들면, Zr)가 혼재한 필라멘트를 형성한다. Zr은, 기록 동작시에 캐소드 전극상에서 환원됨과 함께, 기록 후의 저저항 상태에서는 금속 상태의 필라멘트를 형성한다고 생각된다. Zr의 환원에 의해 형성된 필라멘트는, S, Se 및 Te의 칼코겐 원소를 포함하는 이온원층(22)중에 비교적 용해하기 어렵기 때문에, 한 번 기록 상태, 즉 저저항 상태가 된 경우에는, Cu 등의 상술한 금속 원소 단독의 필라멘트보다도 저저항 상태를 유지하기 쉽다. 예를 들면 Cu는 기록 동작에

의해 필라멘트로서 형성된다. 그러나, 금속 상태의 Cu는 칼코겐 원소를 포함하는 이온원층(22)중에서 용해하기 쉽기 때문에, 기록 전압 펠스가 인가되지 않은 상태(데이터 유지 상태)에서는, 재차 이온화하여 고저항 상태로 천이하여 버린다. 그 때문에 충분한 데이터 유지 성능을 얻을 수가 없다. 한편, Zr과 적량의 Cu를 조합시키는 것은, 비정질화를 촉진함과 함께, 이온원층(22)의 미세 구조를 균일하게 유지하기 때문에, 저항치의 유지 성능의 향상에 기여한다.

[0044] 또한, 소거시의 고저항 상태의 유지에 관해서도, Zr을 포함함에 의해 이하의 효과를 얻을 수 있다. 예를 들면 Zr의 필라멘트가 형성되고, 재차 이온원층(22)중에 이온으로서 용해하는 경우에는, Zr은 적어도 Cu보다도 이온의 이동도가 낮기 때문에, 온도가 상승하여도 또는 장기간의 방치에서 움직이기 어렵다. 그 때문에 캐소드극상에서 금속 상태로의 석출이 일어나기 어렵고, 실온보다도 고온 상태에서 유지한 경우나 장시간에 걸쳐서 유지한 경우에도 고저항 상태가 유지된다.

[0045] 또한, 이온원층(22)에 Al이 포함되어 있는 경우에는, 소거 동작에 의해 상부 전극이 부의 전위로 바이어스되면, 고체 전해질적으로 행동하는 이온원층(22)과 애노드극과의 계면에서 안정한 산화막을 형성한다. 이에 의해 고저항 상태(소거 상태)가 안정화된다. 더하여, 저항변화층의 자기재생(自己再生)의 관점에서 반복 회수의 증가에도 기여한다. 또한, Al 외에 같은 작용을 나타내는 Ge 등을 포함하여도 좋다.

[0046] 이처럼, 이온원층(22)에 Zr, Al, Ge 등이 포함되어 있는 경우에는, 이들 원소를 포함하지 않은 기억 소자와 비교하여 광범위한 저항치 유지 성능, 기록 · 소거의 고속 동작 성능 및 저전류 동작이 향상함과 함께 반복 회수가 증가한다. 또한, 예를 들면 저저항으로부터 고저항으로 변화시킬 때의 소거 전압을 조정하여 고저항 상태와 저저항 상태 사이의 중간적인 상태를 만들어 내면, 그 상태를 안정하게 유지할 수 있다. 따라서, 2치(值)(binary)뿐만 아니라 다치(多值)(multilevel)의 메모리를 실현하는 것이 가능해진다. 또한, 고저항으로부터 저저항으로 변화시킬 때의 기록 전류를 변경하여 석출하는 원자의 양을 조정함에 의해서도 중간적인 상태를 만들어 내는 것이 가능하다.

[0047] 그런데, 이와 같은 전압을 인가한 기록 · 소거 동작 특성과, 저항치의 유지 특성과, 반복 동작 회수라는 메모리 동작상의 중요한 여러 특성은, Al, Zr 및 Cu, 나아가서는 Ge의 첨가량에 따라 다르다.

[0048] 예를 들면, Al의 함유량이 너무 많으면, Al 이온의 이동이 생기기 쉬워지고, Al 이온의 환원에 의해 기록 상태가 만들어져 버린다. Al은 칼코게나이드의 고체 전해질중에서 금속 상태의 안정성이 낮기 때문에, 저저항의 기록 상태의 유지 성능이 저하된다. 한편, Al량이 너무 적으면, 소거 동작 그 자체나 고저항 영역의 유지 특성을 향상시키는 효과가 낮아지고, 반복 회수가 감소한다. 따라서, 이온원층(22)중의 Al의 함유량은 27.7원자% 이상인 것이 바람직하고, 더욱 바람직하게는 47.4원자% 이하이다.

[0049] 또한, Zr은 그 함유량이 너무 많으면, 이온원층(22)의 저항치가 지나치게 내려가서 이온원층(22)에 유효한 전압을 인가할 수가 없다, 또는 칼코게나이드층중에 Zr을 용해하는 것이 곤란해진다. 그 때문에, 특히 소거가 하기 어렵게 되고, Zr 첨가량에 응하여 소거의 임계치 전압이 상승하여 가고, 더욱 너무 많은 경우에는 기록, 즉 저저항화도 곤란하게 된다. 한편, Zr 첨가량이 너무 적으면, 전술한 바와 같은 광범위한 저항치의 유지 특성을 향상시키는 효과가 적어진다.

[0050] 또한, Cu는 적량을 이온원층(22)에 첨가함에 의해, 비정질화를 촉진하는 것이지만, 너무 많으면 금속 상태의 Cu는 칼코겐 원소를 포함하는 이온원층(22)중에서의 안정성이 충분하지 않기 때문에 기록 유지 특성이 악화하거나, 기록 동작의 고속성에 악영향이 보인다. 그 한편으로, Cu는 Zr과 조합시킴에 의해, 비정질을 형성하기 쉽고, 이온원층(22)의 미세 구조를 균일하게 유지한다는 효과를 갖는다. 이에 의해, 반복 동작에 의한 이온원층(22)중의 재료 성분의 불균일화가 방지되고, 반복 회수가 증가함과 함께 유지 특성도 향상한다. 또한, 적당한 Zr 양을 함유하고 있는 경우에는, Cu의 필라멘트가 이온원층(22)중에 재용해하였다고 하여도, 저항변화층(21) 내에는 금속 지르코늄(Zr)에 의한 필라멘트가 잔존하고 있다고 생각되기 때문에 저저항 상태는 유지된다. 따라서, 기록 유지 특성에의 영향은 보이지 않는다.

[0051] 상술한 바와 같은 Zr과 Cu와의 효과를 얻기 위해서는, 이온원층(22)중의 Zr 및 Cu의 합계 함유량이 23.5원자% 이상 37원자% 이하인 것이 바람직하다. 또한, 이온원층(22)중의 Zr 단독의 함유량으로서는, 9원자% 이상인 것이 바람직하고, 더욱 바람직하게는 18.5원자% 이하이다.

[0052] 또한, Ge는 반드시 포함되어 있지 않아도 좋지만, Ge 함유량이 너무 많은 경우에는 기록 유지 특성이 열화된다. 이 때문에 Ge의 함유량으로서는 15원자% 이하인 것이 바람직하다.

[0053] 또한, 기억 소자(1)의 특성은 실질적으로는 Zr과 Te(칼코겐 원소)의 조성비에 의존하고 있다. 그 때문에, Zr과

Te의 조성비는,

[0054]  $Zr$  조성비(원자%)/ $Te$  조성비(원자%) = 0.3 내지 0.84

[0055] 의 범위에 있는 것이 바람직하다. 이것에 관해서는 반드시 분명하지는 않지만,  $Zr$ 과 비교하여  $Cu$ 의 괴리도가 낮은 것, 이온원층(22)의 저항치가  $Zr$ 과  $Te$ 의 조성비에 의해 정해지기 때문에, 상기한 범위에 있는 경우에 한하여 알맞은 저항치를 얻을 수 있기 때문에, 기억 소자(1)에 인가한 바이어스 전압이 저항변화층(21)의 부분에 유효하게 인가되는 것에 의한다고 생각된다. 또한, 칼코겐 원소의 단독으로의 함유량은 20.7원자% 이상 42.7원자% 이하인 것이 바람직하다.

[0056] 상기한 범위로부터 벗나가는 경우, 예를 들면, 당량비가 너무 큰 경우에는, 양이온과 음이온의 균형이 취하여지지 않아, 존재하는 금속 원소중, 이온화하지 않는 원소의 양이 증대한다. 그 때문에 소거 동작할 때에 기록 동작에서 생긴 필라멘트가 효율적으로 제거되기 어렵다고 생각된다. 마찬가지로, 당량비가 너무 작아서 음이온 원소가 과잉하게 존재한하는경우에는, 기록 동작에서 생긴 금속 상태의 필라멘트가 금속 상태로 존재하기 어렵게 되기 때문에, 기록 상태의 유지 성능이 저하된다고 생각된다.

[0057] 또한, 이온원층(22)에 포함되는 금속 원소로서는 상기 금속 원소로 한정되는 것이 아니고, 예를 들면  $Al$  외에  $Mg$ 를 사용한  $ZrTeMg$ 로 하여도 좋다. 이온화하는 금속 원소로서는,  $Zr$  대신에,  $Ti$ 나  $Ta$  등의 다른 천이금속 원소를 선택한 경우에도 마찬가지의 첨가 원소를 사용하는 것은 가능하고, 예를 들면  $TaTeAlGe$  등으로 하는 것도 가능하다. 또한, 이온 도전 재료로서는,  $Te$  이외에 황(S)이나 셀렌(Se), 또는 요오드(I)를 사용하여도 좋고, 구체적으로는  $ZrSAI$ ,  $ZrSeAl$ ,  $ZeIAI$ ,  $CuGeTeAl$  등을 사용하여도 좋다. 또한, 반드시  $Al$ 을 포함하고 있을 필요는 없고,  $CuGeTeZr$  등을 사용하여도 좋다.

[0058] 또한, 기억층(20)에서의 고온 열처리시의 막 벗겨짐은, 예를 들면  $Si$ 를 첨가함으로서도 억제할 수 있다.  $Si$ 는 유지 특성의 향상도 동시에 기대할 수 있는 첨가 원소이고, 이온원층(22)에  $Zr$ 과 함께 첨가하는 것이 바람직하다. 단,  $Si$  첨가량이 너무 적으면  $Si$  첨가에 의한 막 벗겨짐 방지 효과를 기대할 수가 없게 되는 것에 대해, 너무 많으면 양호한 메모리 동작 특성을 얻을 수가 없다. 이 때문에, 막 벗겨짐의 방지 효과 및 양호한 메모리 동작 특성을 얻기 위해서는, 이온원층(22)중의  $Si$ 의 함유량은 10 내지 45원자% 정도의 범위 내인 것이 바람직하다.

[0059] 또한, 저항변화층(21)에 칼코겐 원소를 사용하는 경우에는, 이온원층(22)에 칼코겐 원소(예를 들면  $Te$ )와 반응하기 쉬운 금속 원소( $M$ )를 사용하여  $Te$ /이온원층(금속 원소( $M$ )을 포함한다)이라는 적층 구조로 하여 두면, 성막 후의 가열 처리에 의해,  $MTe$ /이온원층(22)이라는 구조로 안정화된다.  $Te$ 와 반응하기 쉬운 원소로서는, 예를 들면  $Al$ 이나 마그네슘( $Mg$ )을 들 수 있다. 이에 의해, 저항변화층(21)과 이온원층(22)과의 막 벗겨짐을 방지할 수 있다.

[0060] 이하, 본 실시의 형태의 기억 소자(1)의 제조 방법에 관해 설명한다.

[0061] 우선, 선택 트랜지스터 등의 CMOS 회로가 형성된 기판상에, 예를 들면  $TiN$ 으로 이루어지는 하부 전극(10)을 형성한다. 그 후, 필요하면 역스퍼터 등으로, 하부 전극(10)의 표면상의 산화물 등을 제거한다. 계속해서, 저항변화층(21), 이온원층(22)(제 1 이온원층(22A) 및 제 2 이온원층(22B)) 및 상부 전극(30)까지를 각 층의 재료에 적응한 조성으로 이루어지는 타겟을 사용하여 스퍼터링 장치 내에서, 각 타겟을 교환함에 의해, 각 층을 연속하여 성막한다. 전극지름은 50 내지 300nm이다. 합금막은 구성 원소의 타겟을 사용하여 동시 성막한다.

[0062] 상부 전극(30)까지 성막한 후, 상부 전극(30)에 접속하는 배선층(도시 생략)을 형성하고, 모든 기억 소자(1)와 공통 전위를 얻기 위한 콘택트부를 접속한다. 그 후, 적층막에 포스트 어닐 처리를 시행한다. 이상에 의해 도 1에 도시한 기억 소자(1)가 완성된다.

[0063] 이 기억 소자(1)에서는, 상술한 바와 같이 상부 전극(30) 및 하부 전극(10)에 각각 정전위 또는 부전위가 되도록 전압을 인가함에 의해 하부 전극(10)과 저항변화층(21)의 계면에 필라멘트가 형성된다. 이에 의해 저항변화층(21)의 저항치가 낮아지고, 기록이 행하여진다. 다음에, 상부 전극(30) 및 하부 전극(10)의 각각에 기록시와는 역극성의 전압을 인가한다. 이에 의해 저항변화층(21) 내에 형성된 필라멘트의 금속 원소가 재차 이온화하여 이온원층(22)에 용해함에 의해 저항변화층(21)의 저항치가 상승하고, 소거가 행하여진다.

[0064] 본 실시의 형태의 기억 소자(1)와 마찬가지로, 하부 전극, 기억층(저항변화층 및 이온원층) 및 상부 전극으로 이루어지는 종래의 기억 소자에서는, 이온원층 전체가 단일 구성으로 형성되어 있다. 이와 같은 이온원층은 성막 시간이 짧고 제조 공정을 단축할 수 있는 반면, 실온보다도 높은 온도 분위기에서의 보존이나 동작시에 발생

하는 줄 열(Joule heat)에 의해 저항치가 변화하고, 데이터를 잃어버린다는 문제가 있다. 이것은, 이온원충의 열화, 구체적으로는 열에 의해 이온원충의 결정화가 진행되어, 어모페스 상태로부터 결정상태로 변화하기 때문에라고 생각된다.

[0065] 이 문제를 해결하는 방법으로서는, 예를 들면 이온원충을 구성하는 복수의 원소를 개별적으로 성막하고, 이온원충 전체를 각각 1종류의 원소로 이루어지는 층의 적층 구조로 하는 방법이 생각된다. 그러나, 소정의 막두께가 될 때까지 각 원소의 층을 반복하여 적층하기 때문에, 성막 시간이 길어지고, 생산성이 저하된다는 문제가 생각된다.

[0066] 이에 대해, 본 실시의 형태에서는, 이온원충(22)을 각각 칼코겐 원소의 함유량이 다른 제 1 이온원충(22A)과 제 2 이온원충(22B)의 적층 구조로 함에 의해, 제조 공정 및 성막 시간을 억제하면서, 이온원충(22)의 열에 의한 열화를 억제할 수 있다.

[0067] 이상과 같이 본 실시의 형태의 기억 소자(1)(및 그 제조 방법 및 기억 장치)에서는, 이온원충(22)이 칼코겐 원소의 함유량이 다른 제 1 이온원충(22A) 및 제 2 이온원충(22B)을 하부 전극(10)측부터 차례로 적층하도록 하였다. 이에 의해, 열에 의한 이온원충의 열화(결정화)가 억제되고, 기억 소자(1)의 내열성이 향상한다. 즉, 높은 신뢰성을 갖는 기억 장치를 제공하는 것이 가능해진다.

[0068] (기억 장치)

[0069] 상기 기억 소자(1)를 다수, 예를 들면 열형상이나 매트릭스형상으로 배열함에 의해, 기억 장치(메모리)를 구성할 수 있다. 이때, 각 기억 소자(1)에, 필요에 응하여, 소자 선택용의 MOS 트랜지스터, 또는 다이오드를 접속하여 메모리 셀을 구성하고, 또한, 배선을 통하여, 센스 앰프, 어드레스 디코더, 기록·소거·판독 회로 등에 접속하면 좋다.

[0070] 도 2 및 도 3은 다수의 기억 소자(1)를 매트릭스형상으로 배치한 기억 장치(메모리 셀 어레이)의 한 예를 도시한 것이고, 도 2는 단면 구조, 도 5는 평면 구성을 각각 나타내고 있다. 이 메모리 셀 어레이에서는, 각 기억 소자(1)에 대해, 그 하부 전극(10)측에 접속되는 배선과, 그 상부 전극(30)측에 접속되는 배선을 교차하도록 마련하고, 예를 들면 이들 배선의 교차로 부근에 각 기억 소자(1)가 배치되어 있다.

[0071] 각 기억 소자(1)는, 저항변화층(21), 이온원충(22) 및 상부 전극(30)의 각 층을 공유하고 있다. 즉, 저항변화층(21), 이온원충(22) 및 상부 전극(30) 각각은 각 기억 소자(1)에 공통의 층(동일층)에 의해 구성되어 있다. 상부 전극(30)은, 인접 셀에 대해 공통의 플레이트 전극(PL)으로 되어 있다.

[0072] 한편, 하부 전극(10)은, 메모리 셀마다 개별적으로 마련됨에 의해, 인접 셀 사이에서 전기적으로 분리되어 있고, 각 하부 전극(10)에 대응한 위치에 각 메모리 셀의 기억 소자(1)가 규정된다. 하부 전극(10)은 각각 대응하는 셀 선택용의 MOS 트랜지스터(Tr)에 접속되어 있고, 각 기억 소자(1)는 이 MOS 트랜지스터(Tr)의 상방에 마련되어 있다.

[0073] MOS 트랜지스터(Tr)는, 기판(41) 내의 소자 분리층(42)에 의해 분리된 영역에 형성된 소스/드레인 영역(43)과 게이트 전극(44)에 의해 구성되어 있다. 게이트 전극(44)의 벽면에는 사이드 월 절연층이 형성되어 있다. 게이트 전극(44)은, 기억 소자(1)의 한쪽의 어드레스 배선인 워드선(WL)을 겸하고 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 한쪽과, 기억 소자(1)의 하부 전극(10)이, 플러그층(45), 금속 배선층(46) 및 플러그층(47)을 통하여 전기적으로 접속되어 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 다른 쪽은, 플러그층(45)을 통하여 금속 배선층(46)에 접속되어 있다. 금속 배선층(46)은, 기억 소자(1)의 다른 쪽의 어드레스 배선인 비트선(BL)(도 5 참조)에 접속되어 있다. 또한, 도 5에서는, MOS 트랜지스터(Tr)의 액티브 영역(48)을 쇄선으로 나타내고 있고, 콘택트부(51)는 기억 소자(1)의 하부 전극(10), 콘택트부(52)는 비트선(BL)에 각각 접속되어 있다.

[0074] 이 메모리 셀 어레이에서는, 워드선(WL)에 의해 MOS 트랜지스터(Tr)의 게이트를 온 상태로 하여, 비트선(BL)에 전압을 인가하면, MOS 트랜지스터(Tr)의 소스/드레인을 통하여, 선택된 메모리 셀의 하부 전극(10)에 전압이 인가된다. 여기서, 하부 전극(10)에 인가된 전압의 극성이, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 부전위인 경우에는, 상술한 바와 같이 기억 소자(1)의 저항치가 저저항 상태로 전이한다. 이에 의해 선택된 메모리 셀에 정보가 기록된다. 다음에, 하부 전극(10)에, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 정전위의 전압을 인가하면, 기억 소자(1)의 저항치가 재차 고저항 상태로 전이한다. 이에 의해 선택된 메모리 셀에 기록된 정보가 소거된다. 기록된 정보의 판독을 행하는 데는, 예를 들면, MOS 트랜지스터(Tr)에 의해 메모리 셀을 선택하고, 그 셀에 대해 소정의 전압 또는 전류를 인가한다. 이때의 기억 소자(1)의 저항 상태에 의해 다

른 전류 또는 전압을, 비트선(BL) 또는 플레이트 전극(PL)의 앞에 접속된 센스 앤프 등을 통하여 검출하다. 또한, 선택한 메모리 셀에 대해 인가하는 전압 또는 전류는, 기억 소자(1)의 저항치의 상태가 천이하는 전압 등의 임계치보다도 작게 한다.

[0075] 제 1의 실시의 형태의 기억 소자(1)에서는, 상술한 바와 같이 각종의 메모리 장치에 적용할 수 있다. 예를 들면, 한 번만 기록이 가능한 PROM, 전기적으로 소거가 가능한 EEPROM, 또는, 고속으로 기록·소거·재생이 가능한, 이른바 RAM 등, 어느 메모리 형태라도 적용하는 것이 가능하다.

[0076] 이하에, 상기 제 1의 실시의 형태의 변형례 및 제 2의 실시의 형태에 관해 설명한다. 상기 제 1의 실시의 형태와 동일 구성 부분에 관해서는 동일 부호를 붙이고 그 설명은 생략한다.

#### [변형례]

[0078] 도 4는 본 발명의 변형례에 관한 기억 소자(2)의 단면 구성을 도시한 것이다. 이 기억 소자(2)는, 하부 전극(10)(제 1 전극), 기억층(60) 및 상부 전극(30)(제 2 전극)을 이 순서로 갖고 있다. 본 변형례에서의 기억 소자(2)에서는, 기억층(60)을 구성하는 저항변화층(61)이 복수(여기서는 2층) 적층되어 있는 점이 상기 제 1의 실시의 형태와는 다르다. 또한, 본 변형례에서의 이온원층(62)에 관해서는 상기 제 1의 실시의 형태와 같은 구성을 갖는다.

[0079] 저항변화층(61)은 제 1 저항변화층(61A) 및 제 2 저항변화층(61B)의 적층 구조를 갖고 있다. 제 1 저항변화층(61A) 및 제 2 저항변화층(61B)은 함께, 전기 전도상의 배리어로서의 기능을 갖는 것이고, 이온원층(62)보다도 높은 저항치를 갖음과 함께, 서로 조성이 다르다. 이에 의해, 기억 소자(2)에서는, 복수의 기억 소자(2)의 초기 상태 또는 소거 상태의 저항치의 편차가 줄어든다. 또한, 복수회의 기록·소거 동작에 대해 기록·소거시의 저항치의 유지 특성이 향상된다.

[0080] 제 1 저항변화층(61A) 및 제 2 저항변화층(61B)에는 상기 제 1의 실시의 형태에서 설명한 저항변화층(21)에서 들었던 재료를 사용할 수 있다. 제 1 저항변화층(61A) 및 제 2 저항변화층(61B)에 사용하는 재료의 조합은, 서로 다른 조성이라면 특히 묻지 않지만, 예를 들면, 제 1 저항변화층(61A)에 산화 가돌리늄(GdO<sub>x</sub>) 등의 산화물 또는 질화물에 의해 구성되어 있는 경우에는, 제 2 저항변화층(61B)에는 Te를 주성분으로 한 화합물(예를 들면 AlTe)을 사용하는 것이 바람직하다. 또한, 그 반대라도 상관없다.

[0081] 본 변형례의 기억 소자(2)에서의 작용 및 효과는, 상기 제 1의 실시의 형태의 기억 소자(1)의 작용 및 효과와 마찬가지이지만, 특히, 저항변화층이 복수(여기서는 2층) 적층되어 있기 때문에, 이하의 효과를 얻을 수 있다. 우선, 소거시에 산화막이나 질화막의 형성이 가능해지기 때문에, 소거시가 과잉한 전압 인가에 의한 절연 열화를 억제하는 것이 가능해지고, 반복 특성의 향상이 기대된다. 또한, 사용할 수 있는 텔루르 화합물막의 저항 범위를 적절히 조정하는 것이 가능하기 때문에, 재료 선택의 폭이 넓어진다. 또한, 상술한 바와 같이 기억 소자(2)마다의 편차가 저감됨과 함께, 저항치의 유지 특성도 향상한다. 이에 의해, 이와 같은 기억 소자(2)를 구비한 기억 장치에 대해서도 같은 효과를 얻을 수 있다.

#### [제 2의 실시의 형태]

[0083] 도 5의 A 및 도 5의 B는 본 발명의 제 2의 실시의 형태에 관한 기억 소자(3A, 3B)의 단면 구성을 도시한 것이다. 이 기억 소자(3A, 3B)는, 상기 제 1의 실시의 형태와 마찬가지로 하부 전극(10)(제 1 전극), 기억층(70) 및 상부 전극(30)(제 2 전극)을 이 순서로 가지며, 기억층(70)은 저항변화층(71)과, 제 1 이온원층(72A) 및 제 2 이온원층(72B)으로 이루어지는 이온원층(72)에 의해 구성되어 있다. 본 실시의 형태에서의 기억 소자(3A, 3B)에서는, 제 1 이온원층(72A)이 복수의 층에 의해 구성되어 있는 점이 상기 제 1의 실시의 형태와는 다르다.

[0084] 제 1 이온원층(72A)은, 제 2 이온원층(72B)과 마찬가지로, 저항변화층(71)에 확산하는 가동 이온(양이온 및 음이온)으로 이루어지는 원소를 포함하는 층이다. 본 실시의 형태에서는, 이 제 1 이온원층(72A)은, 제 1층(72a) 및 제 2층(72b)을 적층한 구성을 갖는다. 제 1층(72a)은, 저항변화층(21)에 확산하기 쉬운, 환원하면 가동 이온으로 되기 쉬운 원소를 포함하고 있다. 한편, 제 2층(72b)은, 제 1층(72a) 및 저항변화층(21)에 확산하기 어려운, 환원하면 이온화하기 어려운 원소를 포함하는 것이다. 또한, 여기서는, 제 1층(72a) 및 제 2층(72b)을 1층씩 적층한 구성을 갖지만(도 5의 A), 교대로 2층 이상의 조(組)를 적층하도록 하여도 좋다(도 5의 B).

[0085] 제 1층(72a)은, 음이온 성분으로서, 텔루르(Te), 황(S) 및 셀렌(Se) 등의 칼코겐 원소를 적어도 1종 이상 포함

하며, 양이온 성분으로서, 전해질(여기서는 이온원층(72))중에서의 이동이 용이한 원소(이동용이 원소)를 적어도 1종 포함하는 층이다. 이 이동용이 원소란 칼코겐 원소라고 섞이기 쉬운 원소, 구체적으로는 Al 또는 구리(Cu)를 들 수 있다. 이 밖에, 게르마늄(Ge)이나 아연(Zn) 등을 포함하고 있어도 좋다. 칼코겐 원소 및 이동용이 원소는 제 1층(72a) 내에서 결합하고, 금속 칼코게나이드층을 형성하고 있다. 이 금속 칼코게나이드층은, 주로 비정질 구조를 가지며, 이온 공급원으로서의 역할을 다하는 것이다. 또한, 제 1층(72a) 내에는, 이동용이 원소의 농도 분포가 존재하는데 상세에 관해는 후술한다.

[0086] 제 2층(72b)은, 전해질(이온원층(72))중을 이동하기 어려운 원소(이동곤란 원소)를 적어도 1종 포함하는 층이다. 이 이동곤란 원소란 저항변화층(21) 및 이온원층(72)을 구성하는 원소, 특히 Te 등의 칼코겐 원소와 반응하기 어려운 원소이고, 예를 들면, 장주기표에서 4족 내지 6족에 속하는 원소를 들 수 있다. 구체적으로는, Ti, 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), Ta, Cr, Mo 및 W를 들 수 있다. 이 밖에, Cu나 은(Ag), Si 등을 첨가 원소로서 포함하고 있어도 좋다.

[0087] 제 1층(72a) 및 제 2층(72b)은, 상술한 바와 같이 적어도 1층씩 적층되어 있다. 그 적층 순서는 특히 묻지 않고, 도 5의 A에 도시한 바와 같이, 저항변화층(21)측부터 차례로 제 1층(72a)부터 적층하여도 좋고, 제 2층(72b)부터 적층하여도 좋다. 또한, 제 1층(72a) 및 제 2층(72b)의 적층수는, 제 1 이온원층(72A)의 막두께가 상기 제 1의 실시의 형태에서의 제 1 이온원층(22A)과 마찬가지로 6nm 이상이라면 특히 묻지 않지만, 도 5의 B와 같이 예를 들면 각각 3층 이상을 교대로 적층하는 것이 바람직하다. 제 1층(72a)은 상술한 바와 같이, 그 층 내로 이동용이 원소의 농도 분포를 갖는다. 구체적으로는, 이동용이 원소의 농도는 제 2층(72b)과의 접합 계면에서 기타의 영역에서의 농도보다도 상대적으로 낮게 되어 있다. 환언하면, 두께 방향의 중간 부분보다도 제 2층(72b)과 접하는 윗면 또는 하면의 계면 부분의 쪽이 낮고, 또는 이동용이 원소가 존재하지 않게 되어 있다. 제 1층(72a)에 포함되는 칼코겐 원소와 미반응의 금속 상태의 이동용이 원소는, 제 2층(72b)에 포함되는 금속 상태의 이동곤란 원소와의 밀착성이 낮다. 이 때문에, 제 1층(72a)과 제 2층(72b)과의 계면에 금속 상태의 이동용이 원소가 많이 포함되면 막 들뜸이나 막 벗겨짐이 생기기 쉬워진다. 따라서, 본 실시의 형태와 같이 금속 상태의 이동곤란 원소를 포함하는 제 2층(72b)과 접한 제 1층(72a)의 계면에서의 이동용이 원소의 농도를 낮게 함으로써 층간에 있어서의 막 들뜸이나 막 벗겨짐의 발생이 억제된다. 이들 농도 분포의 조정 방법은, 후술하는 이온원층(72)의 제조 공정에서 설명한다.

[0088] 다음에, 제 1 이온원층(72A)의 성막 공정에 관해 설명한다. 기판상에 저항변화층(21)까지 형성한 후, 저항변화층(21)상에, 텔루르(Te), 황(S) 및 셀렌(Se)의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층(A층), 상술한 이동용이 원소를 적어도 1종 포함하는 이동층(B층) 및 상술한 이동곤란 원소를 적어도 1종 포함하는 고정층(C층)을 성막한다. 구체적으로는, 스퍼터링 장치 내에서, 대응하는 조성으로 이루어지는 각 타겟을 교환함에 의해 각 층을 연속하여 성막한다. 칼코겐층(A층), 이동층(B층) 및 고정층(C층)의 성막 순서로서는, 예를 들면, ABAC, BACA, CABA, ACAB로 하고, 이것을 1유닛으로 하여 1유닛 이상, 바람직하게는 3유닛 이상 적층하는 것이 바람직하다. 이에 의해, 도 5의 B에 도시한 바와 같이 제 1 이온원층(72A)이 주기 적층 구조를 갖도록 된다. 이와 같이, 제 1 이온원층(72A)을 구성하는 원소를 개별적으로 적층함으로써, 코스퍼터링을 행할 수가 없는 성막 장치라도 양호한 동작 특성을 갖는 제 1 이온원층(72A)을 성막하는 것이 가능해진다. 또한, 제 1 이온원층(72A)에는, 합금 타겟을 준비할 필요가 없기 때문에, 제조 공정이 간략하게 됨과 함께, 비용을 억제하는 것이 가능해진다.

[0089] 계속해서, 제 1 이온원층(72A)상에, 스퍼터링에 의해, 상술한 바와 같이 제 1 이온원층(72A)과는 조성이 다른 제 2 이온층(72B), 계속해서 상부 전극(30)을 성막한다. 이와 같이, 제 1 이온원층(72A)을 적층에 의해 성막하고, 계속해서 제 2 이온원층(72B)을 성막함으로써, 모든 이온층(72)을 적층으로 성막하지 않아도 좋고, 성막 시간이 단축된다.

[0090] 상부 전극(30)까지 성막한 후, 상부 전극(30)에 접속하는 배선층(도시 생략)을 형성하고, 모든 기억 소자(1)와 공통 전위를 얻기 위한 콘택트부를 접속한다. 그 후, 적층막에 포스트 어닐 처리를 시행한다.

[0091] 이 포스트 어닐 처리에 의해, 칼코겐층(A층), 이동층(B층) 및 고정층(C층)을 적층한 제 1 이온원층(72A)에서는, B층을 구성하는 이동용이 원소가 A층 내로 확산한다. 이에 의해, 상기한 제 1층(72a)중의 이동용이 원소의 농도 분포가 형성된다. 도 6은, ABAC의 순서로 적층한 적층막을 1유닛으로 하여 이것을 2회 반복한 제 1 이온원층(72A)의 포스트 어닐 전 및 포스트 어닐 후에 있어서의 각 층을 모식적으로 도시한 것이다. 포스트 어닐 처리에 의해, B층을 구성하는 이동용이 원소는 A층중에 확산하고, 이에 의해 제 1층(72a)이 된다. 또한, C층을 구성하는 이동곤란 원소는 거의 확산하지 않고, 이온원층(72) 내에서 독립한 층, 즉 제 2층(72b)을 형성한다. 이상에

의해 도 5의 A, 도 5의 B에 도시한 기억 소자(3A, 3B)가 완성된다.

[0092] 또한, 제 1층(72a) 내에서의 이동용이 원소의 농도 구배는, B층과 그 상하에 성막된 층(A층 또는C층)에 의해 변화한다. 예를 들면, 도 6의 (A)에 도시한 바와 같이 B층을 A층으로 끼운 경우에는, 이동용이 원소가 하부 전극(10)측 및 상부 전극(30)측 양쪽의 A층에 확산하고, 도 6의 (B)에 도시한 바와 같이 제 1층(72a)의 중앙 부분부터 상하 방향으로 서서히 농도가 낮아진다. 또한, 도시하지 않지만, 하부 전극(10)측부터 ABC의 순서로 적층한 경우에는, 제 1층(72a) 내의 이동용이 원소의 농도 구배는 하부 전극(10)측부터 상부 전극(30)측을 향하여 서서히 높아진다. 또한, 제 1층(72a) 내의 이동용이 원소의 농도 구배를 하부 전극(10)측부터 상부 전극(30)측을 향하여 서서히 낮게 하는 경우에는, B층, A층의 순서로 적층하면 좋다.

[0093] 이상과 같이 본 실시의 형태의 기억 소자(3A, 3B)(및 그 제조 방법 및 기억 장치)에서는, 칼코겐 원소를 포함하는 칼코겐층(A층), 이동용이 원소를 포함하는 이동층(B층) 및 이동관련 원소를 포함하는 고정층(C층)을 각각 성막함에 의해, 제 1 이온원층(72A)이 각각 다른 조성을 갖는 제 1층(72a) 및 제 2층(72b)을 각각 1층 이상 적층하도록 하였다. 이 제 1층(72a)은, 칼코겐 원소 및 이동용이 원소를 포함하고, 또한 제 1 전극으로부터 제 2 전극을 향하여 양이온 가능한 금속 원소의 농도 구배를 갖는다. 이와 같이, 이온원층(72)의 일부를 적층 구조로 함에 의해, 상기 제 1의 실시의 형태의 기억 소자(1)의 작용 및 효과에 더하여, 상기 제 1의 실시의 형태 및 변형례에서의 기억 소자(1, 2)와 같이 서로 조성이 다른 균일막을 적층하는 것보다도, 기록 및 소거가 반복 동작에 의한 이온원층(72)의 조성의 평균화가 억제된다. 즉, 반복 특성이 더욱 향상한다.

[0094] 또한, 기억 소자(3A, 3B)를 구성하는 각 층 사이의 밀착성이 향상하고, 막 들뜸 및 막 벗겨짐의 발생이 억제된다. 즉, 수율이 향상함과 함께, 높은 신뢰성을 갖는 기억 장치를 제조하는 것이 가능해진다. 또한, 이온원층(72)을 구성하는 원소를 개별적으로 적층함으로써, 용이하게 양호한 동작 특성을 갖는 제 1 이온원층(72A)을 성막하는 것이 가능해진다. 또한, 제 1 이온원층(72A)의 성막에는, 합금 타겟을 준비할 필요가 없기 때문에, 제조 공정이 간략하게 됨과 함께, 비용을 억제하는 것이 가능해진다.

[0095] 또한, 본 실시의 형태에서는, 제 1 이온원층(72A)을 적층 구조로 하고, 제 2 이온원층(72B)을 균일층으로 하였지만, 제 1 이온원층(72A)을 균일층으로 하고, 제 2 이온원층(72B)을 적층 구조로 하여도 좋다.

[0096] 그 경우에는, 이온원층(70) 상부 전극(30)과의 접면(接面)에서의 이동용이 원소의 농도는, 상기 제 1층(72a)과 제 2층(72b)과의 계면과 마찬가지로, 이동용이 원소의 농도가 낮거나, 또는 금속 상태의 이동 가능 원소가 존재하지 않는 것이 바람직하다. 이것은, 제 1층(72a)에 포함되는 A1 등의 이동용이 원소가 칼코겐 원소와 비교하여 상부 전극(30)을 구성한 원소와 반응하기 어렵기 때문이다. 제 1층(72a)중의 이동용이 원소가 상부 전극(30)과의 접면에 농축하면 불안정한 칼코겐 원소/이동용이 원소의 계면이 형성되게 되고, 상부 전극(30)의 막 들뜸이나 막 벗겨짐이 발생한다. 따라서, 상부 전극(30)과 접하는 제 1층(72a)도, 상기한 제 2층(22B)과 접하는 경우와 같이 제 1층(72a) 내의 이동용이 원소의 농도를 조정함으로써, 이온원층(22)과 상부 전극(30)과의 밀착성이 향상하고, 층 사이에서의 막 들뜸이나 막 벗겨짐의 발생이 억제된다.

[0097] 또한, 제 2 이온원층(72B)을 적층 구조로 하는 경우에는, 그 제조 공정에 있어서 칼코겐층(A층), 이동층(B층) 및 고정층(C층)의 성막 순서를 ACAB로 한 경우, ACAB 유닛을 적층한 후, 그 종단(終端)에 A층을 추가하는 것이 바람직하다. 이에 의해, 상부 전극(30)과 B층이 직접 접하지 않는, 즉 이온원층(22)/상부 전극(30)의 계면에 이동용이 원소가 농축하지 않기 때문에, 이온원층(20)과 상부 전극(30)과의 밀착성이 향상하고, 막 들뜸이나 막 벗겨짐의 발생이 억제된다.

[0098] 이하에 본 발명의 구체적인 실시례에 관해 설명한다. 상술한 실시의 형태의 기억 소자(1, 2, 3A, 3B)의 구성을 갖는 각종 샘플을 제작하고, 그 특성을 조사하였다.

[0099] [실시예 1]

[0100] [샘플 1-1 내지 1-15]

[0101] 샘플 1-1 내지 1-15로서, 도 2, 3에 도시한 바와 같은 기억 장치를 형성하였다. 우선, 반도체 기판(11)에 MOS 트랜지스터(Tr)를 형성하였다. 뒤이어, 반도체 기판(11)의 표면을 덮도록 절연층을 형성하고, 이 절연층에 비어 홀을 형성하였다. 계속해서, CVD(Chemical Vapor Deposition)법에 의해 비어 홀의 내부를, TiN으로 이루어지는 전극재로 충전하고, 그 표면을 CMP(Chemical Mechanical Polishing)법에 의해 평탄화하였다. 그리고, 이들의 공정을 반복함에 의해, 플러그층(15), 금속 배선층(16), 플러그층(17) 및 하부 전극(1)을 형성하고, 또한 하부 전극(1)을 메모리 셀마다 패터닝하였다.

[0102]

다음에, TiN으로 이루어지는 하부 전극(10)상에 스퍼터링 장치를 이용하여 기록층 20 및 상부 전극(30)을 형성하였다. 전극지름은 50 내지 300nm로 하였다. 계속해서, 상부 전극(30)의 표면에 대해 에칭을 행하여, 중간 전위(Vdd/2)를 주기 위한 외부 회로 접속용의 콘택트 부분에 접속되도록 두께 200nm의 배선층(Al층)을 형성하였다. 다음에, 포스트 어닐 처리로서 진공 열처리로에서, 2시간, 320°C의 가열 처리를 시행한 후, 미세화 가공 프로세스를 행하여 메모리 소자(샘플 1-1 내지 1-15)로 하였다. 또한, 샘플 1-1 내지 1-15에서의 "하부 전극/제 1 저항변화층/제 2 저항변화층/제 1 이온원층/제 2 이온원층/상부 전극"의 조성 및 막두께는, "TiN/TiO<sub>2</sub>(플라즈마 산화 처리)/AlTeN/제 1 이온원층/제 2 이온원층/W(30nm)"로 하였다. 각 샘플에서의 제 1 이온원층 및 제 2 이온원층의 조성 및 막두께는 표 1에 표시하였다. 또한, AlTeN은 각 샘플에서의 초기 저항의 크기를 같은 정도로 하기 위해 막두께 4nm 내지 6nm의 범위에서 성막하였다. 또한, 샘플 1-1 내지 1-15는 1트랜지스터 1소자(1T1R) 구조이고, 트랜지스터 사이즈는 W/L=0.36/0.7μm이다. 구동 전류가 약 75μA, 약 50μA(저전류)가 되도록 전압을 인가하여 반복 특성을 조사하였다. 그 결과를 도 7의 A 내지 도 10의 C에 도시하였다.

## 표 1

	제 1 이온원층(nm)	제 2 이온원층(nm)
샘플 1-1	Te41.6Al32.6Zr12.9Cu12.9 (60 nm)	-
샘플 1-2	Te24Al39.5Zr16Cu16Ge4.5 (60 nm) (산소 분위기에서 성막)	-
샘플 1-3	Te41.6Al32.6Zr12.9Cu12.9 (8 nm)	Te24Al39.5Zr16Cu16Ge4.5 (52 nm) (산소 분위기에서 성막)
샘플 1-4	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 3	Te24Al39.5Zr16Cu16Ge4.5 (52 nm) (산소 분위기에서 성막)
샘플 1-5	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 22	-
샘플 1-6	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 5	Te36Al32Zr12.5Cu12.5Ge7 (46.5 nm)
샘플 1-7	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-8	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 2	Te36Al32Zr12.5Cu12.5Ge7 (54.6 nm)
샘플 1-9	[Te(0.76 nm)/Al(0.71 nm)/ Te(0.76 nm)/CuZr(0.45 nm)] × 1	Te36Al32Zr12.5Cu12.5Ge7 (57.3 nm)
샘플 1-10	[Te(0.78)/Al(0.71)/Cu(0.198)/ Te(0.78)/Zr(0.209)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-11	[Te(0.78)/Al(0.71)/Cu(0.198)/ Te(0.78)/Zr(0.268)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-12	[Te(0.78)/Al(0.71)/Te(0.78)/ Cu(0.198)/Zr(0.209)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-13	[Te(0.78)/Al(0.71)/Cu(0.187)/ Te(0.78)/Hf(0.235)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-14	[Te(0.78)/Al(0.82)/Cu(0.187)/ Te(0.78)/Hf(0.235)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)
샘플 1-15	[Te(0.78)/Al(0.71)/Cu(0.208)/ Te(0.78)/Hf(0.196)] × 3	Te36Al32Zr12.5Cu12.5Ge7 (51.9 nm)

[0103]

## [평가]

도 7의 A 내지 도 7의 D는 75μA(좌), 50μA(우)에서의 샘플 1-1 내지 1-4의 반복 특성을 나타낸 것이다. 이온원층(22)이 단층 구조인 샘플 1-1, 1-2에서는, 샘플 1-1이 구동 전류 75μA 및 50μA의 양쪽에서 동작하고 있었음에 대해, 샘플 1-2는 반복 특성이 열화되어 있음을 알 수 있다. 이것은, 샘플 1-2의 이온원층에서의 Te의 비율이 샘플 1-1보다도 적고, 금속 원소(여기서는 Zr)의 비율이 높은 것에 의한다고 생각된다. 이에 의해, 샘플 1-2의 이온원층의 저항이 낮아지고, 동작시에 이온원층에 인가되기 어렵기 때문에 이온원층 내의 가동 이온이 움직이기 어렵고, 반복 특성이 저하된 것이라고 생각된다.

[0106]

이에 대해, 샘플 1-3, 1-4는, 상기 실시의 형태 등에서 설명한 바와 같이 이온원층으로서 서로 Te의 함유량이 다른 층(제 1 이온원층 및 제 2 이온원층)을 적층한 것이다. 샘플 1-3, 1-4에서는, 샘플 1-1의 이온원층과 같은 조성을 갖는 층을 각각 제 1 이온원층으로, 샘플 1-2의 이온원층과 같은 조성을 갖는 층을 각각 제 2 이온원층으로 하였다. 이 샘플 1-3, 1-4에서의 반복 특성(도 7의 C, 도 7의 D)는 함께 충분한 동작 특성을 나타내고 있

다. 상기한 바와 같은 구성을 갖는 기억 소자에서는, 상술한 바와 같이, 이온원층에 전압이 인가됨에 의해 이온원층 내의 금속 원소가 저항변화층 내로 이동하여 도전 패스를 형성한다. 이에 의해, 저항변화층의 저항치가 저하되고, 저저항 상태가 된다. 샘플 1-3, 1-4에서는 이온원층이 2층 구조이고, 저항변화층측에 마련된 제 1 이온원층은 금속 원소보다도 저항이 높은 칼코겐 원소를 많이 포함하고 있다. 이 때문에, 저항변화층 부근의 이온원층의 저항이 높아지고, 제 1 이온원층보다도 저항치가 낮은 제 2 이온원층이 적층되어 있어도 가동 이온이 이동하기 쉽고, 반복 특성이 유지되었다고 생각된다. 또한, 상기 실시의 형태 등으로 설명한 구성을 갖는 샘플 1-3, 1-4에서의 기억 장치(기억 소자)의 동작 메커니즘은, 전압 인가에 의해, 우선 저항변화층 부근(제 1 이온원층)의 가동 이온이 저항변화층측에 이동한 후, 다시 상층(제 2 이온원층)에 포함되는 가동 이온이 저항변화층측으로 이동한 것이라고 생각된다.

[0107] 또한, Zr 등의 금속 원소는 Te 등의 칼코겐 원소와 비교하여 용점이 높다. 이 때문에, 제 1 이온원층보다도 Zr의 함유량이 많고, Te의 함유량이 적은 제 2 이온원층의 결정화 온도는 상승하고, 이에 의해, 이온원층 전체가 동작시에 발생하는 줄 열에 대해 안정하게 되었다고 생각된다. 또한, Zr은 많음으로써 무정형이 안정화되고, 유지 특성도 향상한다고 생각된다. 또한, 산소 분위기하에서 성막함으로써, 제 2 이온원에는 산소(0)가 첨가되어, 보다 용점이 올라간다.

[0108] 다음에, 이온원층의 일부 또는 전체가 적층 구조를 갖는 샘플 1-5 내지 1-9에 관해 고찰한다. 또한, 샘플 1-5 내지 1-9의 제 1 이온원층은 적층 구조를 갖지만, 제 1 이온원층 전체의 조성은 샘플 1-1의 이온원층의 조성과 같다. 도 8의 A 내지 도 8의 E는 샘플 1-5 내지 1-9의 반복 특성을 도시한 것이다. 이들 도 8의 A 내지 도 8의 C로부터 제 1 이온원층의 구성은 단층 구조로 한하지 않고, 적층 구조라도 좋음을 알 수 있다. 또한, 도 8의 D, 도 8의 E의 결과로부터 제 1 이온원층의 막두께는 5.3nm 이상, 바람직하게는 6nm 이상, 보다 바람직하게는 8nm 이상으로 함으로써, 제 2 이온원층의 조성이 변경되어 있어도 충분한 동작 특성을 얻을 수 있음을 알 수 있다. 또한, 일부에 적층 구조를 갖는 샘플 1-6, 1-7은, 이온원층 전체가 적층 구조를 갖는 샘플 1-5와 동등한 반복 동작 특성을 나타내고 있다. 이 때문에, 샘플 1-6, 1-7과 같이, 이온원층을 적층막(제 1 이온원층)과 균일층(제 2 이온원층)과의 조합으로 함에 의해, 반복 동작 특성을 유지하면서, 성막 시간의 대폭적인 단축이 가능해진다. 또한, 제 2 이온원층은 Zr 외에 Ge의 함유량을 많게 하는 것으로도 결정화 온도가 상승하고, 기억 소자의 내열성이 향상함을 알 수 있다.

[0109] 샘플 1-10 내지 1-12는 제 1 이온원층을 구성하는 적층막의 적층 순서를 변경한 것이다. 샘플 1-10 내지 1-12의 반복 특성의 결과를 도시한 도 9의 A 내지 도 9의 C로부터, 적층막의 적층 순서를 바꾸어도 기억 소자의 동작 특성에는 영향을 주지 않음을 알 수 있다.

[0110] 또한, 도 10의 A 내지 도 10의 C에 도시한 반복 특성도로부터 Zr 대신에 Hf를 사용한 샘플 1-12 내지 1-15에서도, 샘플 1-3, 1-4, 1-6 등과 같은 효과를 얻을 수 있음을 알 수 있다. 이것으로부터, Te 이외의 금속 원소의 종류 및 조성이 변하여도, 상기 실시의 형태 등에서 설명한 범위 내라면, 같은 효과를 얻을 수 있음을 알 수 있다.

[0111] (실험 2)

[0112] 다음에, 상기 샘플과는 저항변화층의 구성이 다른 기억 장치(샘플 2-1 내지 2-3)를 상기 샘플 1-1 내지 1-15와 같은 방법을 이용하여 작성하고, 그 반복 특성을 측정하였다. 샘플 2-1 내지 2-3에서의 "하부 전극/제 1 저항변화층/제 2 저항변화층/제 1 이온원층/제 2 이온원층/상부 전극"의 조성 및 막두께는, "TiN/Al<sub>10</sub>x(1nm)(플라즈마 산화 처리)/AlTeN/제 1 이온원층/제 2 이온원층/W(30nm)"로 하였다. 제 1 이온원층 및 제 2 이온원층의 조성은 표 2에 표시한다.

## 표 2

	제 1 이온원층(nm)	제 2 이온원층(nm)
샘플 2-1	Te36.2Al37.6Zr13.1Cu13.1 (45 nm)	
샘플 2-2	[Te(0.706)/Al(0.847)/ Te(0.706)/CuZr(0.469)] × 3	Te31Al37Zr13Cu13Ge6 (42.3 nm)
샘플 2-3	[Te(0.706)/Al(0.847)/ Te(0.706)/CuZr(0.469)] × 1	Te31Al37Zr13Cu13Ge6 (36.9 nm)

[0113] 도 11의 A 내지 도 11의 C는, 샘플 2-1 내지 2-3에서의 반복 특성을 도시한 것이다. 샘플 2-1 내지 2-3에서의

Te의 조성비는 거의 동등하고, 샘플 2-2, 2-3의 제 1 이온원총 및 제 2 이온원총의 조성은, 제 1 이온원총에서의 적층수를 제외하고 동일하다. 도 11의 A(샘플 2-1), 도 11의 B(샘플 2-2)에서의 반복 특성은 거의 동등, 또한, 상기 샘플 1-3 등 모두 동등하다. 이에 대해, 도 11의 C(샘플 2-3)에서는, 반복 특성이 저하되어 있음을 알 수 있다. 이것으로부터, 저항변화총의 재료 및 그 구성은 임의이고, 본 실시의 형태 등으로 얻어지는 효과는, 어디까지나 이온원총의 구성에 의한 것임을 알 수 있다.

- [0115] 이상, 제 1, 제 2의 실시의 형태, 변형례 및 실시예를 들어 본 개시를 설명하였지만, 본 발명은, 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러 가지 변형하는 것이 가능하다.
- [0116] 예를 들면, 상기 실시의 형태 등에서는, 기억 소자(1, 2) 및 메모리 셀 어레이의 구성을 구체적으로 들어서 설명하였지만, 모든 층을 구비할 필요는 없고, 또한, 다른 층을 더욱 구비하고 있어도 좋다.
- [0117] 또한, 예를 들면, 상기 실시의 형태 등에서 설명한 각 층의 재료, 또는 성막 방법 및 성막 조건 등은 한정되는 것이 아니고, 다른 재료로 하여도 좋고, 또는 다른 성막 방법으로 하여도 좋다. 예를 들면, 이온원총(22)에는, 상기 조성비율을 무너뜨리지 않는 범위에서, 다른 천이금속 원소, 예를 들면 Ti, Hf, V, Nb, Ta, Cr, Mo, W를 첨가하여도 좋다. 또한, Cu, Ag 또는 아연 Zn 이외에도, 니켈(Ni) 등을 첨가하여도 좋다.
- [0118] 또한, 상기 제 2의 실시의 형태 등에서는, 적층 구조를 갖는 제 1 이온원총(72A)(또는 제 2 이온원총(72B))의 제조 공정에서, 제 1층(72a)이 되는 A층 및 B층과, 제 2층(72b)이 되는 C층이 주기 구조를 갖도록 성막한다고 하였지만, 반드시 모든 적층 순서가 일정할 필요는 없다. 구체적으로는, 적어도 C층과 B층이 직접 접하는 일 없이, 또한 적층의 종단이 B층 이외라면 좋다.
- [0119] 또한, 상기 실시의 형태 등에서는 이온원총(22)을 서로 다른 조성의 층(제 1 이온원총(22A), 제 2 이온원총(22B))을 적층하도록 하였지만, 이온원총(22)을 단층으로 하고, 이 이온원총 내에 하부 전극(10)부터 상부 전극(30)을 향하여 변화하는 Te 등의 원소의 농도 구배를 마련하여도 좋다. 이에 의해, 상기 실시의 형태 등에는 뒤떨어지지만, 열에 의한 이온원총(22)의 열화가 억제되고, 데이터의 유지 특성이 향상한다고 생각된다.
- [0120] 또한, 본 발명은 이하와 같은 구성도 취할 수 있다.
- [0121] (1) 제 1 전극, 기억층 및 제 2 전극을 이 순서로 가지며, 상기 기억층은, 상기 제 1 전극측에 마련된 저항변화층과, 적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원총을 구비하고, 상기 이온원총은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 상기 저항변화층측에 마련된 제 1 이온원총과, 상기 제 1 이온원총과는 칼코겐 원소의 함유량이 다름과 함께, 상기 제 2 전극측에 마련된 제 2 이온원총으로 이루어지는 기억 소자.
- [0122] (2) 상기 제 1 이온원총은, 텔루르(Te), 황(S) 및 셀렌(Se)의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 구배를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층이 적어도 1층 씩 적층되어 있는, 상기 (1)에 기재된 기억 소자.
- [0123] (3) 상기 금속 원소는, 구리(Cu), 알루미늄(Al), 게르마늄(Ge) 및 아연(Zn)중의 적어도 1종류의 금속 원소인, 상기 (1)에 기재된 기억 소자.
- [0124] (4) 상기 금속 원소는, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W)으로 이루어지는 천이금속의 군중의 적어도 1종류인, 상기 (1)에 기재된 기억 소자.
- [0125] (5) 상기 제 2 이온원총에 포함되는 칼코겐 원소의 함유량은 상기 제 1 이온원총보다도 적은, 상기 (1) 내지 (4)의 어느 하나에 기재된 기억 소자.
- [0126] (6) 상기 제 2 이온원총에 포함되는 구리(Cu), 알루미늄(Al), 게르마늄(Ge) 및 아연(Zn)중 적어도 1종류의 금속 원소의 함유량은, 상기 제 1 이온원총보다도 많은, 상기 (1) 내지 (5)의 어느 하나에 기재된 기억 소자.
- [0127] (7) 상기 제 2 이온원총에 포함되는, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W)으로 이루어지는 천이금속의 군중 적어도 1종류의 금속 원소의 함유량은, 상기 제 1 이온원총보다도 많은, 상기 (1) 내지 (6)의 어느 하나에 기재된 기억 소자.
- [0128] (8) 상기 제 2 이온원총의 용점은 상기 제 1 이온원총보다도 높은, 상기 (1) 내지 (7)의 어느 하나에 기재된 기억 소자.

- [0129] (9) 상기 제 2 이온원층의 저항치는 상기 제 1 이온원층보다도 낮은, 상기 (1) 내지 (8)의 어느 하나에 기재된 기억 소자.
- [0130] (10) 상기 제 2 이온원층에 포함되는 산소(0)의 함유량이, 상기 제 1 이온원층보다도 많은, 상기 (1) 내지 (9)의 어느 하나에 기재된 기억 소자.
- [0131] (11) 상기 제 1 이온원층은 층 내에 상기 제 1 전극측부터 제 2 전극측을 향하여 칼코겐 원소의 농도 구배를 갖는, 상기 (1) 내지 (10)의 어느 하나에 기재된 기억 소자.
- [0132] (12) 상기 제 2 이온원층의 용점은, 상기 제 1 이온원층을 구성한 복수의 층중의 상기 저항변화층에 접한 층보다도 높은, 상기 (2) 내지 (11)의 어느 하나에 기재된 기억 소자.
- [0133] (13) 상기 제 2 이온원층의 저항치는, 상기 제 1 이온원층을 구성하는 복수의 층중의 상기 저항변화층에 접한 층보다도 낮은, 상기 (2) 내지 (12)의 어느 하나에 기재된 기억 소자.
- [0134] (14) 상기 제 1 전극 및 상기 제 2 전극에의 전압 인가에 의해 상기 저항변화층 내에 상기 금속 원소를 포함하는 저자항부가 형성됨에 의해 저항치가 변화하는, 상기 (1) 내지 (13)의 어느 하나에 기재된 기억 소자.
- [0135] (15) 제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 가지며, 상기 기억층은, 상기 제 1 전극측에 마련된 저항변화층과, 적어도 1종의 금속 원소를 포함함과 함께, 상기 제 2 전극측에 마련된 이온원층을 구비하고, 상기 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 상기 저항변화층에 마련된 제 1 이온원층과, 상기 제 1 이온원층과는 칼코겐 원소의 함유량이 다른과 함께, 상기 제 2 전극측에 마련된 제 2 이온원층으로 이루어지는 기억 장치.
- [0136] (16) 기판상에 제 1 전극을 형성하는 공정과, 상기 제 1 전극상에 저항변화층을 형성하는 공정과, 상기 저항변화층상에 금속 원소 및, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함하는 제 1 이온원층을 형성하는 공정과, 상기 제 1 이온원층상에 상기 제 1 이온원층과는 칼코겐 원소의 함유량이 다른 제 2 이온원층을 형성하는 공정과, 상기 제 1 이온원층상에 제 2 전극상을 형성하는 공정을 포함하는 기억 소자의 제조 방법.
- [0137] (17) 상기 제 1 이온원층은, 텔루르(Te), 황(S) 및 셀렌(Se)중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐 층, 전해질중에서의 이동이 용이한 이동용이 원소를 적어도 1종 포함하는 이동층 및 전해질중에서 이동하기 어려운 이동곤란 원소를 적어도 1종 포함하는 고정층을 각각 1층 이상 적층하고, 적어도 일부를 칼코겐층, 이동층 및 칼코겐층의 순서로 적층하는, 상기 (16)에 기재된 기억 소자의 제조 방법.
- [0138] (18) 상기 제 2 전극을 형성한 후 가열 처리를 행하고, 상기 칼코겐층과 이동층과의 혼합층을 형성하는, 상기 (16) 또는 (17)에 기재된 기억 소자의 제조 방법.
- [0139] (19) 상기 칼코겐층, 이동층 및 고정층, 적어도 상기 칼코겐층을 2층 이상 가짐과 함께, 적어도 일부가 상기 칼코겐층, 이동층, 칼코겐층의 순서로 적층되어 있는, 상기 (16) 내지 (18)의 어느 하나에 기재된 기억 소자의 제조 방법.
- [0140] 본 발명은 공개된 일본 특허청에 2011년 6월 30일에 출원되어 우선권 주장된 일본 특허 출원 JP2011-146113과 관계된 주제를 포함하며, 이는 참조로서 전체 내용에 포함된다.
- [0141] 다양한 수정, 조합, 하위 조합 및 변경은 관련 기술분야의 기술자의 설계의 요구 및 첨부된 청구항과 그 균등물 범위 내에 있는 다른 요인에 의하여 발생할 수 있음을 이해해야 한다.

### 부호의 설명

- [0142] 1, 2, 3A, 3B : 기억 소자  
 1 : 하부 전극  
 20, 60, 70 : 기억층  
 21, 61 : 저항변화층  
 22, 62, 72 : 이온원층

30 : 상부 전극

41 : 반도체 기판

43 : 소스/드레인 영역

44 : 게이트 전극

45, 47 : 플러그총

46 : 금속 배선총

48 : 액티브 영역

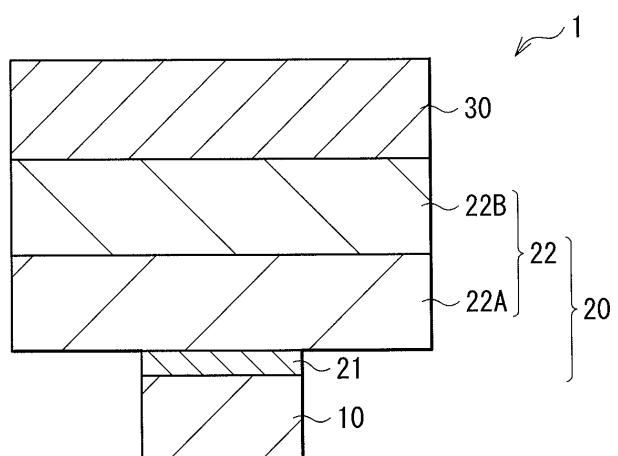
51, 52 : 콘택트부

61A : 제 1 저항변화총

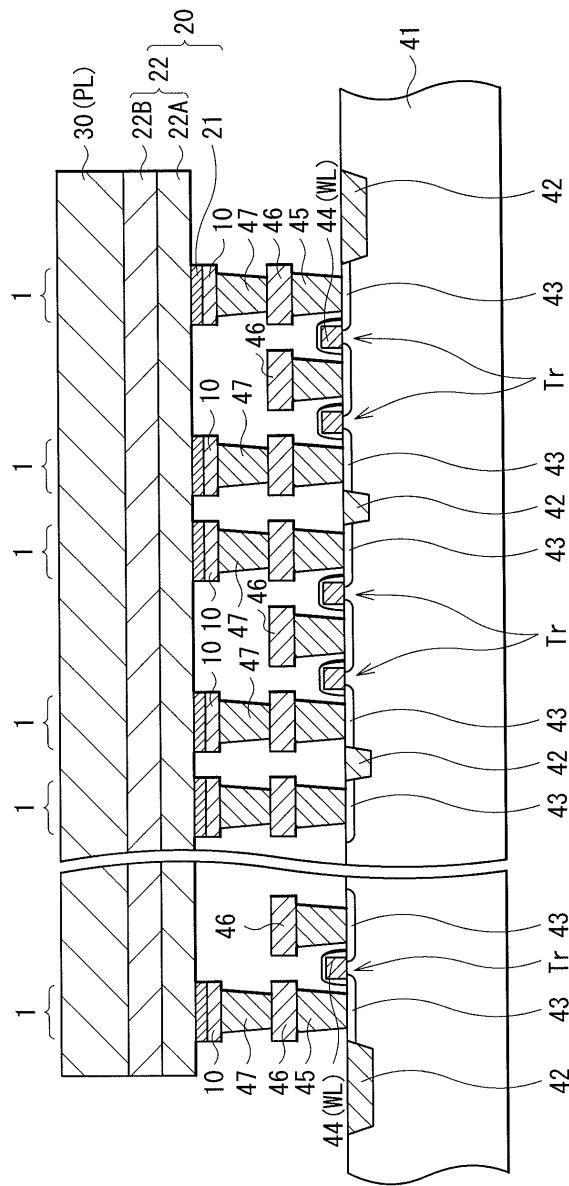
62B : 제 2 저항변화총

72A : 제 1총

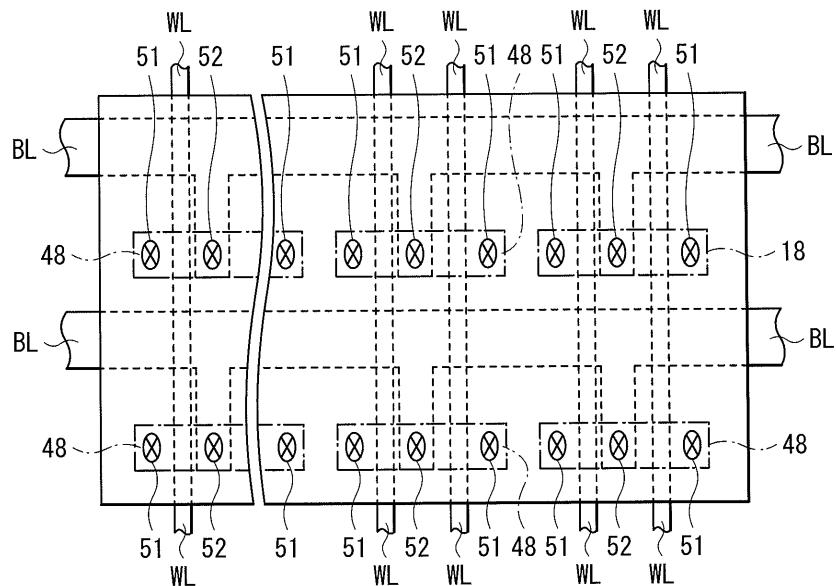
72B : 제 2총

**도면****도면1**

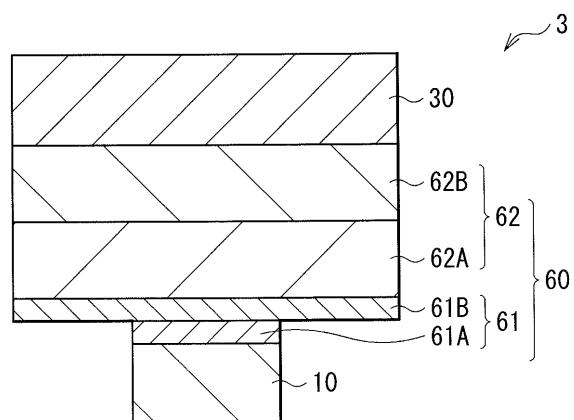
## 도면2



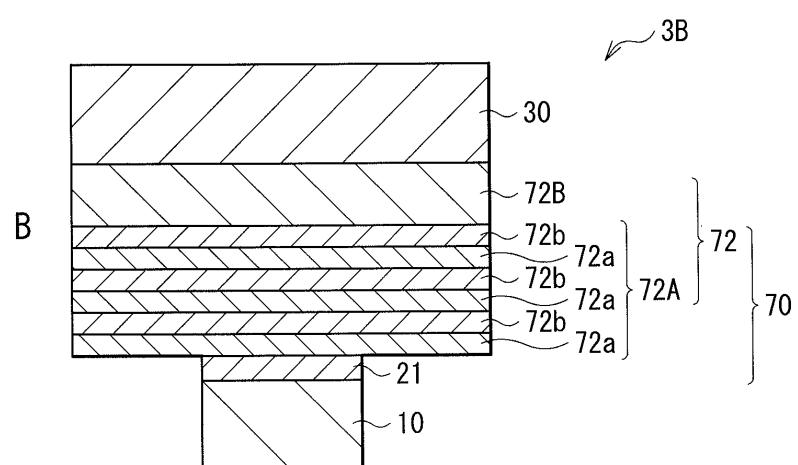
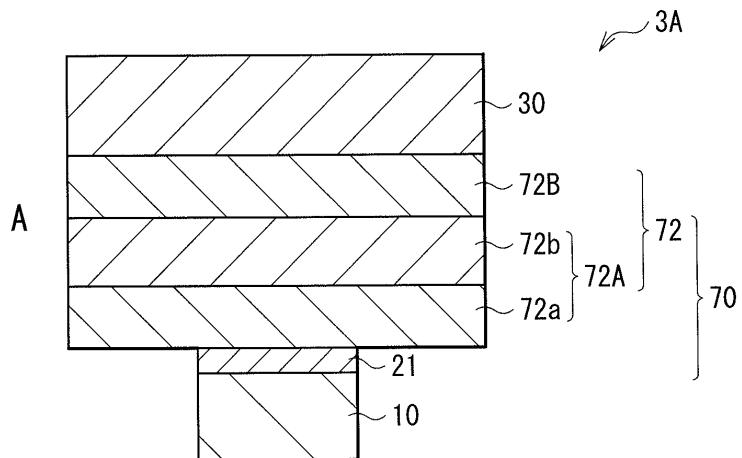
도면3



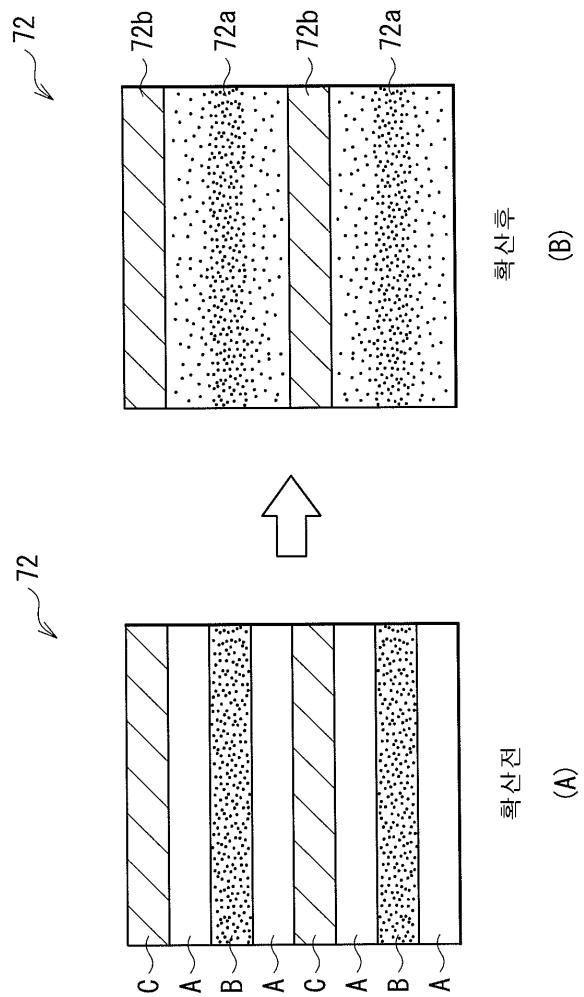
도면4



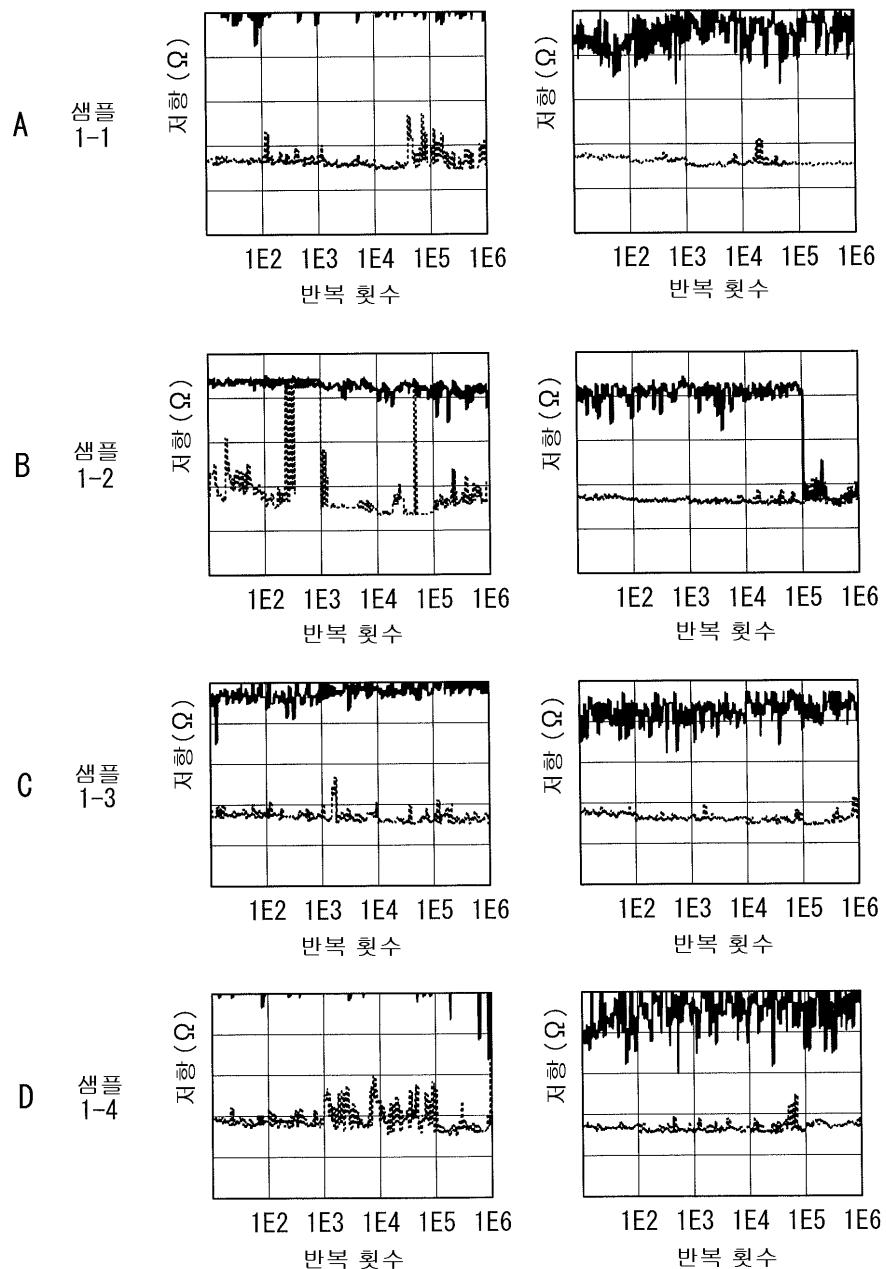
도면5



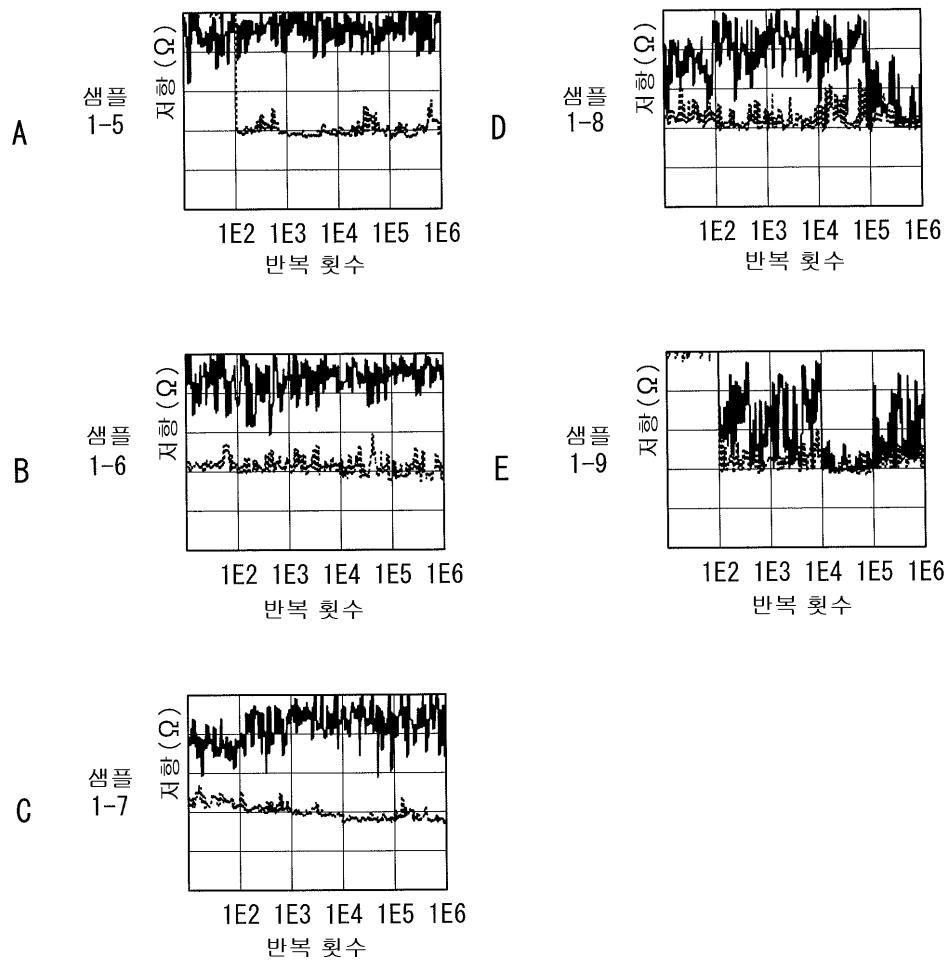
도면6



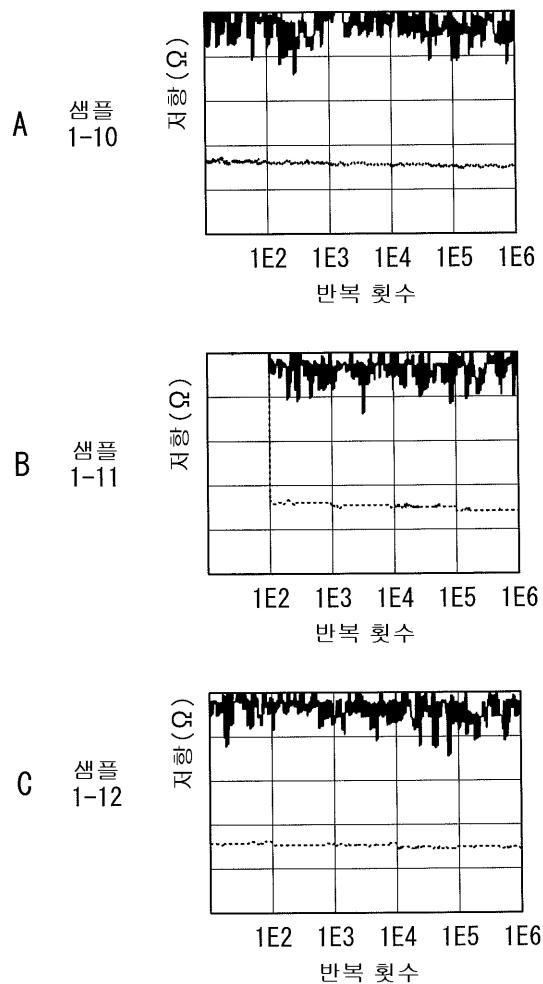
## 도면7



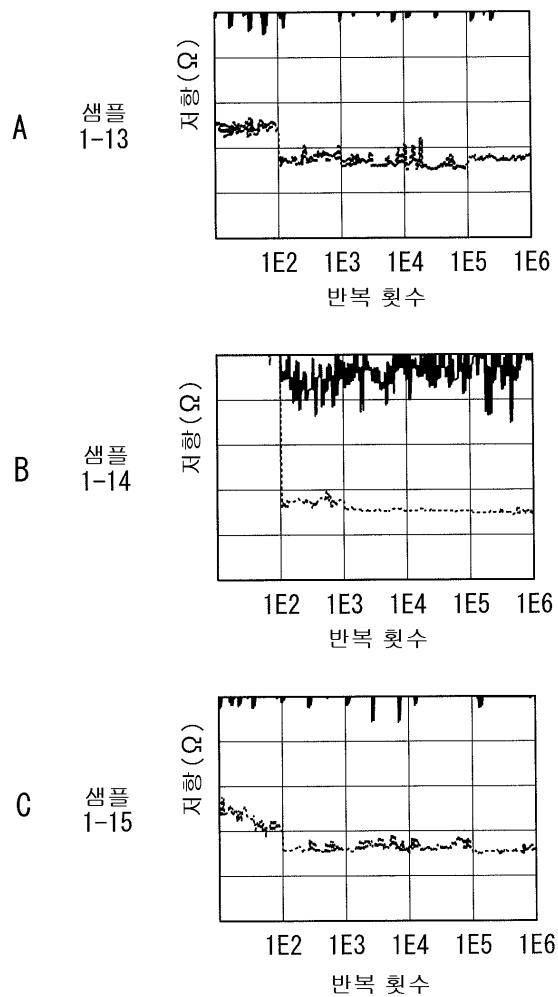
## 도면8



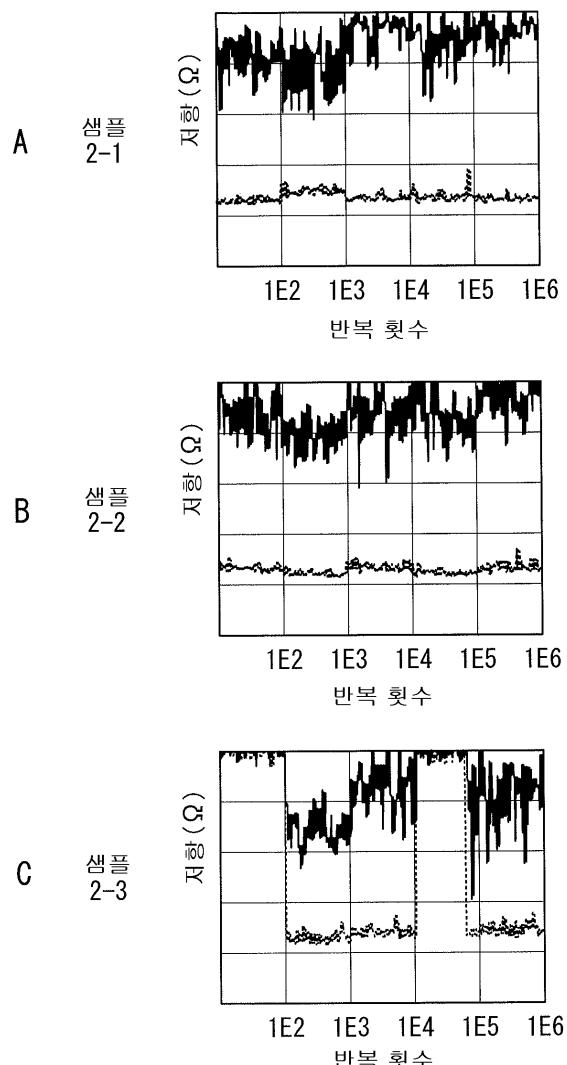
## 도면9



## 도면10



## 도면11



## 【심사관 직권보정사항】

## 【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제16항

## 【변경전】

2 이온원충을

## 【변경후】

제 2 이온원충을