



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0015930
(43) 공개일자 2014년02월07일

(51) 국제특허분류(Int. Cl.)

H04L 25/03 (2006.01)

(21) 출원번호 10-2012-0082233

(22) 출원일자 2012년07월27일

심사청구일자 2012년07월27일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

황세욱

서울 성동구 살곶이길 50, 102동 404호 (마장동, 현대아파트)

(74) 대리인

특허법인주원

전체 청구항 수 : 총 9 항

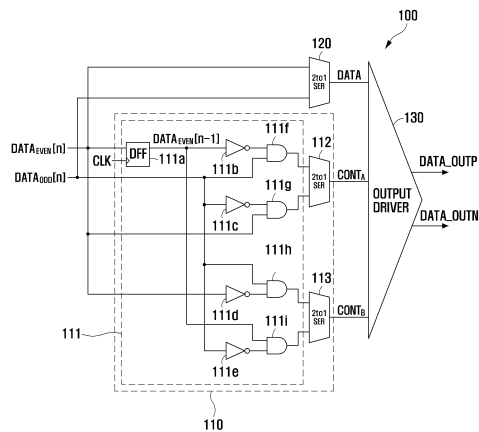
(54) 발명의 명칭 데이터 통신용 송신기

(57) 요약

본 발명은 전력 소모를 줄이면서 프리엠퍼시스 기능을 구현할 수 있고 프리엠퍼시스의 레벨을 조절할 수 있는 출력 드라이버를 포함하는 데이터 통신용 송신기에 관한 것이다.

일례로, 입력단과 출력단을 가지며, 상기 입력단으로 입력되는 입력 데이터로부터 프리엠퍼시스 제어 신호들을 생성하는 프리엠퍼시스 제어 신호 생성 회로; 상기 입력단으로 입력되는 데이터를 직렬 데이터로 변환하는 데이터용 직렬화기; 및 상기 직렬 데이터와, 상기 프리엠퍼시스 제어 신호들을 입력받아 상기 직렬 데이터를 프리엠퍼시스 하여 프리엠퍼시스된 출력 데이터를 생성하고 상기 출력단으로 출력하는 출력 드라이버를 포함하는 것을 특징으로 하는 데이터 통신용 송신기가 개시된다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호	G01201112010061
부처명	한국산업기술평가관리원
연구사업명	시스템반도체상용화기술개발사업
연구과제명	HDMI, DisplayPort, MHL, Ethernet Connectivity를 지원하는 D-TV용 Multi-Port 일체형 인터페이스 및 3D-TV용 2D to 3D 영상변화 Soc 개발
기 여 율	1/1
주관기관	고려대학교 산학협력단
연구기간	2011.12.01 ~ 2012.09.30

특허청구의 범위

청구항 1

입력단과 출력단을 가지는 데이터 통신용 송신기에 있어서,

상기 입력단으로 입력되는 입력 데이터로부터 프리엠퍼시스 제어 신호들을 생성하는 프리엠퍼시스 제어 신호 생성 회로;

상기 입력단으로 입력되는 데이터를 직렬 데이터로 변환하는 데이터용 직렬화기; 및

상기 직렬 데이터와, 상기 프리엠퍼시스 제어 신호들을 입력받아 상기 직렬 데이터를 프리엠퍼시스 하여 프리엠퍼시스된 출력 데이터를 생성하고 상기 출력단으로 출력하는 출력 드라이버를 포함하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 2

제 1 항에 있어서,

상기 프리엠퍼시스 제어 신호 생성 회로는

상기 입력단에 연결되며, 클럭이 인가되는 D 플립플롭, 복수의 인버터 및 복수의 AND 게이트를 포함하는 논리 회로; 및

상기 논리 회로에 연결되는 제 1 프리엠퍼시스 제어 신호용 직렬화기 및 제 2 프리엠퍼시스 제어 신호용 직렬화기를 포함하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 3

제 2 항에 있어서,

상기 입력 데이터는 하프 레이트의 홀수 번째 입력 데이터와 짝수 번째 입력 데이터를 포함하며,

상기 프리엠퍼시스 제어 신호들은 제 1 프리엠퍼시스 제어신호와 제 2 프리엠퍼시스 제어신호를 포함하고,

상기 직렬 데이터는 제 1 차동 신호와 제 2 차동 신호를 포함하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 4

제 3 항에 있어서,

상기 제 1 프리엠퍼시스 제어신호는 상기 직렬 데이터가 양방향 전환(positive transision)시 프리엠퍼시스 되는 타이밍을 나타내고,

상기 제 2 프리엠퍼시스 제어신호는 상기 직렬 데이터가 음방향 전환(negative transition)시 프리엠퍼시스 되는 타이밍을 나타내는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 5

제 3 항에 있어서,

상기 D 플립플롭은 상기 짝수 번째 입력 데이터를 입력받아 1주기 지연한 지연 데이터를 출력하고,

상기 복수의 인버터는 상기 지연 데이터와 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터 중 어느 하나를 입력받아 인버터 출력 데이터들을 출력하며,

상기 AND 게이트는 상기 지연 데이터와 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터 중 어느 하나와 상기 인버터 출력 데이터들 중 어느 하나를 입력받아 AND 게이트 출력 데이터들을 출력하고,

상기 제 1 프리 엠퍼시스 제어 신호용 직렬화기 및 제 2 프리 엠퍼시스 제어 신호용 직렬화기는 상기 AND 게이트 출력 데이터들을 입력받아 직렬화하여 상기 제 1 프리엠퍼시스 제어신호 및 제 2 프리엠퍼시스 제어신호를 생성하고 출력하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 6

제 3 항에 있어서,

상기 데이터용 직렬화기 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터를 입력받아 직렬화하여 상기 제 1 차동 신호와 제 2 차동 신호를 출력하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 7

제 1 항에 있어서,

상기 출력 드라이버는 상기 프리엠퍼시스 제어 신호들을 통해 스위칭 전류 비율을 조절하여 상기 직렬 데이터에 적용되는 프리엠퍼시스의 레벨을 조절하도록 구성된 것을 특징으로 하는 데이터 통신용 송신기.

청구항 8

제 3 항에 있어서,

상기 출력 드라이버는

상기 제 1 차동 신호와 제 2 차동 신호 각각이 게이트로 입력되는 제 1 트랜지스터와 제 2 트랜지스터;

상기 제 1 트랜지스터와 제 2 트랜지스터 각각의 드레인과 전원 전압 사이에 각각 연결된 제 1 저항 제 2 저항;

상기 제 1 트랜지스터와 제 2 트랜지스터 각각의 소스와 접지전압 사이에 연결된 전류원;

상기 제 1 저항과 전원 전압 사이에 서로 병렬로 연결된 제 1 스위치와 제 2 스위치; 및

상기 제 2 저항과 전원 전압 사이에 서로 병렬로 연결된 제 3 스위치와 제 4 스위치를 포함하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 9

제 8 항에 있어서,

상기 제 1 스위치와 제 2 스위치는 상기 제 1 프리엠퍼시스 제어 신호와 제 2 프리엠퍼시스 제어 신호들의 인가 여부에 의해 스위칭되고,

상기 제 3 스위치와 제 4 스위치는 상기 제 1 프리엠퍼시스 제어 신호와 제 2 프리엠퍼시스 제어 신호의 반전 신호인 제 1 반전 신호와 제 2 반전 신호의 인가 여부에 의해 스위칭되는 것을 특징으로 하는 데이터 통신용 송신기.

명세서

기술 분야

[0001] 본 발명은 데이터 통신용 송신기에 관한 것으로, 특히 전력 소모를 줄이면서 프리엠퍼시스 기능을 구현할 수 있고 프리엠퍼시스의 레벨을 조절할 수 있는 출력 드라이버를 포함하는 데이터 통신용 송신기에 관한 것이다.

배경 기술

[0002] 반도체 시스템의 처리 속도는 반도체 처리 속도가 증가함에 따라 함께 발전하고 있다. 그러나, 채널의 발전 속도는 반도체 처리 속도에 비해 더디어, 고속화된 데이터를 채널을 이용해 송신하면 수신되는 데이터가 손실을 입고 있다. 이에 따라, 데이터의 손실을 보상하기 위한 기술이 필수적이다. 데이터의 손실을 보상하기 위한 기술로서, 채널에서 손실이 일어나는 데이터의 고주파 성분을 미리 증폭시켜 채널로 전송할 수 있는 프리엠퍼시스(Preamphasis) 기술이 효과적이다.

[0003] 프리엠퍼시스 기술은 여러 가지 방법으로 구현될 수 있으며, 이 중 가장 널리 쓰이는 방법은 출력 드라이버의 주(메인) 전류 가지에 추가 전류를 소모하는 추가 전류탭을 달아 구현하는 것이다.

[0004] 데이터에 프리엠퍼시스 기술을 적용할 때 추가 전류탭은 채널에 더 많은 전류를 흘려 고주파 성분의 손실을 보

상한다. 이러한 방식은 100% 프리엠퍼시스 동작을 하는 경우를 예로 들 때 추가 전류탭으로 인해 기존 주 전류 가지에서 소모하는 전류만큼, 즉 두 배의 전류 소모를 가지는 단점이 있다. 이에 대해서, 도 1을 통해 자세히 설명하면 다음과 같다.

[0005] 도 1은 종래 데이터 통신용 송신기의 출력 드라이버의 구조를 보여주는 회로도이다.

[0006] 도 1을 참조하면, 종래 데이터 통신용 송신기의 출력 드라이버(30)에서 출력 드라이버(30)의 전단(Pre-Stage)의 직렬화기(Serializer)(미도시)를 통해 생성되는 풀 레이트(Full Rate)의 입력 차동 신호인 DATAP[n], DATAN[n], DATAP[n-1] 및 DATAN[n-1] 중 DATAP[n]과 DATAN[n]는 주 전류 가지(Main Current Branch)의 입력단으로 인가되고, DATAP[n-1]과 DATAN[n-1]는 프리엠퍼시스용 전류탭(Current Tap)의 입력단으로 인가된다.

[0007] n번째 입력과 n-1번째 입력이 서로 엇갈리게 각각의 입력단으로 인가되면, 주 전류 가지의 출력단으로 프리엠퍼시스된 출력 차동 신호인 DATA_OUTP와 DATA_OUTN가 출력된다. 이때, 출력 드라이버(30)에서 소모되는 총 전류는 $I_{ss,main} + I_{ss,tap}$ 이 된다. 만약, 출력 드라이버(30)가 프리엠퍼시스 동작을 하는 경우 $I_{ss,main}$ 과 $I_{ss,tap}$ 은 I_{ss} 로 같게 되어 총 $2I_{ss}$ 의 전류가 소모된다. 즉, 출력 드라이버(30)가 프리엠퍼시스 동작을 하는 경우에는 기존 대비 두배 만큼의 전류를 소모하여 전력 소모가 증가된다.

[0008] 또한, 데이터에 프리엠퍼시스 기술을 적용할 때 출력 드라이버는 칩 외부의 채널로 데이터를 전송해야 하기 때문에, 칩 전체에서 차지하는 전력 소모의 비율이 매우 크다.

[0009] 따라서, 출력 드라이버의 전력 소모를 작게 유지시키면서 채널 손실을 보상할 수 있는 프리엠퍼시스 기술이 필요하다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 전력 소모를 줄이면서 프리엠퍼시스 기능을 구현할 수 있고 프리엠퍼시스의 레벨을 조절할 수 있는 출력 드라이버를 포함하는 데이터 통신용 송신기를 제공하는 것이다.

과제의 해결 수단

[0011] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 데이터 통신용 송신기는 입력단과 출력단을 가지며, 상기 입력단으로 입력되는 입력 데이터로부터 프리엠퍼시스 제어 신호들을 생성하는 프리엠퍼시스 제어 신호 생성 회로; 상기 입력단으로 입력되는 데이터를 직렬 데이터로 변환하는 데이터용 직렬화기; 및 상기 직렬 데이터와, 상기 프리엠퍼시스 제어 신호들을 입력받아 상기 직렬 데이터를 프리엠퍼시스 하여 프리엠퍼시스된 출력 데이터를 생성하고 상기 출력단으로 출력하는 출력 드라이버를 포함하는 것을 특징으로 한다.

[0012] 상기 프리엠퍼시스 제어 신호 생성 회로는 상기 입력단에 연결되며, 클럭이 인가되는 D 플립플롭, 복수의 인버터 및 복수의 AND 게이트를 포함하는 논리 회로; 및 기 논리 회로에 연결되는 제 1 프리엠퍼시스 제어 신호용 직렬화기 및 제 2 프리엠퍼시스 제어 신호용 직렬화기를 포함할 수 있다.

[0013] 상기 입력 데이터는 하프 레이트의 홀수 번째 입력 데이터와 짝수 번째 입력 데이터를 포함하며, 상기 프리엠퍼시스 제어 신호들은 제 1 프리엠퍼시스 제어신호와 제 2 프리엠퍼시스 제어신호를 포함하고, 기 직렬 데이터는 제 1 차동 신호와 제 2 차동 신호를 포함할 수 있다.

[0014] 상기 제 1 프리엠퍼시스 제어신호는 상기 직렬 데이터가 양방향 전환(positive transision)시 프리엠퍼시스 되는 타이밍을 나타내고, 상기 제 2 프리엠퍼시스 제어신호는 상기 직렬 데이터가 음방향 전환(negative transition)시 프리엠퍼시스 되는 타이밍을 나타낼 수 있다.

[0015] 상기 D 플립플롭은 상기 짝수 번째 입력 데이터를 입력받아 1주기 지연한 지연 데이터를 출력하고, 상기 복수의 인버터는 상기 지연 데이터와 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터 중 어느 하나를 입력받아 인버터 출력 데이터들을 출력하며, 상기 AND 게이트는 상기 지연 데이터와 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터 중 어느 하나와 상기 인버터 출력 데이터들 중 어느 하나를 입력받아 AND 게이트 출력 데이터들을 출력하고, 상기 제 1 프리 엠퍼시스 제어 신호용 직렬화기 및 제 2 프리 엠퍼시스 제어 신호용 직렬화기는 상기 AND 게이트 출력 데이터들을 입력받아 직렬화하여 상기 제 1 프리엠퍼시스 제어신호 및 제 2 프리엠퍼시스 제어신호를 생성하고 출력할 수 있다.

- [0016] 상기 데이터용 직렬화기 상기 홀수 번째 입력 데이터와 상기 짝수 번째 입력 데이터를 입력받아 직렬화하여 상기 제 1 차동 신호와 제 2 차동 신호를 출력할 수 있다.
- [0017] 상기 출력 드라이버는 상기 프리엠퍼시스 제어 신호들을 통해 스위칭 전류 비율을 조절하여 상기 직렬 데이터에 적용되는 프리엠퍼시스의 레벨을 조절하도록 구성될 수 있다.
- [0018] 상기 출력 드라이버는 상기 제 1 차동 신호와 제 2 차동 신호 각각이 게이트로 입력되는 제 1 트랜지스터와 제 2 트랜지스터; 상기 제 1 트랜지스터와 제 2 트랜지스터 각각의 드레인과 전원 전압 사이에 각각 연결된 제 1 저항 제 2 저항; 상기 제 1 트랜지스터와 제 2 트랜지스터 각각의 소스와 접지전압 사이에 연결된 전류원; 상기 제 1 저항과 전원 전압 사이에 서로 병렬로 연결된 제 1 스위치와 제 2 스위치; 및 상기 제 2 저항과 전원 전압 사이에 서로 병렬로 연결된 제 3 스위치와 제 4 스위치를 포함할 수 있다.
- [0019] 상기 제 1 스위치와 제 2 스위치는 상기 제 1 프리엠퍼시스 제어 신호와 제 2 프리엠퍼시스 제어 신호들의 인가 여부에 의해 스위칭되고, 상기 제 3 스위치와 제 4 스위치는 상기 제 1 프리엠퍼시스 제어 신호와 제 2 프리엠퍼시스 제어 신호의 반전 신호인 제 1 반전 신호와 제 2 반전 신호의 인가 여부에 의해 스위칭될 수 있다.

발명의 효과

- [0020] 본 발명의 실시예에 따른 데이터 통신용 송신기는 기존의 프리엠퍼시스용 추가 전류탭의 사용 없이 간단한 프리엠퍼시스 제어 신호 생성 회로와 데이터용 직렬화기를 출력 드라이버에 연결시킴으로써, 기존 추가 전류탭에서 소모되는 전류를 제거하여 전력 소모를 줄이면서 출력 드라이버가 프리엠퍼시스 기능을 구현하게 할 수 있다.
- [0021] 또한, 본 발명의 실시예에 따른 데이터 통신용 송신기는 출력 드라이버에 포함된 제 1 스위치와 제 2 스위치의 스위칭 전류 비율을 조절하여 풀 레이트의 데이터에 적용되는 프리엠퍼시스의 레벨을 100% 이하 또는 100% 이상으로 다양하게 조절할 수 있다. 따라서, 본 발명의 실시예에 따른 데이터 통신용 송신기는 다양한 채널 환경에 최적화된 프리엠퍼시스된 출력 데이터를 출력할 수 있다.

도면의 간단한 설명

- [0022] 도 1은 종래 데이터 통신용 송신기의 출력 드라이버의 구조를 보여주는 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 데이터 통신용 송신기의 구조를 보여주는 블럭도이다.
- 도 3은 도 2의 직렬 데이터와 프리엠퍼시스 제어 신호를 보여주는 파형도이다.
- 도 4는 도 2의 출력 드라이버의 구조를 보여주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.
- [0024] 도 2는 본 발명의 일 실시예에 따른 데이터 통신용 송신기의 구조를 보여주는 블럭도이고, 도 3은 도 2의 직렬 데이터와 프리엠퍼시스 제어 신호를 보여주는 파형도이다.
- [0025] 도 2를 참조하면, 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)는 입력단과 출력단을 가지며, 프리엠퍼시스 제어 신호 생성 회로(110), 데이터용 직렬화기(120) 및 출력 드라이버(Output driver)(130)를 포함한다. 이러한 데이터 통신용 송신기(100)는 케이블의 채널을 통해 데이터를 데이터 통신용 수신기로 전송한다.
- [0026] 본 발명에서, 상기 데이터 통신용 송신기(100)는 예를 들어 가장 많이 사용되는 하프 레이트(Half Rate) 송신기를 기반으로 구성된다. 이러한 하프 레이트 송신기로 구성되는 데이터 통신용 송신기(100)는 응용 가능하여 1/N 레이트(1/N-Rate), 즉 모든 구조의 데이터 통신용 송신기에 적용 가능하다.
- [0027] 상기 프리엠퍼시스 제어 신호 생성 회로(110)는 데이터 통신용 송신기(100)의 입력단으로 입력되는 하프 레이트의 입력 데이터(DATA_{ODD}[n], DATA_{EVEN}[n], n은 자연수)를 입력받아 프리엠퍼시스 제어 신호들(CONT_A, CONT_B)을 생성한다. 구체적으로, 상기 프리엠퍼시스 제어 신호 생성 회로(110)는 하프 레이트의 홀수 번째 입력 데이터(DATA_{ODD}[n], n은 자연수)와 짝수 번째 입력 데이터(DATA_{EVEN}[n], n은 자연수)를 입력받아 제 1 프리엠퍼시스 제어 신호(CONT_A)와 제 2 프리엠퍼시스 제어 신호(CONT_B)를 생성하기 위한 회로로서, 논리 회로(111)와 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)와 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)를 포함한다.

- [0028] 상기 논리 회로(111)는 클럭(CLK)이 인가되는 D 플립플롭(DFF)(111a), 복수의 인버터(111b 내지 111e) 및 복수의 AND 게이트(111f 내지 111i)를 포함한다. 이러한 논리 회로(111)는 홀수 번째 입력 데이터(DATA_{ODD}[n])와 짝수 번째 입력 데이터(DATA_{EVEN}[n])를 입력받는다. 여기서, 상기 짝수 번째 입력 데이터(DATA_{EVEN}[n])가 D 플립플롭(111a)의 입력단으로 입력되면, D 플립플롭(111a)은 클럭(CLK)을 이용하여 짝수 번째 입력 데이터(DATA_{EVEN}[n])를 1주기 지연한 지연 데이터(DATA_{EVEN}[n-1])를 D 플립플롭(111a)의 출력단으로 출력한다. 그리고, 상기 지연 데이터(DATA_{EVEN}[n-1])와 홀수 번째 입력 데이터(DATA_{ODD}[n])와 짝수 번째 입력 데이터(DATA_{EVEN}[n]) 중 어느 하나가 복수의 인버터(111b 내지 111e)로 입력되면, 복수의 인버터(111b 내지 111e)는 인버터 출력 데이터들을 출력한다. 그리고, 상기 지연 데이터(DATA_{EVEN}[n-1])와 홀수 번째 입력 데이터(DATA_{ODD}[n])와 짝수 번째 입력 데이터(DATA_{EVEN}[n]) 중 어느 하나와 복수의 인버터(111b 내지 111e)로부터 출력되는 인버터 출력 데이터들 중 어느 하나가 복수의 AND 게이트(111f 내지 111i)에 입력되면, 복수의 AND 게이트(111f 내지 111i)는 AND 게이트 출력 데이터들을 출력한다.
- [0029] 위와 같은 지연 데이터(DATA_{EVEN}[n-1]), 홀수 번째 입력 데이터(DATA_{ODD}[n]), 짝수 번째 입력 데이터(DATA_{EVEN}[n])는 논리 회로(111)와 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)와 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)를 통해 프리엠퍼시스 제어 신호들(CONT_A, CONT_B)로 생성된다. 한편, 하프 레이트의 데이터 통신용 송신기(100) 뿐 아니라 1/N 레이트의 데이터 통신용 송신기에서 3개의 신호를 N개의 병렬 데이터를 통해 추출하면 프리엠퍼시스를 구현할 수 있다. 예를 들어, 1/3 레이트의 병렬 데이터를 사용한다면 3개의 병렬 데이터가 각각 순서대로 지연 데이터(DATA_{EVEN}[n-1]), 홀수 번째 입력 데이터(DATA_{ODD}[n]), 짝수 번째 입력 데이터(DATA_{EVEN}[n])의 역할을 하게 된다.
- [0030] 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)의 논리 회로(111)는 하프 레이트(1/2)의 데이터를 받아 프리엠퍼시스 제어 신호들(CONT_A, CONT_B)을 생성하기 위한 회로로서, 풀 레이트의 데이터에 맞추어 신호를 생성해야 최종 출력 드라이버(130)에서 정확한 동작이 구현되게 할 수 있다. 이에 따라, 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)와 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)가 필요하다.
- [0031] 상기 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)와 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)는 논리 회로(111)의 복수의 AND 게이트(111f 내지 111i)로부터 출력되는 AND 게이트 출력 데이터로부터 프리엠퍼시스 제어 신호들(CONT_A, CONT_B)을 생성한다.
- [0032] 구체적으로, 상기 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)는 논리 회로(111)의 복수의 AND 게이트(111f, 111g)로부터 출력되는 AND 게이트 데이터들을 직렬화하여 제 1 프리엠퍼시스 제어 신호(CONT_A)를 생성하고 출력한다. 상기 제 1 프리엠퍼시스 제어 신호(CONT_A)는 도 3을 참조하면 데이터용 직렬화기(120)로부터 출력되는 데이터(DATA)가 양방향(positive) 전환(Transition)을 하면 직렬 데이터(DATA)의 1주기 펄스폭을 가지는 하이 신호(High)를 출력하는 신호로서, 직렬 데이터(DATA)가 양방향 전환시 프리엠퍼시스가 되는 타이밍을 나타낸다.
- [0033] 상기 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)는 논리 회로(111)의 복수의 AND 게이트(111h, 111i)로부터 출력되는 AND 게이트 데이터들을 직렬화하여 제 2 프리엠퍼시스 제어 신호(CONT_B)를 생성하고 출력한다. 상기 제 2 프리엠퍼시스 제어 신호(CONT_B)는 도 3을 참조하면 데이터용 직렬화기(120)로부터 출력되는 직렬 데이터(DATA)가 음방향(negative) 전환(Transition)을 하면 직렬 데이터(DATA)의 1주기 펄스폭을 가지는 로우 신호(LOW)를 출력하는 신호로서, 직렬 데이터(DATA)가 음방향 전환시 프리엠퍼시스가 되는 타이밍을 나타낸다.
- [0034] 상기와 같은 논리 회로(111), 제 1 프리엠퍼시스 제어 신호용 직렬화기(112) 및 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)는 종래의 데이터 통신용 송신기의 출력 드라이버에서 소모되는 소모 전류에 비해 매우 적은 양의 소모 전류를 소모하기 때문에, 전체 전류 소모의 감소를 가능하게 한다.
- [0035] 상기 데이터용 직렬화기(120)는 데이터 통신용 송신기(100)의 입력단으로 입력되는 하프 레이트의 입력 데이터(DATA_{ODD}[n], DATA_{EVEN}[n])를 직렬화하여 풀 레이트의 직렬 데이터(DATA)를 생성하고 출력한다. 구체적으로, 상기 데이터용 직렬화기(120)는 하프 레이트의 홀수 번째 입력 데이터(DATA_{ODD}[n])와 짝수 번째 입력 데이터(DATA_{EVEN}[n])로부터 풀 레이트의 직렬 데이터(DATA)인 제 1 차동 신호(DATAP[n])와 제 2 차동 신호(DATAN[n])를

생성하고 출력한다.

- [0036] 상기 출력 드라이버(130)는 데이터용 직렬화기(120)로부터 풀 레이트의 데이터(DATA)를 입력받고, 제 1 프리엠퍼시스 제어 신호용 직렬화기(112)로부터 제 1 프리엠퍼시스 제어 신호(CONT_A)를 입력받으며, 제 2 프리엠퍼시스 제어 신호용 직렬화기(113)로부터 제 2 프리엠퍼시스 제어 신호(CONT_B)를 입력받아 동작하여 최종적으로 프리엠퍼시스된 출력 데이터들(DATA_OUTP, DATA_OUTN)을 출력한다. 상기 프리엠퍼시스된 출력 데이터들(DATA_OUTP, DATA_OUTN)은 도시되진 않았지만 데이터 통신용 송신기(100)의 출력단으로부터 출력되고 채널을 통과하여 데이터 통신용 수신기의 입력단에 입력된다.
- [0037] 이러한 출력 드라이버(130)에 대해서는 도 4를 통해 자세히 살펴보기로 한다.
- [0038] 도 4는 도 2의 출력 드라이버의 구조를 보여주는 회로도이다. 도 4에서는, 상기 출력 드라이버(130)가 전류 모드 로직(Current Mode Logic)으로 구성된 것으로 도시되었다.
- [0039] 도 4를 참조하면, 상기 출력 드라이버(130)는 제 1 차동 신호(DATAP[n])와 제 2 차동 신호(DATAN[n]) 각각이 게이트로 입력되는 제 1 트랜지스터(131)와 제 2 트랜지스터(132), 상기 제 1 트랜지스터(131)와 제 2 트랜지스터(132) 각각의 드레인과 전원 전압(V_{DD}) 사이에 각각 연결된 제 1 저항(133)과 제 2 저항(134), 제 1 트랜지스터(131)와 제 2 트랜지스터(132) 각각의 소스와 접지전압 사이에 연결된 전류원(135), 제 1 저항(133)과 전원 전압(V_{DD}) 사이에 서로 병렬로 연결된 제 1 스위치(136)와 제 2 스위치(137), 및 제 2 저항(134)과 전원 전압(V_{DD}) 사이에 서로 병렬로 연결된 제 3 스위치(138)와 제 4 스위치(139)를 포함한다.
- [0040] 상기 제 1 스위치(136)는 제 1 프리엠퍼시스 제어 신호(CONT_A)의 인가에 의해 스위칭되며, 제 2 스위치(137)는 제 2 프리엠퍼시스 제어 신호(CONT_B)의 인가에 의해 스위칭된다. 상기 제 3 스위치(138)는 제 1 프리엠퍼시스 제어 신호(CONT_A)의 반전 신호인 제 1 반전 신호(CONTB_A)의 인가에 의해 스위칭되며, 제 4 스위치(139)는 제 2 프리엠퍼시스 제어 신호(CONT_B)의 반전 신호인 제 2 반전 신호(CONTB_B)의 인가에 의해 스위칭된다. 상기 제 1 반전 신호(CONTB_A)는 제 1 프리엠퍼시스 제어 신호(CONT_A)가 인가되어 제 1 스위치(136)를 온 시킬 때 제 3 스위치(138)를 오프시켜, 제 1 스위치(136)와 제 3 스위치(138)가 서로 반대 동작을 하게 한다. 또한, 상기 제 2 반전 신호(CONTB_B)는 제 2 프리엠퍼시스 제어 신호(CONT_B)가 인가되어 제 2 스위치(137)을 온 시킬 때 제 4 스위치(139)를 오프시켜, 제 2 스위치(137)와 제 4 스위치(139)가 서로 반대 동작을 하게 한다.
- [0041] 위와 같은 구성을 가지는 출력 드라이버(130)는 제 1 트랜지스터(131)가 온된 상태에서 제 1 스위치(136)와 제 2 스위치(137)가 오프되면 제 3 스위치(138)와 제 4 스위치(139)는 온되어 도 3의 드라이버 출력(driver output)에서 ①의 파형을 구현하는 포지티브 프리엠퍼시스 동작을 하며, 이때 Iss,main의 전류만을 소모한다.
- [0042] 그리고, 상기 출력 드라이버(130)는 제 1 트랜지스터(131)가 온된 상태에서 제 1 스위치(136)가 온되고 제 2 스위치(137)가 오프되면 제 3 스위치(138)는 오프되고 제 4 스위치(139)는 온되어 도 3의 드라이버 출력(driver output)에서 ②의 파형을 구현하는 노멀 하이 레벨 동작을 하는 경우 1/2 Iss,main의 전류를 소모한다.
- [0043] 그리고, 상기 출력 드라이버(130)는 제 2 트랜지스터(132)가 온된 상태에서 제 1 스위치(136)와 제 2 스위치(137)가 온되면 제 3 스위치(138)와 제 4 스위치(139)는 오프되어 도 3의 드라이버 출력(driver output)에서 ③의 파형을 구현하는 네거티브 프리엠퍼시스 동작을 하며, 이때 Iss,main의 전류만을 소모한다.
- [0044] 그리고, 상기 출력 드라이버(130)는 제 2 트랜지스터(132)가 온된 상태에서 제 1 스위치(136)가 온되고 제 2 스위치(137)가 오프되면 제 3 스위치(138)는 오프되고 제 4 스위치(139)는 온되어 도 3의 드라이버 출력(driver output)에서 ④의 파형을 구현하는 노멀 로우 레벨 동작을 하는 경우 1/2 Iss,main의 전류를 소모한다.
- [0045] 이로부터, 출력 드라이버(130)가 프리엠퍼시스 동작을 하는 경우 Iss, main의 전류만을 소모하여, 종래의 출력 드라이버(도 1의 30)가 프리엠퍼시스 동작을 하는 경우 2Iss의 전류를 소모하는 경우보다 전력 소모를 줄일 수 있음을 알 수 있다.
- [0046] 또한, 위와 같은 구성을 가지는 상기 출력 드라이버(130)는 프리엠퍼시스 제어 신호들인 제 1 프리엠퍼시스 제어 신호(CONT_A)와 제 2 프리엠퍼시스 제어 신호(CONT_B)들의 인가 여부를 통해 제 1 스위치(136)와 제 2 스위치(137)의 스위칭 전류 비율을 조절하여 풀 레이트의 데이터(DATA)에 적용되는 프리엠퍼시스의 레벨(즉, 데이터용 수신기의 앞단에 연결된 부하 저항에 걸리는 전압의 크기)을 조절할 수 있다. 즉, 상기 출력 드라이버(130)는

다양한 레벨의 프리엠퍼시스를 구현하기 위해서 제 1 스위치(136)와 제 2 스위치(137)를 100% 온(on) 및 오프(off)시키는 것이 아니라, 제 1 스위치(136)와 제 2 스위치(137)를 일부분만 온(on) 시키고 오프(off) 시킴으로써 풀 레이트의 데이터(DATA)에 적용되는 프리엠퍼시스의 레벨을 조절할 수 있다. 예를 들어, 제 1 스위치(136)와 제 2 스위치(137)가 100% 온(on) 및 오프(off)되면, 풀 레이트의 데이터(DATA)에 적용되는 프리엠퍼시스의 레벨은 100%로 최대 진폭을 가지게 된다. 반면, 제 1 스위치(136)와 제 2 스위치(137)가 50%로 온(on) 되고 오프(off)되어 1/2의 전류를 흐르게 하면(온 상태에서는 100%의 전류를 흐르게 하고 오프 상태에서는 50%의 전류를 흐르게 하면), 풀 레이트의 데이터(DATA)에 적용되는 프리엠퍼시스의 레벨은 50%로 최대 진폭을 가지게 된다.

[0047] 상기와 같이 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)는 기존의 프리엠퍼시스용 추가 전류탭의 사용 없이 간단한 프리엠퍼시스 제어 신호 생성 회로(110)와 데이터용 직렬화기(120)를 출력 드라이버(130)에 연결시킴으로써, 기존 추가 전류탭에서 소모되는 전류를 제거하여 전력 소모를 줄이면서 출력 드라이버(130)가 프리엠퍼시스 기능을 구현하게 할 수 있다.

[0048] 또한, 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)는 출력 드라이버(130)에 포함된 제 1 스위치(136)와 제 2 스위치(137)의 스위칭 전류 비율을 조절하여 풀 레이트의 데이터(DATA)에 적용되는 프리엠퍼시스의 레벨을 100% 이하 또는 100% 이상으로 다양하게 조절할 수 있다. 따라서, 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)는 다양한 채널 환경에 최적화된 프리엠퍼시스된 출력 데이터를 출력할 수 있다.

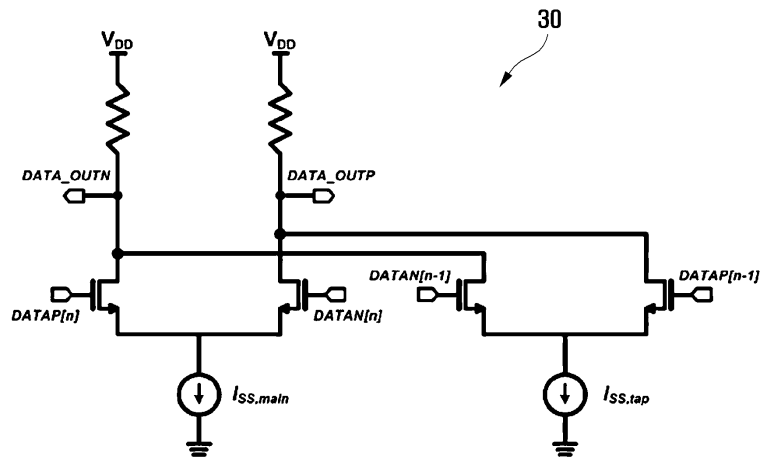
[0049] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

부호의 설명

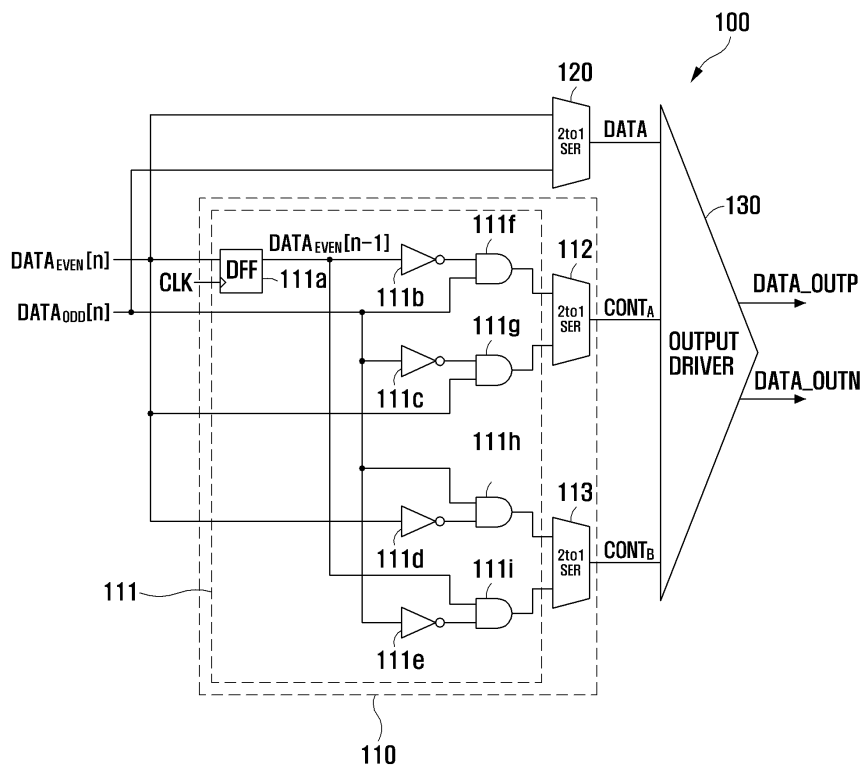
- [0050]
- 100: 데이터 통신용 송신기
 - 110: 프리엠퍼시스 제어 신호 생성 회로
 - 111: 논리 회로
 - 112: 제 1 프리엠퍼시스 제어 신호용 직렬화기
 - 113: 제 2 프리엠퍼시스 제어 신호용 직렬화기
 - 120: 데이터용 직렬화기
 - 130: 출력 드라이버
 - 131: 제 1 트랜지스터
 - 132: 제 2 트랜지스터
 - 133: 제 1 저항
 - 134: 제 2 저항
 - 135: 전류원
 - 136: 제 1 스위치
 - 137: 제 2 스위치
 - 138: 제 1 반전 스위치
 - 139: 제 2 반전 스위치

도면

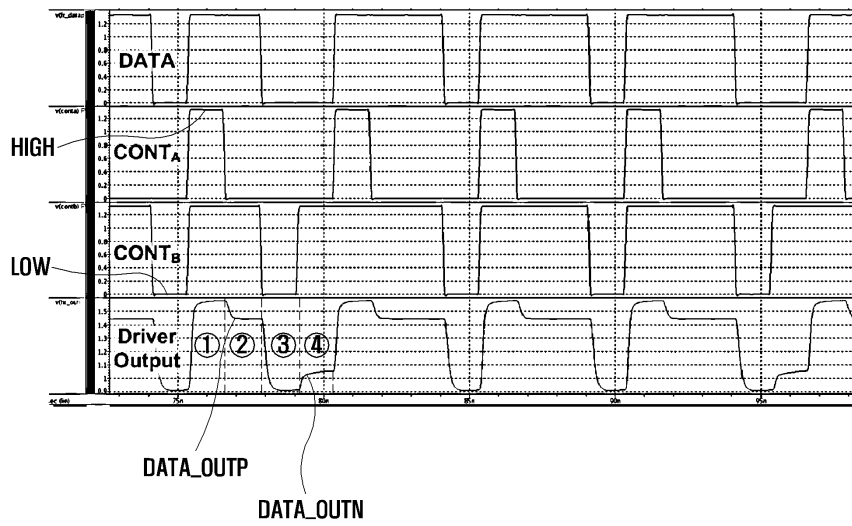
도면1



도면2



도면3



도면4

