



一种 TFT 基板的制作方法及制得的 TFT 基板，通过在第一源极(51)与漏极(53)之间设置第一沟道区(41)与第一轻掺杂补偿区(43)，在第二源极(52)与漏极(53)之间设置第二沟道区(42)与第二轻掺杂补偿区(44)，且该漏极(53)和第二源极(52)分别与栅极(20)之间形成第一重叠区(510)和第二重叠区(520)，从而使得从第一、第二源极(51、52)流向漏极(53)的电流与从漏极(53)流向第一、第二源极(51、52)的电流所经过的路径相同，即从源极(90)到漏极(53)与从漏极(53)到源极(90)的电流路径相同，从而实现了 TFT 结构的对称性，在实际工作中将漏极(53)与源极(90)互换使用也不会影响流过 TFT 器件的电流，提升了 TFT 器件的电学性能。

TFT 基板的制作方法及其制得的 TFT 基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 TFT 基板的制作方法及其制得的 TFT 基板。

背景技术

OLED 是一种极具发展前景的平板显示技术，它具有十分优异的显示性能，特别是自发光、结构简单、超轻薄、响应速度快、宽视角、低功耗及可实现柔性显示等特性，被誉为“梦幻显示器”，再加上其生产设备投资远小于 TFT-LCD，得到了各大显示器厂家的青睐，已成为显示技术领域中第三代显示器件的主力军。目前 OLED 已处于大规模量产的前夜，随着研究的进一步深入，新技术的不断涌现，OLED 显示器件必将有一个突破性的发展。

15 OLED 按照驱动方式可以分为无源矩阵型 OLED (Passive Matrix OLED, PMOLED) 和有源矩阵型 OLED (Active Matrix OLED, AMOLED) 两大类，即直接寻址和薄膜晶体管矩阵寻址两类。其中，AMOLED 具有呈阵列式排布的像素，属于主动显示类型，发光效能高，通常用作高清晰度的大尺寸显示装置。

20 目前，AMOLED 正在逐步走向成熟，在 AMOLED 中，需要以电流作为驱动，低温多晶硅 (Low Temperature Poly-Silicon, LTPS) 具有较大的迁移率，以其为有源层制作的薄膜晶体管 (Thin Film Transistor, TFT) 可以满足 AMOLED 的电流驱动模式。低温多晶硅薄膜晶体管 (LTPS TFT) 具有较高的迁移率，可以得到比较高的开态电流，但是由于 LTPS 中晶粒存在造成的缺陷，会导致 LTPS TFT 在关态时会出现较高的关态电流。为了减小 LTPS TFT 的关态电流，可以采用轻掺杂补偿 (Lightly Doped Offset) 结构。Offset 结构目前已被研究的较多，但是 offset 结构形成高阻区会降低 LTPS TFT 的开态电流，为了获得较高的开态电流，可以对 offset 结构进行改进。

30 在具有 offset 结构的 LTPS TFT 中，为了减小高阻区对开态电流的影响，可以在 TFT 中增加重叠 (overlap) 结构，即源电极或漏电极与栅电极存在重叠区域，可以降低沟道长度和减小高阻区域，进而会提高开态电流。在 LTPS TFT 中，源电极或者漏电极分别采用 offset 和 overlap 结构，可以实现较小的关态电流，同时开态电流受到影响较小。但是，在一个 LTPS TFT

中，在源电极和漏电极分别采用 offset 和 overlap 结构时，会导致 TFT 结构出现不对称性，TFT 在实际工作中，源电极或者漏电极互换时会因器件的不对称性而影响流过器件的电流。

5 发明内容

本发明的目的在于提供一种 TFT 基板的制作方法，通过将栅极、以及源极或漏极设计为 U 形结构，使得 TFT 中的电流从漏极到源极或者从源极到漏极的通路均需通过两个 offset 结构与两个 overlap 结构，不仅可以降低关态电流，提高开态电流，而且电流通路还具有对称性，避免了器件结构不对称对 LTPS TFT 中电流通路的影响，提升了 TFT 器件的电学性能。

本发明的目的还在于提供一种 TFT 基板，TFT 中的电流从漏极到源极或者从源极到漏极的通路均需通过两个 offset 结构与两个 overlap 结构，不仅可以降低关态电流，提高开态电流，而且电流通路还具有对称性，避免了器件结构不对称对 LTPS TFT 中电流通路的影响，提升了 TFT 器件的电学性能。

为实现上述目的，本发明提供一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上形成栅极，所述栅极为 U 形结构，包括第一竖直部、第二竖直部、以及连接第一与第二竖直部对应端部的横向连接部；

步骤 2、在所述栅极及基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积非晶硅，得到非晶硅薄膜，采用低温结晶工艺将所述非晶硅薄膜转化为多晶硅薄膜，采用一道光罩对所述多晶硅薄膜进行图形化处理，得到有源层；

步骤 3、对整个有源层进行离子轻掺杂；对所述有源层上的部分区域进行离子重掺杂，对应该部分区域形成漏极接触区以及分别位于所述漏极接触区的两侧且与其间隔一定距离的第一源极接触区与第二源极接触区；

其中，所述漏极接触区的左侧与所述栅极的第一竖直部的右侧部分重叠；所述第二源极接触区的左侧与所述栅极的第二竖直部的右侧部分重叠；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第一竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧

边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

步骤 4、在所述有源层上分别对应第一源极接触区、第二源极接触区、及漏极接触区的位置形成第一源极、第二源极、及漏极，且所述漏极的左侧与所述栅极的第一竖直部的右侧之间形成第一重叠区，所述第二源极的
5 左侧与所述栅极的第二竖直部的右侧之间形成第二重叠区；

步骤 5、在所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上沉积钝化保护层，采用一道光罩对所述钝化保护层进行图形化处理，分别对应于所述第一源极、第二源极、漏极上方形成第一通孔、第二通孔、及第三通孔；

10 步骤 6、在所述钝化保护层上沉积导电层，采用一道光罩对所述导电层进行图形化处理，得到第一接触电极、第二接触电极、第三接触电极、及连接导线，所述第一、第二接触电极分别经由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三通孔与漏极相接触；

所述连接导线将所述第一与第二接触电极连接在一起，由于所述第一、第二接触电极分别与所述第一、第二源极相连，从而将所述第一、第二源极连接在一起，形成一 U 形的源极，从而制得一 TFT 基板。
15

所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽度相等。

所述步骤 3 中，对整个有源层进行 N 型离子轻掺杂，对应所述第一源极接触区、第二源极接触区、及漏极接触区的位置对所述有源层进行 P 型离子重掺杂；或者，对整个有源层进行 P 型离子轻掺杂，对应所述第一源极接触区、第二源极接触区、及漏极接触区的位置对所述有源层进行 N 型离子重掺杂。
20

所述栅极的制备方法为：通过在基板上沉积金属层，采用一道光罩对该金属层进行图形化处理，得到栅极；或者为：通过在基板上形成多晶硅层，对该多晶硅层进行 N 型掺杂后，采用一道光罩对 N 型掺杂多晶硅层进行图形化处理，得到栅极；
25

所述第一源极、第二源极、及漏极的制备方法为：通过在有源层及栅极绝缘层上沉积金属层，采用一道光罩对该金属层进行图形化处理，得到第一源极、第二源极、及漏极；或者为：通过在有源层及栅极绝缘层上形成多晶硅层，对该多晶硅层进行 N 型掺杂后，采用一道光罩对 N 型掺杂多晶硅层进行图形化处理，得到第一源极、第二源极、及漏极。
30

所述第一、第二、第三接触电极、及连接导线的材料均为透明导电金属氧化物。

本发明还提供一种 TFT 基板，包括一基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层上的第一源极、第二源极、及漏极、设于所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、第三接触电极、及连接导线；

所述栅极为 U 形结构，包括第一竖直部、第二竖直部、以及连接第一与第二竖直部对应端部的横向连接部；

所述有源层上设有漏极接触区以及分别位于所述漏极接触区两侧且与其间隔一定距离的第一源极接触区与第二源极接触区；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第一竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

所述第一源极、第二源极、及漏极分别对应第一源极接触区、第二源极接触区、漏极接触区设于所述有源层上；且所述漏极的左侧与所述栅极的第一竖直部的右侧之间形成第一重叠区，所述第二源极的左侧与所述栅极的第二竖直部的右侧之间形成第二重叠区；

所述钝化保护层上设有分别对应于所述第一源极、第二源极、漏极上方的第一通孔、第二通孔、及第三通孔，所述第一、第二接触电极分别经由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三通孔与漏极相接触；所述第一接触电极、第二接触电极通过连接导线连接在一起，从而将所述第一、第二源极连接在一起，形成一 U 形的源极。

所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽度相等。

所述第一源极接触区、第二源极接触区、漏极接触区为 N 型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第二沟道区为 P 型轻掺杂区；或者，所述第一源极接触区、第二源极接触区、漏极接触区为 P 型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第二沟道区为 N 型轻掺杂区。

所述栅极、第一源极、第二源极、及漏极为金属层或者 N 型掺杂多晶硅层。

所述第一、第二、第三接触电极、及连接导线的材料均为透明导电金属氧化物。

本发明还提供一种 TFT 基板，包括一基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、
5 设于所述有源层上的第一源极、第二源极、及漏极、设于所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、第三接触电极、及连接导线；

所述栅极为 U 形结构，包括第一竖直部、第二竖直部、以及连接第一
10 与第二竖直部对应端部的横向连接部；

所述有源层上设有漏极接触区以及分别位于所述漏极接触区两侧且与其间隔一定距离的第一源极接触区与第二源极接触区；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一
15 竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第一竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

所述第一源极、第二源极、及漏极分别对应第一源极接触区、第二源
20 极接触区、漏极接触区设于所述有源层上；且所述漏极的左侧与所述栅极的第一竖直部的右侧之间形成第一重叠区，所述第二源极的左侧与所述栅极的第二竖直部的右侧之间形成第二重叠区；

所述钝化保护层上设有分别对应于所述第一源极、第二源极、漏极上
25 方的第一通孔、第二通孔、及第三通孔，所述第一、第二接触电极分别经由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三通孔与漏极相接触；所述第一接触电极、第二接触电极通过连接导线连接在一起，从而将所述第一、第二源极连接在一起，形成一 U 形的源极；

其中，所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补
30 偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽度相等；

其中，所述第一源极接触区、第二源极接触区、漏极接触区为 N 型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第二沟道区为 P 型轻掺杂区；或者，所述第一源极接触区、第二源极接触区、漏极接触区为 P 型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、

第一沟道区、及第二沟道区为 N 型轻掺杂区。

本发明的有益效果：本发明提供的一种 TFT 基板的制作方法，通过在
第一源极与漏极之间设置第一沟道区与第一轻掺杂补偿区，在第二源极与
漏极之间设置第二沟道区与第二轻掺杂补偿区，且所述漏极和第二源极分
5 别与所述栅极之间形成第一重叠区和第二重叠区，从而使得从第一、第二
源极流向漏极的电流与从漏极流向第一、第二源极的电流所经过的路径相
同，即从源极到漏极与从漏极到源极的电流路径相同，从而实现了 TFT 结
构的对称性，在实际工作中将漏极与源极互换使用也不会影响流过 TFT 器
件的电流，提升了 TFT 器件的电学性能。本发明制得的 TFT 基板，TFT 中
10 的电流从漏极到源极或者从源极到漏极的通路均需通过两个 offset 结构与
两个 overlap 结构，不仅可以降低关态电流，提高开态电流，而且电流通路
具有对称性，避免了器件结构不对称对 LTPS TFT 中电流通路的影响，提升
了 TFT 器件的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本
15 发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发
明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明
20 的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明的 TFT 基板的制作方法的流程图；

图 2-3 为本发明的 TFT 基板的制作方法的步骤 1 的示意图；

图 4-5 为本发明的 TFT 基板的制作方法的步骤 3 的示意图；

25 图 6-7 为本发明的 TFT 基板的制作方法的步骤 4 的示意图；

图 8-9 为本发明的 TFT 基板的制作方法的步骤 6 的示意图。

图 10 为本发明制得的 TFT 基板中源极为高电压时的电流方向示意图；

图 11 为本发明制得的 TFT 基板中漏极为高电压时的电流方向示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明
的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 2-3 所示，提供一基板 10，在所述基板 10 上形成栅极 20，

所述栅极 20 为 U 形结构, 包括第一竖直部 21、第二竖直部 22、以及连接第一与第二竖直部 21、22 对应端部的横向连接部 23。

具体的, 所述栅极 20 的制备方法可以为: 通过在基板 10 上沉积金属层, 采用一道光罩对该金属层进行图形化处理, 得到栅极 20。

5 具体的, 所述金属层的材料为铝 (Al)、钼 (Mo)、铜 (Cu)、银 (Ag) 等金属材料。

具体的, 所述栅极 20 的制备方法还可以为: 通过在基板 10 上形成多晶硅层, 对该多晶硅层进行 N 型掺杂后, 采用一道光罩对 N 型掺杂多晶硅层进行图形化处理, 得到栅极 20。

10 步骤 2、请参阅图 4, 在所述栅极 20 及基板 10 上沉积栅极绝缘层 30, 在所述栅极绝缘层 30 上沉积非晶硅, 得到非晶硅薄膜, 采用低温结晶工艺将所述非晶硅薄膜转化为多晶硅薄膜, 采用一道光罩对所述多晶硅薄膜进行图形化处理, 得到有源层 40。

具体的, 所述栅极绝缘层 30 可以为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

15 具体的, 所述低温结晶工艺优选为固相结晶法 (SPC, Solid Phase Crystallization)。

步骤 3、如图 4-5 所示, 对整个有源层 40 进行离子轻掺杂; 对所述有源层 40 上的部分区域进行离子重掺杂, 对应该部分区域形成漏极接触区 47 以及分别位于所述漏极接触区 47 的两侧且与其间隔一定距离的第一源极接触区 45 与第二源极接触区 46;

其中, 所述漏极接触区 47 的左侧与所述栅极 20 的第一竖直部 21 的右侧部分重叠; 所述第二源极接触区 46 的左侧与所述栅极 20 的第二竖直部 22 的右侧部分重叠;

25 所述有源层 40 上位于所述第一源极接触区 45 的右侧边缘与所述栅极 20 的第一竖直部 21 的左侧边缘之间的区域形成第一轻掺杂补偿 (Lightly Doped Offset) 区 43, 位于所述栅极 20 的第一竖直部 21 的左侧边缘与所述漏极接触区 47 的左侧边缘之间的区域形成第一沟道区 41, 位于所述漏极接触区 47 的右侧边缘与所述栅极 20 的第二竖直部 22 的左侧边缘之间的区域形成第二轻掺杂补偿区 44, 位于所述栅极 20 的第二竖直部 22 的左侧边缘与第二源极接触区 46 的左侧边缘之间的区域形成第二沟道区 42。

具体的, 所述第一沟道区 41 与第二沟道区 42 的宽度相等, 所述第一轻掺杂补偿区 43 与第二轻掺杂补偿区 44 的宽度相等。

具体的, 所述步骤 3 中, 对整个有源层 40 进行 N 型离子轻掺杂, 对应

所述第一源极接触区 45、第二源极接触区 46、及漏极接触区 47 的位置对所述有源层 40 进行 P 型离子重掺杂；或者，对整个有源层 40 进行 P 型离子轻掺杂，对应所述第一源极接触区 45、第二源极接触区 46、及漏极接触区 47 的位置对所述有源层 40 进行 N 型离子重掺杂；

5 优选的，所述 N 型离子为磷离子或砷离子；所述 P 型离子为硼离子或镓离子。

步骤 4、如图 6-7 所示，在所述有源层 40 上分别对应第一源极接触区 45、第二源极接触区 46、及漏极接触区 47 的位置形成第一源极 51、第二源极 52、及漏极 53，且所述漏极 53 的左侧与所述栅极 20 的第一竖直部 21 的右侧之间形成第一重叠（overlap）区 510，所述第二源极 52 的左侧与所
10 述栅极 20 的第二竖直部 21 的右侧之间形成第二重叠区 520。

具体的，所述第一重叠区 510 和第二重叠区 520 的宽度相等。

具体的，所述第一源极 51、第二源极 52、及漏极 53 的制备方法可以为：通过在有源层 40 及栅极绝缘层 30 上沉积金属层，采用一道光罩对该
15 金属层进行图形化处理，得到第一源极 51、第二源极 52、及漏极 53。

具体的，所述金属层的材料为铝（Al）、钼（Mo）、铜（Cu）、银（Ag）等金属材料。

具体的，所述第一源极 51、第二源极 52、及漏极 53 的制备方法还可以为：通过在有源层 40 及栅极绝缘层 30 上形成多晶硅层，对该多晶硅层
20 进行 N 型掺杂后，采用一道光罩对 N 型掺杂多晶硅层进行图形化处理，得到第一源极 51、第二源极 52、及漏极 53。

具体的，所述第一轻掺杂补偿区 43 与第二轻掺杂补偿区 44 形成高阻区，可降低 LTPS TFT 的关态电流。所述第一重叠区 510 与第二重叠区 520 可以降低 LTPS TFT 的沟道长度和减小高阻区域，进而提高开态电流。

25 步骤 5、请参阅图 8，在所述第一源极 51、第二源极 52、漏极 53、有源层 40、及栅极绝缘层 30 上沉积钝化保护层 60，采用一道光罩对所述钝化保护层 60 进行图形化处理，分别对应于所述第一源极 51、第二源极 52、漏极 53 上方形成第一通孔 61、第二通孔 62、及第三通孔 63。

具体的，所述钝化保护层 60 可以为氧化硅（ SiO_x ）层、氮化硅（ SiN_x ）
30 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

步骤 6、如图 8 所示，在所述钝化保护层 60 上沉积导电层，采用一道光罩对所述导电层进行图形化处理，得到第一接触电极 71、第二接触电极 72、及第三接触电极 73、及连接导线 80，所述第一、第二接触电极 71、72 分别经由第一、第二通孔 61、62 与第一、第二源极 51、52 相接触，所述

第三接触电极 73 经由第三通孔 63 与漏极 53 相接触；

如图 9 所示，所述连接导线 80 将所述第一与第二接触电极 71、72 连接在一起，由于所述第一、第二接触电极 71、72 分别与所述第一、第二源极 51、52 相连，从而将所述第一、第二源极 51、52 连接在一起，形成一 U 形的源极 90，从而制得一 TFT 基板。

具体的，所述第一、第二、第三接触电极 71、72、73、及连接导线 80 的材料均为透明导电金属氧化物，优选为 ITO（氧化铟锡）。

具体的，所述第一、第二、第三接触电极 71、72、73 的用途之一为作为引线将所述第一、第二源极 51、52、及漏极 53 接至数据线，用途之二为作为测试位点，来测试所述第一源极 51、第二源极 52、及漏极 53 的电压信号。

如图 10 所示，当所述 TFT 基板中源极 90 为高电压时，从源极 90 流向漏极 53 的电流包括两个分支电流，分别为从第一源极 51 流向漏极 53 的第一分支电流与从第二源极 52 流向漏极 53 的第二分支电流，其中，所述第一分支电流流经第一轻掺杂补偿区 43、第一沟道区 41、及第一重叠区 510，所述第二分支电流流经第二重叠区 520、第二沟道区 42、及第二轻掺杂补偿区 44；

如图 11 所示，当所述 TFT 基板中漏极 53 为高电压时，从所述漏极 53 流向所述源极 90 的电流包括两个分支电流，分别为从漏极 53 流向第一源极 51 的第三分支电流与从漏极 53 流向第二源极 52 的第四分支电流，其中，所述第三分支电流流经第一重叠区 510、第一沟道区 41、及第一轻掺杂补偿区 43，所述第二分支电流流经第二轻掺杂补偿区 44、第二沟道区 42、及第二重叠区 520；

由于所述第一沟道区 41 与第二沟道区 42 的宽度相等，所述第一轻掺杂补偿区 43 与第二轻掺杂补偿区 44 的宽度相等，所述第一重叠区 510 和第二重叠区 520 的宽度相等，因此从源极 90 流向漏极 53 的两个分支电流的路径与从漏极 53 流向源极 90 的两个分支电流的路径实质相同，从而保证了 TFT 器件的对称性，在实际工作中将漏极 53 与源极 90 互换使用也不会影响流过 TFT 器件的电流。

上述 TFT 基板的制作方法，通过在第一源极 51 与漏极 53 之间设置第一沟道区 41 与第一轻掺杂补偿区 43，在第二源极 52 与漏极 53 之间设置第二沟道区 42 与第二轻掺杂补偿区 44，且所述漏极 53 和第二源极 52 分别与所述栅极 20 之间形成第一重叠区 510 和第二重叠区 520，从而使得从第一、第二源极 51、52 流向漏极 53 的电流与从漏极 53 流向第一、第二源极 51、

52 的电流所经过的路径相同，即从源极 90 到漏极 53 与从漏极 53 到源极 90 的电流路径相同，从而实现了 TFT 结构的对称性，在实际工作中将漏极 53 与源极 90 互换使用也不会影响流过 TFT 器件的电流，提升了 TFT 器件的电学性能。

5 请参阅图 8-9，同时参阅图 4-7，本发明还提供一种 TFT 基板，包括一基板 10、设于所述基板 10 上的栅极 20、设于所述栅极 20 及基板 10 上的栅极绝缘层 30、设于所述栅极绝缘层 30 上的有源层 40、设于所述有源层 40 上的第一源极 51、第二源极 52、及漏极 53、设于所述第一源极 51、第二源极 52、漏极 53、有源层 40、及栅极绝缘层 30 上的钝化保护层 60、以及
10 及设于所述钝化保护层 60 上的第一接触电极 71、第二接触电极 72、第三接触电极 73、及连接导线 80；

所述栅极 20 为 U 形结构，包括第一竖直部 21、第二竖直部 22、以及连接第一与第二竖直部 21、22 对应端部的横向连接部 23；

所述有源层 40 上设有漏极接触区 47 以及分别位于所述漏极接触区 47
15 的两侧且与其间隔一定距离的第一源极接触区 45 与第二源极接触区 46；

所述有源层 40 上位于所述第一源极接触区 45 的右侧边缘与所述栅极 20 的第一竖直部 21 的左侧边缘之间的区域形成第一轻掺杂补偿（Lightly Doped Offset）区 43，位于所述栅极 20 的第一竖直部 21 的左侧边缘与所述漏极接触区 47 的左侧边缘之间的区域形成第一沟道区 41，位于所述漏极接
20 触区 47 的右侧边缘与所述栅极 20 的第二竖直部 22 的左侧边缘之间的区域形成第二轻掺杂补偿区 44，位于所述栅极 20 的第二竖直部 22 的左侧边缘与所述第二源极接触区 46 的左侧边缘之间的区域形成第二沟道区 42。

所述第一源极 51、第二源极 52、及漏极 53 分别对应第一源极接触区 45、第二源极接触区 46、漏极接触区 47 设于所述有源层 40 上；且所述漏
25 极 53 的左侧与所述栅极 20 的第一竖直部 21 的右侧之间形成第一重叠（overlap）区 510，所述第二源极 52 的左侧与所述栅极 20 的第二竖直部 21 的右侧之间形成第二重叠区 520；

所述钝化保护层 60 上设有分别对应于所述第一源极 51、第二源极 52、漏极 53 上方的第一通孔 61、第二通孔 62、及第三通孔 63，所述第一、第
30 二接触电极 71、72 分别经由第一、第二通孔 61、62 与第一、第二源极 51、52 相接触，所述第三接触电极 73 经由第三通孔 63 与漏极 53 相接触；所述第一接触电极 71、第二接触电极 72 通过连接导线 80 连接在一起，从而将所述第一、第二源极 51、52 连接在一起，形成一 U 形的源极 90。

具体的，所述第一轻掺杂补偿区 43 与第二轻掺杂补偿区 44 形成高阻

区,可降低 LTPS TFT 的关态电流。所述第一重叠区 510 与第二重叠区 520 可以降低 LTPS TFT 的沟道长度和减小高阻区域,进而提高开态电流。

具体的,所述第一沟道区 41 与第二沟道区 42 的宽度相等,所述第一轻掺杂补偿区 43 与第二轻掺杂补偿区 44 的宽度相等,所述第一重叠区 510 5 和第二重叠区 520 的宽度相等。

具体的,所述栅极 20、第一源极 51、第二源极 52、及漏极 53 可以为金属层,也可以为 N 型掺杂多晶硅层。具体的,所述金属层的材料为铝 (Al)、钼 (Mo)、铜 (Cu)、银 (Ag) 等金属材料。

具体的,所述第一源极接触区 45、第二源极接触区 46、漏极接触区 47 10 为 N 型重掺杂区,所述第一轻掺杂补偿区 43、第二轻掺杂补偿区 44、第一沟道区 41、及第二沟道区 42 为 P 型轻掺杂区;或者,所述第一源极接触区 45、第二源极接触区 46、漏极接触区 47 为 P 型重掺杂区,所述第一轻掺杂补偿区 43、第二轻掺杂补偿区 44、第一沟道区 41、及第二沟道区 42 为 N 型轻掺杂区。

15 优选的,所述 N 型掺杂区中掺杂的离子为磷离子或砷离子;所述 P 型掺杂区中掺杂的离子为硼离子或镓离子。

具体的,所述栅极绝缘层 30、钝化保护层 60 可以为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的,所述第一、第二、第三接触电极 71、72、73、及连接导线 80 20 的材料均为透明导电金属氧化物,优选为 ITO (氧化铟锡)。

具体的,所述第一、第二、第三接触电极 71、72、73 的用途之一为作为引线将所述第一、第二源极 51、52、及漏极 53 接至数据线,用途之二为作为测试位点,来测试所述第一源极 51、第二源极 52、及漏极 53 的电压信号。

25 上述 TFT 基板,通过在第一源极 51 与漏极 53 之间设置第一沟道区 41 与第一轻掺杂补偿区 43,第二源极 52 与漏极 53 之间设置第二沟道区 42 与第二轻掺杂补偿区 44,且所述漏极 53 和第二源极 52 分别与所述栅极 20 之间形成第一重叠区 510 和第二重叠区 520,从而使得从第一、第二源极 51、52 流向漏极 53 的电流与从漏极 53 流向第一、第二源极 51、52 的电流所经过的路径相同,即从源极 90 到漏极 53 与从漏极 53 到源极 90 的电流路径 30 相同,从而实现了 TFT 结构的对称性,在实际工作中将漏极 53 与源极 90 互换使用也不会影响流过 TFT 器件的电流,提升了 TFT 器件的电学性能。

综上所述,本发明提供一种 TFT 基板的制作方法,通过在第一源极与漏极之间设置第一沟道区与第一轻掺杂补偿区,在第二源极与漏极之间

设置第二沟道区与第二轻掺杂补偿区，且所述漏极和第二源极分别与所述栅极之间形成第一重叠区和第二重叠区，从而使得从第一、第二源极流向漏极的电流与从漏极流向第一、第二源极的电流所经过的路径相同，即从源极到漏极与从漏极到源极的电流路径相同，从而实现了 TFT 结构的对称性，在实际工作中将漏极与源极互换使用也不会影响流过 TFT 器件的电流，提升了 TFT 器件的电学性能。本发明制得的 TFT 基板，TFT 中的电流从漏极到源极或者从源极到漏极的通路均需通过两个 offset 结构与两个 overlap 结构，不仅可以降低关态电流，提高开态电流，而且电流通路具有对称性，避免了器件结构不对称对 LTPS TFT 中电流通路的影响，提升了 TFT 器件的电学性能。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上形成栅极，所述栅极为 U 形结构，包括第一竖直部、第二竖直部、以及连接第一与第二竖直部对应端部的横向连接部；

步骤 2、在所述栅极及基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积非晶硅，得到非晶硅薄膜，采用低温结晶工艺将所述非晶硅薄膜转化为多晶硅薄膜，采用一道光罩对所述多晶硅薄膜进行图形化处理，得到有源层；

步骤 3、对整个有源层进行离子轻掺杂；对所述有源层上的部分区域进行离子重掺杂，对应该部分区域形成漏极接触区以及分别位于所述漏极接触区的两侧且与其间隔一定距离的第一源极接触区与第二源极接触区；

15 其中，所述漏极接触区的左侧与所述栅极的第一竖直部的右侧部分重叠；所述第二源极接触区的左侧与所述栅极的第二竖直部的右侧部分重叠；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第一竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

25 步骤 4、在所述有源层上分别对应第一源极接触区、第二源极接触区、及漏极接触区的位置形成第一源极、第二源极、及漏极，且所述漏极的左侧与所述栅极的第一竖直部的右侧之间形成第一重叠区，所述第二源极的左侧与所述栅极的第二竖直部的右侧之间形成第二重叠区；

步骤 5、在所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上沉积钝化保护层，采用一道光罩对所述钝化保护层进行图形化处理，分别对应于所述第一源极、第二源极、漏极上方形成第一通孔、第二通孔、及第三通孔；

30 步骤 6、在所述钝化保护层上沉积导电层，采用一道光罩对所述导电层进行图形化处理，得到第一接触电极、第二接触电极、第三接触电极、及连接导线，所述第一、第二接触电极分别经由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三通孔与漏极相接触；

所述连接导线将所述第一与第二接触电极连接在一起，由于所述第一、第二接触电极分别与所述第一、第二源极相连，从而将所述第一、第二源极连接在一起，形成一U形的源极，从而制得一TFT基板。

2、如权利要求1所述的TFT基板的制作方法，其中，所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽度相等。

3、如权利要求1所述的TFT基板的制作方法，其中，所述步骤3中，对整个有源层进行N型离子轻掺杂，对应所述第一源极接触区、第二源极接触区、及漏极接触区的位置对所述有源层进行P型离子重掺杂；或者，对整个有源层进行P型离子轻掺杂，对应所述第一源极接触区、第二源极接触区、及漏极接触区的位置对所述有源层进行N型离子重掺杂。

4、如权利要求1所述的TFT基板的制作方法，其中，所述栅极的制备方法为：通过在基板上沉积金属层，采用一道光罩对该金属层进行图形化处理，得到栅极；或者为：通过在基板上形成多晶硅层，对该多晶硅层进行N型掺杂后，采用一道光罩对N型掺杂多晶硅层进行图形化处理，得到栅极；

所述第一源极、第二源极、及漏极的制备方法为：通过在有源层及栅极绝缘层上沉积金属层，采用一道光罩对该金属层进行图形化处理，得到第一源极、第二源极、及漏极；或者为：通过在有源层及栅极绝缘层上形成多晶硅层，对该多晶硅层进行N型掺杂后，采用一道光罩对N型掺杂多晶硅层进行图形化处理，得到第一源极、第二源极、及漏极。

5、如权利要求1所述的TFT基板的制作方法，其中，所述第一、第二、第三接触电极、及连接导线的材料均为透明导电金属氧化物。

6、一种TFT基板，包括一基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层上的第一源极、第二源极、及漏极、设于所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、第三接触电极、及连接导线；

所述栅极为U形结构，包括第一竖直部、第二竖直部、以及连接第一与第二竖直部对应端部的横向连接部；

所述有源层上设有漏极接触区以及分别位于所述漏极接触区两侧且与其间隔一定距离的第一源极接触区与第二源极接触区；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第

一竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

- 5 所述第一源极、第二源极、及漏极分别对应第一源极接触区、第二源极接触区、漏极接触区设于所述有源层上；且所述漏极的左侧与所述栅极的第一竖直部的右侧之间形成第一重叠区，所述第二源极的左侧与所述栅极的第二竖直部的右侧之间形成第二重叠区；

- 10 所述钝化保护层上设有分别对应于所述第一源极、第二源极、漏极上方的第一通孔、第二通孔、及第三通孔，所述第一、第二接触电极分别经由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三通孔与漏极相接触；所述第一接触电极、第二接触电极通过连接导线连接在一起，从而将所述第一、第二源极连接在一起，形成一U形的源极。

- 15 7、如权利要求6所述的TFT基板，其中，所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽度相等。

- 20 8、如权利要求6所述的TFT基板，其中，所述第一源极接触区、第二源极接触区、漏极接触区为N型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第二沟道区为P型轻掺杂区；或者，所述第一源极接触区、第二源极接触区、漏极接触区为P型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第二沟道区为N型轻掺杂区。

- 9、如权利要求6所述的TFT基板，其中，所述栅极、第一源极、第二源极、及漏极为金属层或者N型掺杂多晶硅层。

- 25 10、如权利要求6所述的TFT基板，其中，所述第一、第二、第三接触电极、及连接导线的材料均为透明导电金属氧化物。

- 30 11、一种TFT基板，包括一基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层上的第一源极、第二源极、及漏极、设于所述第一源极、第二源极、漏极、有源层、及栅极绝缘层上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、第三接触电极、及连接导线；

所述栅极为U形结构，包括第一竖直部、第二竖直部、以及连接第一与第二竖直部对应端部的横向连接部；

所述有源层上设有漏极接触区以及分别位于所述漏极接触区两侧且与

其间隔一定距离的第一源极接触区与第二源极接触区；

所述有源层上位于所述第一源极接触区的右侧边缘与所述栅极的第一
5 竖直部的左侧边缘之间的区域形成第一轻掺杂补偿区，位于所述栅极的第一
竖直部的左侧边缘与所述漏极接触区的左侧边缘之间的区域形成第一沟
道区，位于所述漏极接触区的右侧边缘与所述栅极的第二竖直部的左侧边
缘之间的区域形成第二轻掺杂补偿区，位于所述栅极的第二竖直部的左侧
边缘与所述第二源极接触区的左侧边缘之间的区域形成第二沟道区；

所述第一源极、第二源极、及漏极分别对应第一源极接触区、第二源
极接触区、漏极接触区设于所述有源层上；且所述漏极的左侧与所述栅极
10 的第一竖直部的右侧之间形成第一重叠区，所述第二源极的左侧与所述栅
极的第二竖直部的右侧之间形成第二重叠区；

所述钝化保护层上设有分别对应于所述第一源极、第二源极、漏极上
方的第一通孔、第二通孔、及第三通孔，所述第一、第二接触电极分别经
由第一、第二通孔与第一、第二源极相接触，所述第三接触电极经由第三
15 通孔与漏极相接触；所述第一接触电极、第二接触电极通过连接导线连接
在一起，从而将所述第一、第二源极连接在一起，形成一U形的源极；

其中，所述第一沟道区与第二沟道区的宽度相等，所述第一轻掺杂补
偿区与第二轻掺杂补偿区的宽度相等，所述第一重叠区和第二重叠区的宽
度相等；

20 其中，所述第一源极接触区、第二源极接触区、漏极接触区为N型重
掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、第一沟道区、及第
二沟道区为P型轻掺杂区；或者，所述第一源极接触区、第二源极接触区、
漏极接触区为P型重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区、
第一沟道区、及第二沟道区为N型轻掺杂区。

25 12、如权利要求11所述的TFT基板，其中，所述栅极、第一源极、第
二源极、及漏极为金属层或者N型掺杂多晶硅层。

13、如权利要求11所述的TFT基板，其中，所述第一、第二、第三接
触电极、及连接导线的材料均为透明导电金属氧化物。

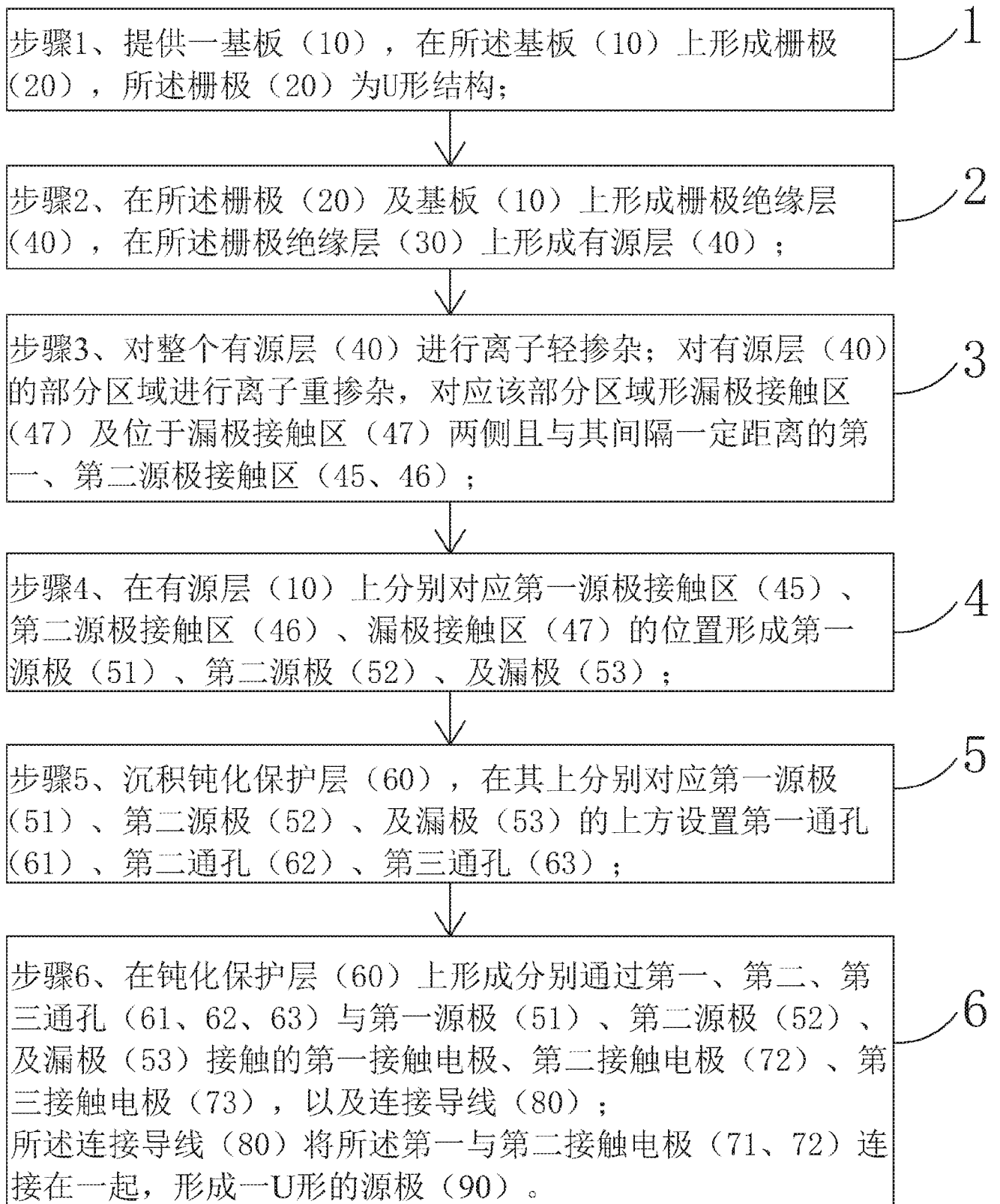


图1

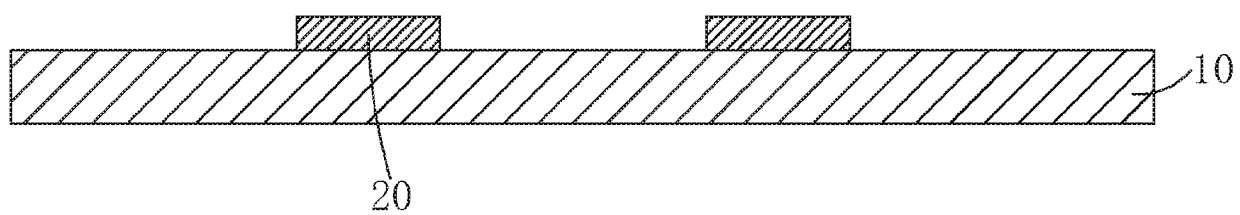


图2

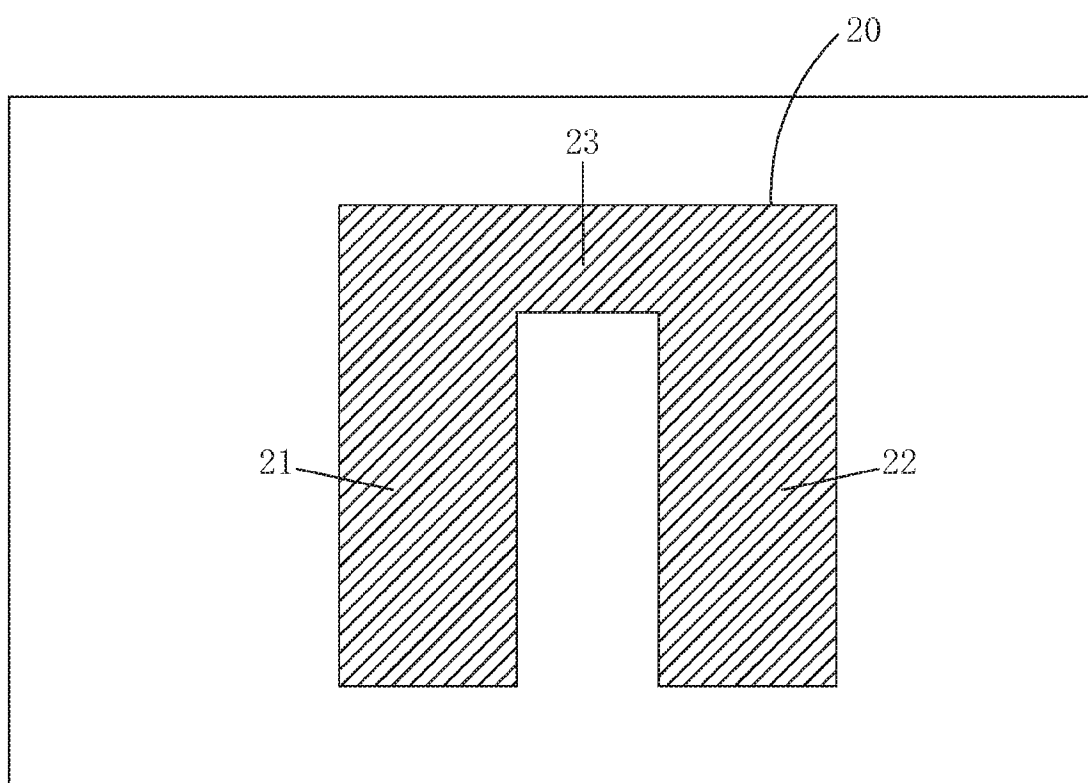


图3

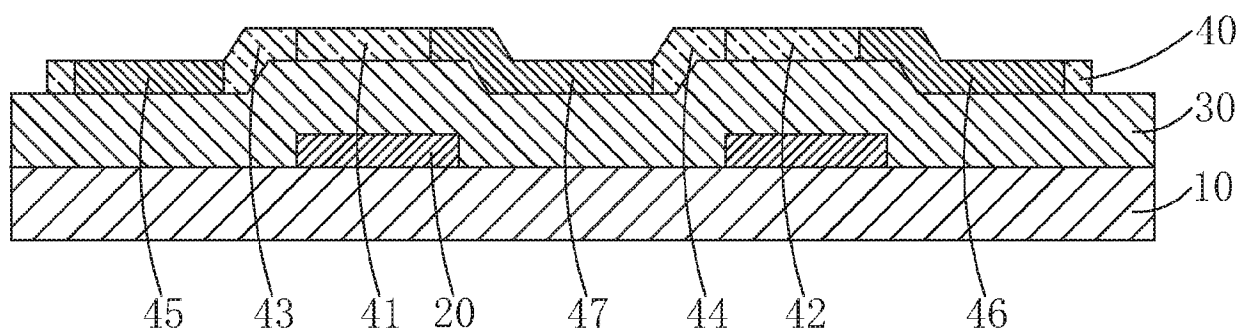


图4

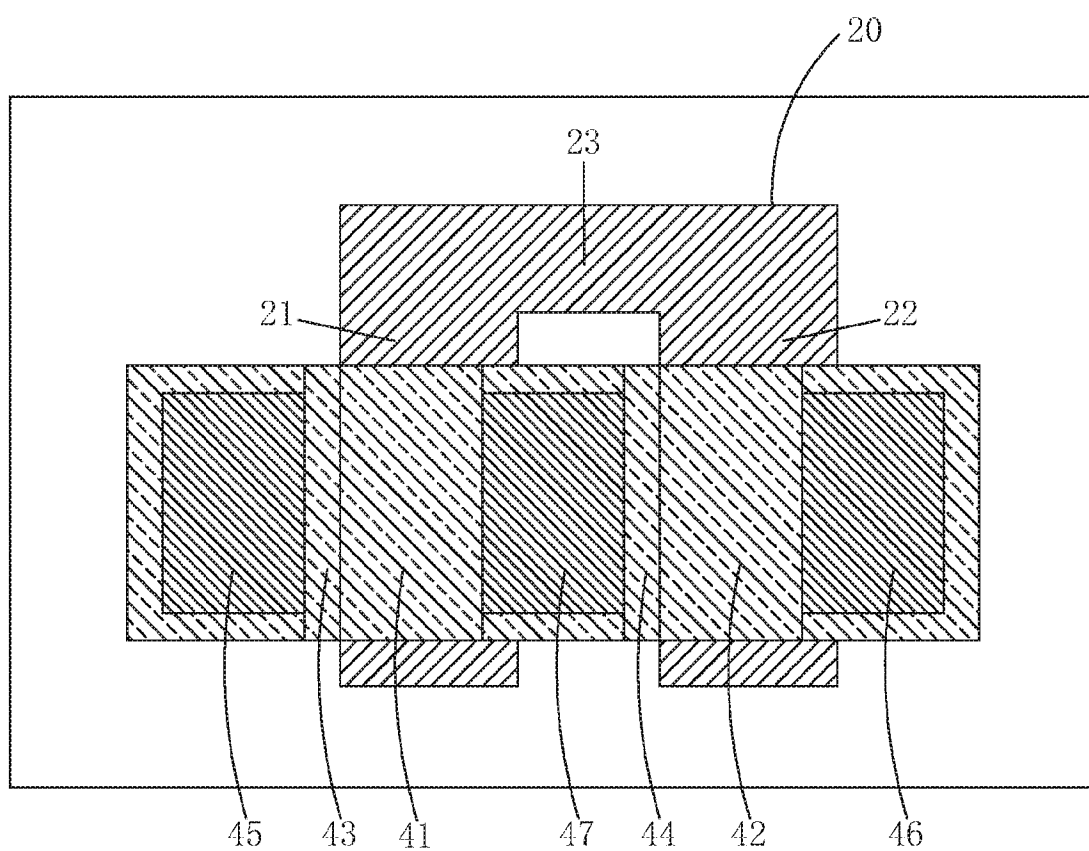


图5

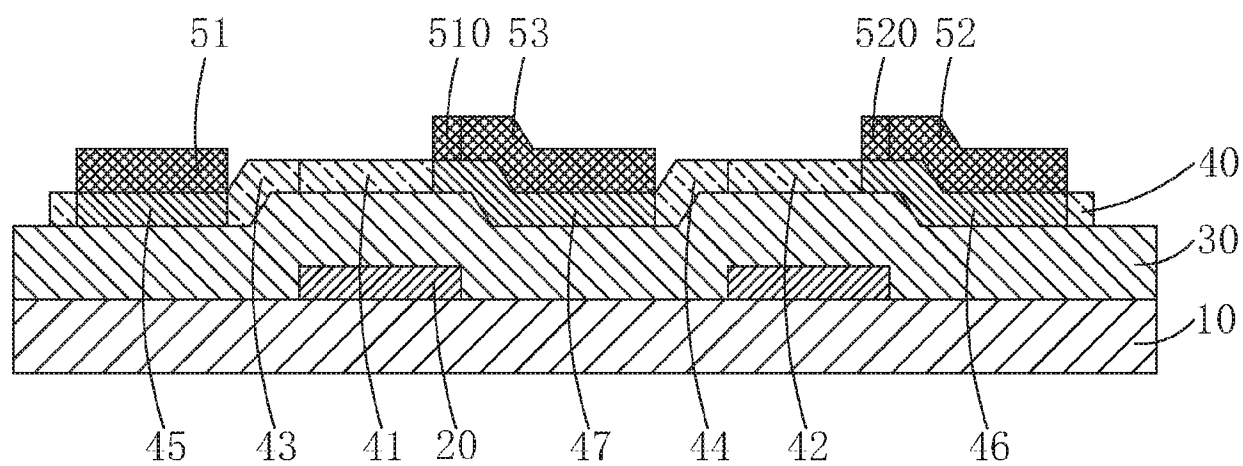


图6

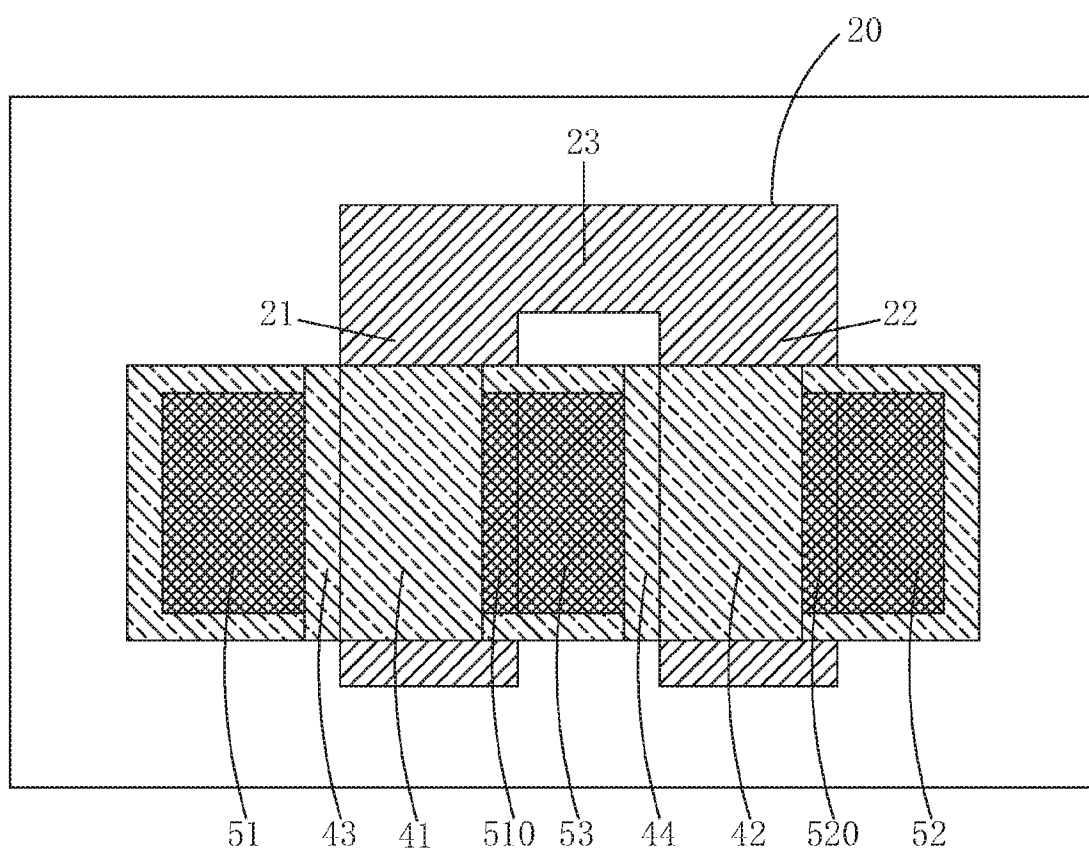


图7

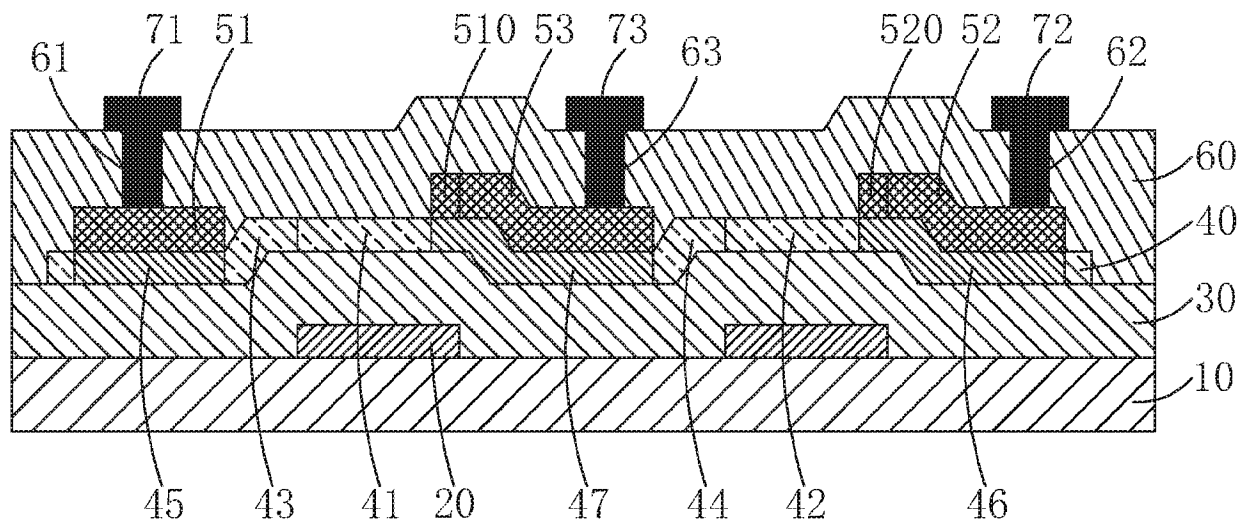


图8

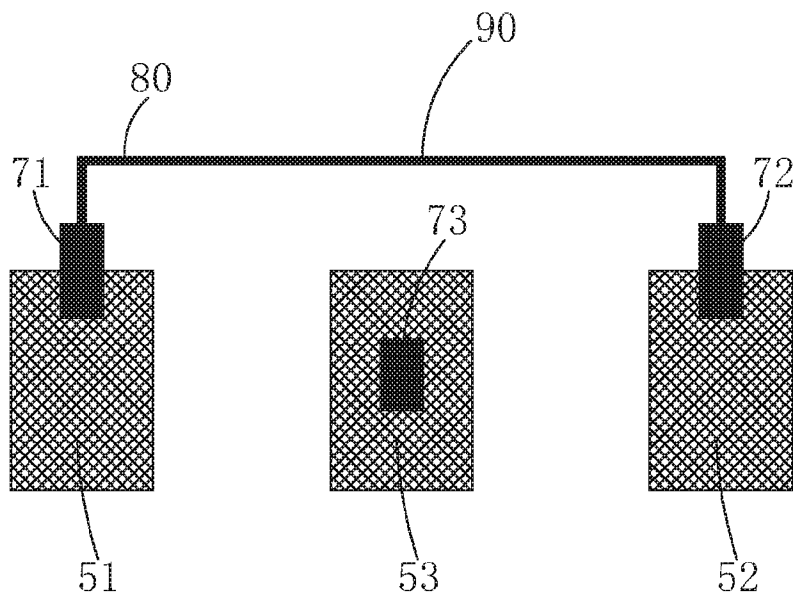


图9

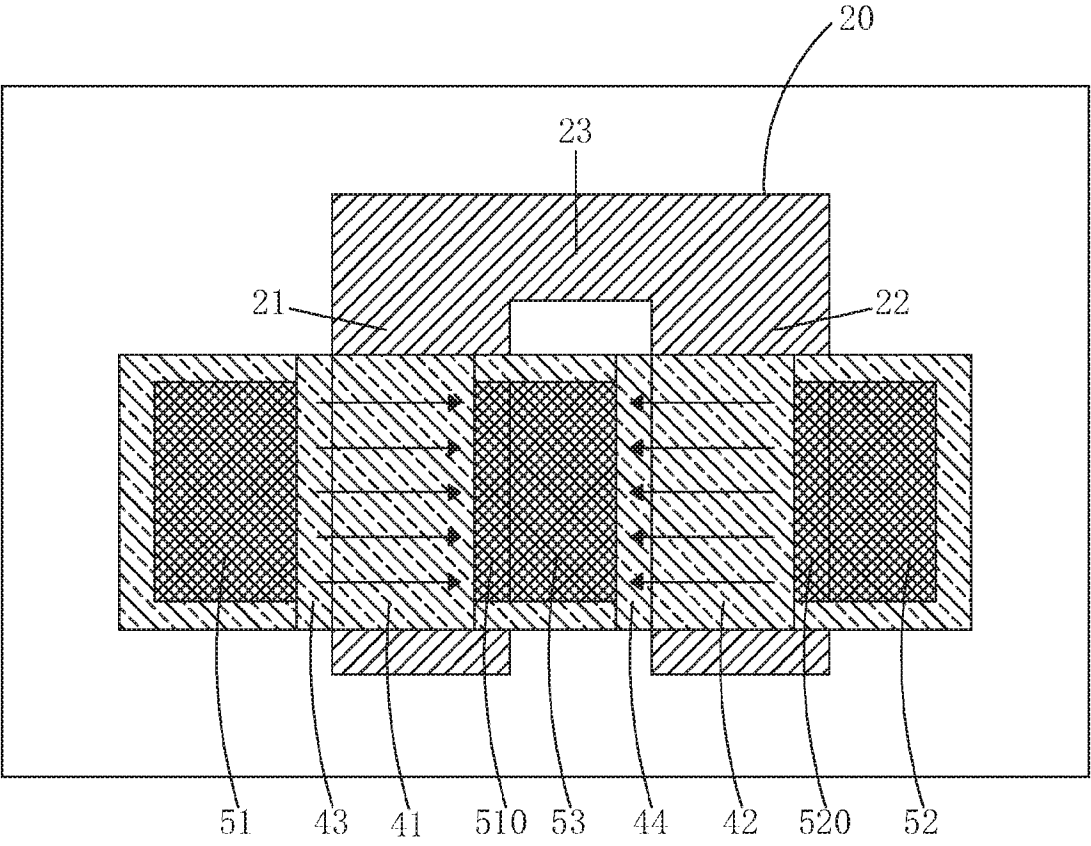


图10

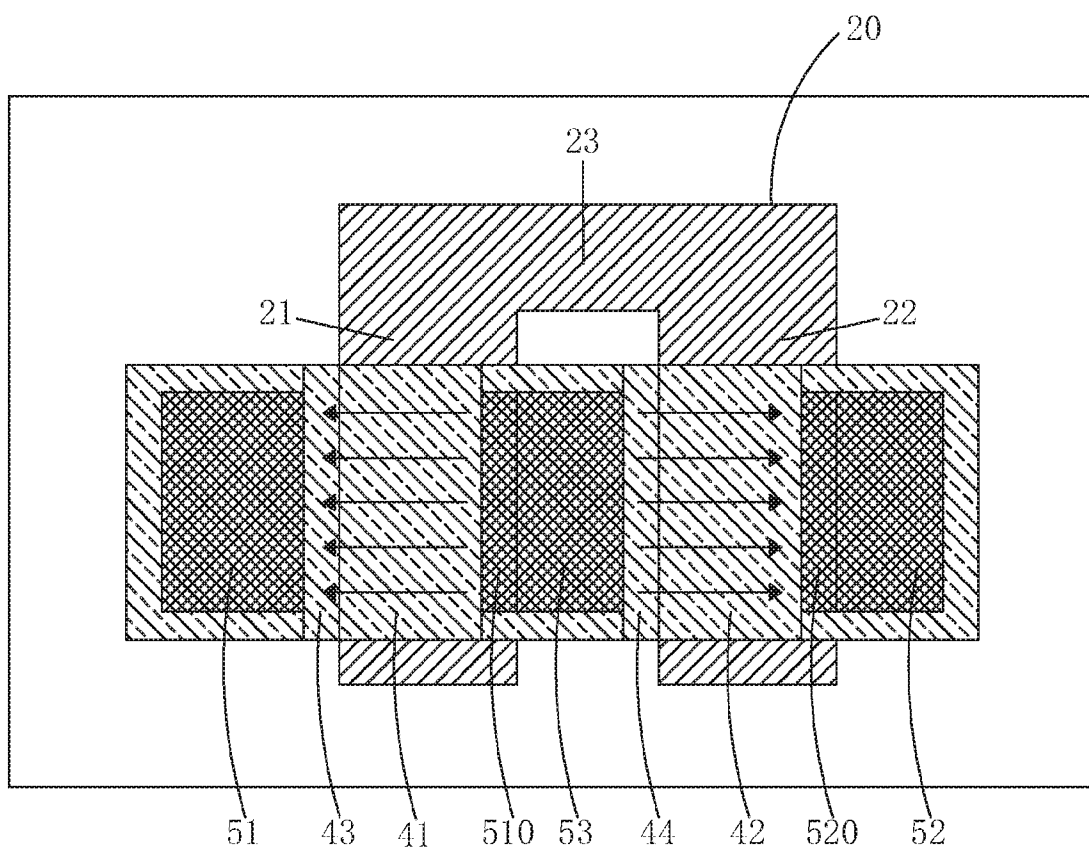


图11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/080189

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, SIPOABS, CNTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT, ISI: TFT, thin film transistor, U-shap??, U shap??, lightly doped, offset, overlap+, gate, source, drain, vertical, part?, contact+, connect+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1638564 A (LG. PHILIPS LCD CO., LTD.), 13 July 2005 (13.07.2005), the whole document	1-13
A	CN 1549349 A (AU OPTRONICS CORP.), 24 November 2004 (24.11.2004), the whole document	1-13
A	CN 101866918 A (TRULY SEMICONDUCTORS CO., LTD.), 20 October 2010 (20.10.2010), the whole document	1-13
A	US 2001004537 A1 (LEE S.), 21 June 2001 (21.06.2001), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 December 2016 (15.12.2016)	Date of mailing of the international search report 30 December 2016 (30.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Wenjie Telephone No.: (86-10) 62412092

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/080189

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1638564 A	13 July 2005	US 7446741 B2	04 November 2008
		KR 20050067255 A	01 July 2005
		US 2005156514 A1	21 July 2005
		CN 100435381 C	19 November 2008
		KR 100557731 B1	06 March 2006
CN 1549349 A	24 November 2004	CN 1327531 C	18 July 2007
CN 101866918 A	20 October 2010	CN 101866918 B	03 October 2012
US 2001004537 A1	21 June 2001	US 6589828 B2	08 July 2003
		KR 20010057116 A	04 July 2001
		JP 2001217431 A	10 August 2001

国际检索报告

国际申请号

PCT/CN2016/080189

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, DWPI, SIPOABS, CNTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT, ISI: 薄膜晶体管, TFT, 轻掺杂, 补偿, 重叠, 栅, U形, 连接部, 源, 漏, thin film transistor, U-shap??. U shap??. lightly doped, offset, overlap+, gate, source, drain, vertical, part?, contact+, connect+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1638564 A (LG. 飞利浦LCD株式会社) 2005年 7月 13日 (2005 - 07 - 13) 全文	1-13
A	CN 1549349 A (友达光电股份有限公司) 2004年 11月 24日 (2004 - 11 - 24) 全文	1-13
A	CN 101866918 A (信利半导体有限公司) 2010年 10月 20日 (2010 - 10 - 20) 全文	1-13
A	US 2001004537 A1 (LEE SUNGKWON) 2001年 6月 21日 (2001 - 06 - 21) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 12月 15日

国际检索报告邮寄日期

2016年 12月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王文杰

电话号码 (86-10)62412092

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/080189

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1638564	A	2005年 7月 13日	US	7446741	B2	2008年 11月 4日
				KR	20050067255	A	2005年 7月 1日
				US	2005156514	A1	2005年 7月 21日
				CN	100435381	C	2008年 11月 19日
				KR	100557731	B1	2006年 3月 6日
CN	1549349	A	2004年 11月 24日	CN	1327531	C	2007年 7月 18日
CN	101866918	A	2010年 10月 20日	CN	101866918	B	2012年 10月 3日
US	2001004537	A1	2001年 6月 21日	US	6589828	B2	2003年 7月 8日
				KR	20010057116	A	2001年 7月 4日
				JP	2001217431	A	2001年 8月 10日

表 PCT/ISA/210 (同族专利附件) (2009年7月)