



(19) **RU** <sup>(11)</sup> **2 024 931** <sup>(13)</sup> **C1**  
(51) МПК<sup>5</sup> **G 06 F 15/332**

РОССИЙСКОЕ АГЕНТСТВО  
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4881095/24, 05.11.1990

(46) Дата публикации: 15.12.1994

(56) Ссылки: 1. Авторское свидетельство СССР N 750494, кл. G 06F 15/332, 1978. 2. Авторское свидетельство СССР N 1013971, кл. G 06F 15/332, 1981. 3. Авторское свидетельство СССР N 1233168, кл. G 06f 15/332, 1984.

(71) Заявитель:

Военная инженерная радиотехническая академия им.Говорова Л.А. (UA)

(72) Изобретатель: Брандис Павел

Александрович[UA],  
Куликов Александр Леонидович[UA]

(73) Патентообладатель:

Брандис Павел Александрович,  
Куликов Александр Леонидович (UA)

(54) УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ ДИСКРЕТНЫХ ОРТОГОНАЛЬНЫХ ПРЕОБРАЗОВАНИЙ

(57) Реферат:

Изобретение относится к вычислительной технике, в частности к цифровой обработке радио-, гидро- и звуколокационных сигналов, и может быть применено при построении быстродействующих Фурье-процессоров. Цель изобретения - повышение быстродействия устройства. Поставленная цель достигается за счет обеспечения одновременного суммирования большого

числа цифровых кодов и одновременного вычисления действительных и мнимых частей результата выполнения базовой операции, для этого в устройство, содержащее два умножителя двухрядного кода, четыре сумматора двухрядного кода, два коммутатора и четыре блока регистров, введены третий и четвертый умножители двухрядного кода. 2 ил.



(19) **RU** <sup>(11)</sup> **2 024 931** <sup>(13)</sup> **C1**  
(51) Int. Cl.<sup>5</sup> **G 06 F 15/332**

RUSSIAN AGENCY  
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4881095/24, 05.11.1990

(46) Date of publication: 15.12.1994

(71) Applicant:  
Voennaja inženernaja radiotekhnicheskaja  
akademija im.Govorova L.A. (UA)

(72) Inventor: Brandis Pavel Aleksandrovich[UA],  
Kulikov Aleksandr Leonidovich[UA]

(73) Proprietor:  
Brandis Pavel Aleksandrovich,  
Kulikov Aleksandr Leonidovich (UA)

(54) **DEVICE FOR PERFORMING DISCRETE ORTHOGONAL CONVERSIONS**

(57) Abstract:

FIELD: computer engineering. SUBSTANCE:  
device has two-unit code multipliers, four  
two-unit code adders, four groups of  
registers. The device characterized by  
simultaneous adding of a great number of

digital codes and simultaneous computation  
of real and imaginary portions of the base  
operation result is provided with third and  
fourth two-unit code multipliers. EFFECT:  
enhanced accuracy. 2 dwg

Изобретение относится к вычислительной технике, в частности к цифровой обработке радио-, гидро- и звуколокационных сигналов, и может быть применено при построении быстродействующих Фурье-процессоров.

Цель предлагаемого изобретения - повышение быстродействия устройства.

На фиг. 1 представлена функциональная схема устройства для выполнения дискретных ортогональных преобразований; фиг.2 - преобразование многострочной матрицы в сумматоре двухрядного кода в двухрядный код с помощью трехходовых одноразрядных сумматоров при разрядности входных данных  $m = 4$ .

Устройство (фиг.1) содержит первый 1<sub>1</sub>, второй 1<sub>2</sub>, третий 1<sub>3</sub>, и четвертый 1<sub>4</sub> умножители двухрядного кода, первый 2<sub>1</sub>, второй 2<sub>2</sub>, третий 2<sub>3</sub> и четвертый 2<sub>4</sub> сумматоры двухрядного кода, первый 3<sub>1</sub> и второй 3<sub>2</sub> коммутаторы, первый 4<sub>1</sub>, второй 4<sub>2</sub>, третий 4<sub>3</sub> и четвертый 4<sub>4</sub> блоки регистров, состоящие из регистров 5, входы мнимой 6 и реальной 7 частей второго операнда, входы реальной 8 и мнимой 9 частей коэффициента устройства, входы реальной 10 и мнимой 11 частей первого операнда, управляющий вход 12 и тактовый вход устройства 13.

Устройство работает следующим образом.

При выполнении прямого преобразования Фурье на первый вход 12 устройства подается нулевой сигнал, при выполнении обратного преобразования Фурье этот сигнал должен быть единичным. В остальном работа устройства в обоих режимах одинакова, поэтому рассмотрим режим прямого преобразования Фурье.

На входы 6 и 7 устройства поступают мнимая  $I_m B_i$  и действительная  $R_e B_i$  части второго операнда  $B_i$ , на входы 8 и 9 - действительная  $R_e W_i$  и мнимая  $I_m W_i$  части коэффициента устройства, на входы 10 и 11 - действительная  $R_e A_i$  и мнимая  $I_m A_i$  части второго операнда  $A_i$  устройства. В результате умножения на выходах первого 1<sub>1</sub>, второго 1<sub>2</sub>, третьего 1<sub>3</sub> и четвертого 1<sub>4</sub> умножителей двухрядного кода будут сформированы многострочные матрицы частичных произведений соответственно  $I_m B_i \cdot R_e W_i$ ,  $R_e B_i \cdot R_e W_i$ ,  $I_m B_i \cdot I_m W_i$  и  $R_e B_i \cdot I_m W_i$ . С выходов умножителей двухрядного кода многострочные матрицы частичных произведений по шинам многострочного кода поступают на сумматоры двухрядного кода, на входы которых также поступают соответствующие коды первого операнда. Таким образом, на входе сумматора двухрядного кода 2<sub>1</sub> будет сформирована многострочная кодовая матрица, вид которой соответствует позиции 1 на фиг.2. Многострочная кодовая матрица последовательно преобразуется сумматором двухрядного кода в двухрядный код, этапы преобразования изображены соответствующими позициями на фиг.2.

На выходах первого 2<sub>1</sub>, второго 2<sub>2</sub>, третьего 2<sub>3</sub> и четвертого 2<sub>4</sub> сумматоров двухрядного кода будут образованы двухрядные коды соответственно

$$I_m A_i + I_m B_i \cdot R_e W_i + R_e B_i \cdot I_m W_i \quad (1)$$

$$R_e A_i + R_e B_i \cdot R_e W_i - (I_m B_i \cdot I_m W_i) \quad (2)$$

$$R_e A_i - (R_e B_i \cdot R_e W_i) + I_m B_i \cdot I_m W_i \quad (3)$$

$$I_m A_i - (I_m B_i \cdot R_e W_i) - (R_e B_i \cdot I_m W_i) \quad (4)$$

Коды выражений, обозначенных круглыми скобками, подаются на инверсные входы одноразрядных сумматоров двухрядного кода 2<sub>1</sub>, что необходимо для реализации операции вычитания в формулах (2) - (4). По тактовым сигналам значения выражений (1) и (4), соответствующие коды  $I_m A_{i+1}$  и  $I_m B_{i+1}$ , через первый коммутатор будут записаны в первый 4<sub>1</sub> и второй 4<sub>2</sub> блоки регистров, а значения выражений (2) и (3), соответствующие кодам  $R_e A_{i+1}$  и  $R_e B_{i+1}$ , через второй коммутатор будут записаны в третий 4<sub>3</sub> и четвертый 4<sub>4</sub> блоки регистров.

При выполнении обратного преобразования Фурье под воздействием единичного сигнала на первый и второй коммутаторы и тактовых сигналов в первый 4<sub>1</sub>, второй 4<sub>2</sub>, третий 4<sub>3</sub> и четвертый 4<sub>4</sub> блоки регистров производится запись кодов соответственно  $I_m B_{i+1}$ ,  $I_m A_{i+1}$ ,  $R_e B_{i+1}$ ,  $R_e A_{i+1}$ .

### Формула изобретения:

УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ ДИСКРЕТНЫХ ОРТОГОНАЛЬНЫХ ПРЕОБРАЗОВАНИЙ, содержащее первый и второй умножители двухрядного кода, первый, второй, третий и четвертый сумматоры двухрядного кода, первый и второй коммутаторы, первый, второй, третий и четвертый блоки регистров, причем тактовые входы блоков регистров являются тактовыми входами устройства, первый вход второго сумматора двухрядного кода является входом реальной части первого операнда устройства, входы мнимой и реальной частей второго операнда которого соединены с первыми входами соответственно первого и второго умножителей двухрядного кода, управляющие входы первого и второго коммутаторов объединены и являются управляющим входом устройства, отличающееся тем, что, с целью повышения быстродействия устройства, в него введены третий и четвертый умножители двухрядного кода, первые входы которых соединены соответственно с первыми входами первого и второго умножителей двухрядного кода, вторые входы первого и второго умножителей двухрядного кода соединены между собой и являются входом реальной части коэффициента устройства, вторые входы третьего и четвертого умножителей двухрядного кода соединены между собой и являются входом мнимой части коэффициента устройства, выходы с первого по четвертый умножителей двухрядного кода соединены соответственно с первым входом первого, вторым входом второго и первыми входами третьего и четвертого сумматоров двухрядного кода, второй вход третьего сумматора двухрядного кода соединен с первым входом второго сумматора двухрядного кода, второй вход первого, третьи входы второго, третьего сумматоров и второй вход четвертого сумматора двухрядного кода соединены соответственно с выходами четвертого, третьего, второго и первого умножителей двухрядного кода, выходы первого и четвертого сумматоров двухрядного кода соединены соответственно

с первым и вторым информационными входами первого коммутатора, первый и второй выходы которого соединены с информационными входами соответственно первого и второго блоков регистров, выходы второго и третьего сумматоров двухрядного кода соединены соответственно с первым и вторым информационными входами второго

коммутатора, первый и второй выходы которого соединены с информационными входами соответственно третьего и четвертого блоков регистров, третий вход первого и четвертого сумматоров двухрядного кода соединены между собой и являются входом мнимой части первого операнда устройства.

5

10

15

20

25

30

35

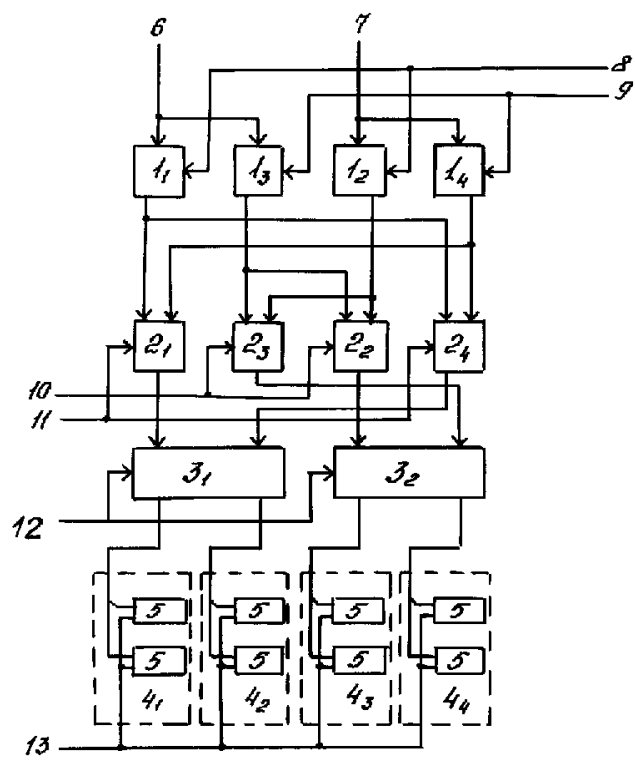
40

45

50

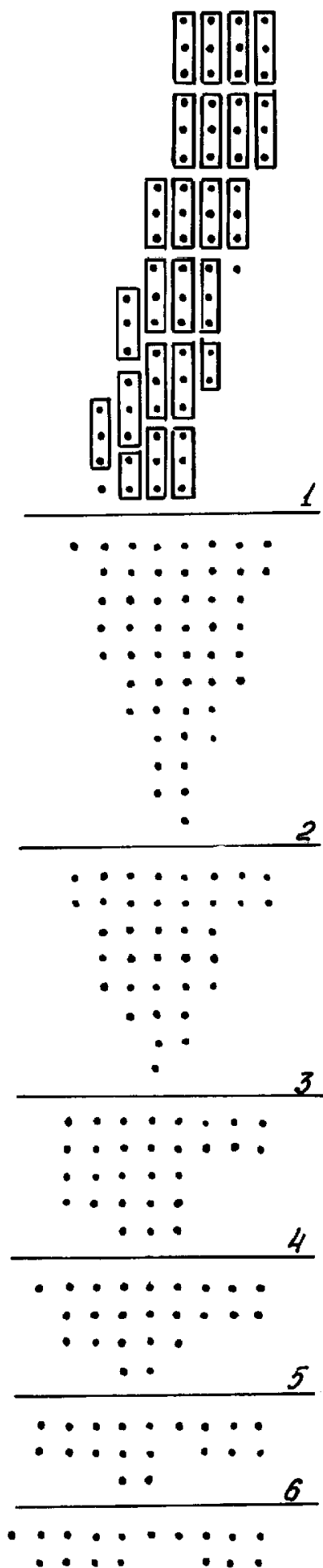
55

60



$\Phi_{U2.1}$

RU 2024931 C1



Фиг. 2

RU 2024931 C1