



# (12) 发明专利

(10) 授权公告号 CN 114974801 B

(45) 授权公告日 2025. 01. 10

(21) 申请号 202111559787.1  
 (22) 申请日 2021.12.20  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 114974801 A  
 (43) 申请公布日 2022.08.30  
 (30) 优先权数据  
 2021-024002 2021.02.18 JP  
 (73) 专利权人 TDK株式会社  
 地址 日本东京都  
 (72) 发明人 永井雄介 佐藤英和 川崎邦彦  
 (74) 专利代理机构 北京尚诚知识产权代理有限公司 11322  
 专利代理师 杨琦 梁策

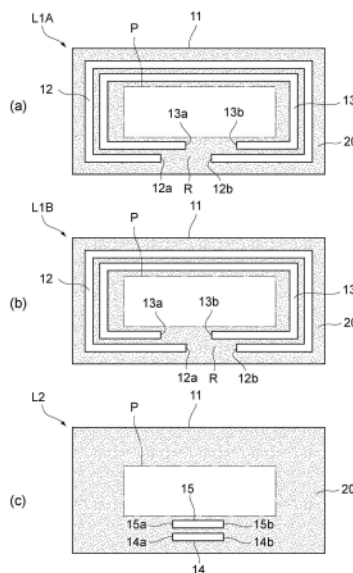
(51) Int. Cl.  
*H01F 17/00* (2006.01)  
*H01F 27/28* (2006.01)  
*H01F 27/30* (2006.01)  
 (56) 对比文件  
 CN 106373711 A, 2017.02.01  
 CN 106463234 A, 2017.02.22  
 审查员 邱臣

权利要求书2页 说明书8页 附图11页

(54) 发明名称  
 层叠线圈部件

### (57) 摘要

本发明的技术问题在于,提供一种能够实现卷绕效率和特性的提高并且能够实现结构的简单化和耐电压的提高了的层叠线圈部件。本发明的层叠线圈部件(1)在呈层叠结构的绝缘性的素体(2)的内部包含线圈部(C),在构成线圈部(C)的第1导体图案层(L1)和第2导体图案层(L2),隔着分开区域(R)对置的外侧导体线(12)的端部对(12a、12b)和内侧导体线(13)的端部对(13a、13b)的位置在通过分开区域(R)的线圈部(C)的线方向上错开。



1. 一种层叠线圈部件,其特征在于:

是在呈层叠结构的绝缘性的素体的内部包含线圈部的层叠线圈部件,  
所述线圈部具有:

第1导体图案层,其具有在规定的分开区域内一部分被分开的环状的外侧导体线和内侧导体线;

第2导体图案层,其具有将在层叠方向上相邻的所述第1导体图案层的所述外侧导体线彼此在所述分开区域连接的外侧连接线、和将在层叠方向上相邻的所述第1导体图案层的所述内侧导体线彼此在所述分开区域连接的内侧连接线;和

第3导体图案层,其具有将所述外侧导体线与所述内侧导体线连接的连接线,  
所述分开区域是将所述外侧导体线和所述内侧导体线一起分开的区域,

隔着所述分开区域对置的所述外侧导体线的端部对和所述内侧导体线的端部对的位置、或者在所述分开区域的所述外侧连接线的两端部和所述内侧导体线的两端部的位置,在通过所述分开区域的、包含端部的导体线的延伸方向上错开。

2. 根据权利要求1所述的层叠线圈部件,其特征在于:

在所述分开区域的所述外侧连接线的两端部和所述内侧连接线的两端部的位置,在通过所述分开区域的、包含端部的导体线的延伸方向上对齐,

隔着所述分开区域对置的所述外侧导体线的端部对和所述内侧导体线的端部对的位置,在通过所述分开区域的、包含端部的导体线的延伸方向上错开。

3. 根据权利要求1所述的层叠线圈部件,其特征在于:

在所述第1导体图案层,所述外侧导体线与所述内侧导体线之间的区域的电阻率高于所述第1导体图案层的中央区域的电阻率。

4. 根据权利要求2所述的层叠线圈部件,其特征在于:

在所述第1导体图案层,所述外侧导体线与所述内侧导体线之间的区域的电阻率高于所述第1导体图案层的中央区域的电阻率。

5. 根据权利要求1~4中任一项所述的层叠线圈部件,其特征在于:

在所述第2导体图案层,在层叠方向上相邻的所述第1导体图案层的所述外侧导体线之间和所述内侧导体线之间的区域的电阻率高于所述第2导体图案层的中央区域的电阻率。

6. 根据权利要求1~4中任一项所述的层叠线圈部件,其特征在于:

所述第2导体图案层的厚度小于所述第1导体图案层的厚度。

7. 根据权利要求5所述的层叠线圈部件,其特征在于:

所述第2导体图案层的厚度小于所述第1导体图案层的厚度。

8. 根据权利要求1~4中任一项所述的层叠线圈部件,其特征在于:

在所述素体的层叠方向的一端面设置有一对端子电极,

所述线圈部具有:第4导体图案层,其具有将所述外侧导体线与所述一对端子电极的一个连接并将所述内侧导体线与所述一对端子电极的另一个连接的引出导体。

9. 根据权利要求5所述的层叠线圈部件,其特征在于:

在所述素体的层叠方向的一端面设置有一对端子电极,

所述线圈部具有:第4导体图案层,其具有将所述外侧导体线与所述一对端子电极的一个连接并将所述内侧导体线与所述一对端子电极的另一个连接的引出导体。

10. 根据权利要求6所述的层叠线圈部件,其特征在于:  
在所述素体的层叠方向的一端面设置有一对端子电极,  
所述线圈部具有:第4导体图案层,其具有将所述外侧导体线与所述一对端子电极的一个连接并将所述内侧导体线与所述一对端子电极的另一个连接的引出导体。
11. 根据权利要求7所述的层叠线圈部件,其特征在于:  
在所述素体的层叠方向的一端面设置有一对端子电极,  
所述线圈部具有:第4导体图案层,其具有将所述外侧导体线与所述一对端子电极的一个连接并将所述内侧导体线与所述一对端子电极的另一个连接的引出导体。
12. 根据权利要求8所述的层叠线圈部件,其特征在于:  
所述第3导体图案层在所述素体的层叠方向的另一端面侧,连接所述外侧导体线和所述内侧导体线。
13. 根据权利要求9所述的层叠线圈部件,其特征在于:  
所述第3导体图案层在所述素体的层叠方向的另一端面侧,连接所述外侧导体线和所述内侧导体线。
14. 根据权利要求10所述的层叠线圈部件,其特征在于:  
所述第3导体图案层在所述素体的层叠方向的另一端面侧,连接所述外侧导体线和所述内侧导体线。
15. 根据权利要求11所述的层叠线圈部件,其特征在于:  
所述第3导体图案层在所述素体的层叠方向的另一端面侧,连接所述外侧导体线和所述内侧导体线。

## 层叠线圈部件

### 技术领域

[0001] 本公开涉及层叠线圈部件。

### 背景技术

[0002] 近年来,随着电子部件的小型化和高性能化的要求,谋求搭载于电子部件的层叠线圈部件的小型化和特性提高。例如,日本特开2000-216023号公报所记载的层叠电感器具有所谓的多重卷绕结构的线圈。在该现有的层叠电感器中,例如,各层的外侧的线圈从层叠方向的一侧向另一侧卷绕,各层的内侧的线圈从层叠方向的另一侧向一侧卷绕。

### 发明内容

[0003] 在上述那样的层叠线圈部件中,除了小型化和特性提高之外,还存在结构的简单化、耐电压的提高这样的技术问题。例如,在上述的专利文献1的层叠电感器中,通过形成多重卷绕结构的线圈来提高卷绕效率,另一方面,所需的导体图案的种类变多,所以认为各层的制作需要工夫和时间。

[0004] 本发明是为了解决上述问题而做出的,其目的在于,提供一种能够实现卷绕效率和特性的提高并且能够实现结构的简单化和耐电压的提高了的层叠线圈部件。

[0005] 本公开的一个方面的层叠线圈部件是在呈层叠结构的绝缘性的素体的内部包含线圈部的层叠线圈部件,线圈部具有:第1导体图案层,其具有在规定的分开区域内一部分被分开的环状的外侧导体线和内侧导体线;第2导体图案层,其具有将在层叠方向上相邻的第1导体图案层的外侧导体线彼此在分开区域连接的外侧连接线、和将在层叠方向上相邻的第1导体图案层的内侧导体线彼此在分开区域连接的内侧连接线;和第3导体图案层,其具有将外侧导体线与内侧导体线连接的内侧连接线,隔着分开区域对置的外侧导体线的端部对和内侧导体线的端部对的位置、或者在分开区域的外侧连接线的两端部和内侧导体线的两端部的位置,在通过分开区域的线圈部的线方向上错开。

[0006] 在该层叠线圈部件中,通过将在层叠方向上相邻的第1导体图案层的外侧导体线彼此和内侧导体线彼此连接,在素体内形成有多重卷绕结构的线圈部。通过采用该多重卷绕结构的线圈部,能够实现卷绕效率的提高。在该层叠线圈部件中,通过位于外侧导体线和内侧导体线的分开区域的外侧连接线和内侧连接线,外侧导体线彼此和内侧导体线彼此连接成阶梯状。因此,能够充分确保线圈部的内径,能够提高电感值、直流叠加特性、直流电阻这样的特性。另外,能够抑制线圈部的形成所需的导体图案的种类,能够避免各层的制作需要工夫和时间。

[0007] 并且,在该层叠线圈部件中,隔着分开区域对置的外侧导体线的端部对和内侧导体线的端部对的位置、或者在分开区域的外侧连接线的两端部和内侧连接线的两端部的位置在通过分开区域的线圈部的线方向上错开。由此,能够抑制外侧的线与内侧的线并行的区域的长度。外侧的线与内侧的线并行的区域与其他部分相比电压容易消耗。因此,通过抑制该区域的长度,能够实现耐电压的提高。

[0008] 也可以是,在分开区域的外侧连接线的两端部和内侧连接线的两端部的位置,在通过分开区域的线圈部的线方向上对齐,隔着分开区域对置的外侧导体线的端部对和内侧导体线的端部对的位置,在通过分开区域的线圈部的线方向上错开。根据该结构,能够更可靠地抑制外侧的线与内侧的线并行的区域的长度。因此,能够进一步适当地实现耐电压的提高。

[0009] 也可以是,在第1导体图案层,外侧导体线与内侧导体线之间的区域的电阻率高于第1导体图案层的中央区域的电阻率。外侧导体线与内侧导体线之间的区域与其他部分相比电压容易消耗。因此,通过相对地提高该区域的电阻率,能够实现耐电压的进一步提高。

[0010] 也可以是,在第2导体图案层,在层叠方向上相邻的第1导体图案层的外侧导体线之间和内侧导体线之间的区域的电阻率高于第2导体图案层的中央区域的电阻率。在层叠方向上相邻的第1导体图案层的外侧导体线之间和内侧导体线之间的区域与其他部分相比电压容易消耗。因此,通过相对地提高该区域的电阻率,能够实现耐电压的进一步提高。

[0011] 也可以是,第2导体图案层的厚度小于第1导体图案层的厚度。由此,能够抑制外侧导体线和内侧导体线的连接部分的厚度,能够在层叠方向上更紧密地卷绕线圈部。另外,通过抑制连接部分的厚度,能够抑制连接部分的热收缩和由热收缩引起的厚度的变动。因此,能够抑制连接部分的断线的产生。

[0012] 也可以是,在素体的层叠方向的一端面设置有一对端子电极,线圈部具有:第4导体图案层,其具有将外侧导体线与一对端子电极的一个连接并将内侧导体线与一对端子电极的另一个连接的引出导体。在该情况下,能够构成所谓的底面端子型的层叠线圈部件。在底面端子型的层叠线圈部件中,能够抑制安装面积,能够实现高密度安装。

[0013] 也可以是,第3导体图案层在素体的层叠方向的另一端面侧,连接外侧导体线和内侧导体线。由此,能够充分确保线圈部的卷绕圈数。

[0014] 根据本公开,能够实现卷绕效率和特性的提高,并且能够实现结构的简单化和耐电压的提高。

## 附图说明

[0015] 图1是示出本发明的一个实施方式的层叠线圈部件的概略的侧视图。

[0016] 图2是示意性地示出图1所示的层叠线圈部件的线圈部的结构的图。

[0017] 图3是示出图1所示的层叠线圈部件的层结构的一例的概略的分解立体图。

[0018] 图4(a)和(b)是示出图1所示的层叠线圈部件的第1导体图案层的俯视图,(c)是示出图1所示的层叠线圈部件的第2导体图案层的俯视图。

[0019] 图5(a)是示出图1所示的层叠线圈部件的分开区域附近的外侧卷绕体的结构的概略的局部放大截面图,(b)是示出该区域附近的内侧卷绕体的结构的概略的局部放大截面图。

[0020] 图6是示出图1所示的层叠线圈部件的层结构的另一例的概略的分解立体图。

[0021] 图7(a)和(b)是示出图6所示的层叠线圈部件的第1导体图案层的俯视图,(c)是示出图6所示的层叠线圈部件的第2导体图案层的俯视图。

[0022] 图8(a)是示出图6所示的层叠线圈部件的分开区域附近的外侧卷绕体的结构的概略的局部放大截面图,(b)是示出该区域附近的内侧卷绕体的结构的概略的局部放大截面

图。

[0023] 图9是示出另一变形例的层叠线圈部件的概略侧视图。

[0024] 图10是示出图1所示的层叠线圈部件的层结构的一例的概略的分解立体图。

[0025] 图11是示出图1所示的层叠线圈部件的层结构的另一例的概略的分解立体图。

### 具体实施方式

[0026] 以下,参照附图,对本公开的一个方面的层叠线圈部件的优选的实施方式详细地进行说明。

[0027] 图1是示出本发明的一个实施方式的层叠线圈部件的概略的侧视图。层叠线圈部件1例如是适用于磁珠电感器、功率电感器的部件。如图1所示,层叠线圈部件1具备呈长方体形状的素体2和一对端子电极3、3。

[0028] 素体2包含:彼此相对的一对端面2a、2b和在与端面2a、2b的相对方向正交的方向上彼此相对的一对端面2c、2d。端面2a(图1中的底面)是成为层叠线圈部件1的安装面的面。安装面是在将层叠线圈部件1安装于其他电子设备(电路基板、电子部件等)时与该其他电子设备相对的面。此外,在此处的长方体形状,包含有角部和棱线部被倒角的长方体形状、和角部和棱线部被倒圆的长方体形状。

[0029] 素体2呈由多个磁性体层(参照图3)的层叠结构。这些多个层在端面2a、2b的相对方向上层叠。即,多个层的层叠方向与端面2a、2b的相对方向一致(以下,将端面2a、2b的相对方向称为“层叠方向”)。在实际的素体2,多个层以不能辨识其层间的边界的程度被一体化。

[0030] 素体2例如由金属磁性颗粒、铁氧体、玻璃陶瓷系的材料构成。在本实施方式中,素体2包含多个金属磁性颗粒(未图示)。金属磁性颗粒例如由软磁性合金构成。软磁性合金例如为Fe-Si系合金、FeSiCr类合金。在软磁性合金为Fe-Si系合金的情况下,软磁性合金也可以包含P。软磁性合金例如也可以是Fe-Ni-Si-M系合金。“M”包含选自Co、Cr、Mn、P、Ti、Zr、Hf、Nb、Ta、Mo、Mg、Ca、Sr、Ba、Zn、B、Al和稀土元素中的一种以上的元素。

[0031] 在素体2中,金属磁性颗粒彼此结合。金属磁性颗粒彼此的结合例如通过形成于金属磁性颗粒的表面的氧化膜彼此的结合来实现。另外,素体2包含由树脂的填充部分。树脂存在于多个金属磁性颗粒间的至少一部分。树脂是具有电绝缘性的树脂。作为树脂,例如可使用硅酮树脂、酚醛树脂、丙烯酸树脂、环氧树脂等。在多个金属磁性颗粒间,也可以存在没有由树脂填充的空隙部分。

[0032] 图1所示的层叠线圈部件1为所谓的底面端子型。一对端子电极3、3均呈扁平的长方体形状,在素体2的端面2a上沿端面2c、2d的相对方向相互分开地配置。端子电极3包含导电性材料而构成。导电性材料例如为Ag或Pd。端子电极3例如是烧结电极,构成为导电性膏体的烧结体。导电性膏体包含导电性金属粉末和玻璃粉。导电性金属粉末例如为Ag粉末或Pd粉末。在端子电极3的表面也可以形成有镀层。镀层例如通过电镀形成。电镀例如是电镀Ni或电镀Sn。

[0033] 图2是示意性地示出图1所示的层叠线圈部件的线圈部的结构的图。如该图所示,在素体2的内部设置有线圈部C。如图2所示,层叠线圈部件1具有由外侧卷绕体C1和内侧卷绕体C2的双重卷绕结构的线圈部C。外侧卷绕体C1和内侧卷绕体C2的卷绕的行进方向相互

反转。在图2的例子中,外侧卷绕体C1为从素体2的端面2a侧向端面2b侧卷入的卷绕体,内侧卷绕体C2为从素体2的端面2b侧向端面2a侧卷入的卷绕体。外侧卷绕体C1的一端向素体2的安装面(端面2a)侧引出,与一对端子电极3、3的一个连接。内侧卷绕体C2的一端向素体2的安装面(端面2a)侧引出,与一对端子电极3、3的另一个连接。外侧卷绕体C1的另一端与内侧卷绕体C2的另一端在安装面的相反面(端面2b)侧连接。

[0034] 图3是示出图1所示的层叠线圈部件的层结构的一例的概略的分解立体图。如该图所示,构成线圈部C的多个层构成为包含覆盖层Lc、第1导体图案层L1、第2导体图案层L2、第3导体图案层L3和第4导体图案层L4。覆盖层Lc是仅由包含金属磁性颗粒的素体部分11构成的层。覆盖层Lc在素体2的端面2b侧配置有多个。除了覆盖层Lc以外的各层,通过将包含上述金属磁性颗粒的素体部分11以与导体部分相对应的形状进行挖空,并在该挖空部分配置导体部分而构成。因此,在这些各层中,素体部分11和导体部分成为同一面。

[0035] 导体部分例如由金属材料构成。金属材料没有特别限定,例如能够使用Ag、Cu、Au、Al、Pd、Pd/Ag合金等。在金属材料中也可以添加Ti化合物、Zr化合物、Si化合物等。对素体部分11的挖空,例如能够使用激光加工。对导体部分的形成,能够使用例如印刷法、薄膜生长法。

[0036] 第1导体图案层L1和第2导体图案层L2是形成线圈部C的主要部分即外侧卷绕体C1和内侧卷绕体C2的层。在本实施方式中,第1导体图案层L1A、L1B和一个第2导体图案层L2依次层叠而构成一组,根据在线圈部C的所需的卷绕数,而在层叠结构内设置有多组。在图3的例子中,在多组的下层侧(素体2的端面2a侧)层叠有第1导体图案层L1A、L1B,在该第1导体图案层L1B的下层侧还层叠有通孔(through hole)层L4a和第4导体图案层L4。

[0037] 如图4的(a)和图4的(b)所示,第1导体图案层L1A、L1B具有环状的外侧导体线(line)12和内侧导体线(line)13。外侧导体线12以比第1导体图案层L1的外形小一圈的形状配置成矩形环状,内侧导体线13以比外侧导体线12进一步小一圈的形状配置成矩形环状。外侧导体线12的宽度与内侧导体线13的宽度为同程度。外侧导体线12和内侧导体线13以小于这些线的宽度的间隔分开。通过抑制外侧导体线12与内侧导体线13的间隔,充分确保外侧卷绕体C1和内侧卷绕体C2的内径。

[0038] 外侧导体线12和内侧导体线13成为在规定的分开区域R内一部分分开的状态。分开区域R例如为外侧导体线12和内侧导体线13的1匝的长度的1/4以下,在俯视时呈大致C字状。在图4的(a)和图4的(b)的例子中,位于第1导体图案层L1的俯视时的一个长边侧的面(图1中的纸面跟前侧的端面)附近。外侧导体线12具有隔着分开区域R对置的端部对12a、12b。同样地,内侧导体线13具有隔着分开区域R对置的端部对13a、13b。在第1导体图案层L1A、L1B中的任一个,端部对12a、12b的间隔与端部对12a、12b的间隔均彼此相等。

[0039] 另一方面,外侧导体线12的端部对12a、12b和内侧导体线13的端部对13a、13b的位置在同一层的面内,在通过分开区域R的线圈部C的线方向(在此为素体2的端面2c、2d的相对方向)上错开。在第1导体图案层L1A,端部对12a、12b的位置比中央更偏向素体2的端面2c侧,端部对13a、13b的位置比中央更偏向素体2的端面2d侧(参照图4(a))。在第1导体图案层L1B,端部对12a、12b的位置比中央更偏向素体2的端面2d侧,端部对13a、13b的位置比中央更偏向素体2的端面2c侧(参照图4(b))。

[0040] 第2导体图案层L2是将在层叠方向上相邻的第1导体图案层L1的外侧导体线12、12

彼此和内侧导体线13、13彼此连接成阶梯状的层。如图4的(c)所示,第2导体图案层L2具有外侧连接线14和内侧连接线15。外侧连接线14和内侧连接线15均呈直线状,与分开区域R对应地配置。在图4(c)的例子中,外侧连接线14的两端部14a、14b和内侧连接线15的两端部15a、15b的位置在通过分开区域R的线圈部C的线方向上对齐。

[0041] 外侧连接线14的长度大于俯视时的第1导体图案层L1A的外侧导体线12的端部12a与第2导体图案层L2B的外侧导体线12的端部12b的间隔。另外,内侧连接线15的长度大于俯视时的第1导体图案层L1A的内侧导体线13的端部13a与第2导体图案层L2B的内侧导体线13的端部13b的间隔。

[0042] 在第1导体图案层L1A、第1导体图案层L1B和第2导体图案层L2的层叠状态下,如图5(a)所示,一组第1导体图案层L1A和第2导体图案层L2B的外侧导体线12、12彼此在层叠方向上重叠。而且,外侧连接线14的端部14a与一组第1导体图案层L1A的外侧导体线12的端部12a重叠,外侧连接线14的端部14b与一组在层叠方向上相邻组的第1导体图案层L1B的外侧导体线12的端部12b重叠。由此,一组外侧导体线12、12和另一组外侧导体线12、12通过外侧连接线14连接成阶梯状,形成从素体2的端面2a侧向端面2b侧卷入的外侧卷绕体C1。

[0043] 另外,在第1导体图案层L1A、第1导体图案层L1B和第2导体图案层L2的层叠状态下,如图5(b)所示,一组第1导体图案层L1A和第2导体图案层L2B的内侧导体线13、13彼此在层叠方向上重叠。而且,内侧连接线15的端部15a与一组第1导体图案层L1A的内侧导体线13的端部13a重叠,内侧连接线15的端部15b与一组在层叠方向上相邻组的第1导体图案层L1B的内侧导体线13的端部13b重叠。由此,一组内侧导体线13、13和另一组内侧导体线13、13通过内侧连接线15连接成阶梯状,形成从素体2的端面2b侧向端面2c侧卷入的内侧卷绕体C2。

[0044] 此外,如图5的(a)和图5的(b)所示,第2导体图案层L2的厚度小于第1导体图案层L1A、L1B的厚度。第2导体图案层L2的厚度相对于第1导体图案层L1A、L1B的厚度的比没有特别限制,例如能够设为1/2以下。第1导体图案层L1A的厚度与第1导体图案层L1B的厚度也可以相等,也可以不同。

[0045] 第3导体图案层L3是连接外侧卷绕体C1和内侧卷绕体C2的层。如图3所示,第3导体图案层L3具有连接外侧导体线12和内侧导体线13的连接线16。在图3的例子中,第3导体图案层L3层叠在位于最靠素体2的端面2b侧的组的第1导体图案层L1A与覆盖层Lc之间。连接线16在与分开区域R相对应的位置倾斜地延伸,将位于最靠素体2的端面2b侧的组的第1导体图案层L1A的外侧连接线14的端部14b与内侧连接线15的端部15a连接。

[0046] 第4导体图案层L4是连接线圈部C和端子电极3、3的层。如图3所示,第4导体图案层L4经由具有通孔17A、17B的通孔层L4a层叠于最靠素体2的端面2a侧。第4导体图案层L4具有一对引出导体18A、18B。在图3的例子中,引出导体18A、18B在俯视时均呈长方形状。引出导体18A配置于素体2的端面2c侧,与一个端子电极3连接。引出导体18A经由通孔17A与位于最靠素体2的端面2a侧的第1导体图案层L1B的外侧导体线12连接。引出导体18B配置于素体2的端面2d侧,与另一个端子电极3连接。引出导体18B经由通孔17B与位于最靠素体2的端面2a侧的第1导体图案层L1B的内侧导体线13连接。

[0047] 在本实施方式中,在上述的各层中,在素体部分11的一部分设置有电阻率比其他区域高的高比电阻区域20。此处的电阻率是指电气阻抗率。素体部分11的电阻率的调整例如能够通过素体2中所含的金属磁性颗粒的粒径的调整来实现。例如,通过使金属磁性颗粒

的平均粒径小于其他区域的金属磁性颗粒的平均粒径,能够在期望的区域配置高比电阻区域20。

[0048] 在第1导体图案层L1中,外侧导体线12与内侧导体线13之间的区域的电阻率高于第1导体图案层L1的中央区域P的电阻率。在此,中央区域P位于比内侧导体线13更靠内侧,是比内侧导体线13小一圈的长方形状的区域。在图3的例子中,即使是在第1导体图案层L1A、L1B中的任一个,均以除中央区域P以外包围外侧导体线12和内侧导体线13的方式,配置有高比电阻区域20。由此,比外侧导体线12更靠外侧的区域、外侧导体线12与内侧导体线13之间的区域、内侧导体线13与中央区域P之间的区域与分开区R一起成为高比电阻区域20。

[0049] 在第2导体图案层L2,在除了中央区域P以外的部分的整体配置有高比电阻区域20。第2导体图案层L2的高比电阻区域20在俯视时与第1导体图案层L1的高比电阻区域20重叠,位于分开区R的外侧连接线14和内侧连接线15的周围也成为高比电阻区域20。另外,在层叠方向上相邻的第1导体图案层L1的外侧导体线12、12之间和内侧导体线13、13之间也成为:配置有第2导体图案层L2的高比电阻区域20(参照图5)。

[0050] 如以上说明的那样,在层叠线圈部件1中,通过将在层叠方向上相邻的第1导体图案层L1的外侧导体线12、12彼此和内侧导体线13、13彼此连接,在素体2内形成多重卷绕结构的线圈部C。通过采用上述多重卷绕结构的线圈部C,能够实现卷绕效率的提高。在层叠线圈部件1中,通过位于外侧导体线12和内侧导体线13的分开区R的外侧连接线14和内侧连接线15,外侧导体线12、12彼此和内侧导体线13、13彼此连接为阶梯状。因此,能够充分确保线圈部C的内径,能够提高电感值、直流叠加特性、直流电阻这样的特性。另外,在层叠线圈部件1中,能够抑制线圈部C的形成所需的导体图案的种类,能够避免各层的制作需要工夫和时间。

[0051] 并且,在层叠线圈部件1中,分开区R中的外侧连接线14的两端部14a、14b和内侧连接线15的两端部15a、15b的位置在通过分开区的线圈部的线方向上对齐,隔着分开区R对置的外侧导体线12的端部对12a、12a和内侧导体线13的端部对13a、13b的位置在通过分开区R的线圈部C的线方向上错开。由此,能够抑制外侧导体线12与内侧导体线13并行的区域的长度。外侧导体线12与内侧导体线13并行的区域与其他部分相比电压容易消耗。因此,通过抑制该区域的长度,能够适当地实现耐电压的提高。

[0052] 在层叠线圈部件1中,在第1导体图案层L1中,外侧导体线12与内侧导体线13之间的区域的电阻率也可以高于第1导体图案层L1的中央区域P的电阻率。外侧导体线12与内侧导体线13之间的区域与其他部分相比电压容易消耗。因此,通过相对地提高该区域的电阻率,能够实现耐电压的进一步提高。

[0053] 在层叠线圈部件1中,在第2导体图案层L2,在层叠方向上相邻的第1导体图案层L1的外侧导体线12、12间和内侧导体线13、13间的区域的电阻率高于第2导体图案层L2的中央区域P的电阻率。在层叠方向上相邻的第1导体图案层L1的外侧导体线12、12之间和内侧导体线13、13之间的区域与其他部分相比电压容易消耗。因此,通过相对地提高该区域的电阻率,能够实现耐电压的进一步提高。

[0054] 在层叠线圈部件1中,第2导体图案层L2的厚度小于第1导体图案层L1的厚度。由此,外侧导体线12和内侧导体线13的连接部分的厚度(在图5(a)和图5(b)的例子中,外侧导体线12的端部12a、12b与外侧连接线14的端部14a、14b的重叠部分的厚度、内侧导体线13的

端部13a、13b与内侧连接线15的端部15a、15b的重叠部分的厚度)被抑制,能够在层叠方向上更紧密地卷绕线圈部C。另外,通过抑制连接部分的厚度,能够抑制连接部分的热收缩和由热收缩引起的厚度的变动。因此,能够抑制连接部分的断线的产生。

[0055] 在层叠线圈部件1中,在素体2的层叠方向的端面2a设置有一对端子电极3、3。另外,线圈部C具有:第4导体图案层L4,其具有将外侧导体线12与一对端子电极3、3的一个连接、将内侧导体线13与一对端子电极3、3的另一个连接的引出导体18A、18B。由此,能够构成所谓的底面端子型的层叠线圈部件。在底面端子型的层叠线圈部件中,能够抑制安装面积,能够实现高密度安装。

[0056] 在层叠线圈部件1中,第3导体图案层L3在素体2的层叠方向的端面2b侧连接外侧导体线12和内侧导体线13。由此,能够充分确保线圈部C的卷绕圈数。

[0057] 本公开不限于上述实施方式。例如,如图6所示,也可以是,隔着分开区域R对置的外侧导体线12的端部对12a、12a和内侧导体线13的端部对13a、13b的位置在通过分开区域R的线圈部C的线方向上对齐,分开区域R内的外侧连接线14的两端部14a、14b和内侧连接线15的两端部15a、15b的位置在通过分开区域R的线圈部C的线方向上错开。

[0058] 在图6的例子中,一个第1导体图案层L1和一对第2导体图案层L2A、L2B依次层叠而成为组,根据线圈部C中的所需的卷绕数,在层叠结构内设置有多组。在第1导体图案层L1,如图7的(a)所示,外侧导体线12的端部对12a、12b的位置和内侧导体线13的端部对13a、13b的位置均隔着中央对称。

[0059] 另一方面,如图7的(a)和图7的(b)所示,第2导体图案层L2A的外侧连接线14和内侧连接线15与第2导体图案层L2B的外侧连接线14和内侧连接线15在俯视时交错地配置。即,在第2导体图案层L2A,外侧连接线14比中央更偏向素体2的端面2c侧,内侧连接线15比中央更偏向素体2的端面2d侧。另外,在第2导体图案层L2B,外侧连接线14比中央更偏向素体2的端面2d侧,内侧连接线15比中央更偏向素体2的端面2c侧。

[0060] 在第1导体图案层L1和第2导体图案层L2A、L2B的层叠状态下,如图8(a)所示,第2导体图案层L2A的外侧连接线14的端部14b与第2导体图案层L2B的外侧连接线14的端部14a在层叠方向上重叠。并且,第2导体图案层L2A的外侧连接线14的端部14a与一组第1导体图案层L1的外侧导体线12的端部12a重叠,第2导体图案层L2B的外侧连接线14的端部14bb与一组在层叠方向上相邻组的第1导体图案层L1的外侧导体线12的端部12b重叠。

[0061] 另外,在第1导体图案层L1和第2导体图案层L2A、L2B的层叠状态下,如图8(b)所示,第2导体图案层L2A的内侧连接线15的端部15a与第2导体图案层L2B的内侧连接线15的端部15b在层叠方向上重叠。并且,第2导体图案层L2A的内侧连接线15的端部15b与一组第1导体图案层L1的内侧导体线13的端部13b重叠,第2导体图案层L2B的内侧连接线15的端部15a与一组在层叠方向上相邻组的第1导体图案层L1的内侧导体线13的端部13a重叠。

[0062] 在上述实施方式中,例示了在素体2的层叠方向的端面2a设置有一对端子电极3、3的底面端子型的层叠线圈部件1,但如图9所示,也可以是在素体2的长度方向的两端面2c、2d分别设置有端子电极3的端面端子型的层叠线圈部件21。在将图3所示的层结构应用于端面端子型的情况下,例如如图10所示,代替具有通孔17A、17B的通孔层L4a和第4导体图案层L4,在多组的下层侧(素体2的端面2a侧)的第1导体图案层L1A、L1B的下层侧层叠一对第4导体图案层L4A、L4B和多个覆盖层Lc即可。

[0063] 第4导体图案层L4A具有引出导体21A和通孔22。引出导体21A在俯视时呈长方形状,配置于素体2的端面2c侧。引出导体21A与位于最靠素体2的端面2a侧的第1导体图案层L1B的外侧导体线12和设置于端面2c侧的一个端子电极3连接。通孔22与引出导体21A分分地配置于素体2的端面2d侧,与位于最靠素体2的端面2a侧的第1导体图案层L1B的内侧导体线13连接。此外,在图10的例子中,第4导体图案层L4A的素体部分11除中央区域P之外成为高比电阻区域20。由此,引出导体21A和通孔22均成为被高比电阻区域20包围的状态。

[0064] 第4导体图案层L4B具有引出导体21B。引出导体21B在俯视时呈长方形状,配置于素体2的端面2d侧。引出导体21B经由第4导体图案层L4A的通孔22,将位于最靠素体2的端面2a侧的第1导体图案层L1B的内侧导体线13与设置于端面2d侧的另一个端子电极3连接。

[0065] 在将图6的层结构应用于端面端子型的情况下也是同样的,例如如图11所示,代替具有通孔17A、17B的层L4a和第4导体图案层L4,在多组的下层侧(素体2的端面2a侧)的第1导体图案层L1的下层侧,层叠图10所示的一对第4导体图案层L4A、4B和多个覆盖层Lc即可。

[0066] 高比电阻区域20也可以不必配置。即,构成各层的素体部分11的电阻率也可以一定。在该情况下,能够实现结构的简单化。

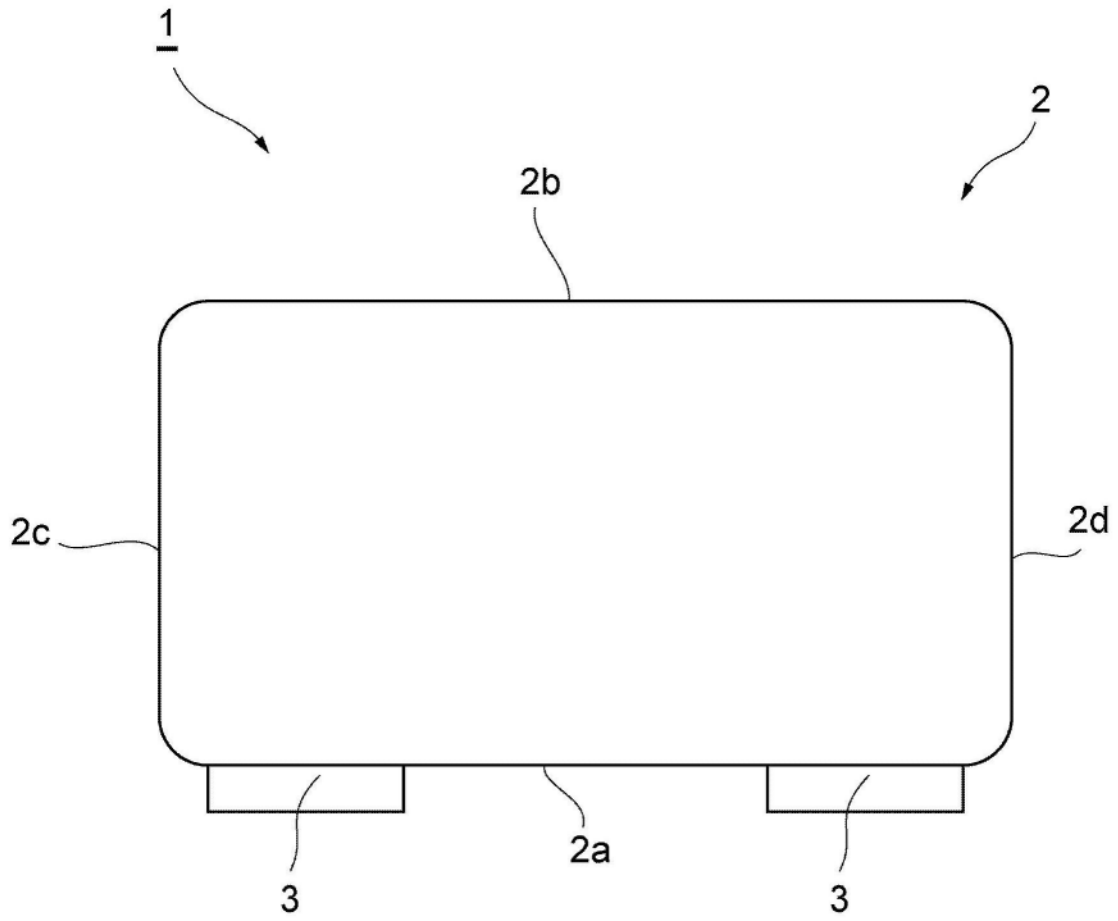


图1

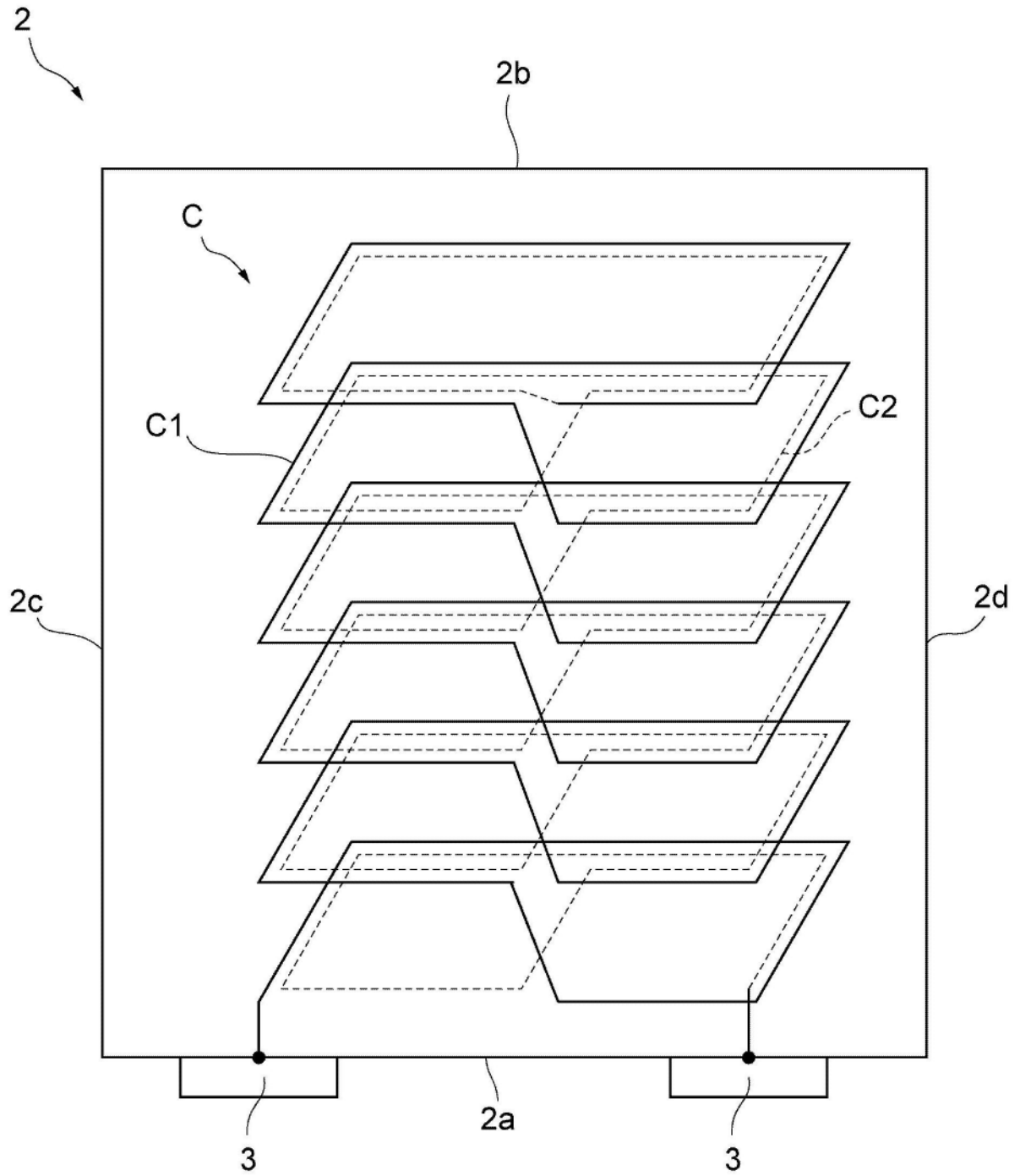


图2

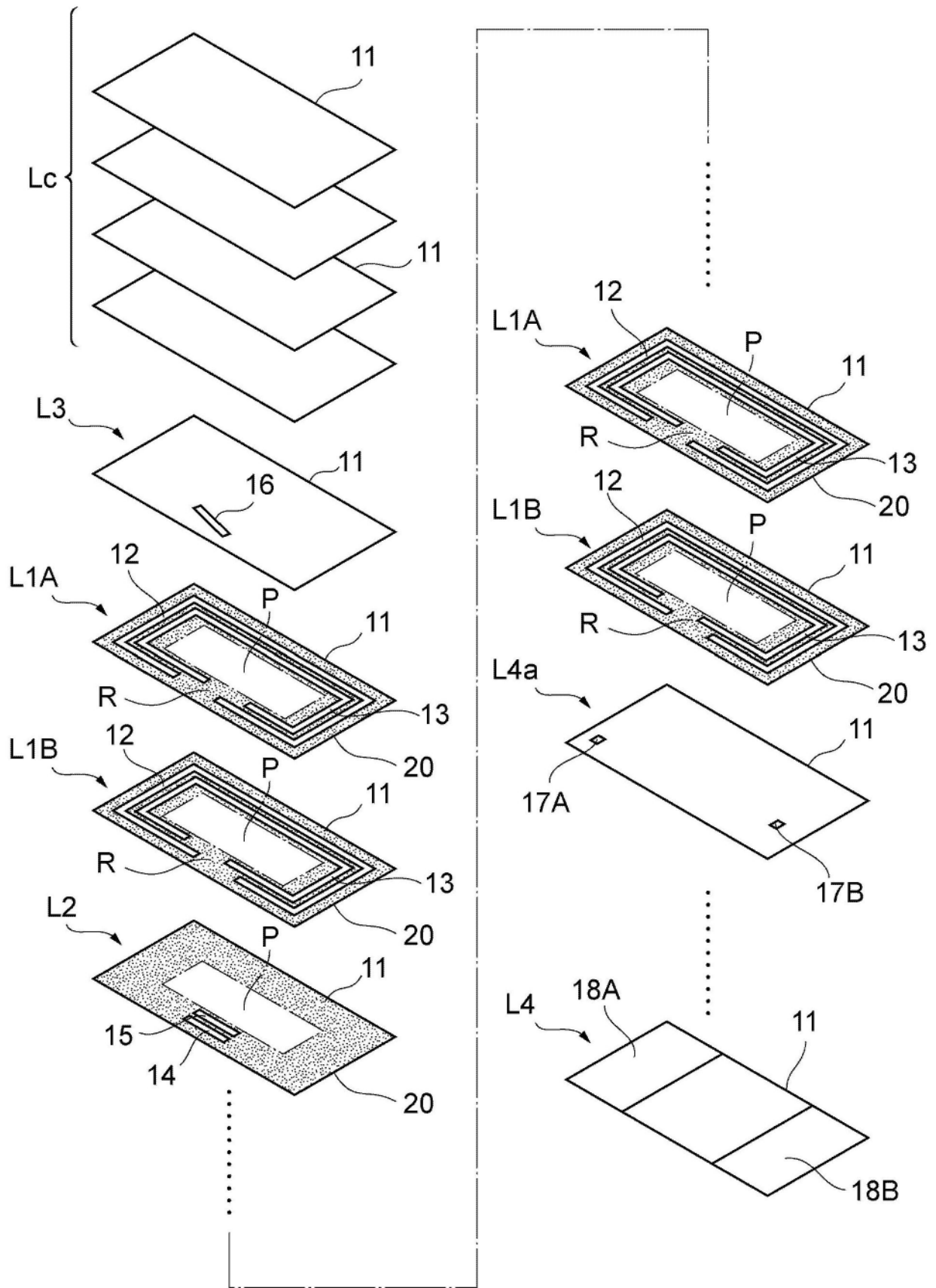


图3

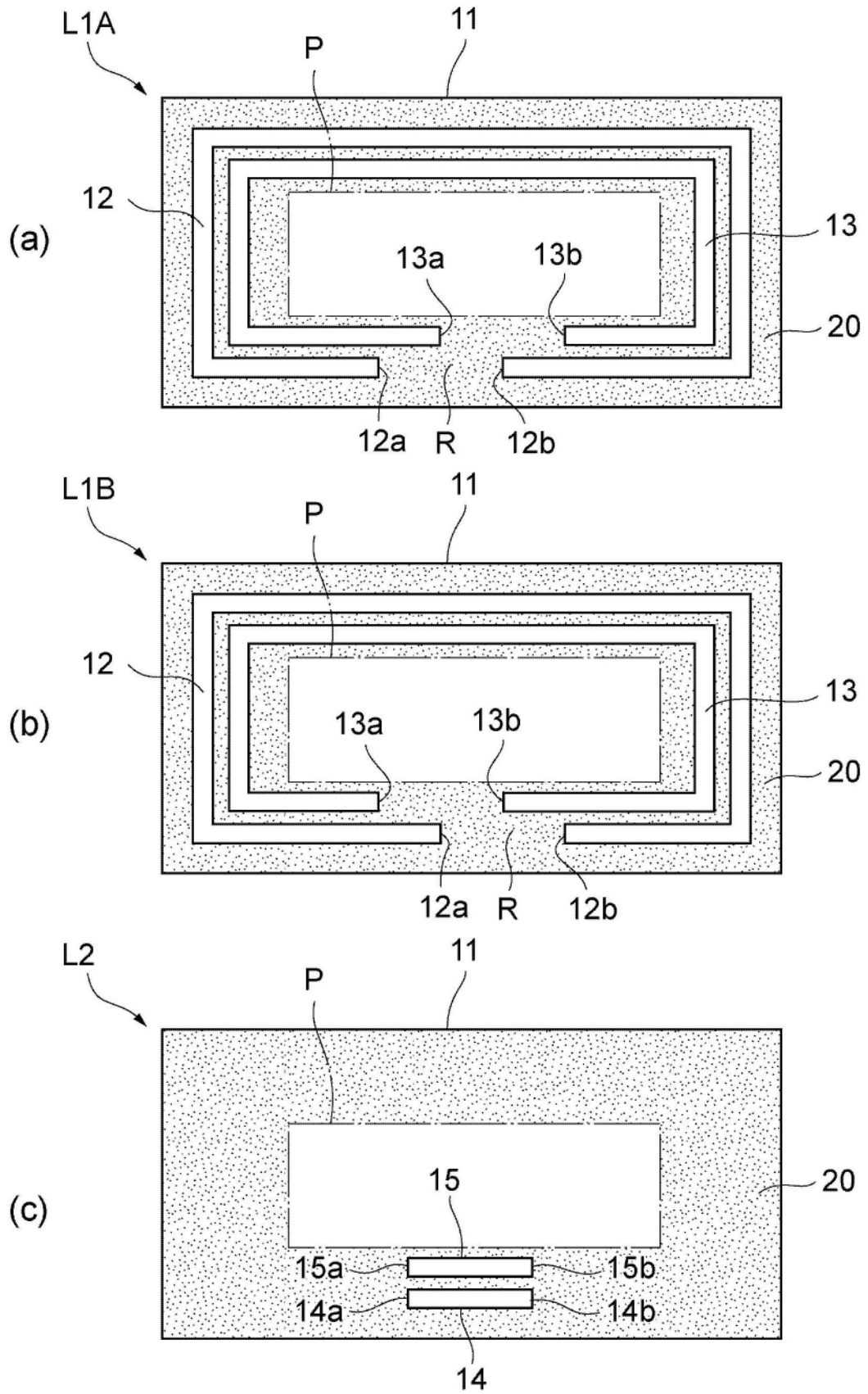


图4

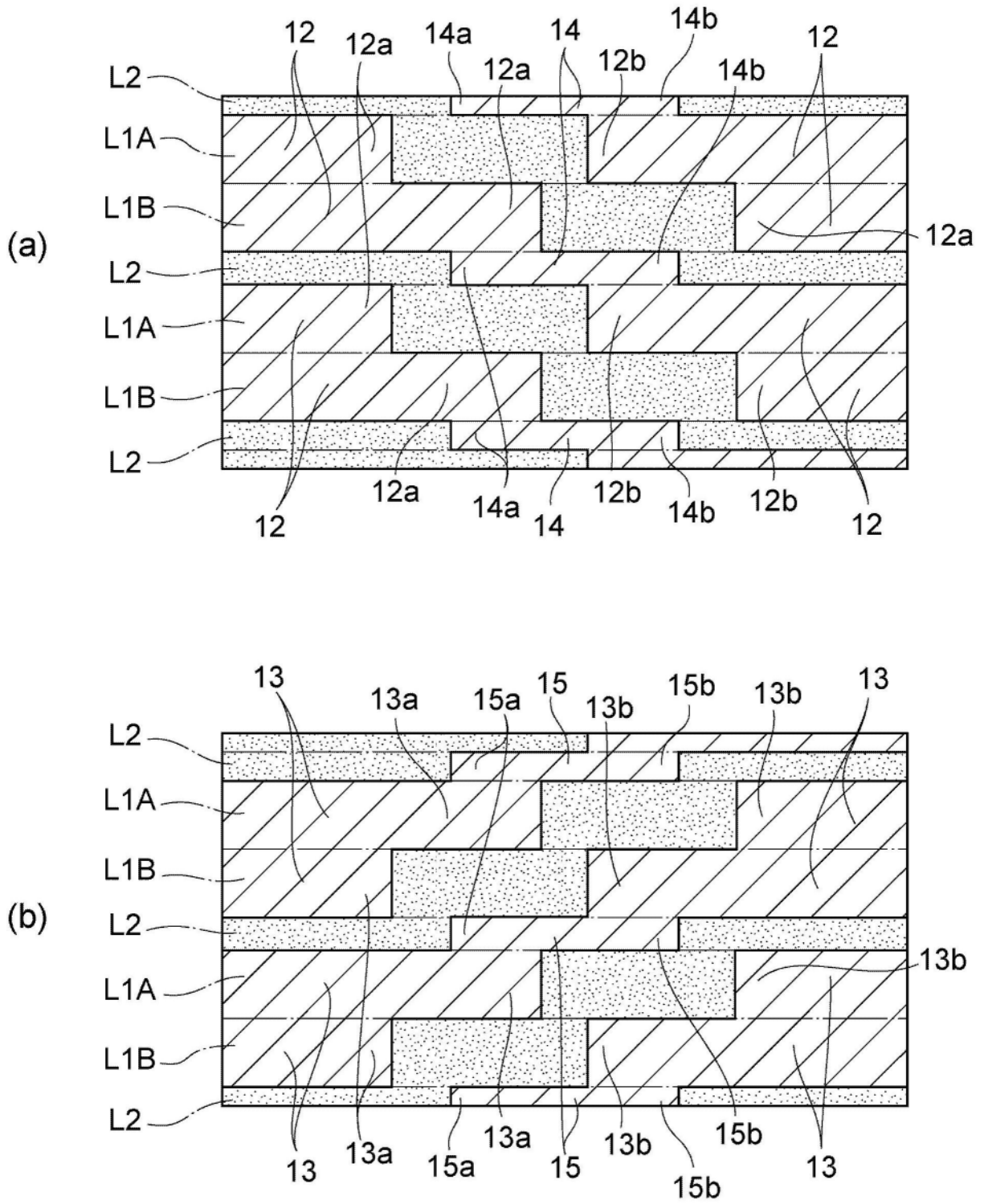


图5

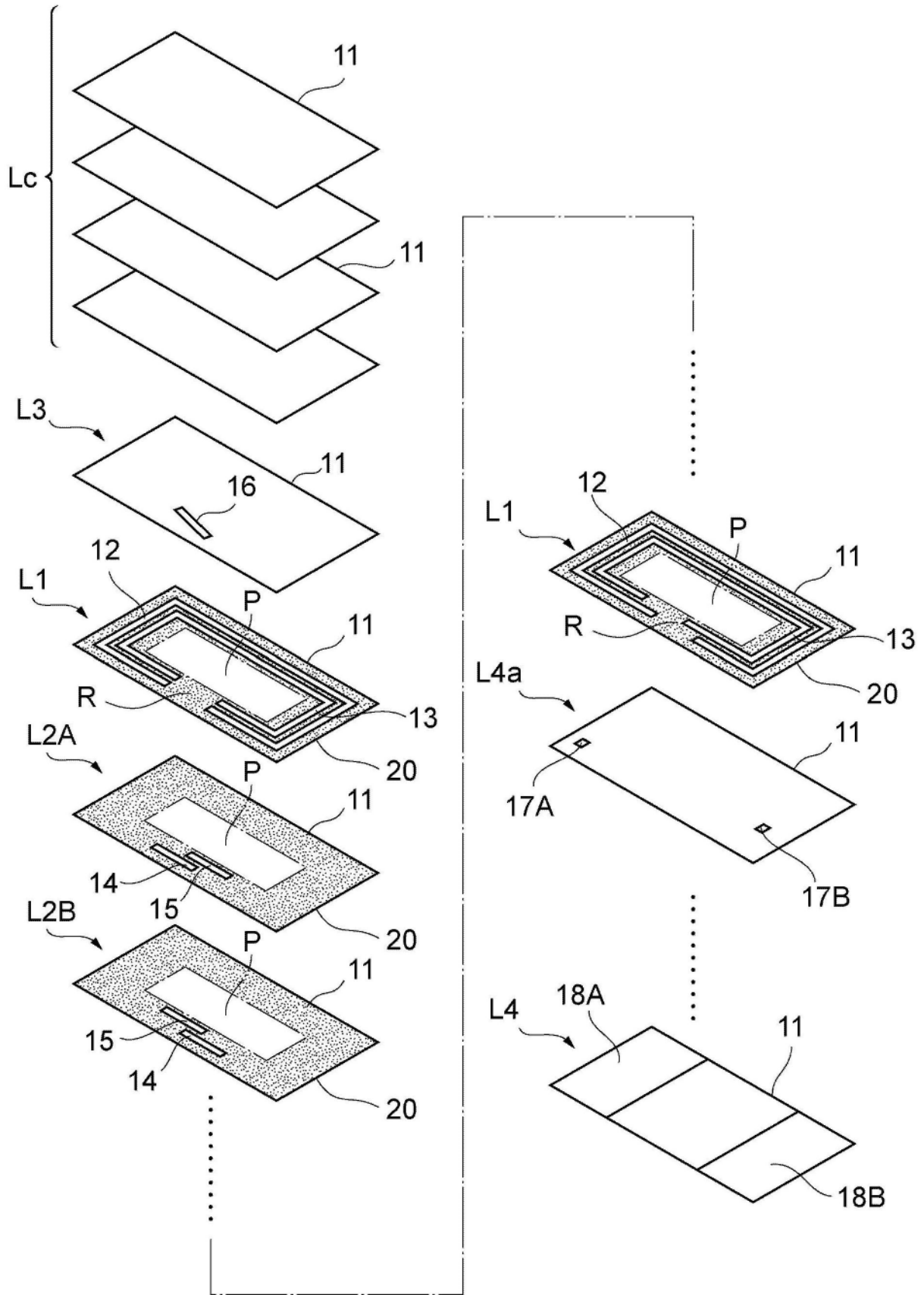


图6

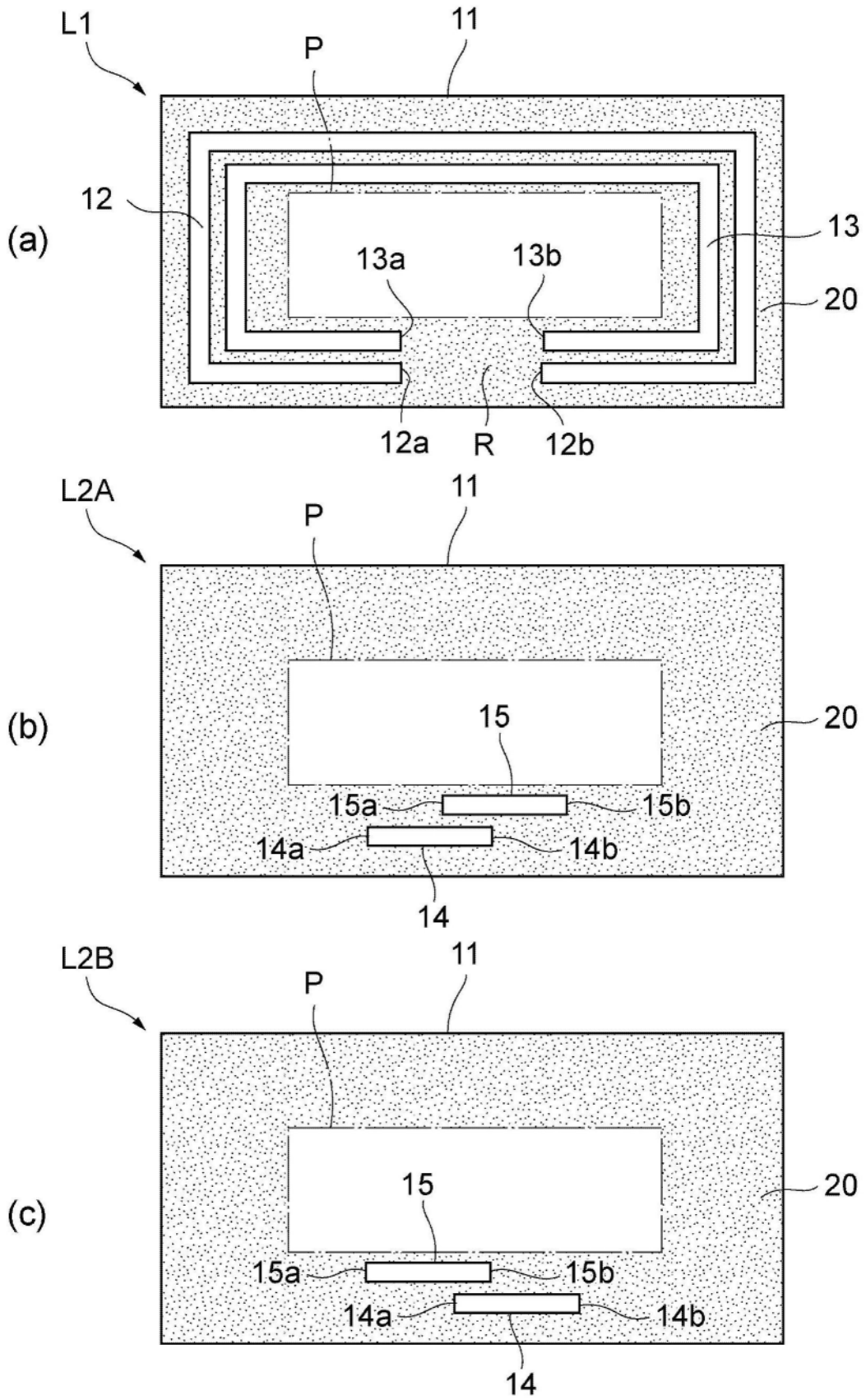


图7

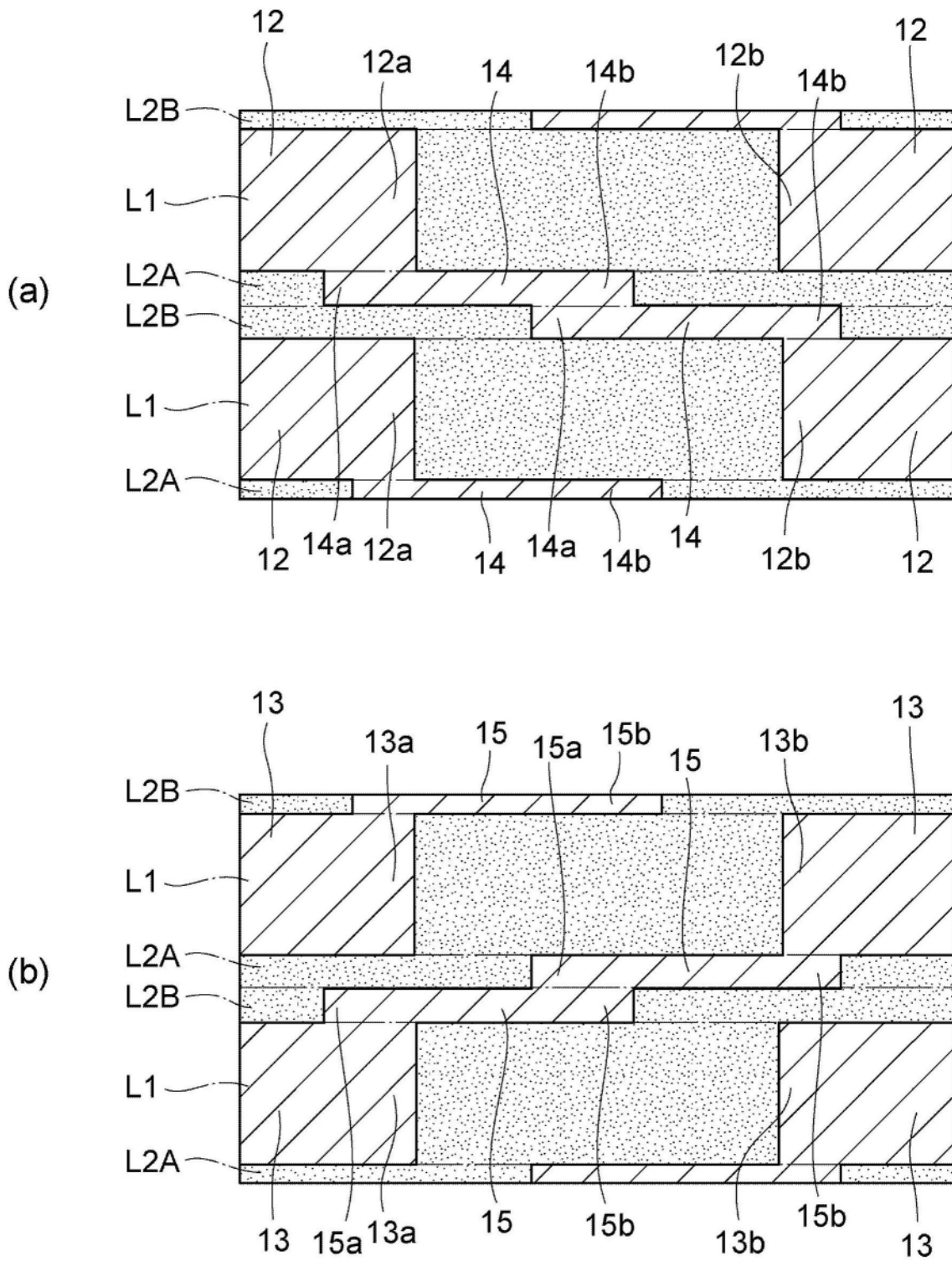


图8

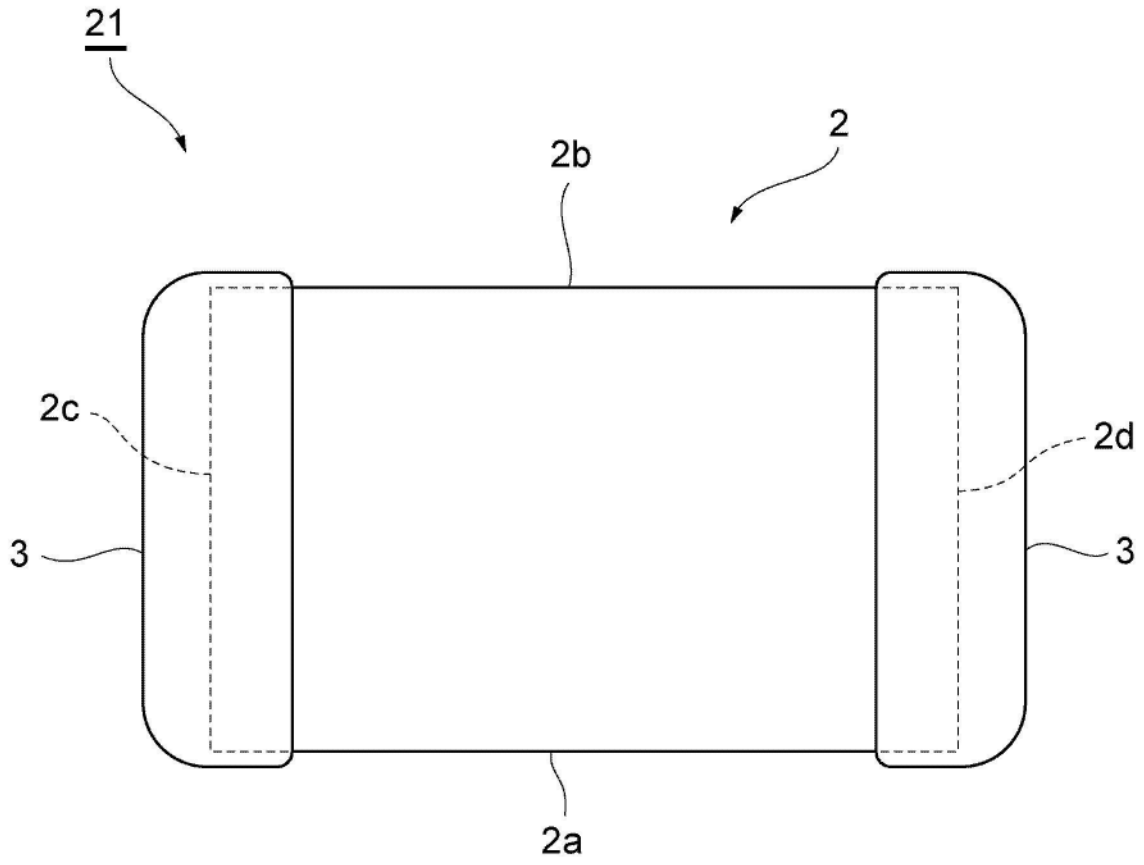


图9

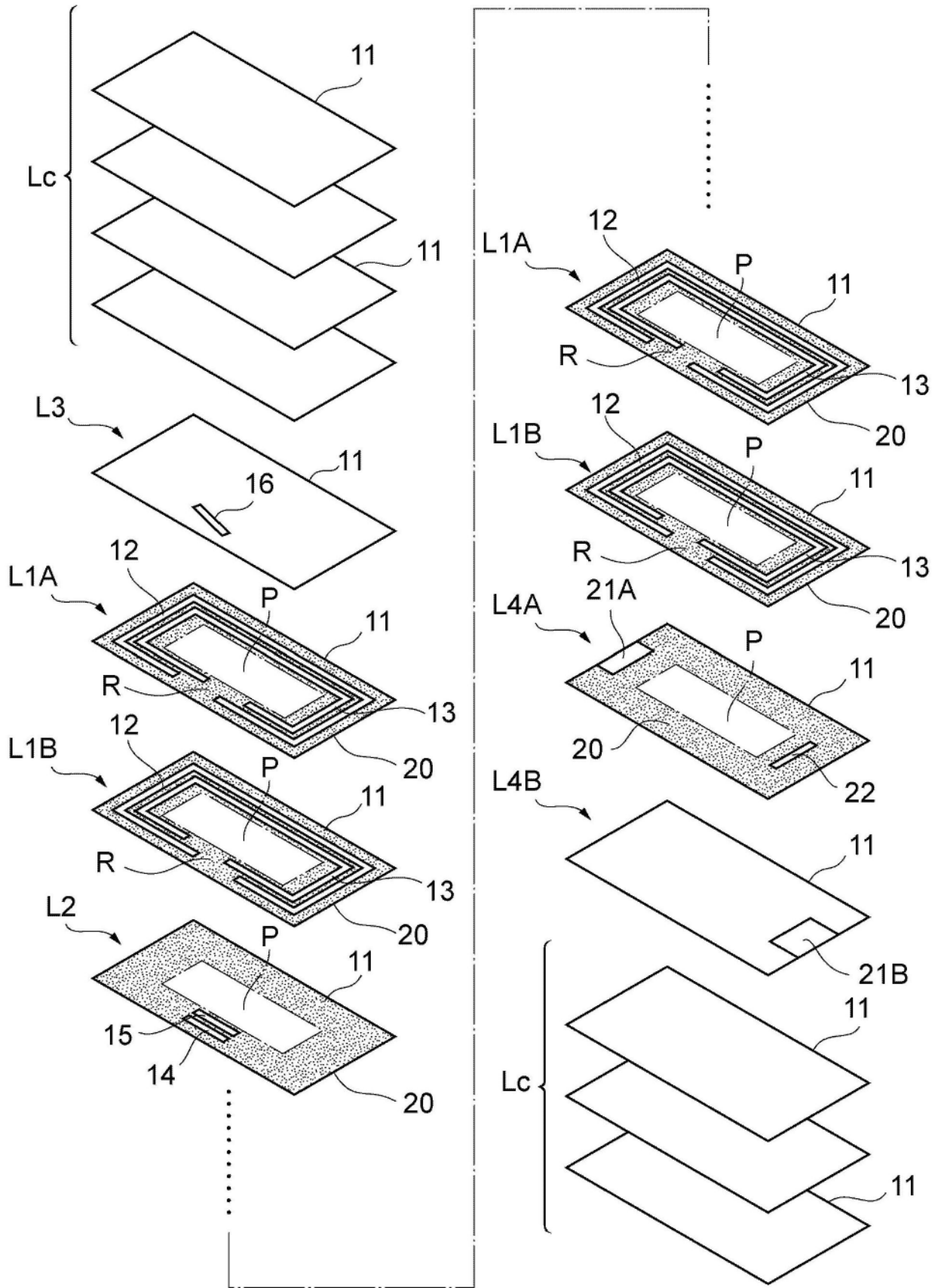


图10

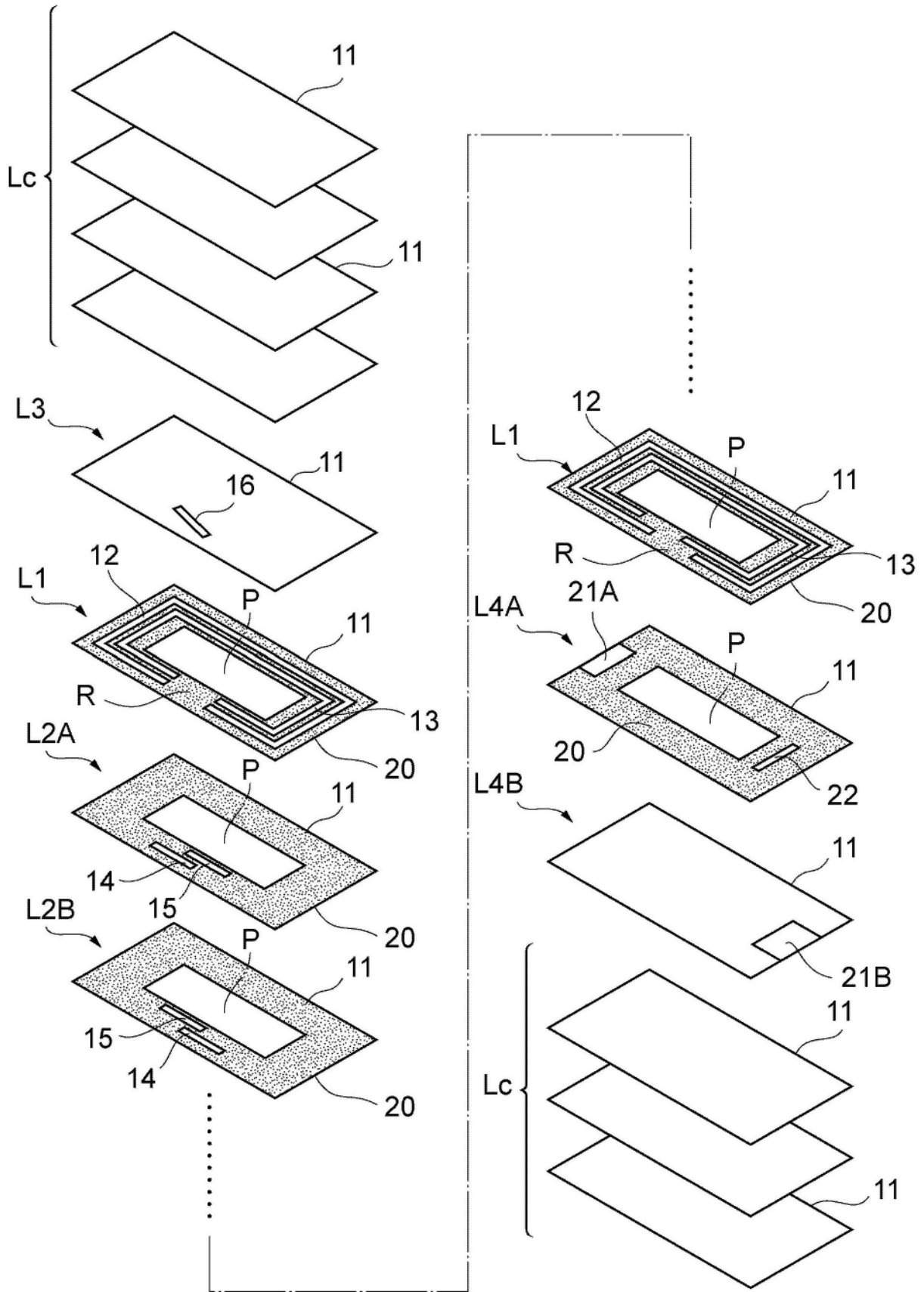


图11