



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201703226 A

(43)公開日：中華民國 106 (2017) 年 01 月 16 日

(21)申請案號：105118972

(22)申請日：中華民國 105 (2016) 年 06 月 16 日

(51)Int. Cl. : *H01L23/60 (2006.01)* *H02H9/04 (2006.01)*

(30)優先權：2015/06/19 世界智慧財產權組織 PCT/JP2015/067766

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：前田敏 MAEDA, SATOSHI (JP)；森下泰之 MORISHITA, YASUYUKI (JP)；田中正德 TANAKA, MASANORI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：28 共 53 頁

(54)名稱

半導體裝置

(57)摘要

本發明提供一種半導體裝置。本發明之半導體裝置具備：第 1 輸入/輸出電路，其連接於第 1 墊；第 2 輸入/輸出電路，其相對於第 1 輸入/輸出電路而在沿晶片端部所構成之 1 個邊之方向上配置，且連接於第 2 墊；及 ESD 保護電路，其配置於第 1 及第 2 輸入/輸出電路之外側之晶片端部的附近。ESD 保護電路具備電阻、電容、反相器、及 N 通道型電晶體。

指定代表圖：

符號簡單說明：

10 . . . 半導體裝置

EDG . . . 晶片端部

ESD
(R,C,INV,NMOS) . .
• ESD 保護電路(電
阻，電容，反相器，
N 通道型電晶體)

IO . . . 輸入/輸出電
路

X . . . 方向

Y . . . 方向

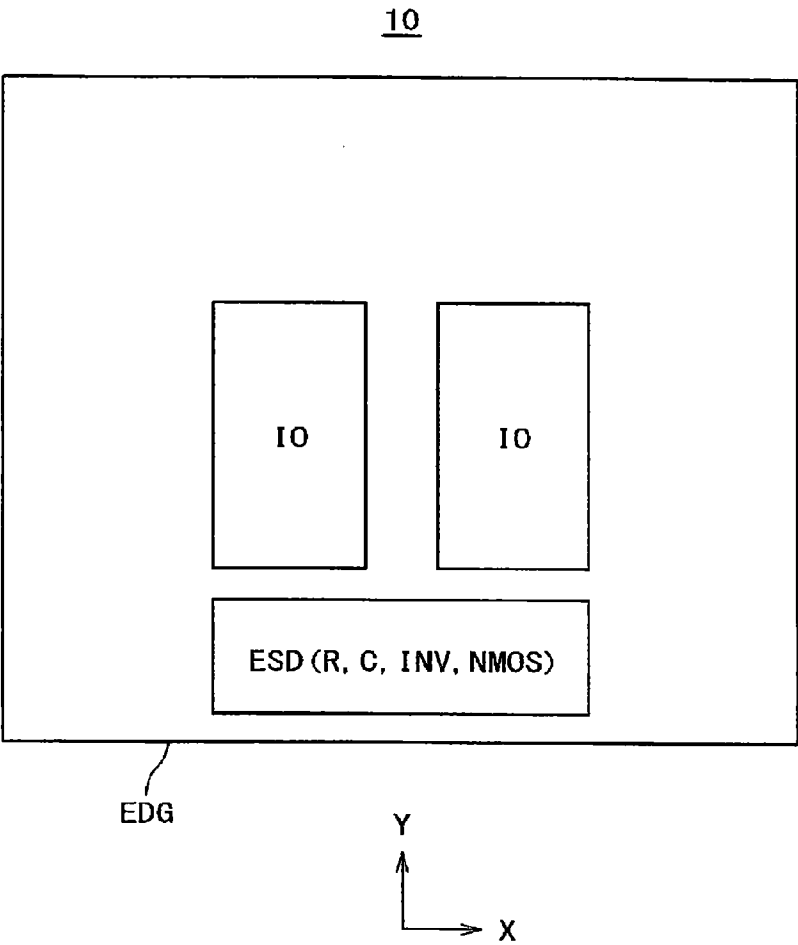


圖 8

發明摘要

※ 申請案號：105118972

※ 申請日：105.6.16

※IPC 分類：H01L 23/60 (2006.01)
H02H 9/04 (2006.01)

【發明名稱】

半導體裝置

【中文】

本發明提供一種半導體裝置。本發明之半導體裝置具備：第1輸入/輸出電路，其連接於第1墊；第2輸入/輸出電路，其相對於第1輸入/輸出電路而在沿晶片端部所構成之1個邊之方向上配置，且連接於第2墊；及ESD保護電路，其配置於第1及第2輸入/輸出電路之外側之晶片端部的附近。ESD保護電路具備電阻、電容、反相器、及N通道型電晶體。

【英文】

無

【代表圖】

【本案指定代表圖】：第（8）圖。

【本代表圖之符號簡單說明】：

10 半導體裝置

EDG 晶片端部

ESD(R, ESD保護電路(電阻，電容，反相器，N通道型電
C,INV, 晶體)

NMOS)

IO 輸入/輸出電路

X 方向

Y 方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

【技術領域】

本公開係關於一種半導體裝置，可適用於例如具有ESD(Electro-Static-Discharge：靜電放電)保護電路之半導體裝置。

【先前技術】

在半導體積體電路裝置(LSI晶片)之晶片周邊部，配置有對應於複數個外部端子之複數個輸入/輸出單元。為了電源阻抗之減小與穩定化等，而相對於複數個輸入/輸出單元配置有複數個電源單元。在輸入/輸出單元及電源單元內置有ESD保護電路。作為本揭示所關聯之先前技術文獻，有例如日本特表2005-536046號公報或與其相對應之國際公開第2004/015776號。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特表2005-536046號公報

[專利文獻2]國際公開第2004/015776號

【發明內容】

[發明所欲解決之問題]

因產品之多功能化與電源域分離數之增加等，而導致應該配置之電源單元(ESD保護電路)增加，且晶片面積增加。

本發明之其他課題與新穎的特徵可由本說明書之記述及添附圖式而明確化。

[解決問題之技術手段]

若簡單地說明本公開中代表性發明之概要，則如下所述。

具體而言，半導體裝置在輸入/輸出單元之外側具備沿輸入/輸出單元之配列方向為長之ESD保護電路。ESD保護電路由電阻、電容、反相器、及N通道型電晶體構成。

[發明效果]

根據上述半導體裝置，可抑制晶片面積之增加。

【圖式簡單說明】

圖1係比較例之半導體裝置之概略配置圖。

圖2係圖1之IO區域之方塊圖。

圖3係圖2之輸入/輸出單元之電路圖。

圖4係圖2之電源單元之電路圖。

圖5係圖4之虛線A內之ESD保護電路的配置圖。

圖6係圖1之IO區域之第1例的概略配置圖。

圖7係圖1之IO區域之第2例的概略配置圖。

圖8係用於說明實施方式之半導體裝置之圖。

圖9係實施例1之半導體裝置之概略配置圖。

圖10係圖9之IO區域之方塊圖。

圖11係圖9之ESD保護電路之電路圖。

圖12係圖9之ESD保護電路之配置圖。

圖13係圖9之ESD保護電路之配置圖。

圖14係變化例1之半導體裝置之第1ESD保護電路的配置圖。

圖15係變化例2之半導體裝置之IO區域的電路圖。

圖16係圖15之IO區域之配置圖。

圖17係變化例3之半導體裝置之IO區域的配置圖。

圖18係變化例4之半導體裝置之IO區域的配置圖。

圖19係對圖18之墊透視之配置圖。

圖20係將圖18之墊去除後之配置圖。

圖21係變化例5之半導體裝置之IO區域之電源線與接地線的結線圖。

圖22係圖21之IO區域之配置圖。

圖23係變化例6之半導體裝置之IO區域的配置圖。

圖24係圖23之IO區域之電路圖。

圖25係用於說明圖23之IO區域之問題的配置圖。

圖26係用於說明解決圖23之IO區域之問題之手段的配置圖。

圖27係實施例2之半導體裝置之概略配置圖。

圖28係圖27之IO區域之電路圖。

【實施方式】

以下，針對實施方式、實施例及變化例使用圖式進行說明。惟在以下之說明中，存在對同一構成要件賦予同一符號而省略重複之說明之情形。此外，由於圖式使說明更加明確，因而與實際之態樣相比較，存在針對各部之寬度、厚度、形狀等進行示意性地顯示之情形，但終極而言其僅為一例，並非係限定本發明之解釋者。

在對本揭示進行說明之前，針對本申請案發明者等曾研究之技術(以下稱為比較例)之半導體裝置進行說明。

圖1係顯示比較例之半導體裝置之概略配置的平面圖。半導體裝置10S在晶片之外周部具備輸入/輸出單元11及電源單元12、13。將輸入/輸出單元11及電源單元12、13所配置之區域稱為IO區域。IO區域接近晶片端部21、22、23、24，在平面觀察下沿晶片端部21、22、23、24所構成之4個邊分佈。晶片端部21、23所構成之2個邊沿X方向延伸。晶片端部22、24所構成之2個邊沿Y方向延伸。輸入/輸出單元11係連接於1個輸入/輸出墊之輸入/輸出電路的形成區域。電源單元12、13係將電源或GND(接地電位)朝保護半導體裝置免受ESD與雜訊

之害之ESD保護電路及晶片內部供給之配線的形成區域。由於需要均等地減小電源阻抗，因而電源單元12、13就複數個輸入/輸出單元11之每一個分散配置，且對於輸入/輸出單元11與輸入/輸出單元11之間鄰接配置。半導體裝置10S之電源域雖為1個，但電源單元12、13在與1個晶片邊對向之IO區域各配置3處。

圖2係圖1之IO區域之方塊圖，且係顯示電源單元及輸入/輸出單元與電源之連接關係的圖。輸入/輸出單元11內置有連接於輸入/輸出端子(I/O)112之輸入/輸出電路111。電源單元12具備對應於電源端子(VDD)122之ESD保護電路121，電源單元13具備對應於接地端子(VSS)123之ESD保護電路121。輸入/輸出端子112、電源端子122、接地端子123雖分別配置於輸入/輸出單元11、電源單元12、13之上，但亦可分別遠離輸入/輸出單元11、電源單元12、13而配置。輸入/輸出端子112、電源端子122、接地端子123連接於接合線等，亦分別稱為輸入/輸出墊、電源墊、接地墊。

圖3係圖2之輸入/輸出單元之電路圖。構成輸入/輸出單元11之輸入/輸出電路111具備：輸出電路，其包含將輸出信號傳遞至連接於輸入/輸出端子112之信號配線216的P通道型電晶體Q2及N通道型電晶體Q3；輸入電路，其包含對經由信號配線216而自輸入/輸出端子112被輸入之輸入信號予以接收之反相器INV3；及二極體D1、D2，其構成ESD保護電路。P通道型電晶體Q2連接於電源配線211與信號配線216之間，N通道型電晶體Q3連接於信號配線216與接地配線212之間，反相器INV3連接於電源配線211與接地配線212之間。二極體D1之陽極連接於信號配線216，陰極連接於電源配線211。二極體D2之陽極連接於接地配線212，陰極連接於信號配線216。二極體D1使突波電流經由信號配線216及電源配線211而自輸入/輸出端子112朝向電源端子122流動，二極體D2使突波電流經由接地配線212及信號配線216而自

接地端子123朝向輸入/輸出端子112流動。作為輸出電路亦可為不具有P通道型電晶體Q2之所謂的開式汲極型。又，在輸入/輸出電路中即便不具備輸出電路及輸入電路中任一者亦無妨。

圖4係圖2之電源單元之電路圖。構成電源單元12、13之ESD保護電路121係構成為包含：時間常數電路(亦稱為RC定時器)126，其對正突波電壓予以檢測；緩衝器電路即反相器INV1；N通道型電晶體Q1，其為了使上述之突波電壓高速地放電而設定為大的尺寸；及二極體D3。RC定時器126由包含電阻R1與電容C1之積分電路構成。電阻R1之一端經由電源配線211而連接於電源端子122，另一端連接於電容C1之一端與反相器INV1之輸入。電容C1之一端連接於電阻R1之另一端與反相器INV1之輸入，另一端經由接地配線212連接於接地端子123。電容C1之充電電壓被供給至反相器INV1之輸入端子。反相器INV1之輸出連接於N通道型電晶體Q1之閘極。反相器INV1經由電源配線211自電源端子122接收動作電壓而動作。N通道型電晶體Q1之汲極經由電源配線211連接於電源端子122，源極經由接地配線212連接於接地端子123，背閘極經由接地配線212連接於接地端子123。在電源端子122與接地端子123之間設置有用於使負突波電壓放電之二極體D3。二極體D3之陽極連接於接地配線212，陰極連接於電源配線211。二極體D3使突波電流以經由接地配線212及電源配線211而自接地端子123朝向電源端子122之方式流動。

例如，當在電源端子122產生正突波電壓時，動作電壓自電源端子122被供給至反相器INV1，因時間常數電路126延遲且對應於突波電壓之高位準被傳遞至反相器INV1之輸入端子。因而，反相器INV1在自於電源端子122產生正突波電壓時起直至電容C1之充電電壓達到反相器INV1之邏輯臨限值電壓為止之期間維持高位準，並將N通道型電晶體Q1設定為導通狀態而使突波電壓放電。

此外，反相器INV1、INV3分別由P通道型電晶體與N通道型電晶體構成。又，P通道型電晶體Q2、N通道型電晶體Q1、Q3及反相器INV1、INV3之P通道型電晶體與N通道型電晶體之各電晶體雖為所謂之MOSFET，但閘極並不限定於金屬，閘極絕緣膜亦不限定於氧化膜。

圖5為圖4之虛線A內之ESD保護電路的配置圖，與配置於圖1之下邊(晶片端部21)側之電源單元的方向相符。自晶片端部側起以N通道型電晶體Q1、反相器INV1、RC定時器126之順序配置。電源單元12、13係與輸入/輸出單元11相同，X方向之長度(單元寬度(W))較Y方向之長度(單元高度(H))為短。

圖6係圖1之IO區域之第1例的概略配置圖，且為使電源單元之高度與輸入/輸出單元之高度一致之情形。圖7係圖1之IO區域之第2例的概略配置圖，且為使電源單元之寬度與輸入/輸出單元之寬度一致之情形。電源單元12、13較輸入/輸出單元11為大尺寸。因此，單元尺寸不同之輸入/輸出單元11與電源單元12、13混合配置。

因產品之多功能化與電源域分離數之增加等，而導致應該配置之ESD保護電路(電源單元)增加。進而，因引腳數之增加(輸入/輸出墊阻害)，而導致晶片面積增加。雖因在IO區域之電源配線與接地配線之環繞配線中存在電阻而需要配置ESD保護電路，但因輸入/輸出墊阻害而亦需要將本來應該朝IO區域配置之ESD保護電路朝IO區域之內側配置。然而，因此，因晶片內部區域之壓迫、與IO區域之環繞配線之連接、及凹凸部產生等而設計更為複雜化。又，由於環繞配線之配線電阻隨著工序之細微化推進而上升，以致因應該配置之ESD保護電路之增加與配線區域之增加等而導致晶片面積增加。內置有ESD保護電路之電源單元與輸入/輸出單元相比單元尺寸變大，若使其單元高度與輸入/輸出單元之單元高度一致，則其單元寬度變大。又，存

在規格上單元尺寸為大之輸入/輸出單元，若與其他之輸入/輸出單元之單元寬度一致，則將產生自IO區域突出之部分(凹凸)。

<實施方式>

其次，針對解決比較例之半導體裝置之問題的實施方式之半導體裝置進行說明。

圖8係顯示實施方式之半導體裝置之構成的配置圖。半導體裝置10具備：複數個輸入/輸出電路(IO)，其等沿X方向串聯配置；及ESD保護電路(ESD)，其配置於複數個輸入/輸出電路(IO)之外側(晶片端部(EDG))側。ESD保護電路(ESD)具備：電阻(R)、電容(C)、反相器(INV)、及N通道型電晶體(NMOS)。

由於不將較輸入/輸出電路大之ESD保護電路配置於輸入/輸出電路列中，因而可抑制晶片面積之增加。

[實施例1]

圖9係顯示實施例1之半導體裝置之概略配置的平面圖。半導體裝置10A在由一個半導體基板構成之晶片的外周部具備輸入/輸出單元11及電源單元12A、13A。將輸入/輸出單元11及電源單元12A、13A所配置之區域稱為IO區域。IO區域接近晶片端部21、22、23、24，在平面觀察下沿著晶片端部21、22、23、24所構成之4個邊分佈。晶片端部21、23所構成之2個邊沿X方向延伸。晶片端部22、24所構成之2個邊沿Y方向延伸。輸入/輸出單元11係連接於1個輸入/輸出墊之輸入/輸出電路的形成區域。電源單元12A、13A係將電源或GND(接地電位)朝保護半導體裝置免受ESD與雜訊之害之二極體D3及晶片內部供給之配線的形成區域。由於需要均等地減小電源阻抗，因而電源單元12A、13A就複數個輸入/輸出單元11之每一個分散配置，且對於輸入/輸出單元11與輸入/輸出單元11之間鄰接配置。ESD保護電路124接近於較輸入/輸出單元11、電源單元12A、13A更靠外側(晶片端部21、

22、23、24側)而配置，分別沿晶片端部之4邊延伸。此外，在半導體裝置10A之晶片之四隅角具備角隅單元16。在角隅單元16處具備電源配線及接地配線。半導體裝置10A在較IO區域更靠內側處具備內部電路。半導體裝置10A係與半導體裝置10S相同，電源域為1個，電源單元12A、13A在沿1個晶片邊之IO區域就每1個IO區域配置。此外，電源單元12A、13A之配置個數並不限定於此，而由各半導體技術之保護元件之放電特性與配線阻抗等規定。但，若半導體裝置10A除電源單元與ESD保護電路以外，其他部分與半導體裝置10S相同，則半導體裝置10A之電源單元12A、13A之配置個數可較半導體裝置10S之電源單元12、13之配置個數減少，從而可有助於墊阻害消除。

圖10為顯示實施例1之電源單元及輸入/輸出單元與電源之連接關係的電路圖，與配置於圖9之下邊(晶片端部21)側之IO區域之方向相符。圖11係圖9之ESD保護電路124之電路圖。輸入/輸出單元11內置有連接於輸入/輸出端子(I/O)112之輸入/輸出電路111。電源單元12A具備：連接於將電源自電源端子(VDD)122朝晶片內部供給之電源配線211的配線217及作為ESD保護電路之二極體D3。電源單元13A具備配線218，其連接於將接地電位自接地端子(VSS)123朝晶片內部供給之接地配線212。電源單元12A雖具備圖4之ESD保護電路121中之二極體D3，但不具備ESD保護電路121之其他的電路。電源單元13A不具備ESD保護電路121。亦即，ESD保護電路124位於輸入/輸出單元11、電源單元12A、13A之外之位置。ESD保護電路124係與圖4之ESD保護電路121之虛線A內的電路相同，且連接於電源配線213、接地配線214。電源配線211、接地配線212、電源配線213、接地配線214沿X方向延伸，且自晶片端部21起以接地配線214、電源配線213、接地配線212、電源配線211之順序配置。電源配線211與電源配線213連接，接地配線212與接地配線214連接。輸入/輸出端子(I/O)112、電源端子

122、及接地端子123雖以在平面觀察下分別重疊於輸入/輸出單元11、電源單元12A、13A之上之方式配置，但亦可在平面觀察下分別遠離輸入/輸出單元11、電源單元12A、13A而配置。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之電源單元及輸入/輸出單元與電源之連接關係亦與配置於晶片端部21側之電源單元及輸入/輸出單元與電源之連接關係相同。

圖12係圖11之ESD保護電路之配置圖，與配置於圖9之下邊(晶片端部21)側之ESD保護電路124的方向相符。圖13為圖11之ESD保護電路之配置圖，且顯示配置2個ESD保護電路之情形。自晶片端部24側起以N通道型電晶體Q1、反相器INV1、RC定時器126之順序配置。亦可自晶片端部22側起以N通道型電晶體Q1、反相器INV1、RC定時器126之順序配置。ESD保護電路124與輸入/輸出單元11及電源單元12A、13A不同，其X方向之長度(單元寬度(W))較Y方向之長度(單元高度(H))長。亦即，ESD保護電路124之單元為抑制高度之橫長的形狀。1個ESD保護電路124與複數個輸入/輸出單元11對向。又，ESD保護電路124沿X方向配置為複數個縱列。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之ESD保護電路124亦與配置於晶片端部21側之ESD保護電路124相同地配置。ESD保護電路124雖在圖9中配置於IO區域之外側，但亦可配置於IO區域之內側。

根據實施例，由於在緊靠全部輸入/輸出單元之處配置有ESD保護電路124，因而能夠使ESD設計制約(IO區域之電源線、接地線之環繞配線電阻)之規定值大幅地緩和。又，在配置於輸入/輸出單元間之電源單元12A處配置電源之引入金屬配線及電源線與接地線之間之二極體D3，而不配置ESD保護電路124。又，在電源單元13A處配置接地之引入金屬配線，而不配置ESD保護電路121。藉此，電源單元12A、13A可較輸入/輸出單元11之面積減小，而可使電源單元12A、

13A之單元寬度及單元高度與輸入/輸出單元11之單元寬度及單元高度一致。此係ESD保護電路之削減效果，在IO區域之內側配置ESD保護電路來對應的情況亦大幅地減小。伴隨於此亦可消除所產生之晶片內部區域之壓迫、與IO區域之環繞配線之連接、凹凸部產生等之設計複雜化之問題。又，能夠削減配置於比較例之IO區域之電源單元的ESD保護電路的面積，而可相應地縮短晶片1邊左右之長度。藉此，能夠消除由輸入/輸出墊阻害所造成之面積增加之問題，並能夠縮小晶片面積。

(變化例1)

針對變更實施例1之ESD保護電路之單元配置之例(變化例1)進行說明。

圖14係變化例1之半導體裝置之ESD保護電路的配置圖，與配置於圖9之下邊(晶片端部21)側之ESD保護電路的方向相符。變化例1之半導體裝置將在二個ESD保護電路具有之RC定時器共有化。自晶片端部24側起以N通道型電晶體Q1、反相器INV1、RC定時器126、反相器INV1、N通道型電晶體Q1之順序進行配置。圖14之第1 ESD保護電路124A係沿X方向配置為複數個縱列。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之ESD保護電路124A亦與配置於晶片端部21側之ESD保護電路124A相同地配置。

藉此，能夠使變化例1之晶片上RC定時器126所佔用的總面積相對於實施例1減半。例如，如圖13所示，若RC定時器126佔用ESD保護電路124之30%的面積，則如圖14所示，變化例1之ESD保護電路124A之面積能夠削減15%。

(變化例2)

針對就實施例1之輸入/輸出單元追加其他功能之例(變化例2)進行說明。

圖15係變化例2之半導體裝置之IO區域的電路圖，與配置於圖9之下邊(晶片端部21)側之IO區域的方向相符。圖16係圖15之IO區域之配置圖。變化例2之半導體裝置具備與通常之輸入/輸出單元11不同之輸入/輸出單元11A。輸入/輸出單元11A除具備輸入/輸出單元11之功能之外，亦具備由施密特觸發電路之「非或」(NOR)閘114與反相器115等之邏輯電路構成之功能。「非或」閘114及反相器115連接於電源配線211與接地配線212。其結果為，輸入/輸出單元11A較輸入/輸出單元11面積變大。例如，若使輸入/輸出單元11A之單元寬度與輸入/輸出單元11之單元寬度一致，則輸入/輸出單元11A之單元高度變得較輸入/輸出單元11之單元高度高。然而，藉由在輸入/輸出單元11A所配置之部位不設置ESD保護電路124，而可將輸入/輸出單元11A之高度變高之部分予以吸收。在面積不同之各種規格之輸入/輸出單元中，在使單元寬度一致之情形下或進行細寬度化時，存在朝晶片內側突出之單元。將該突出部以由ESD保護電路124之配置區域吸收之方式配置。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之輸入單元11A亦與配置於晶片端部21側之輸入單元11A相同地配置。

藉此，可實現源自輸入/輸出單元寬度之統一(或細寬度化)、等節距化(窄節距化)之面積削減。又，可消除因輸入/輸出單元之平坦化而造成之晶片內部區域之壓迫與凹凸部產生等之設計的複雜化。

(變化例3)

針對變更實施例1之墊之位置之例(變化例3)進行說明。

圖17係變化例3之半導體裝置之IO區域的配置圖，與配置於圖9之下邊(晶片端部21)側之IO區域的方向相符。變化例3之半導體裝置係將輸入/輸出端子112、電源端子122及接地端子123配置於ESD保護電路124與晶片端部21之間之例。輸入/輸出端子112、電源端子122及

接地端子123之寬度係與輸入/輸出單元11相同程度或較其小之寬度。變化例3之半導體裝置之輸入/輸出單元11、電源單元12A、13A及ESD保護電路124係與實施例1相同。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之輸入/輸出端子112、電源端子122及接地端子123亦與配置於晶片端部21側之輸入/輸出端子112、電源端子122及接地端子123相同地配置。

此外，在變化例3之半導體裝置中，在輸入/輸出電路111使用連接於電源端子122之電源配線211之電源電壓(VDD1)及連接於接地端子123之接地配線212之接地電壓(VSS1)，在內部電路使用電源配線221之電源電壓(VDD2)及接地配線222之接地電壓(VSS2)。在IO區域中，除配置有電源電壓(VDD1)及接地電壓(VSS1)之配線以外，亦配置有電源電壓(VDD2)及接地電壓(VSS2)之配線。電源電壓(VDD2)及接地電壓(VSS2)可藉由降壓電路自電源電壓(VDD1)及接地電壓(VSS1)產生，亦可經由電源端子及接地端子自外部供給。

(變化例4)

針對將實施例1之墊交錯配置之例(變化例4)進行說明。

圖18係變化例4之半導體裝置之IO區域的配置圖，與配置於圖9之下邊(晶片端部21)側之IO區域的方向相符。圖19係對圖18之墊透視之配置圖。圖20係去除圖18之墊之配置圖。變化例4之半導體裝置使輸入/輸出單元11較變化例3更細寬度化(單元高度增大)，輸入/輸出端子112、電源端子122、及接地端子123在IO區域中交錯配置(配置為鋸齒狀)而構成。變化例4之輸入/輸出端子112、電源端子122、接地端子123之寬度較輸入/輸出單元11、電源單元12A、13A之寬度為大。因而，1個輸入/輸出端子112或電源端子122或是接地端子123在平面觀察下重疊於與輸入/輸出單元11或電源單元12A或是電源單元13A相鄰接之3個單元。1個電源端子122在平面觀察下重疊於相鄰接之輸入/

輸出單元11與電源單元13A。變化例4之半導體裝置之輸入/輸出單元11、電源單元12A、13A及ESD保護電路124除單元形狀以外，與實施例1、變化例3相同。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之輸入/輸出端子112、電源端子122及接地端子123亦與配置於晶片端部21側之輸入/輸出端子112、電源端子122及接地端子123相同地配置。

由於利用錯落配置能夠改善輸入/輸出墊阻害，因此能夠削減晶片面積。

(變化例5)

針對變更實施例1之電源配線/接地配線之配置之例(變化例5)進行說明。

圖21係變化例5之半導體裝置之IO區域之電源配線與接地配線的結線圖，與配置於圖9之下邊(晶片端部21)側之IO區域的方向相符。圖22係圖21之IO區域之配置圖。在變化例5中，調換實施例1之ESD保護電路124之電源配線213與接地配線214之配置，伴隨於此，替換N通道型電晶體及P通道型電晶體等配置。除此以外，變化例5與實施例1相同。在輸入/輸出單元11與ESD保護電路124相鄰接之側之各自的內側連接配置接地配線212、214。在圖22之配置例中，輸入/輸出單元11及ESD保護電路124與墊122在平面觀察下重疊，為便於觀察，在圖22中僅記載重疊部分中任一者。在圖之左側顯示輸入/輸出單元11與ESD保護電路124之配置，在其右側顯示墊122之配置。連接於輸入/輸出單元11之電源配線211配置之區域、連接於輸入/輸出單元11之接地配線212及連接於ESD保護電路124之接地配線214之區域、及連接於ESD保護電路124之電源配線213配置之區域分別沿X方向延伸。利用配線215連接諸條輸入/輸出單元11之電源配線211與ESD保護電路124之電源配線213。配線215係較電源配線211、213之金屬更靠上層

之低電阻的金屬，配置於墊122間之空間中。配置於圖9之右邊(晶片端部22)、上邊(晶片端部23)、左邊(晶片端部24)側之電源配線及接地配線亦與配置於晶片端部21側之電源配線及接地配線相同地配置。

藉此，成為易於對應電阻值與電流密度此一設計制約之配線構造。又，由於接地配線之結線變簡單而能夠由同層之金屬連接，因而在配線總數少之產品中可獲得更大之效果。

(變化例6)

針對電源域為複數個之例(變化例6)進行說明。

圖23係變化例6之半導體裝置之IO區域的配置圖，與配置於圖9之下邊(晶片端部21)側之IO區域的方向相符。圖24係圖23之IO區域之電路圖。如變化例3般，在使於IO區域使用之電源與於內部電路使用之電源不同之情形下，半導體裝置內將具備複數個電源區域(電源域)。在變化例6之半導體裝置中，具備在電源(VDD1)及接地(VSS1)動作之電源域PD1、與在電源(VDD2)及接地(VSS2)動作之電源域PD2，在IO區域中亦具備電源域PD1與電源域PD2。電源域PD1及電源域PD2分別與實施例1相同地具備輸入/輸出單元11、電源單元12A、13A及ESD保護電路124。變化例6之半導體裝置在IO區域之電源域PD1與電源域PD2之間具備橋單元(橋電路)14。橋單元14具備雙方向之二極體D4、D5，其等連接電源域PD1之接地配線212與電源域PD2之接地配線222。二極體D4之陽極連接於接地配線212，陰極連接於接地配線222。二極體D5之陽極連接於接地配線222，陰極連接於接地配線212。電源配線211與電源配線221分離。

圖25係用於說明圖23之IO區域之問題的配置圖。圖26係用於說明解決圖23之IO區域之問題之手段的配置圖。例如，若IO區域之第2電源域係以內部電路中僅由電源單元12A、13A構成之方式而形成之小規模的電源域，則ESD保護電路124之寬度變得較電源單元12A、

13A及橋單元14之寬度更為寬廣，而產生無效空間15。在該情形下，如圖26之比較例般，存在使用包含ESD保護電路124之電源單元12、13者為佳之情形。

[實施例2]

針對使實施例1與比較例組合之例(實施例2)進行說明。

圖27係實施例2之半導體裝置之概略配置圖。圖28係圖27之IO區域之電路圖，與配置於圖27之下邊(晶片端部21)側之IO區域的方向相符。在半導體裝置10B中存在4種電源域，在圖式上晶片之左上與右下存在2種應用實施例1之技術之電源域，在左下與右邊存在2種應用比較例之技術之電源域。亦即，半導體裝置10B在一個半導體基板上具備4個電源域PD1、PD2、PD3、PD4。電源域PD1、PD3之IO區域在晶片之外周部具備與實施例1相同的IO區域(輸入/輸出單元11、輸入/輸出端子112、電源單元12A、13A、電源端子122、接地端子123及ESD保護電路124)。電源域PD2、PD4之IO區域在晶片之外周部具備與比較例相同的IO區域(輸入/輸出單元11、輸入/輸出端子112、電源單元12、13、電源端子122及接地端子123)。在電源域PD1、PD2、PD3、PD4之IO區域之各自之邊界具備橋單元(橋電路)14。電源域PD2、PD4之IO區域之面積較電源域PD1、PD3之IO區域之面積為小。換言之，電源域PD2、PD4之IO區域沿晶片端部之方向的長度較電源域PD1、PD3之IO區域沿晶片端部之方向的長度為小。

電源域PD1之輸入/輸出單元11連接於電源配線211及接地配線212，電源單元12A連接於電源配線211及接地配線212，電源單元13A連接於接地配線212。ESD保護電路124連接於電源配線213及接地配線212。電源配線211、接地配線212、電源配線213沿Y方向(晶片端部22所構成之邊延伸之方向)延伸，且自晶片端部22起以電源配線213、接地配線212、電源配線211之順序配置。在電源域PD1中，亦存在輸

入/輸出單元11、電源單元12A、13A沿X方向串聯配置之部分，在該部分中電源配線211、接地配線212、電源配線213沿X方向(晶片端部21所構成之邊延伸之方向)延伸。

電源域PD2之輸入/輸出單元11連接於電源配線221及接地配線222，電源單元12連接於電源配線221及接地配線222，電源單元13連接於電源配線221及接地配線222。電源配線221、接地配線222沿Y方向延伸，且自晶片端部22起以接地配線222、電源配線221之順序配置。

在電源域PD1與電源域PD2之間具備橋單元14。橋單元14具備雙方向之二極體D4、D5，其等連接電源域PD1之接地配線212與電源域PD2之接地配線222。二極體D4之陽極連接於接地配線212，陰極連接於接地配線222。二極體D5之陽極連接於接地配線222，陰極連接於接地配線212。電源配線211與電源配線221分離。

電源域PD1之輸入/輸出端子(I/O)112、電源端子122、接地端子123雖以在平面觀察下分別重疊於輸入/輸出單元11、電源單元12A、13A之上之方式配置，但亦可在平面觀察下分別遠離輸入/輸出單元11、電源單元12A、13A而配置。電源域PD2之輸入/輸出端子(I/O)112、電源端子122、接地端子123雖以在平面觀察下分別重疊於輸入/輸出單元11、電源單元12、13之上之方式配置，但亦可在平面觀察下分別遠離輸入/輸出單元11、電源單元12、13而配置。

電源域PD3之IO區域為與電源域PD1之IO區域相同的構成。又，電源域PD4之IO區域為與電源域PD2之IO區域相同的構成。但，電源域PD4之IO區域配置於晶片之角部，具有與晶片端部21對向之部分及與晶片端部24對向之部分。

此外，在半導體裝置10B之晶片之四隅角具備角隅單元16。同一電源域內之角隅單元16具備該電源域之電源配線及接地配線。半導體

裝置10B與半導體裝置10A相同地在較IO區域更靠內側處具備內部電路。

藉由在小規模的電源域中配置比較例之ESD保護電路，在大規模的電源域中配置實施例1之ESD保護電路，而能夠抑制晶片面積之增加。藉由相應於電源域之規模使比較例之ESD保護電路與輸入/輸出電路部分地串聯配置，而可實現例如對因在類比電路用之電源域中使用比較例之ESD保護電路而導致之對類比電路之雜訊的影響等予以抑制。

可將實施例1及變化例1至6適宜地組合。又，可將實施例1之變化例1至5作為實施例2之變化例。又，可將實施例2及變化例1至5適宜地組合。

以上，基於實施方式、實施例及變化例具體地說明了本發明者所完成之發明，但本發明並不限定於上述實施方式、實施例及變化例，應明瞭可進行各種變更。

【符號說明】

10	半導體裝置
10A	半導體裝置
10B	半導體裝置
10S	半導體裝置
11	輸入/輸出單元
11A	輸入/輸出單元
12	電源單元
12A	電源單元
13	電源單元
13A	半導體裝置
14	橋單元(橋電路)

15	無效空間
16	角隅單元
21	晶片端部
22	晶片端部
23	晶片端部
24	晶片端部
111	輸入/輸出電路
112	輸入/輸出端子
114	「非或」
115	反相器
121	ESD保護電路
122	電源端子
123	接地端子
124	ESD保護電路
124A	ESD保護電路
126	時間常數電路/RC定時器
211	電源配線
212	接地配線
213	電源配線
214	接地配線
215	配線
216	信號配線
217	配線
218	配線
221	電源配線
222	接地配線

A	虛線
C1	電容
D1	二極體
D2	二極體
D3	二極體
D4	二極體
D5	二極體
EDG	晶片端部
ESD(R, C, INV, NMOS)	ESD保護電路(電阻，電容，反相器，N通道型電晶體)
H	單元高度
INV1	反相器
INV3	反相器
IO	輸入/輸出電路/區域
I/O	輸入/輸出端子
PD1	電源域
PD2	電源域
PD3	電源域
PD4	電源域
Q1	N通道型電晶體
Q2	P通道型電晶體
Q3	N通道型電晶體
R1	電阻
R1/C1	RC定時器
VDD	電源端子

VDD1	電源電壓
VDD2	電源電壓
VSS	接地端子
VSS1	接地電壓
VSS2	接地電壓
W	單元寬度
X	方向
Y	方向

申請專利範圍

1. 一種半導體裝置，其具備：

第1輸入/輸出電路，其連接於第1墊；

第2輸入/輸出電路，其相對於前述第1輸入/輸出電路而在沿晶片端部所構成之1個邊之方向上配置，且連接於第2墊；及

第1ESD保護電路，其配置於前述第1及第2輸入/輸出電路之外側之前述晶片端部的附近；且

前述第1ESD保護電路具備第1電阻、第1電容、第1反相器、及第1N通道型電晶體。

2. 如請求項1之半導體裝置，其中具備：

第1電源配線，其連接於第1電源墊；及

第1接地配線，其連接於第1接地墊。

3. 如請求項2之半導體裝置，其中

前述第1及第2輸入/輸出電路分別具備：第1二極體，其陽極連接於信號配線，陰極連接於第1電源配線；第2二極體，其陽極連接於第1接地配線，陰極連接於前述信號配線；及輸出電路或輸入電路，其連接於前述信號配線。

4. 如請求項3之半導體裝置，其中

前述第1電阻之一端連接於前述第1電源配線；

前述第1電阻之另一端連接於前述第1電容之一端；

前述第1電容之另一端連接於前述第1接地配線；

前述第1電阻之另一端連接於第1反相器之輸入；

前述第1反相器之輸出連接於第1N通道型電晶體之閘極電極；

前述第1N通道型電晶體在前述第1電源配線與前述第1接地配線之間構成電流路徑。

5. 如請求項4之半導體裝置，其中具備：

第3二極體，其配置於前述第1輸入/輸出電路與前述第2輸入/輸出電路之間，且其陽極連接於前述第1接地配線，陰極連接於前述第1電源配線。

6. 如請求項2之半導體裝置，其中具備：

第2ESD保護電路，其相對於前述第1ESD保護電路而在沿前述1個邊之方向上配置；且

前述第2ESD保護電路具備：第2電阻，其一端連接於前述第1電源配線；第2電容，其一端連接於前述第2電阻之另一端，另一端連接於前述第1接地配線；第2反相器，其供前述第2電阻之另一端輸入；及第2N通道型電晶體，其閘極電極連接於前述第2反相器之輸出，且在前述第1電源配線與前述第1接地配線之間構成電流路徑。

7. 如請求項2之半導體裝置，其中具備：

第3ESD保護電路，其相對於前述第1保護電路而在沿前述1個邊之方向上配置；且

前述第3ESD保護電路具備：第3反相器，其供前述第1電阻之另一端輸入；及第3N通道型電晶體，其閘極電極連接於前述第3反相器之輸出，且在前述第1電源配線與前述第1接地配線之間構成電流路徑。

8. 如請求項2之半導體裝置，其中

前述第1墊以在平面觀察下重疊於形成有前述第1輸入/輸出電路之區域之方式配置；

前述第2墊以在平面觀察下重疊於形成有前述第2輸入/輸出電路之區域之方式配置。

9. 如請求項8之半導體裝置，其中

前述第1墊以在平面觀察下重疊於形成有前述第1輸入/輸出電路之區域及形成有前述第2輸入/輸出電路之區域之方式配置；

前述第2墊以在平面觀察下重疊於形成有前述第2輸入/輸出電路之區域及形成有前述第1輸入/輸出電路之區域之方式配置。

10. 如請求項2之半導體裝置，其中

前述第1墊在平面觀察下配置於較形成有前述第1ESD保護電路之區域更靠近前述1個邊之側；

前述第2墊在平面觀察下配置於較形成有前述第1ESD保護電路之區域更靠近前述1個邊之側。

11. 如請求項5之半導體裝置，其中

前述第1電源配線具有在沿前述1個邊之方向上延伸之第3及第4電源配線；

前述第1接地配線具有在沿前述1個邊之方向上延伸之第3及第4接地配線；

前述第3電源配線連接於前述第1二極體之陰極與前述第3二極體之陰極；

前述第3接地配線連接於前述第2二極體之陽極與前述第3二極體之陽極；

前述第4電源配線連接於前述第1電阻之一端與前述第1N通道型電晶體；

前述第4接地配線連接於前述第1電容之另一端與前述第1N通道型電晶體。

12. 如請求項11之半導體裝置，其中

自前述晶片端部側起以前述第4接地配線、前述第4電源配線、前述第3接地配線、前述第3電源配線之順序進行配置。

13. 如請求項11之半導體裝置，其中

自前述晶片端部側起以前述第4電源配線、前述第4接地配線、前述第3接地配線、前述第3電源配線之順序進行配置。

14. 如請求項2之半導體裝置，其中具備：

第2電源配線，其連接於第2電源墊；

第2接地配線，其連接於第2接地墊；及

第3ESD保護電路，其相對於前述第1輸入/輸出電路而在沿晶片緣邊之方向上配置；且

前述第3ESD保護電路具備：第3電阻，其一端連接於前述第2電源配線；第3電容，其一端連接於前述第3電阻之另一端，另一端連接於前述第2接地配線；第3反相器，其供前述第3電阻之另一端輸入；第2N通道型電晶體，其閘極電極連接於前述第3反相器之輸出，且在前述第2電源配線與前述第2接地配線之間構成電流路徑；及第4二極體，其陽極連接於前述第2接地配線，陰極連接於前述第2電源配線。

15. 如請求項14之半導體裝置，其中具備：

橋電路，其連接前述第1接地配線與前述第2接地配線；且

前述橋電路具備：第5二極體，其陽極連接於前述第1接地配線，陰極連接於前述第2接地配線；及第6二極體，其陽極連接於前述第2接地配線，陰極連接於前述第1接地配線。

16. 一種半導體裝置，其具備：

第1電源域，其連接於第1電源墊與第1接地墊；及

第2電源域，其連接於第2電源墊與第2接地墊；且

前述第1電源域具備：

第1輸入/輸出電路，其連接於第1墊；

第2輸入/輸出電路，其相對於前述第1輸入/輸出電路而在沿晶片端部所構成之1個邊之方向上配置，且連接於第2墊；及

第1ESD保護電路，其配置於前述第1及第2輸入/輸出電路之前述晶片端部側的附近；且

前述第1ESD保護電路具備第1電阻、第1電容、第1反相器、及第1N通道型電晶體；且

前述第2電源域具備：

第2ESD保護電路，其相對於前述第1輸入/輸出電路而在沿晶片緣邊之方向上配置；且

前述第2ESD保護電路具備第2電阻、第2電容、第2反相器、第2N通道型電晶體、及第4二極體；且

在前述第1電源域與前述第2電源域之間具備連接前述第1接地配線與前述第2接地配線之橋電路。

17. 如請求項16之半導體裝置，其中具備：

第1電源配線，其連接於第1電源墊；及

第1接地配線，其連接於第1接地墊；且

前述第1及第2輸入/輸出電路分別具備：第1二極體，其陽極連接於信號配線，陰極連接於第1電源配線；第2二極體，其陽極連接於第1接地配線，陰極連接於前述信號配線；及輸出電路或輸入電路，其連接於前述信號配線；且

前述第1電阻之一端連接於前述第1電源配線；

前述第1電阻之另一端連接於前述第1電容之一端；

前述第1電容之另一端連接於前述第1接地配線；

前述第1電阻之另一端連接於第1反相器之輸入；

前述第1反相器之輸出連接於第1N通道型電晶體之閘極電極；

前述第1N通道型電晶體在前述第1電源配線與前述第1接地配線之間構成電流路徑。

18. 如請求項17之半導體裝置，其中具備：

第3二極體，其配置於前述第1輸入/輸出電路與前述第2輸入/輸出電路之間，且其陽極連接於前述第1接地配線，陰極連接於前述第1電源配線。

19. 如請求項17之半導體裝置，其中具備：

橋電路，其連接前述第1接地配線與前述第2接地配線；且

前述橋電路具備：第5二極體，其陽極連接於前述第1接地配線，陰極連接於前述第2接地配線；及第6二極體，其陽極連接於前述第2接地配線，陰極連接於前述第1接地配線。

20. 如請求項16之半導體裝置，其中

沿前述第2電源域之前述1個邊之方向的長度較沿前述第1電源域之前述1個邊之方向的長度為小。

圖式

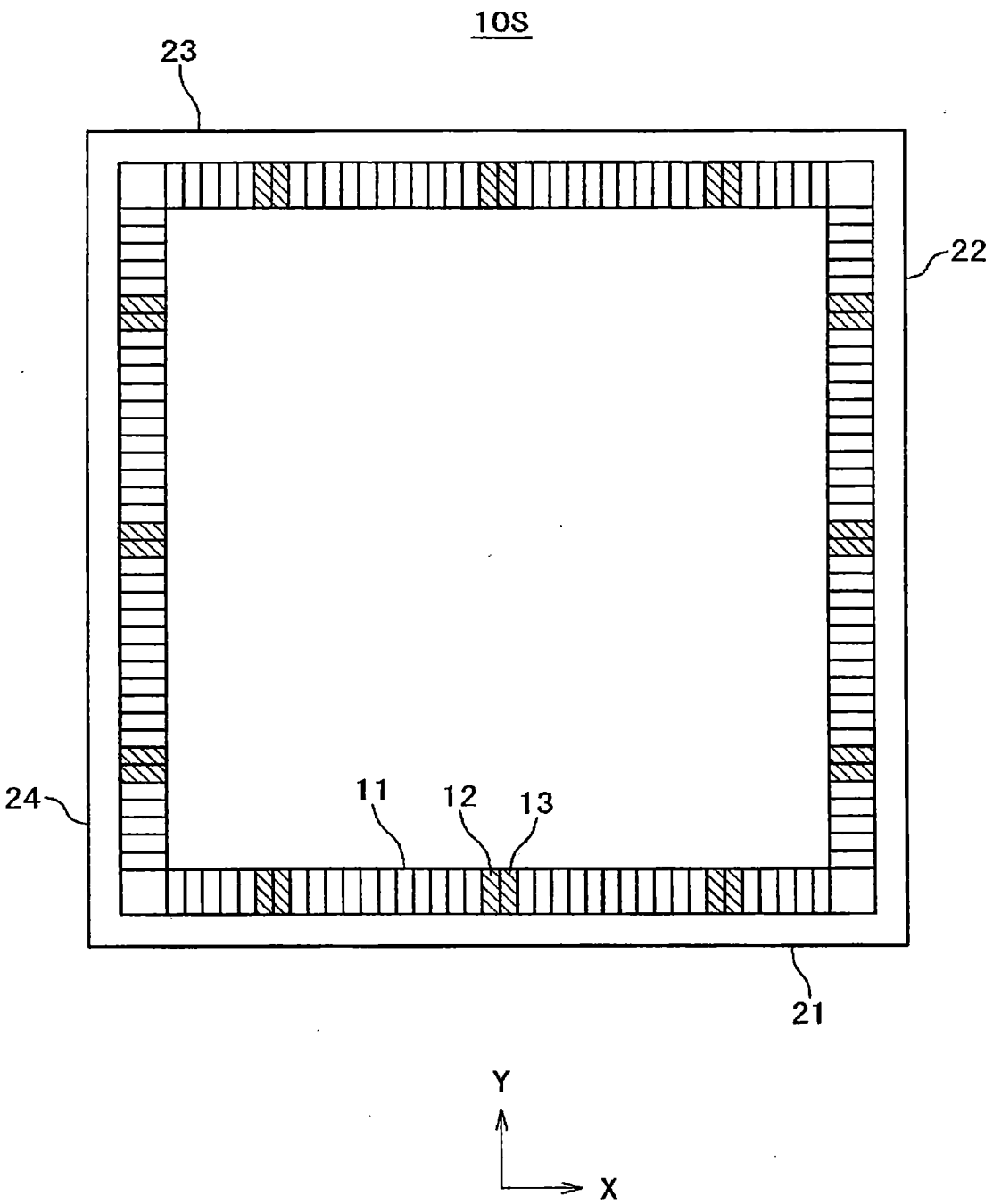


圖 1

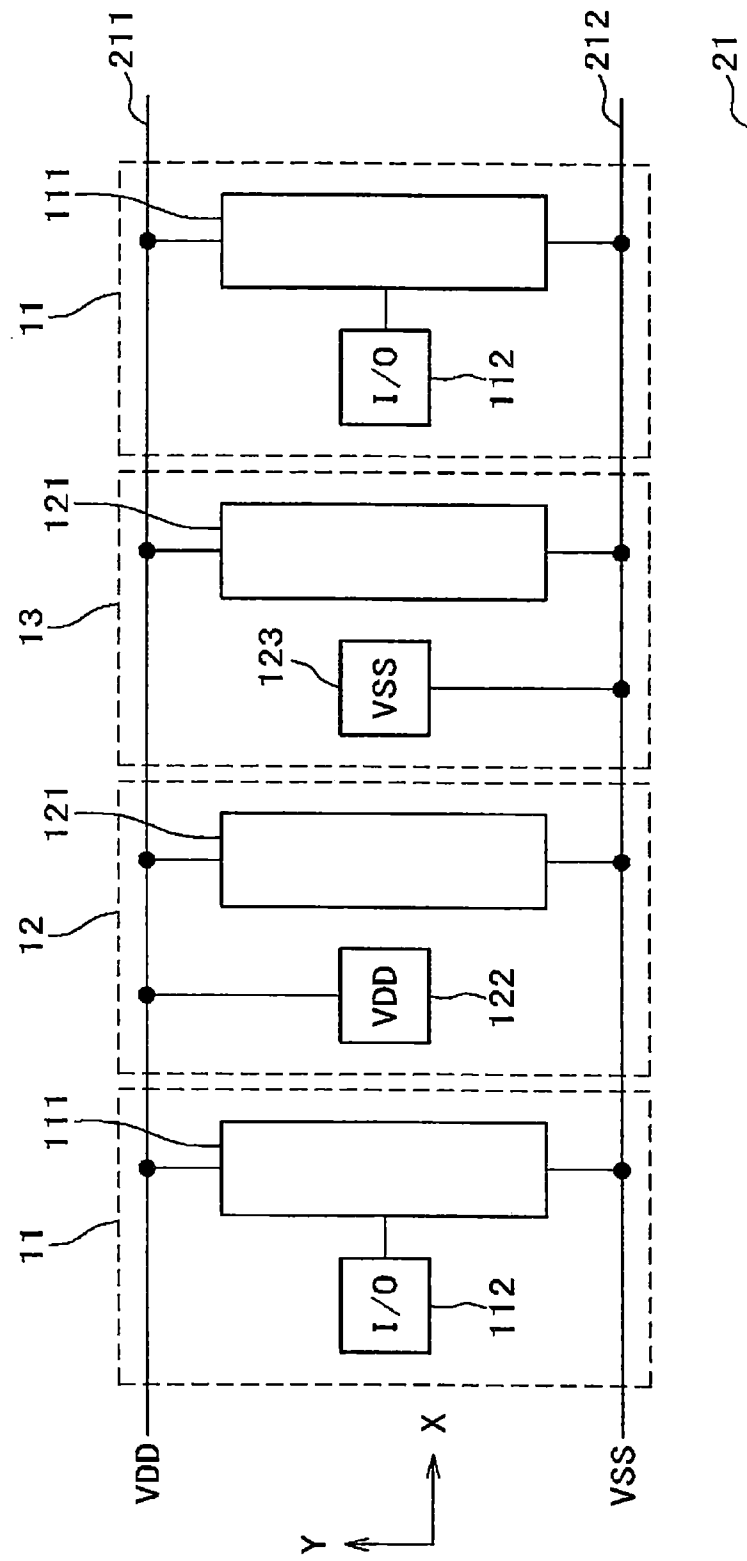


圖 2

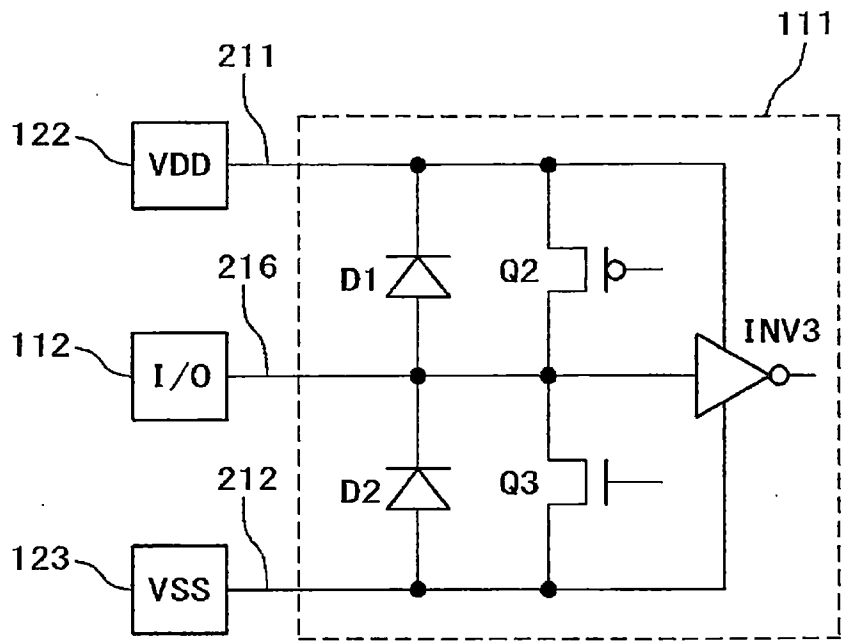


圖 3

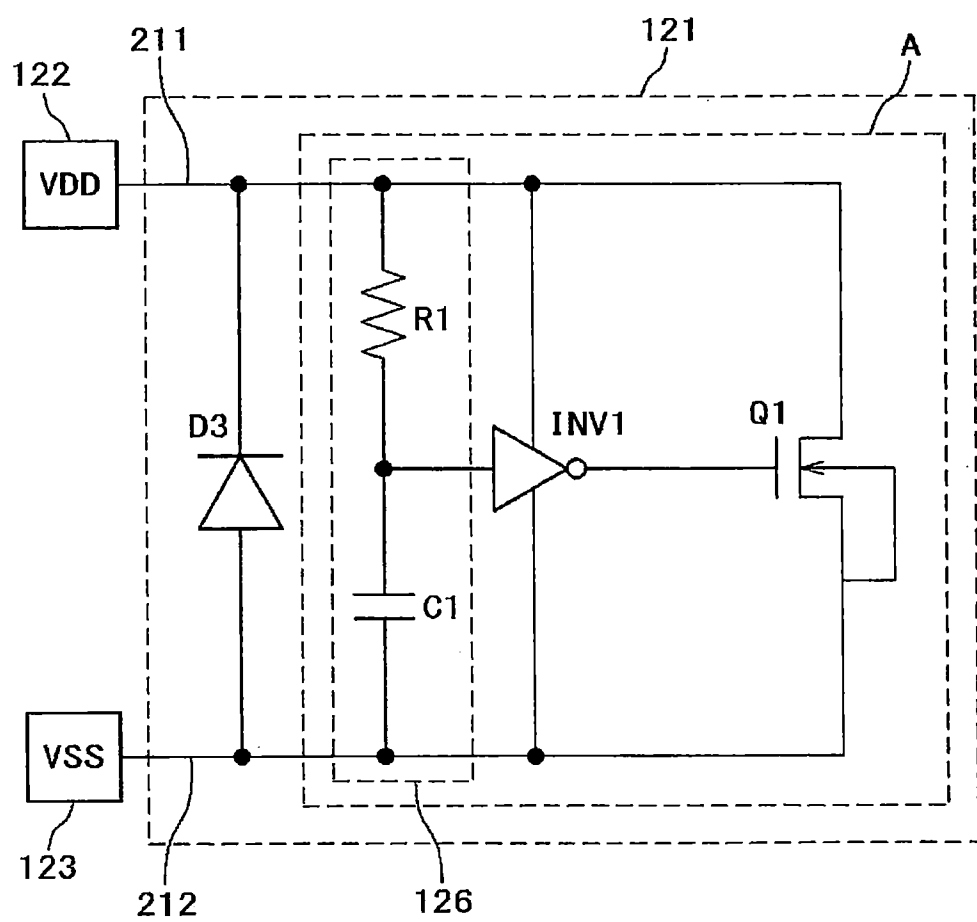


圖 4

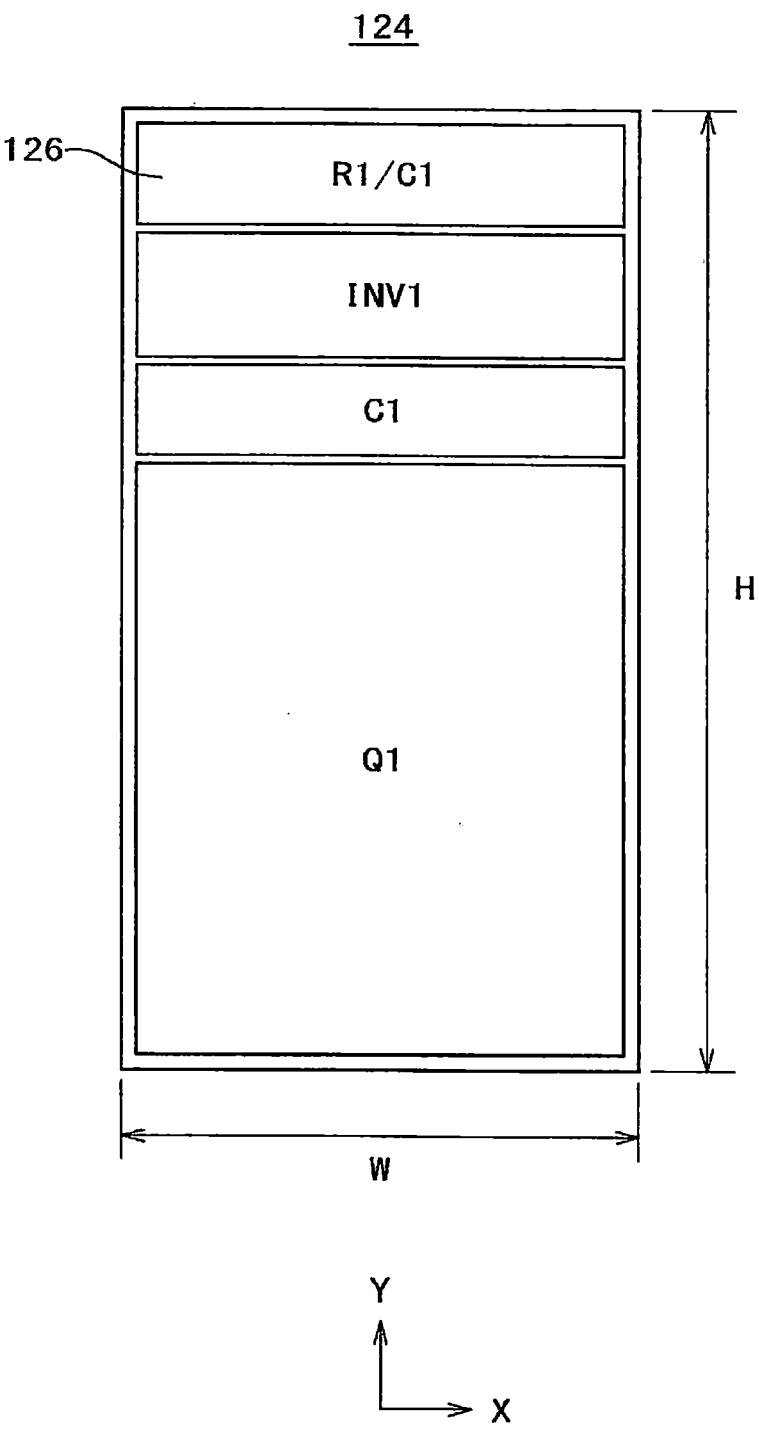


圖 5

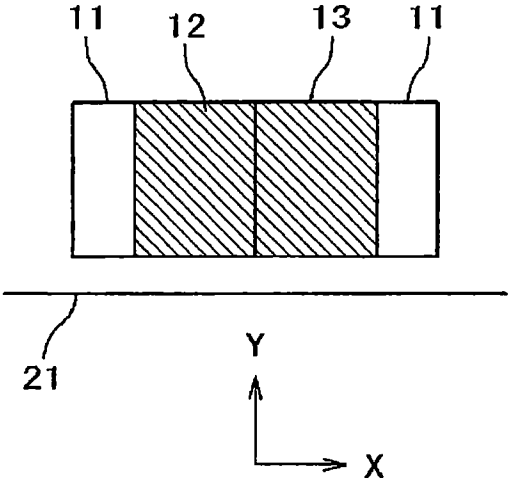


圖 6

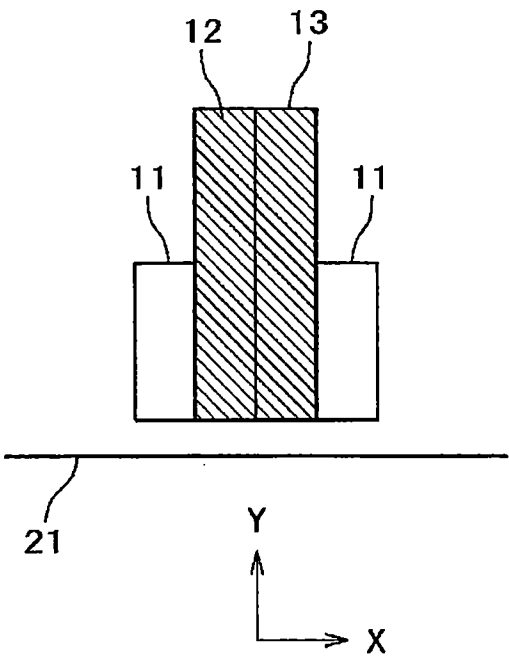


圖 7

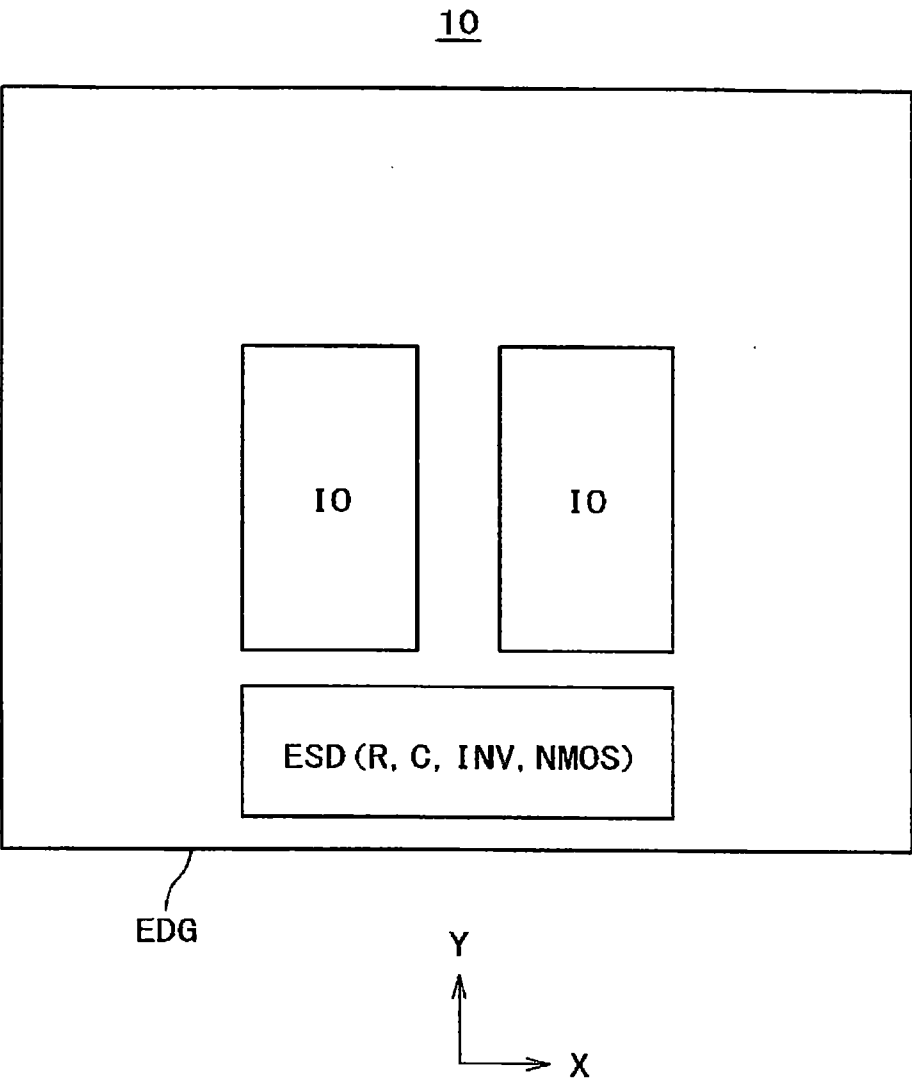


圖 8

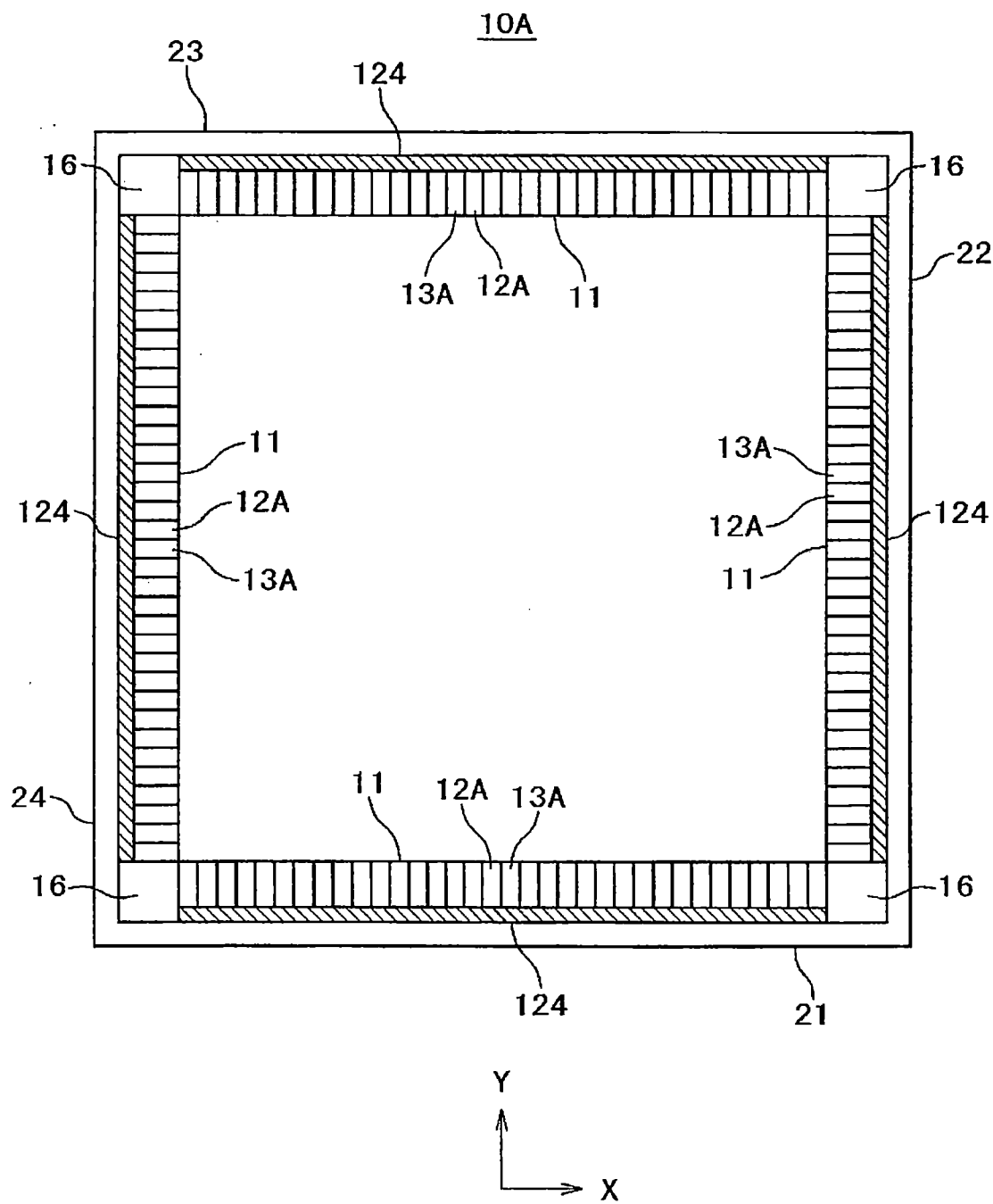


圖 9



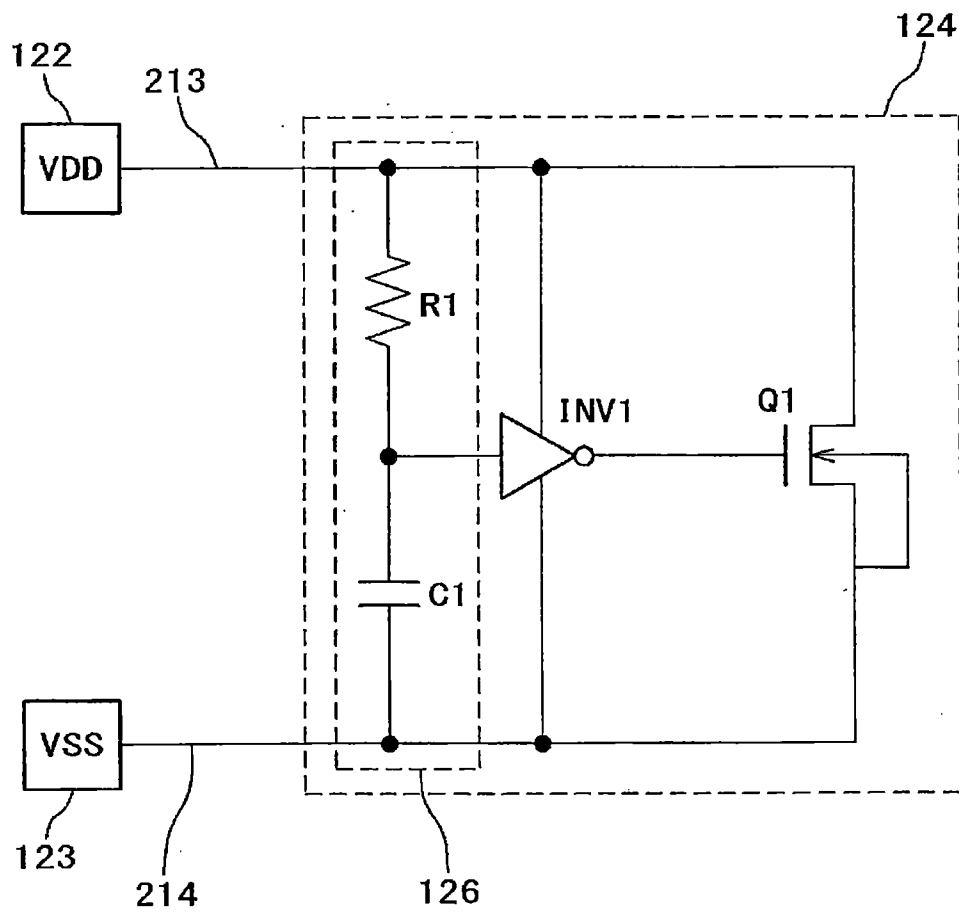


圖 11

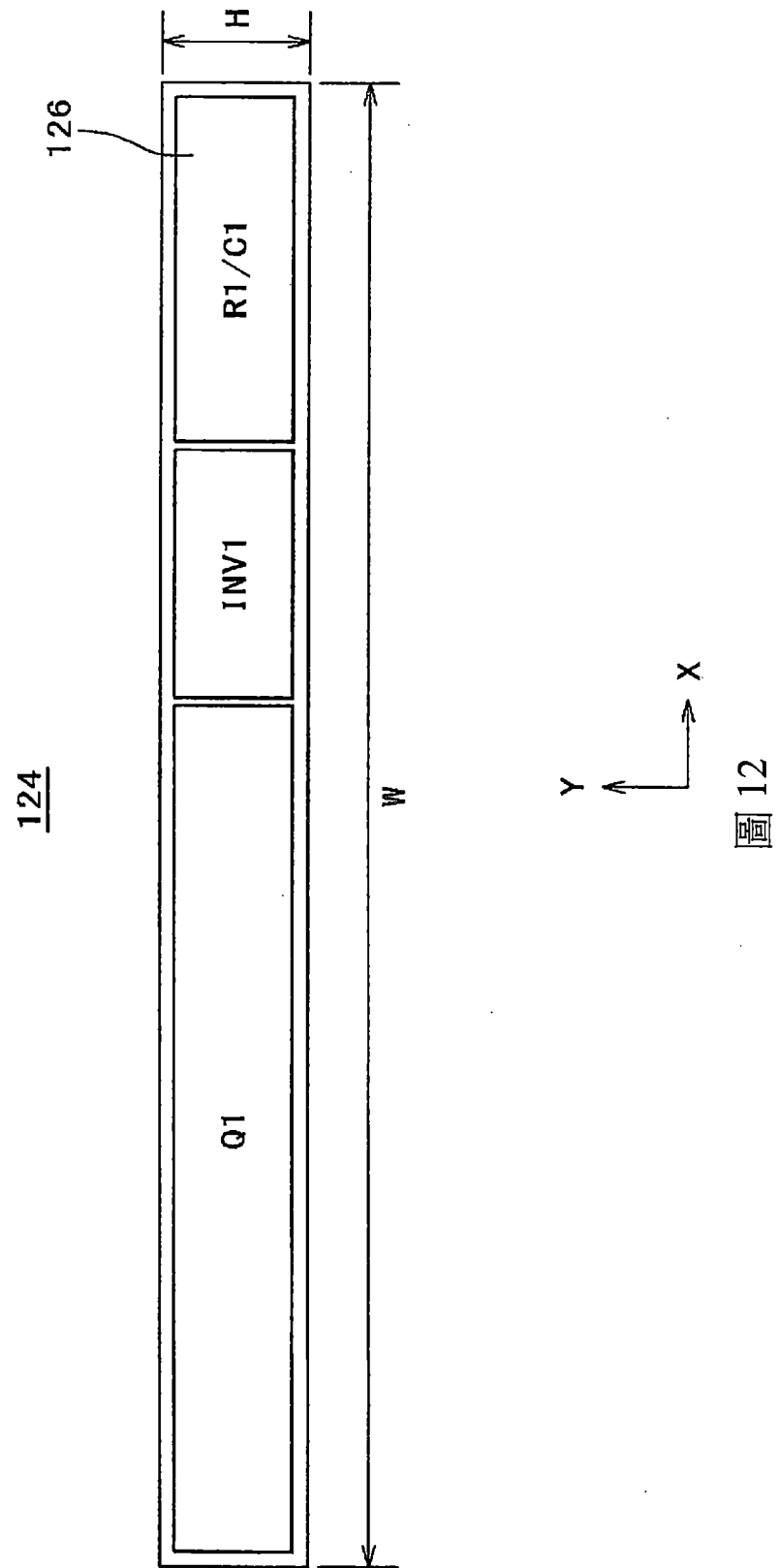
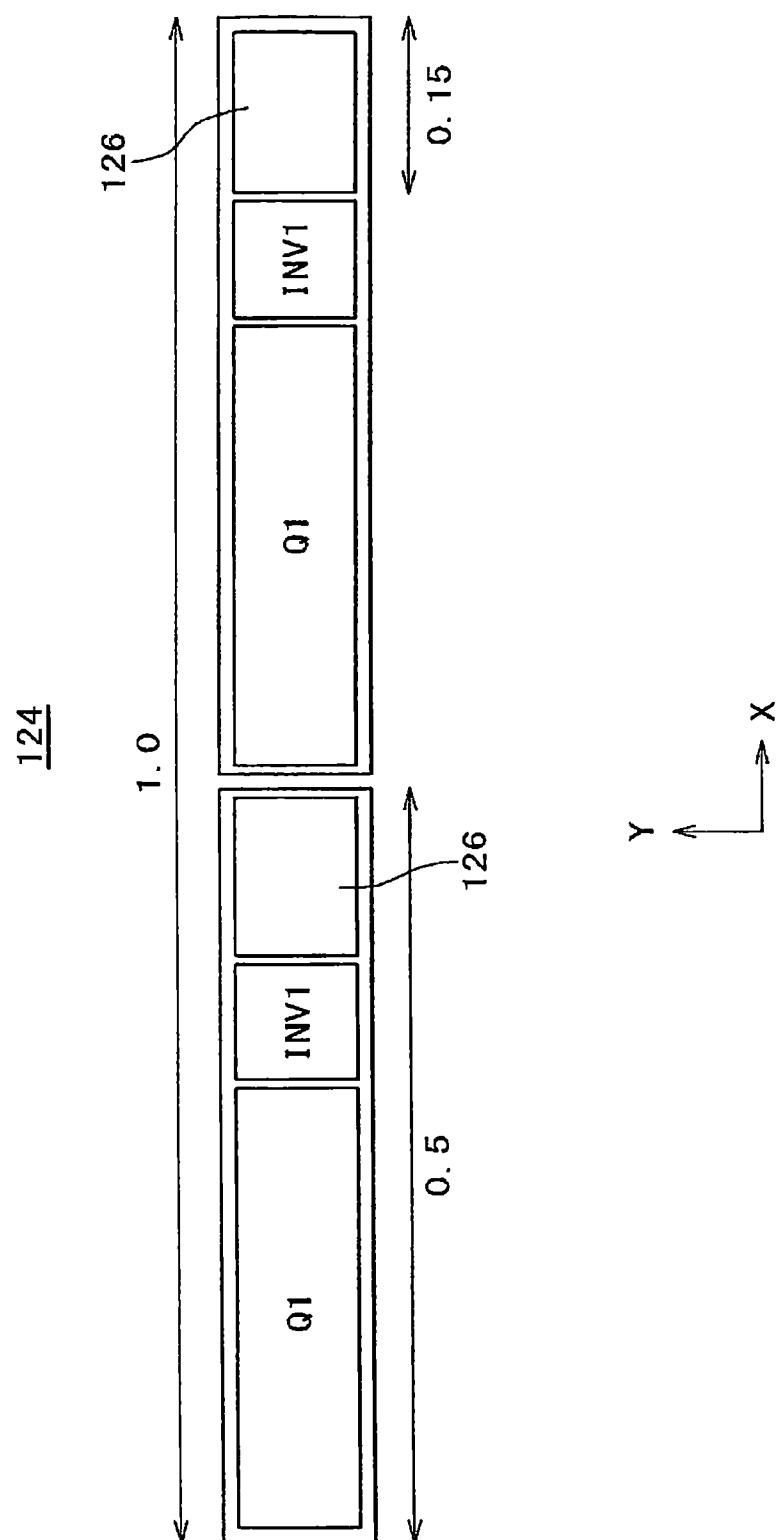
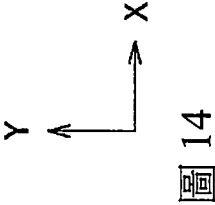
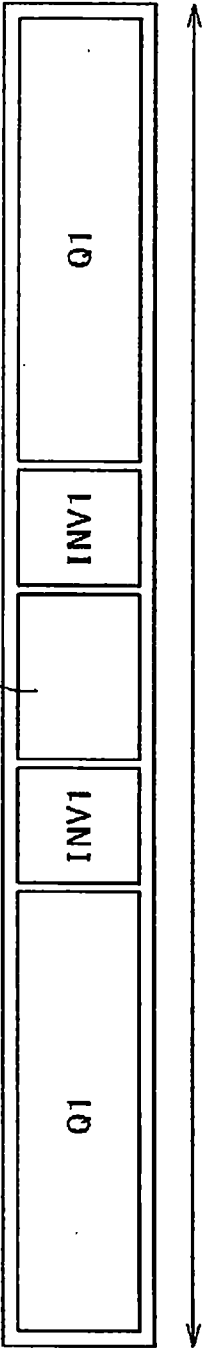


圖 12



124A

126



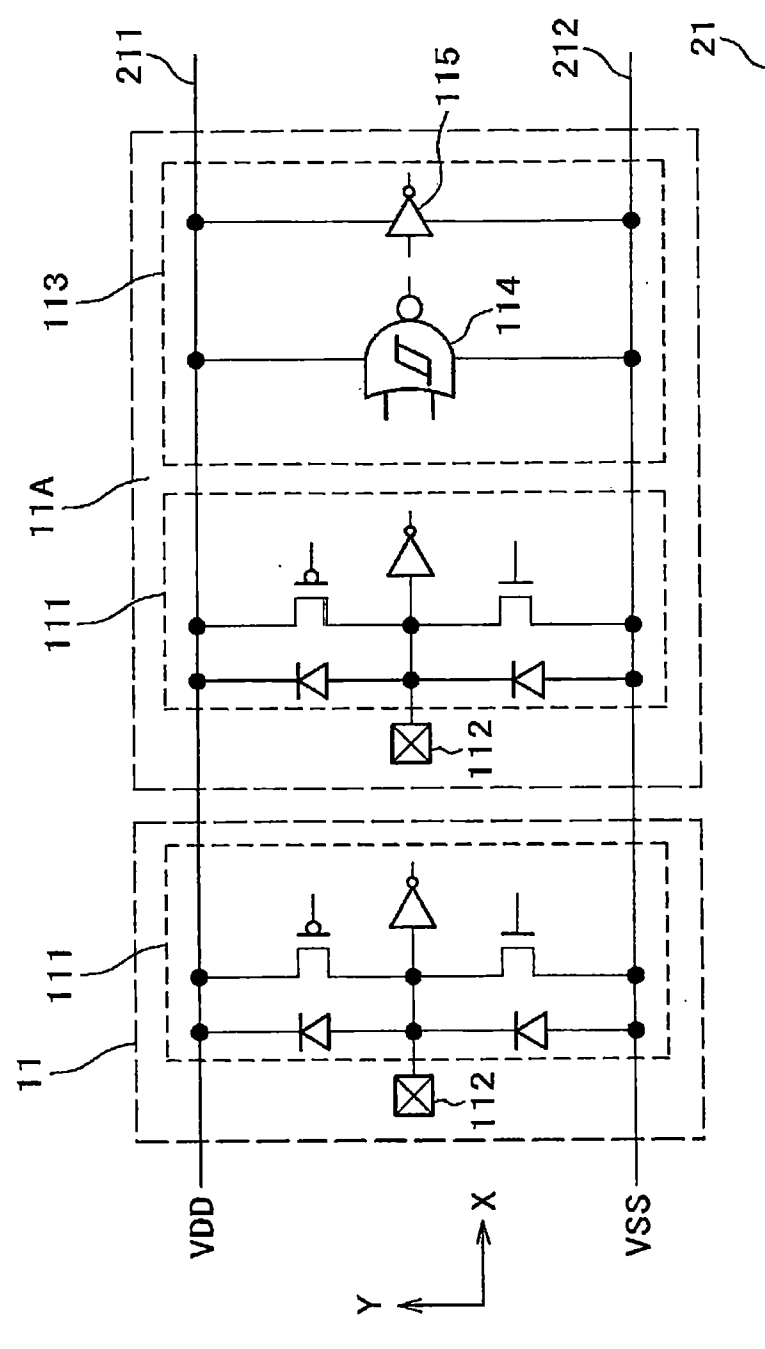
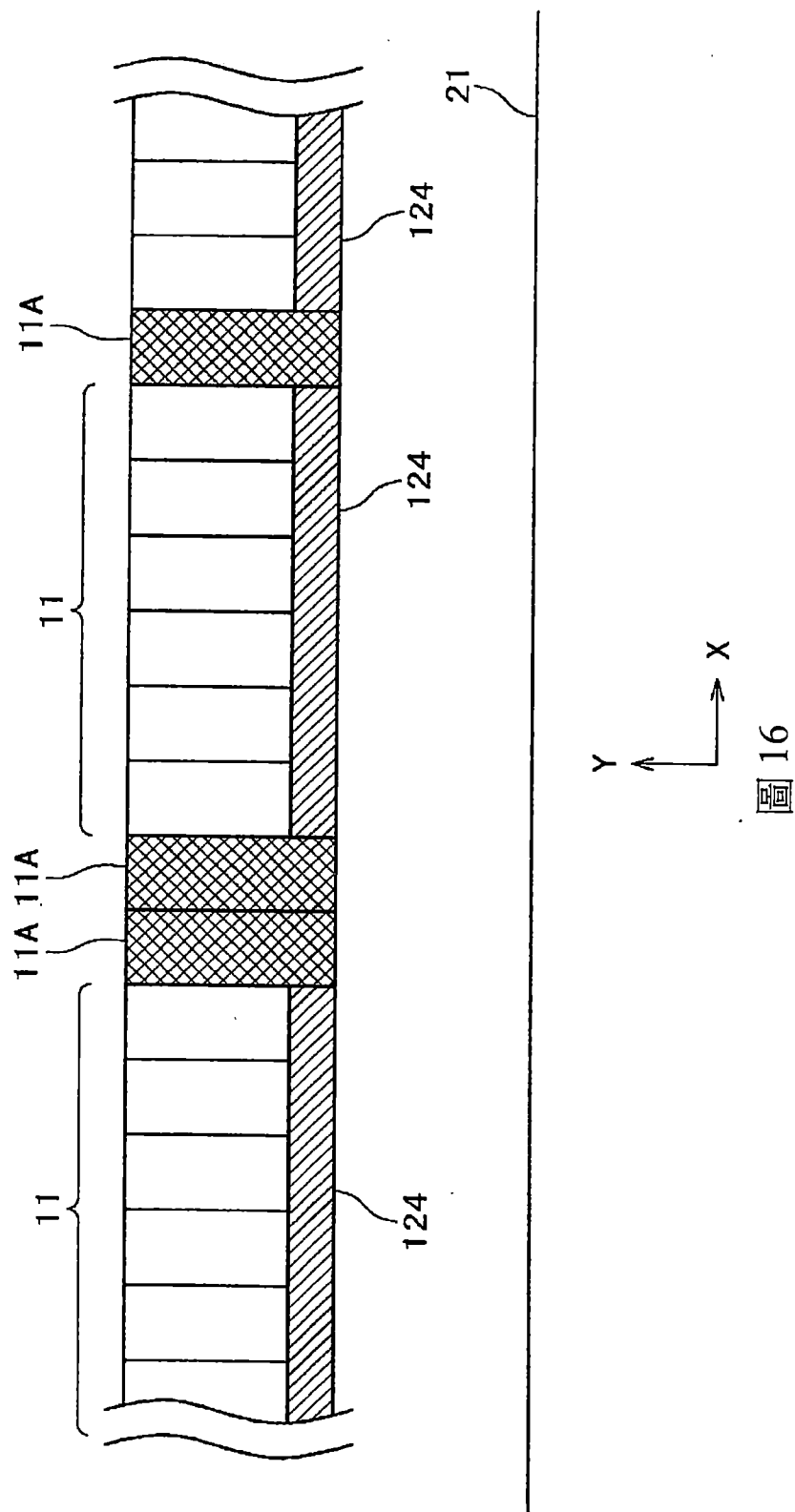


圖 15



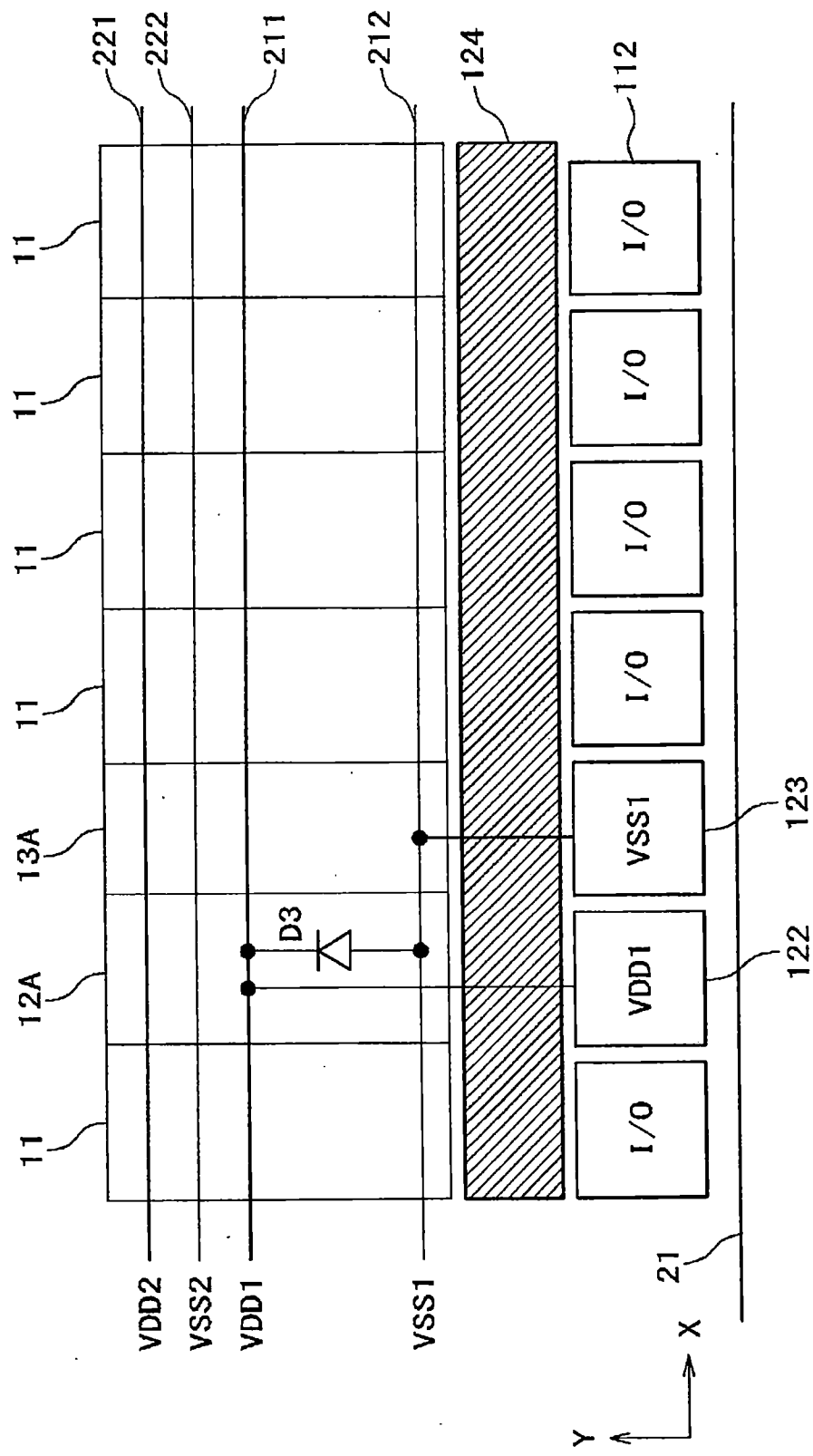


圖 17

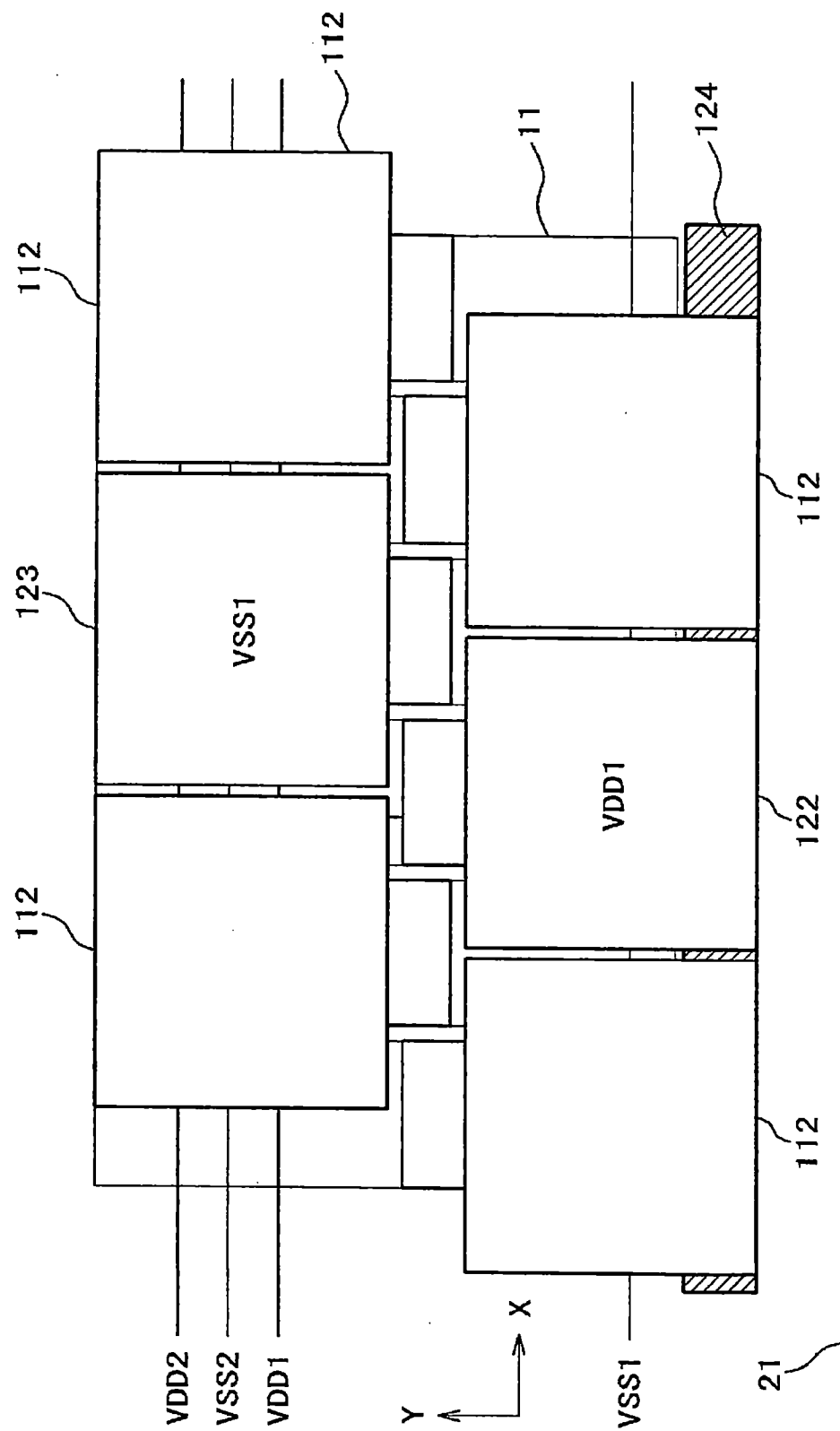


圖 18

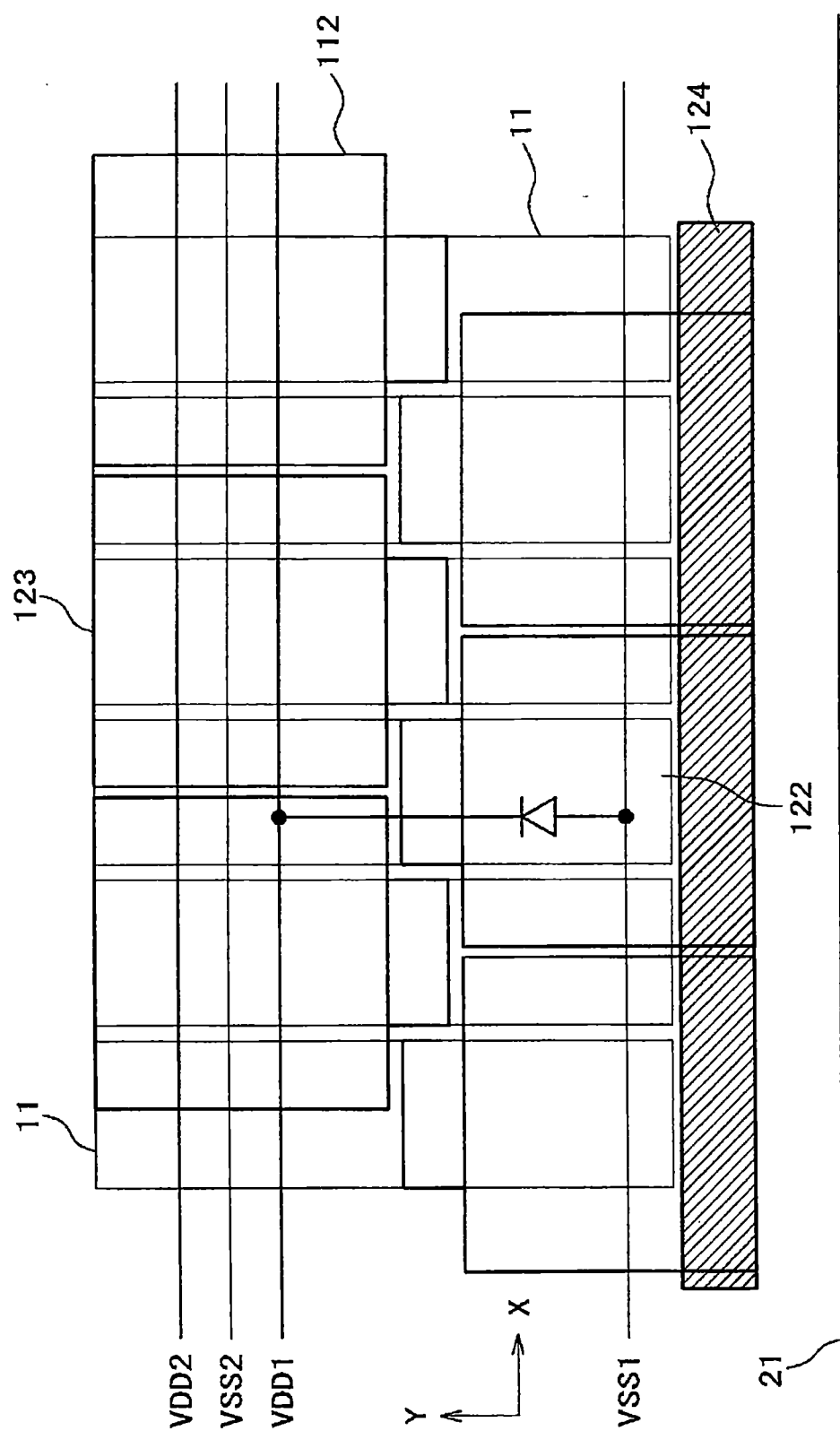


圖 19

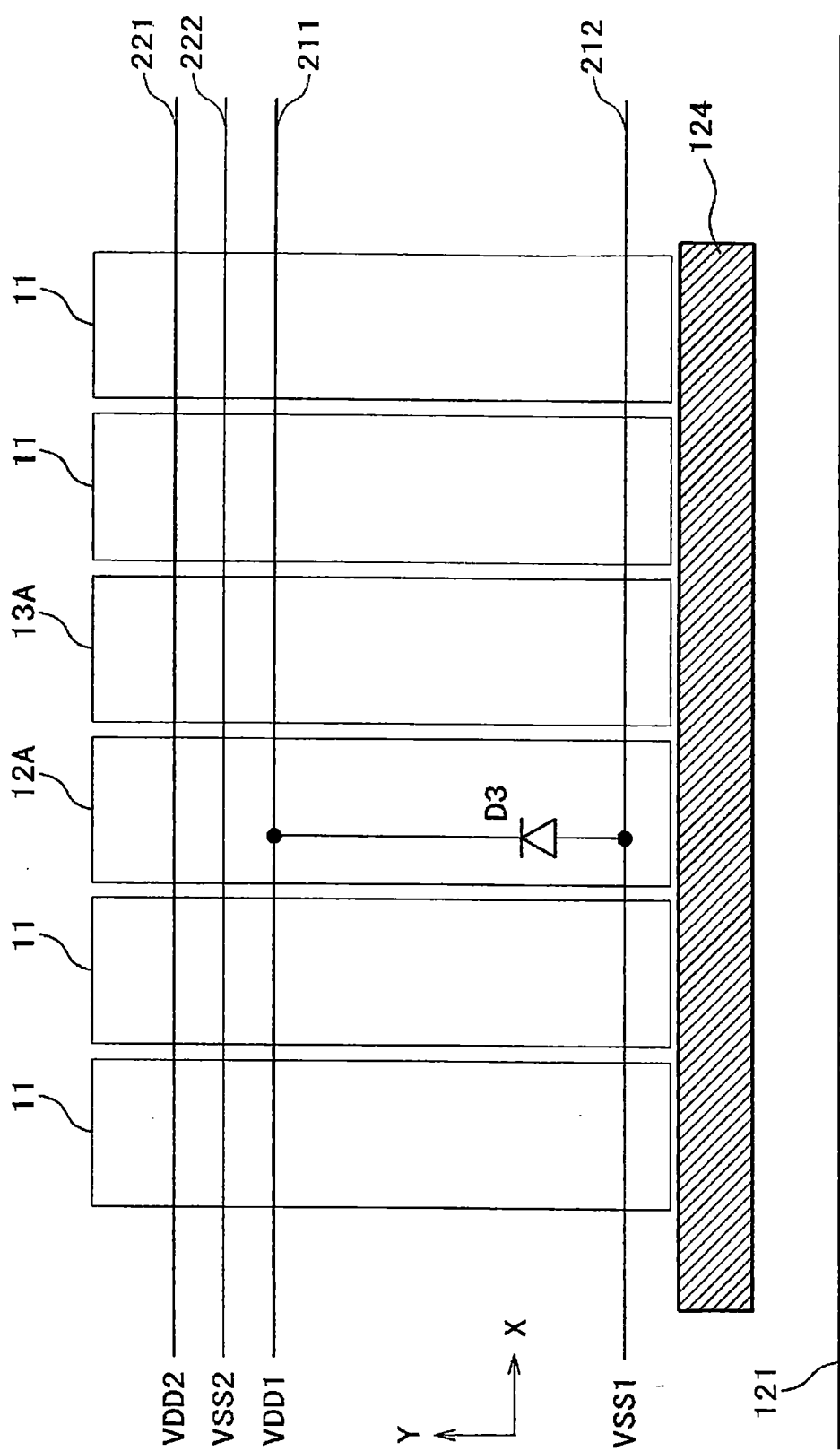
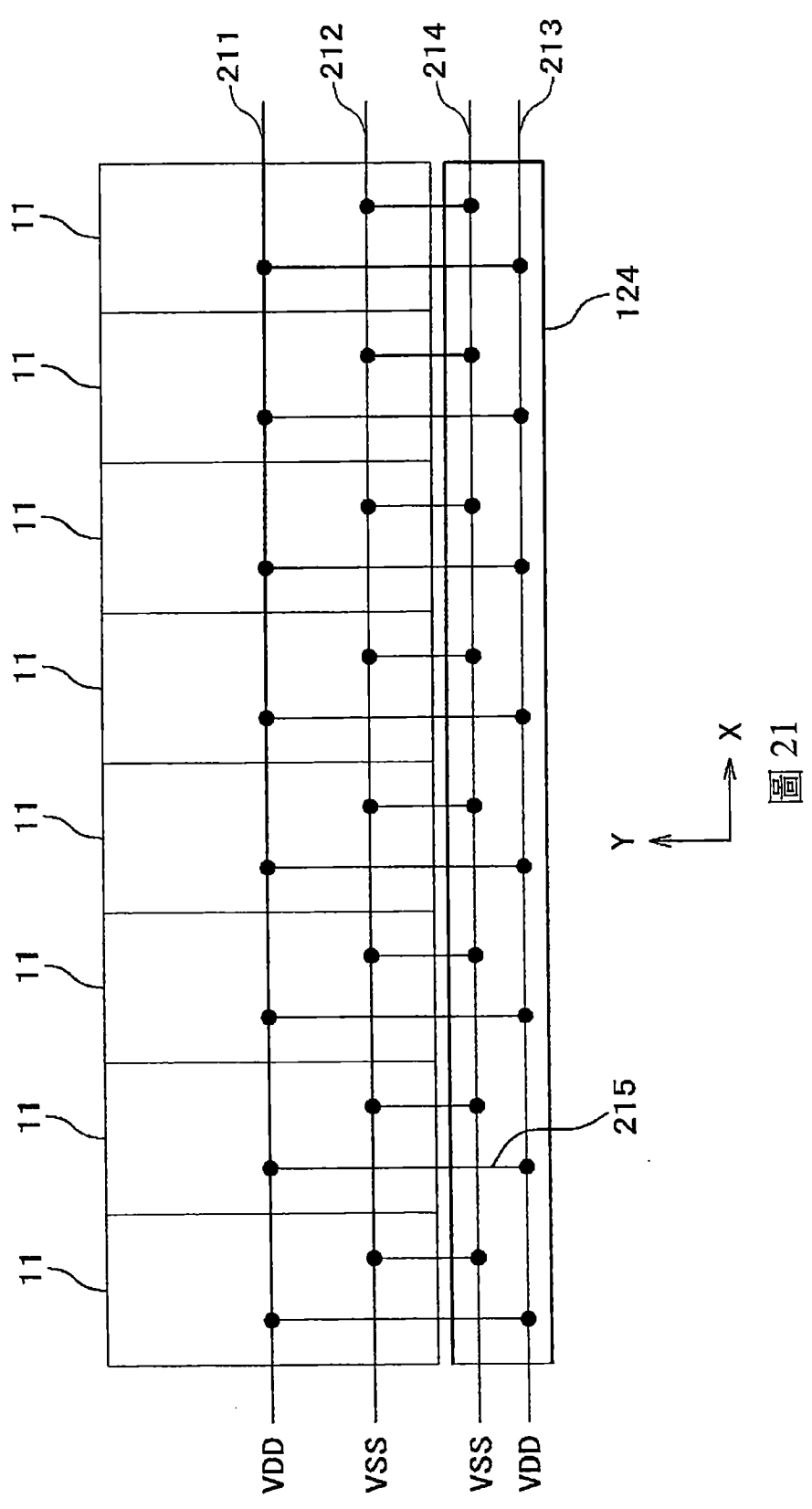


圖 20



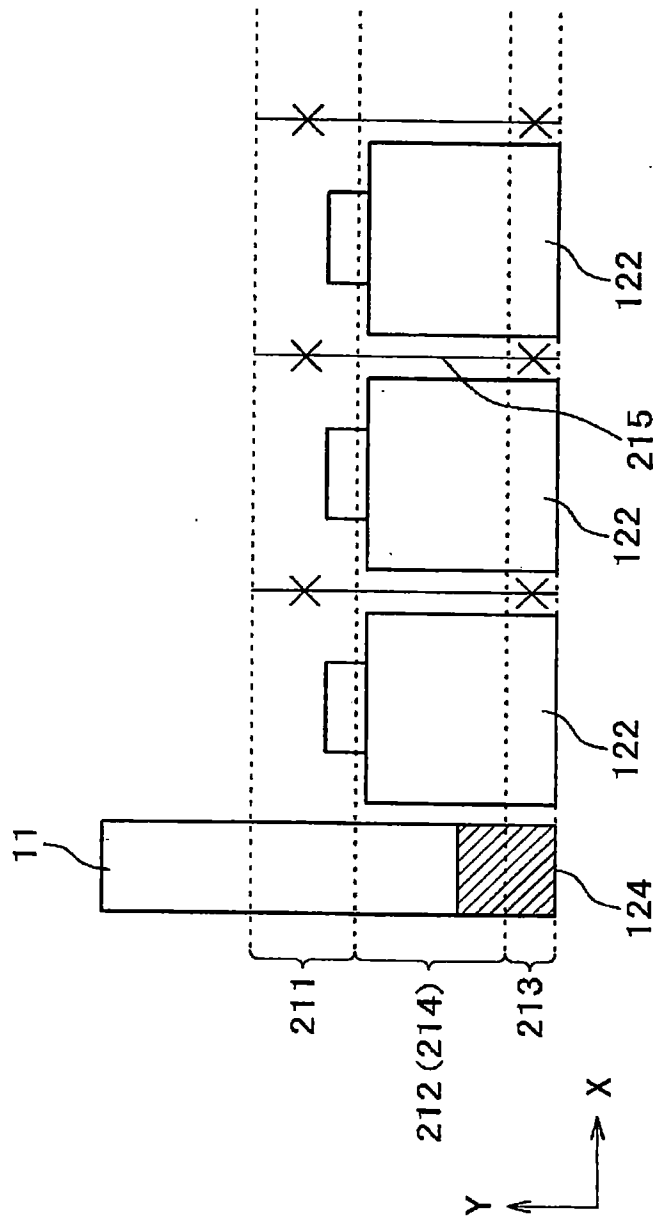


圖 22

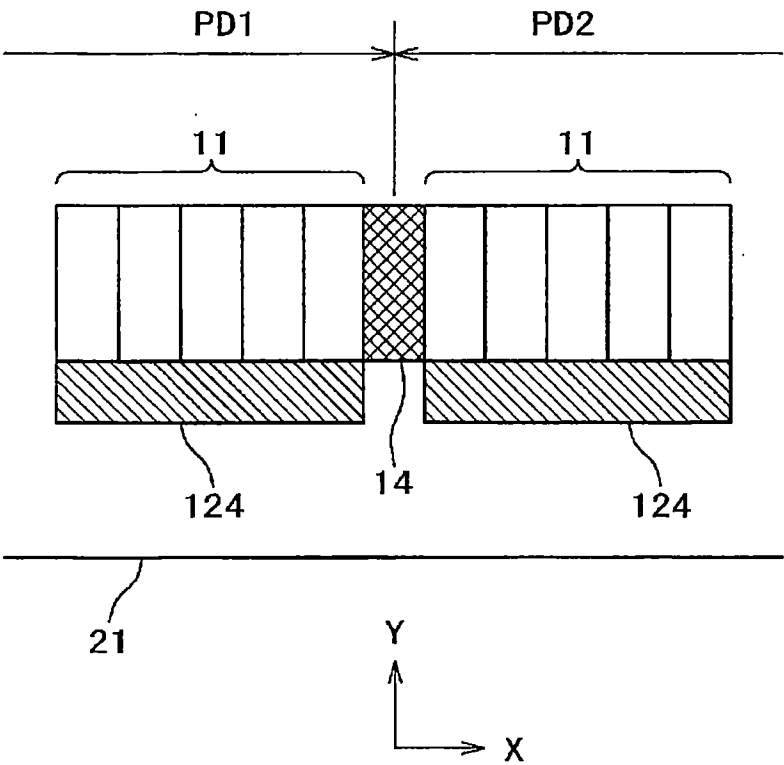


圖 23

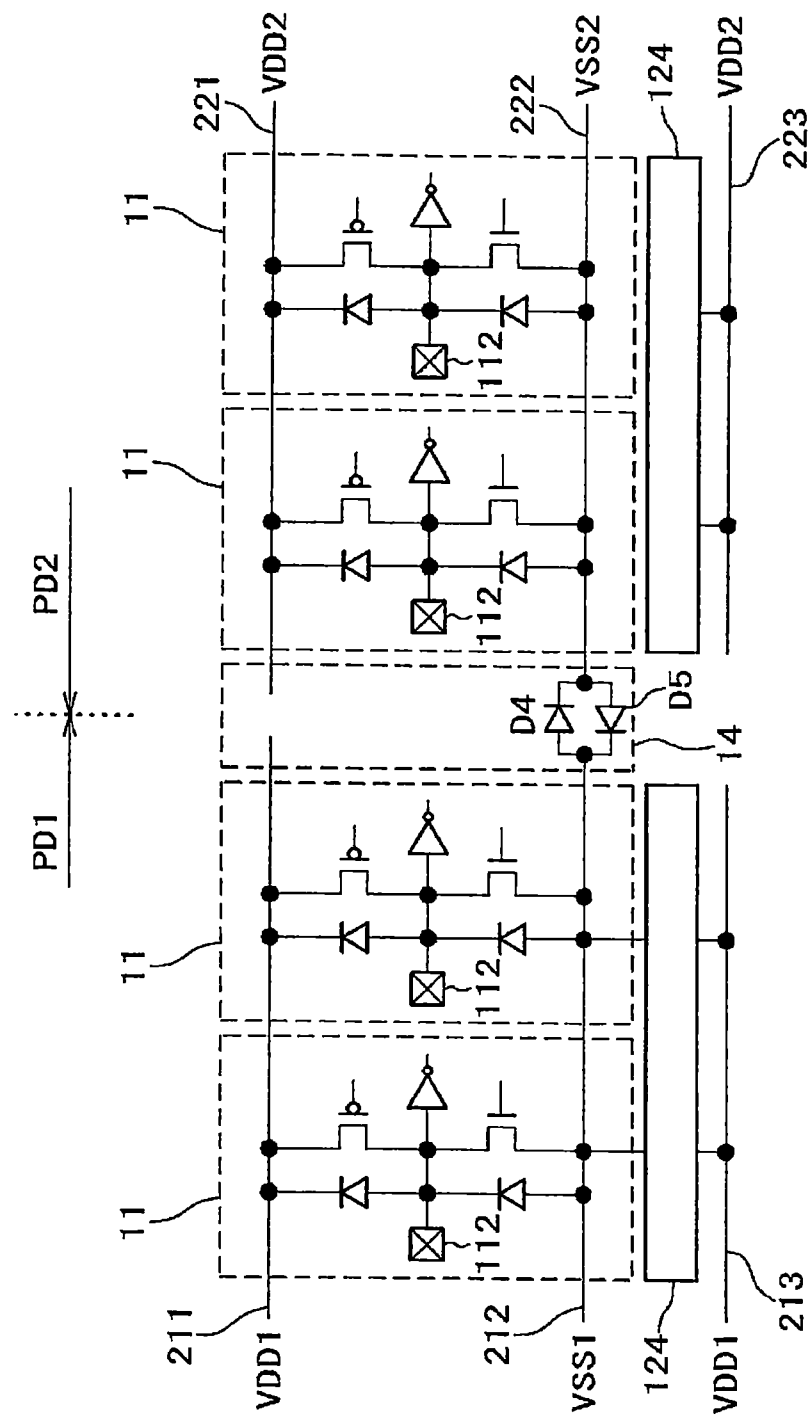


圖 24

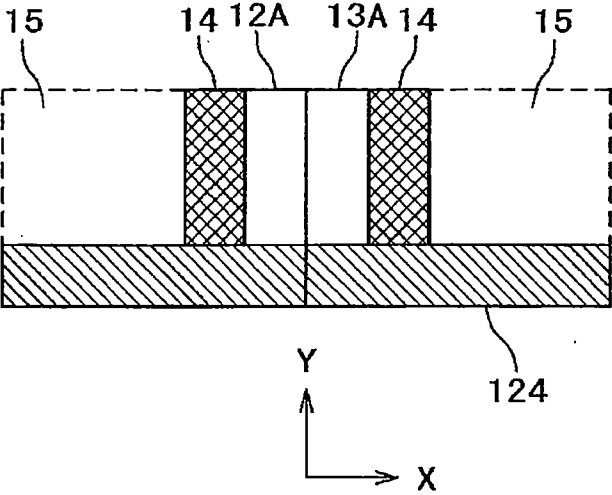


圖 25

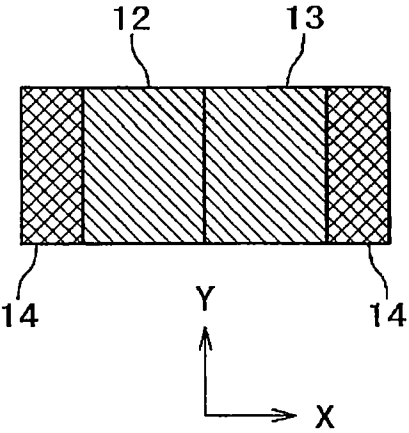


圖 26

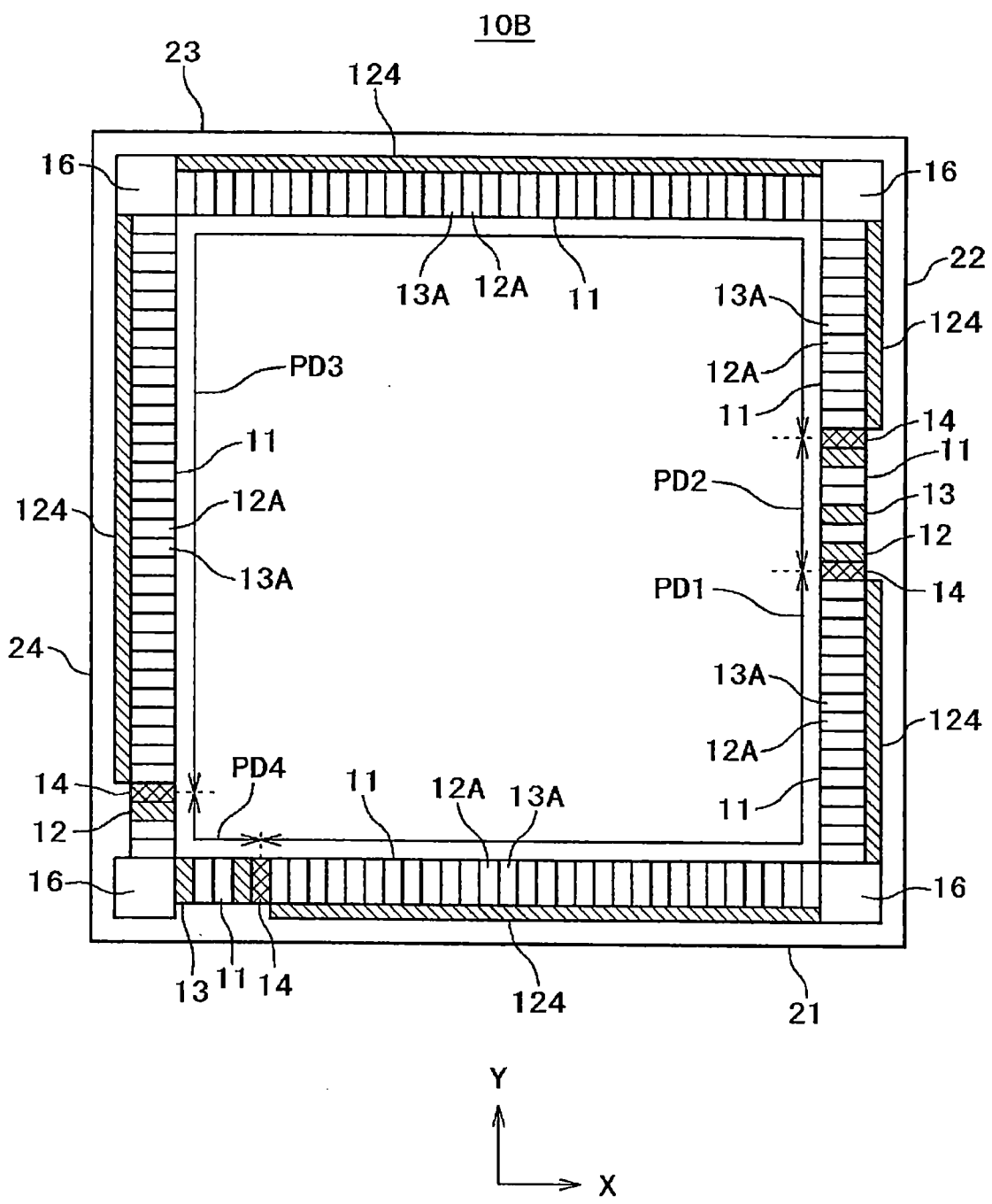


圖 27

