



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0060132  
(43) 공개일자 2009년06월11일

(51) Int. Cl.

H01L 21/60 (2006.01)

(21) 출원번호 10-2008-0106170

(22) 출원일자 2008년10월28일

심사청구일자 없음

(30) 우선권주장

11/952,951 2007년12월07일 미국(US)

(71) 출원인

스태츠 칩팩 엘티디

싱가포르 768442 5 이선 스트리트 23

(72) 발명자

후앙 루이

싱가포르 싱가포르 680545 #05-04 추아 추 강 스트리트 52 블록 545

도 병태

싱가포르 싱가포르 596745 #06-09 시그너쥬어 파크 토 톡 로드 54

(뒷면에 계속)

(74) 대리인

박장원

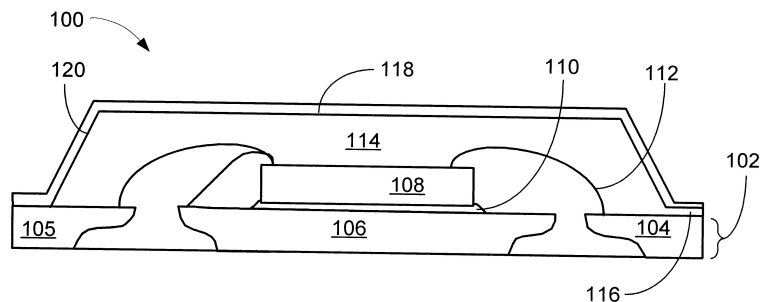
전체 청구항 수 : 총 10 항

#### (54) 전자기적으로 격리된 집적회로 패키지 시스템

#### (57) 요약

집적회로 패키지 방법은, 리드프레임을 제공하는 단계와; 리드프레임을 포함하는 집적회로 패키지를 형성하는 단계와; 리드프레임 위에 선택적으로 노출된 영역을 형성하는 단계와; 상기 선택적으로 노출된 영역을 연결하기 위해, 집적회로 패키지 위에 도전성 실드층을 코팅하는 단계를 포함한다.

대표도 - 도1



(72) 발명자

**초우 쟁 구안**

싱가포르 싱가포르 760131 #07-243 이슌 스트리트  
11 블록 131

**쿠안 힙 회**

싱가포르 싱가포르 760210 #10-35 이슌 스트리트  
21 블록 210

---

## 특허청구의 범위

### 청구항 1

집적회로 패키지 방법으로서,

리드프레임을 제공하는 단계와;

리드프레임을 포함하는 집적회로 패키지를 형성하는 단계와;

리드프레임 바로 위에 선택적으로 노출된 영역을 형성하는 단계와;

상기 선택적으로 노출된 영역을 연결하기 위해, 집적회로 패키지 바로 위에 도전성 실드층을 코팅하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

### 청구항 2

제1항에 있어서, 집적회로 패키지 형성 단계는 리드프레임 내에 리드핑거를 제공하는 단계와, 도전성 실드층으로부터 리드핑거를 절연하기 위해 상기 리드핑거 바로 위에 절연 스텝을 형성하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

### 청구항 3

제1항에 있어서, 리드프레임 제공 단계는, 선택적으로 노출된 영역을 제공하기 위해 상기 리드프레임 바로 위에 다이 부착 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

### 청구항 4

제1항에 있어서, 집적회로 패키지 형성 단계는 반전된 다이 부착 패드를 구비하고 있는 리드프레임 바로 위에 절연 화합물을 몰딩하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

### 청구항 5

제1항에 있어서, 선택적으로 노출된 영역을 제공하는 단계는, 선택적으로 노출된 리드, 계단형 리드, 도전성 비드, 반전된 다이 부착 패드, 선택적으로 노출된 타이 바, 또는 이들의 조합물을 제공하는 단계를 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

### 청구항 6

집적회로 패키지 시스템으로서,

리드프레임으로부터 분리된 리드핑거와;

상기 리드핑거를 포함하는 집적회로 패키지와;

상기 리드핑거 바로 위에 선택적으로 노출된 영역과;

상기 집적회로 패키지 바로 위에서 상기 선택적으로 노출된 영역에 연결되어 있는 도전성 실드층을 포함하는 것을 특징으로 하는 집적회로 패키지 시스템.

### 청구항 7

제6항에 있어서, 집적회로 패키지는, 도전성 실드층으로부터 리드핑거를 절연하기 위해, 리드핑거 바로 위에 형성되어 있는 절연 스텝을 포함하는 것을 특징으로 하는 집적회로 패키지 시스템.

### 청구항 8

제6항에 있어서, 선택적으로 노출된 영역을 제공하기 위해, 상기 집적회로 패키지 내에 다이 부착 패드를 추가로 포함하는 것을 특징으로 하는 집적회로 패키지 시스템.

### 청구항 9

제6항에 있어서, 집적회로 패키지는 반전된 다이 부착 패드 및 리드핑거 바로 위에 절연 화합물을 포함하는 것

을 특징으로 하는 집적회로 패키지 시스템.

## 청구항 10

제6항에 있어서, 선택적으로 노출된 영역은, 선택적으로 노출된 리드, 계단형 리드, 도전성 비드, 반전된 다이 부착 패드, 선택적으로 노출된 타이 바, 또는 이들의 조합물을 포함하는 것을 특징으로 하는 집적회로 패키지 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

##### <1> 관련 출원에 대한 상호 참조

<2> 본 출원은 초우 생 관, 도 병태, 쿠안 힙 회, 및 후양 루이가 출원한 발명의 명칭이 “실드를 갖춘 집적회로 패키지 시스템”인 미국 특허 출원과 관련된 사항을 포함하고 있다. 본 출원은 스테츠 칩팩 사에 양도되었고, 관련 번호는 27-456이다.

<3> 본 발명은 일반적으로 집적회로 패키지에 관한 것으로, 특히 집적회로들 간에 전자기적으로 격리된 시스템에 관한 것이다.

#### 배경 기술

<4> 현대의 전자 기기들, 예를 들어 휴대폰, 퍼스널 오디오/비디오 플레이어, 휴대용 비디오 게임기 및 GPS 등은 아날로그 및 디지털 서브시스템이 고르게 통합될 것이 요구된다. 또한, 소형 크기, 복잡성 및 고성능이 요구된다. 이에 따라, 고민감성 아날로그 회로들이 고속 디지털 시스템에 매우 근접되게 배치될 필요도 많다.

<5> 고속 디지털 시스템은 1초에 10억 번 이상 스위치할 수 있다. 그러한 스위치 속도에서, 스위치 전류는 매우 높아진다. 이에 따라, 그러한 고속 디지털 시스템은 고민감성 아날로그 회로들에 장애를 일으키는 에너지를 방사할 수 있다. 장애는 종종 신호 혼선(signal crosstalk) 형태로 나타나기도 한다. 고민감성 아날로그 회로를 장애로부터 보호하기 위해 패러데이 차폐가 널리 사용되고 있지만, 전통적인 패러데이 차폐는 공간과 노동력의 측면에서 매우 낭비적으로 된다. 또한, 그 방법을 실시할 때에는, 매우 신중하게 차폐물을 설치할 장소를 결정해야 하며, 매우 조심스럽게 아날로그 회로들을 보호해야 한다. 또한, 통상적인 패러데이 차폐물은 특별하게 가요성이 있는 것도 아니다.

<6> 통상적으로, 집적회로는 인쇄 회로 기판에 솔더링 또는 다른 연결 방식으로 연결하기 위한 외부 리드들을 구비하는 반도체 패키지의 일부로 공급된다. 예를 들면, 집적회로 칩들을 갖춘 표면 실장 리드리스 패키지가 널리 사용되고 있다. 그러한 패키지에서, 집적회로 칩은 회로 기판에 솔더링하기에 적합한 전기 리드들을 갖추고 있는 세라믹 또는 플라스틱 하우징 내에 봉지된다. 하우징 내에 봉지되는 본딩 컨덕터들이 패키지 내에 있는 전기 리드들의 상부로부터 집적회로 칩 위의 전기 패드들까지 연장되어 있다.

<7> 일반적인 종래의 반도체 패키지는, 금속 스트립을 스탬핑 가공한 리드프레임을 포함하고 있다. 상기 리드프레임은 리드들 사이에 연장되어 있는 커넥터들에 의해 서로 유지되어 있는 복수의 리드들을 포함할 수 있다. 상기 리드프레임은 실장 패드를 추가로 포함할 수 있다.

<8> 일반적으로, 본딩 컨덕터들은 전기 리드들과 전기 패드들에 용접된다. 그런 다음, 리드프레임, 집적회로 칩, 및 본딩 컨덕터들이 봉지된다. 마지막으로, 리드들이 절단되어 반도체 패키지를 완성하는 데에 필요로 하는 것으로 제조된다.

<9> 고밀도 패키지에 대한 요구로 인해, 표면 실장 리드리스 패키지가 인기가 있다. 그러나, 더욱 조밀한 패키지는 혼선 문제를 증가시킨다. 또한, 많은 아날로그 회로들의 임피던스 레벨이 높아져 혼선에 특히 민감하다. 따라서, 유용하면서도 대부분의 표면 실장 리드리스 패키지들은 그들의 부품들에게 전기적 및 전자기적 격리를 제대로 제공하지 못한다.

<10> 반도체 패키지의 다른 유형으로서, 표면 실장 리드리스 패키지와 "핀-타입" 패키지를 혼합한 패키지가 가능하다. 그러한 반도체 패키지는, 패키지의 하부로부터 연장되어 있는 "핀"들을 구비하고 있다. 그러한 핀들

은 인쇄 회로 기판 표면 위의 패드들에 부착되도록 되어 있다. 전기 연결부들이 패키지의 에지를 따라 형성될 수 없기 때문에, 인접 반도체 패키지들은 조밀한 패키지로 되도록 서로 인접해 있을 수 있다.

## 발명의 내용

### 해결 하고자하는 과제

- <11> 따라서, 패키지 시스템 내에 실장되어 있는 부품들이 전기적으로 그리고 전자기적으로 격리되어 있는 집적회로 패키지 시스템에 대한 요구는 여전히 남아 있다. 상기 칩들에 전기적 및 전자기적 격리를 제공하면서도, 저가격으로 집적회로 칩들이 보다 조밀하게 패키징될 수 있는 것이라면 더욱 바람직할 것이다. 소형 및 고집적화 전자 기기들에 대한 수요의 관점에서, 이들 문제점들에 대한 해법을 찾는 것이 매우 중요해지고 있다. 소비자들의 증가하는 기대 심리와 시장에서 차별화된 제품 출시 가능성의 감소와 함께, 상업적 경쟁 압력의 지속적인 증가의 관점에서, 이들 문제점들에 대한 해법을 찾는 것이 매우 중요하다. 또한, 비용 절감, 성능 개선, 효율성 개선 및 경쟁 압력 충족에 대한 요구는 이들 문제점들에 대한 해법을 찾을 필요성에 대해 긴급함을 더하고 있다.
- <12> 이들 문제점들에 대한 솔루션은 오랜 기간동안 탐구되어 왔지만, 본 발명 이전에는 이러한 솔루션에 대한 암시 내지는 솔루션을 제공하지 못했으며, 이에 따라 당 업계에서는 이들 문제점에 대한 솔루션이 도출되지 못했다.
- <13> 본 발명은, 리드프레임을 제공하는 단계와; 리드프레임을 포함하는 집적회로 패키지를 형성하는 단계와; 리드프레임 위에 선택적으로 노출된 영역을 형성하는 단계와; 상기 선택적으로 노출된 영역을 연결하기 위해, 집적회로 패키지 위에 도전성 실드층을 코팅하는 단계를 포함하는, 집적회로 패키지 방법을 제공한다.
- <14> 본 발명의 특정 실시예들은 상술한 구성을 대체하는 구성을 포함하거나, 상술한 구성 외에도 추가적인 다른 구성을 포함한다. 이하의 발명의 상세한 설명과, 첨부된 도면을 참고로 하면, 이들 본 발명의 교시들이 당업자에게 명확해질 것이다.

### 과제 해결수단

- <15> 이하에서 당업자들이 본 발명을 사용, 실시할 수 있도록 실시예들을 충분히 상세하게 기재하였다. 본 기계를 기초로 하여 다른 실시예가 있을 수도 있으며, 본 발명의 범위를 일탈하지 않으면서도 공정 또는 기구적 변경이 이루어질 수 있다는 것을 이해해야 한다.
- <16> 이하에서, 본 발명에 대한 완전한 이해를 제공하기 위해 많은 특정의 상세 사항들을 기재하였다. 그러나, 이러한 상세한 특정 기재 사항이 없더라도 본 발명이 실시될 수 있다는 점은 명백하다. 본 발명이 불명료해지는 것을 방지하기 위해, 일부 공지되어 있는 시스템 구성 및 공정 단계들을 상세하게 기재하지 않았다. 이와 마찬가지로, 본 시스템의 실시예들을 나타내는 도면들은 개략적으로 도시되어 있으며, 축척에 따라 도시된 것이 아니며, 특히 표현을 명료하게 할 목적으로 일부 치수들이 도면 내에서 과장되게 표현되어 있다. 또한, 표현의 용이함과 명료함을 위해, 공통되는 일부 기술적 특징을 갖는 복수의 실시예들이 기재되어 있고, 명세서에서는 유사하거나 동일한 구성에 대해서는 동일한 도면부호를 사용할 것이다.
- <17> 본 명세서에서는 그 방향과는 무관하게, "수평"이라는 용어를 사용하여 통상적인 집적회로의 표면과 평행한 평면을 규정한다. "수직"이란 용어는 위와 같이 규정된 수평과 직교하는 방향을 나타낸다. "위에"(above), "아래에"(below), "바닥"(bottom), "상단"(top), "사이드"(side)("측벽"으로도 사용), "높은"(higher), "낮은"(lower), "상부"(upper), "위에"(over) 및 "아래"(under)와 같은 용어들은 수평면과 관련되어 규정된다. "바로 위에"(on)란 용어는 구성요소들 간에 직접 접촉하고 있음을 의미한다. 본 명세서에 사용되고 있는 "시스템"이란 용어는 상기 용어가 사용되는 문맥에 따라 본 발명의 장치 및 방법을 지칭하며 의미하는 데에 사용된다. 본 명세서에 사용되고 있는 "공정"(processing)이란 용어는 스탬핑, 단조, 패터닝, 노출, 현상, 에칭, 세척 및/또는 소재의 제거 또는 기재된 구조물을 형성하는 데에 필요로 하는 레이저 트리밍을 포함한다.

### 효 과

- <18> 본 발명은 많은 교시들을 갖고 있는 것을 알 수 있었다.
- <19> 예외 외로, 본 발명은 전자기적 격리를 제공하면서도 열 침전 기구(heat sinking mechanism)를 제공한다는 주요한 교시를 알 수 있었다.
- <20> 본 발명의 다른 교시는 매우 신뢰성이 있는 표준 패키지 어셈블리 공정만을 사용한다는 것이다. 최종 패키지의

높이 증가가 최소로 되며, 본 발명을 실시하는 데에 추가의 수평 공간은 필요가 없게 된다.

- <21> 본 발명의 다른 중요한 교시는 성능 향상, 시스템 간소화 및 비용 절감이라는 역사적인 트렌드를 가치 있게 지지한다는 것이다.
- <22> 본 발명의 상기 및 다른 가치 있는 교시들은 결과적으로 기술의 상태를 적어도 다음 레벨로 향상시킨다.
- <23> 이에 따라서, 본 발명의 집적회로 패키지 시스템은 집적회로 패키지용의 전자기적 격리를 제공하는, 중요하면서도 지금까지 알려지지 않은 솔루션, 능력 및 개선된 수율을 위한 기능적 태양을 제공한다. 결과적인 공정 및 구성은 간단하고, 비용 효율적이고, 간단하고, 융통성이 많고, 정밀하고, 예민하고 효과적이며, 공지되어 있는 구성요소들을 용이하고, 효율적이고 경제적인 제조, 응용 및 활용하여 구현할 수 있다.

### 발명의 실시를 위한 구체적인 내용

- <24> 도 1을 참조하면, 도 1에는 본 발명의 일 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(100)의 제1 단면이 도시되어 있다. 상기 집적회로 패키지 시스템(100)의 제1 단면도는 리드핑거(104)와 다이 부착 패드(106)를 구비하고 있는 리드프레임(102)을 도시하고 있다. 집적회로(108)는 다이 부착 소재와 같은 접착제(110)에 의해, 다이 부착 패드(106)에 기구적으로 연결될 수 있다.
- <25> 본드 와이어와 같은 전기 상호접속부들(112)은 리드핑거(104), 다이 부착 패드(106), 집적회로(108) 또는 이들의 조합물을 전기적으로 연결할 수 있다. 에폭시 몰딩 화합물과 같은 절연 화합물(114)이 리드프레임(102), 집적회로(108) 및 전기 상호접속부들(112) 주위에 형성될 수 있다. 집적회로(108)로부터 신호를 격리하기 위해, 리드프레임(102)의 리드들(104) 위에 절연 스텝(116)이 형성될 수 있다. 리드핑거(104)를 덮고 있는 절연 스텝(116)을 갖고 있지 않은 선택적으로 노출된 리드(105)가, 절연 화합물(114)을 차단시켜 형성될 수 있다.
- <26> 도전성 수지, 금속, 도전성 포일 또는 도전성 필름과 같은 도전성 실드층(118)이 절연 화합물(114) 바로 위에 코팅될 수 있다. 도전성 실드층(118)은 은(silver), 구리, 니켈, 합금 또는 기타 금속을 함유하는 2 성분 에폭시로 제조될 수 있다. 도전성 실드층(118)은 니켈 충전 폴리우레탄 또는 아크릴 코팅으로도 제조될 수 있다. 절연 스텝(116)은 도전성 실드층(118)이 리드들(104) 간의 전기적 연결을 방지할 수 있다. 도전성 실드층(118)은, 도전성 실드층(118)에 Vss 또는 접지와 같은 전압을 연결하기 위해, 리드핑거(104)를 덮고 있는 절연 스텝(116)을 갖고 있지 않은, 선택적으로 노출된 리드(105)에 전기적 연결을 형성할 수 있다.
- <27> 도전성 실드층(118)은 도금, 플레이팅, 스퍼터링, 분무, 페인팅, 압연 또는 라미네이팅 같은 공지된 방법으로 부착될 수 있다. 도전성 실드층(118)은 측면 사이드(120)를 포함하여 절연 화합물(114)의 표면 전체 위에 부착될 수 있으며, 임의의 리드(104)는 노출된 상태로 있을 수 있다.
- <28> 절연 화합물(114) 형성 공정 중에 어떤 리드들(104)을 선택적으로 노출시킴으로써, 도전성 실드층(118)이 노출되어 있는 리드들(104)에만 전기적으로 연결될 것이라는 점을 알 수 있었다. 이는 도전성 실드층(118)의 활용과 신뢰성을 매우 간략하게 한다. 도전성 실드층(118)과 Vss 또는 접지와 같은 전압에 연결되어 있는 임의의 리드(104) 간에 전기적 연결을 형성함으로써, 도전성 실드층(118)도 상기 전압에 연결될 것이다. 도전성 실드층(118)이 상기 전압에 연결됨으로써, 도전성 실드층(118)이 집적회로(108)를 도전성 실드층(118)의 외부에 존재할 수 있는 임의의 전자파 장애를 차폐할 것이다. 도전성 실드층(118)은 또한 집적회로(108)에 의해 생성된 어떠한 전자파 장애도 도전성 실드층(118)을 지나쳐 시스템 환경으로 방출되는 것을 방지해서 시스템 환경과 전자기적으로 격리되도록 한다.
- <29> 도 2를 참조하면, 도 2에는 본 발명의 일 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(100)의 제2 단면이 도시되어 있다. 집적회로 패키지 시스템(100)의 제2 단면도는 다이 부착 패드로부터 연장되어 있는 타이 바들(202)을 갖추고 있는 다이 부착 패드(106)를 구비하는 리드프레임(102)을 도시하고 있다. 타이 바들(202)은 전기 상호접속부들(112)에 의해, 집적회로(108)에 전기적으로 연결될 수 있다. 절연 화합물(114)은 다이 부착 패드(106), 집적회로(108), 전기 상호접속부들(112) 및 타이 바들(202) 바로 위에 형성될 수 있다. 타이 바들(202)의 단부 표면(204)은 선택적으로 노출된 상태로 남아 있을 수 있으며, 이에 따라 절연 화합물(114)에 의해 덮여 있지 않는다. 도전성 실드층(118)의 부착은 타이 바들(202)의 단부 표면(204)에의 전기적 연결을 형성할 것이다.
- <30> 도 3을 참조하면, 도 3에는 본 발명을 실시하기 위한 패키지 몰드(300)의 제1 단면이 도시되어 있다. 상기 패키지 몰드(300)의 제1 단면도는 그 위에 위치하는 리드프레임(102)을 구비하는 몰드 베이스(302)를 도시하고 있다. 집적회로(108)는, 전기 상호접속부들(112)이 집적회로(108)를 리드프레임(102)에 연결한 상태에서, 리드



프레임(102) 바로 위에 실장될 수 있다.

- <31> 캐비티(306)가 형성되어 있는 몰드 체이스(304)는 몰딩 공정을 위한 위치에서 리드프레임(102)을 클램프할 수 있다. 캐비티(306)는 집적회로(108)와 전기 상호접속부들(112) 주위에 개방 체적을 구비하고 있다. 몰드 스텝(308)이 리드프레임(102) 위에 형성되어서 캐비티(306) 쪽으로 통해 있을 수 있다.
- <32> 도 4를 참조하면, 도 4에는 패키지 몰드(300)의 제2 단면이 도시되어 있다. 패키지 몰드(300)의 제2 단면도는 타이 바(202) 주위에 패키지 베이스를 형성하기 위한 단부 게이트(end gate)(402)를 갖추고 있는 몰드 베이스(302)를 도시하고 있다. 집적회로(108)는, 전기 상호접속부들(112)이 집적회로(108)를 리드프레임(102)에 연결한 상태에서, 리드프레임(102) 바로 위에 실장될 수 있다.
- <33> 캐비티(306)가 형성되어 있는 몰드 체이스(304)는 몰딩 공정을 위한 위치에서 리드프레임(102)을 클램프할 수 있다. 캐비티(306)는 집적회로(108)와 전기 상호접속부들(112) 주위에 개방 체적을 구비하고 있다. 캐비티(306)는 타이 바들(202)의 전체 표면을 지나쳐서 연장하지는 않는다. 이러한 구성은 타이 바들(202) 바로 위에 선택적으로 노출된 영역(404)을 제공한다.
- <34> 도 5를 참조하면, 도 5에는 본 발명의 일 실시예인, 집적회로 패키지(500)의 평면이 도시되어 있다. 집적회로 패키지(500)의 평면도는, 절연 화합물(114)에 의해 실질적으로 봉지되어 있는 타이 바들(202), 전기 상호접속부들(112), 집적회로(108), 다이 부착 패드(106) 및 리드들(104)을 도시하고 있다.
- <35> 집적회로 패키지(500)의 몰딩 중에 절연 화합물(114)을 차단함으로써, 타이 바들(202)의 바로 위 또는 리드들(104) 바로 위의 선택된 지점 또는 지점들에 선택적으로 노출된 영역(404)이 형성되게 할 수 있다. 상기 선택적으로 노출된 영역(404)은, 후속하는 제조 공정에서, 도 1의 도전성 실드층(118)과 접속하는 데에 사용될 수 있다.
- <36> 도 6을 참조하면, 도 6에는 본 발명용 분리 장치(600)의 단면이 도시되어 있다. 분리 장치(600)의 단면도는 차폐된 패키지(604)를 지지하는 전단기 베이스(602)를 도시하고 있다. 전단기 상부(606)는 차폐된 패키지(604)를 분리할 수 있는 편치(608)를 정렬하고 안정화시키는 데에 사용될 수 있다.
- <37> 분리 장치(600)는 일 실시예에 불과하다. 분리 공정은 편치(608) 대신에 톱 또는 전단기를 포함할 수 있다. 차폐된 패키지(604)가 분리되어서 도전성 실드층(118)은 도 4의 선택적으로 노출된 영역(404)에만 연결될 수 있다.
- <38> 도 7을 참조하면, 도 7에는 본 발명의 제1 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(700)의 단면이 도시되어 있다. 집적회로 패키지 시스템(700)의 단면도는 다이 부착 패드(704), 시그널 리드(706) 및 계단형 리드(708)를 구비하고 있는 리드프레임(702)을 도시하고 있다. 계단형 리드(708)는 집적회로 패키지 시스템(700) 주위의 임의의 지점에 선택적으로 형성될 수 있다. 집적회로(108)가 접착제(110)에 의해, 다이 부착 패드(704)에 부착될 수 있다. 전기 상호접속부들(112)은 집적회로(108), 다이 부착 패드(704), 시그널 리드(706), 계단형 리드(708) 또는 이들의 조합물 사이에 연결될 수 있다.
- <39> 절연 화합물(114)이 집적회로(108), 다이 부착 패드(704), 시그널 리드(706) 및 계단형 리드(708) 바로 위에 형성될 수 있다. 계단형 리드(708)는 도전성 실드층(118)과의 연결을 위한, 선택적으로 노출된 영역(404)을 제공할 수 있다. 계단형 리드(708)를  $V_{ss}$  또는 접지 전압과 같은 전압에 연결함으로써, 도전성 실드층(118)이 전자과 장애로부터 격리를 제공할 수 있다.
- <40> 도 8을 참조하면, 도 8에는 본 발명의 제2 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(800)의 단면이 도시되어 있다. 집적회로 패키지 시스템(800)의 단면도는 그 위에 집적회로(108)가 실장되어 있는 리드프레임(102)을 도시하고 있다. 전기 상호접속부들(112)은 리드프레임(102)을 집적회로(108)에 연결할 수 있다. 금속 볼, 금속 범프, 스타드 범프, 금속 칼럼 또는 도전성 수지와 같은 도전성 비드(802)가 선택된 지점에서 리드들(104)에 연결될 수 있다.
- <41> 절연 화합물(114)이 리드프레임(102), 집적회로(108), 전기 상호접속부들(112) 및 도전성 비드(802) 바로 위에 형성될 수 있다. 도전성 비드(802)의 일부분은 선택적으로 노출된 영역(404)을 형성하기 위해, 절연 화합물(114)로부터 돌출될 수 있다. 도전성 비드(802)가  $V_{ss}$  또는 접지 전압과 같은 전압을 제공하기 위해 리드핑거(104)에 연결될 수 있다. 절연 화합물(114)과 선택적으로 노출된 영역(404) 바로 위에 도전성 실드층(118)을 부착함으로써, 집적회로(108)가 전자과 장애로부터 격리될 수 있다.
- <42> 도 9를 참조하면, 도 9에는 본 발명의 제3 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(900)의 단면이 도시되어 있다. 집적회로 패키지 시스템(900)의 단면도는 그 위에 집적회로(108)가 실장되어 있는 리드프레임(102)을 도시하고 있다. 전기 상호접속부들(112)은 리드프레임(102)을 집적회로(108)에 연결할 수 있다. 금속 볼, 금속 범프, 스타드 범프, 금속 칼럼 또는 도전성 수지와 같은 도전성 비드(802)가 선택된 지점에서 리드들(104)에 연결될 수 있다.

0)의 단면이 도시되어 있다. 집적회로 패키지 시스템(900)의 단면도는, 리드핑거들(904)과 반전된 다이 부착 패드(906)를 구비하는 리드프레임(902)을 도시하고 있다. 집적회로(108)는 접착제(110)에 의해, 반전된 다이 부착 패드(906) 바로 위에 실장될 수 있다. 전기 상호접속부들(112)이 리드핑거들(904), 반전된 다이 부착 패드(906), 집적회로(108) 또는 이들의 조합물 사이에 연결될 수 있다.

<43> 절연 화합물(114)이 리드핑거들(904), 반전된 다이 부착 패드(906), 집적회로(108) 및 전기 상호접속부들(112) 바로 위에 형성될 수 있다. 반전된 다이 부착 패드(906)의 상부가 절연 화합물(114)을 통해 돌출되어서, 선택적으로 노출된 영역(404)을 형성할 수 있다. 도전성 실드층(118)이 절연 화합물(114)과 선택적으로 노출된 영역들(404) 바로 위에 부착될 수 있다. 반전된 다이 부착 패드(906)가 도 2의 타이 바(202), 전기 상호접속부들(112), 리드핑거들(904) 또는 이들의 조합물을 통해 전압에 연결될 수 있다.

<44> 도 10을 참조하면, 도 10에는 본 발명의 제4 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템(1000)의 단면이 도시되어 있다. 집적회로 패키지 시스템(1000)의 단면도는 리드들(1004)과 반전된 다이 부착 패드(1006)를 구비하는 리드프레임(1002)을 도시하고 있다. 집적회로(108)는 접착제(110)에 의해, 반전된 다이 부착 패드(1006) 바로 위에 실장될 수 있다. 반전된 다이 부착 패드(1006)보다 더 큰 크기의 집적회로(108)가 반전된 다이 부착 패드(1006)를 향하는 활성 사이트에 실장될 수 있다. 전기 상호접속부(112)가 리드들(1004), 반전된 다이 부착 패드(1006), 집적회로(108) 또는 이들의 조합물 사이에 연결될 수 있다.

<45> 절연 화합물(114)이 리드들(1004), 반전된 다이 부착 패드(1006), 집적회로(108) 및 전기 상호접속부들(112) 바로 위에 형성될 수 있다. 반전된 다이 부착 패드(1006)의 상부가 절연 화합물(114)을 통해 돌출되어서, 선택적으로 노출된 영역(404)을 형성할 수 있다. 도전성 실드층(118)이 절연 화합물(114)과 선택적으로 노출된 영역들(404) 바로 위에 부착될 수 있다. 반전된 다이 부착 패드(1006)가 도 2의 타이 바(202), 전기 상호접속부들(112), 리드들(1004) 또는 이들의 조합물을 통해 전압에 연결될 수 있다.

<46> 놀랍게도, 반전된 다이 부착 패드(1006)가 집적회로 패키지 시스템(1000)용 냉각 통로를 제공할 수 있다는 것을 알게 되었다. 도전성 실드층(118)은 전자기적 격리뿐만 아니라 방사 냉각 열 싱크도 제공할 수 있다.

<47> 도 11을 참조하면, 도 11에는 본 발명의 일 실시예인, 집적회로 패키지 시스템(100) 제조를 위한 집적회로 패키지 방법(1100)의 흐름도가 도시되어 있다. 상기 방법(1100)은, 블록(1102)에서, 리드프레임을 제공하는 단계와; 블록(1104)에서, 리드프레임을 포함하는 집적회로 패키지를 형성하는 단계와; 블록(1106)에서, 리드프레임 바로 위에 선택적으로 노출된 영역을 형성하는 단계와; 블록(1108)에서 상기 선택적으로 노출된 영역을 연결하기 위해, 집적회로 패키지 바로 위에 도전성 실드층을 코팅하는 단계를 포함한다.

<48> 본 발명을 특정의 최적의 실시예와 연계하여 기재하였지만, 전술한 기재에 비추어서 당업자라면 많은 변형, 변조 및 변경될 수 있다는 점을 이해해야 한다. 이에 따라서, 첨부된 청구범위 내에 속하는 그러한 변형 실시, 변조 및 변경 실시를 포함하는 것으로 이해되어야 한다. 본 명세서에 기재된 모든 사항과 첨부된 도면에 도시된 모든 사항은 예시적인 것으로 이에 한정되는 것으로 해석되어서는 안 된다.

### 도면의 간단한 설명

<49> 도 1은 본 발명의 일 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 제1 단면도이다.

<50> 도 2는 본 발명의 일 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 제2 단면도이다.

<51> 도 3은 본 발명을 구현하기 위한 패키지 몰드의 제1 단면도이다.

<52> 도 4는 패키지 몰드의 제2 단면도이다.

<53> 도 5는 본 발명의 일 실시예인, 집적회로 패키지의 평면도이다.

<54> 도 6은 본 발명용 분리 장치의 단면도이다.

<55> 도 7은 본 발명의 제1 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 단면도이다.

<56> 도 8은 본 발명의 제2 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 단면도이다.

<57> 도 9는 본 발명의 제3 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 단면도이다.

<58> 도 10은 본 발명의 제4 선택적 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템의 단면도이다.

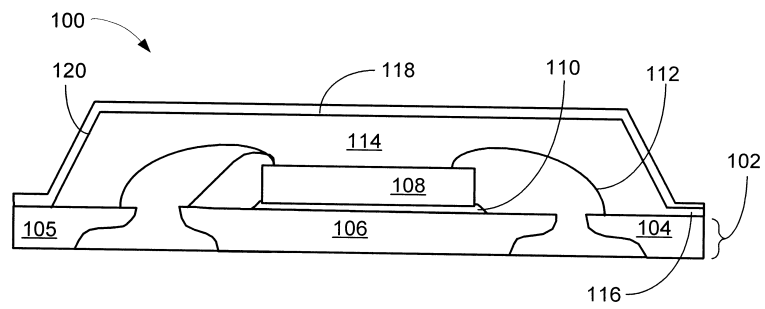
<59> 도 11은 본 발명의 일 실시예인, 전자기적으로 격리된 집적회로 패키지 시스템 제조를 위한 집적회로 패키지



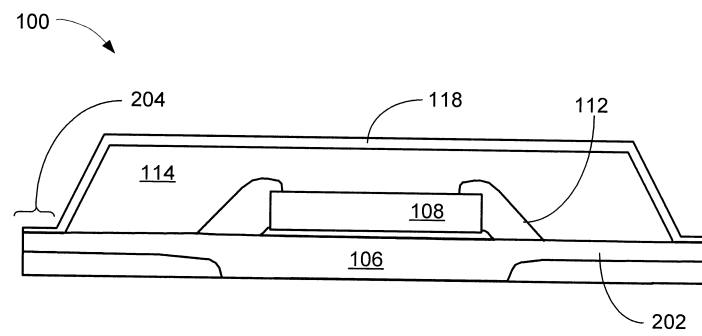
방법의 흐름도이다.

도면

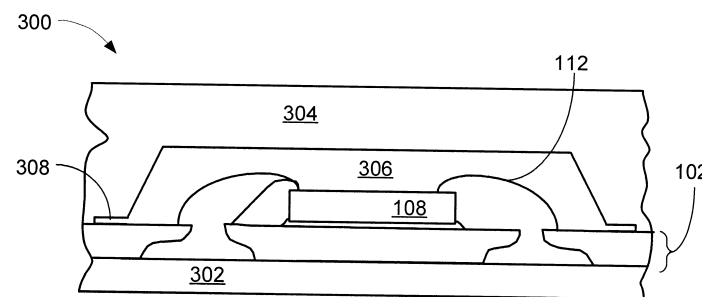
도면1



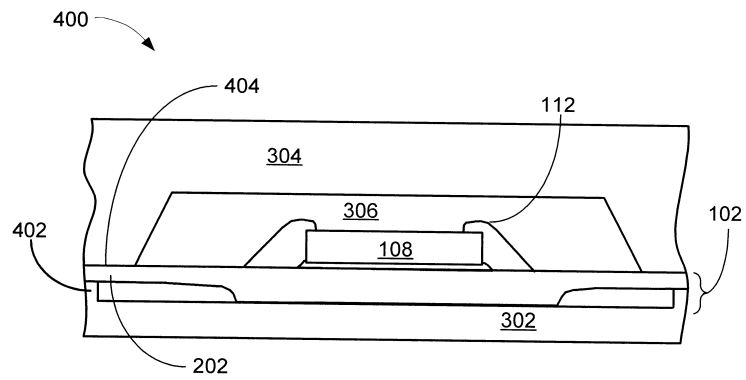
도면2



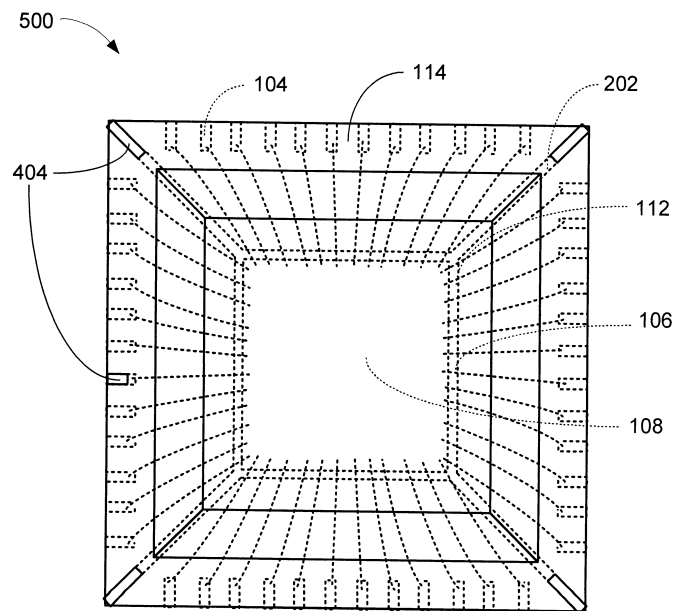
도면3



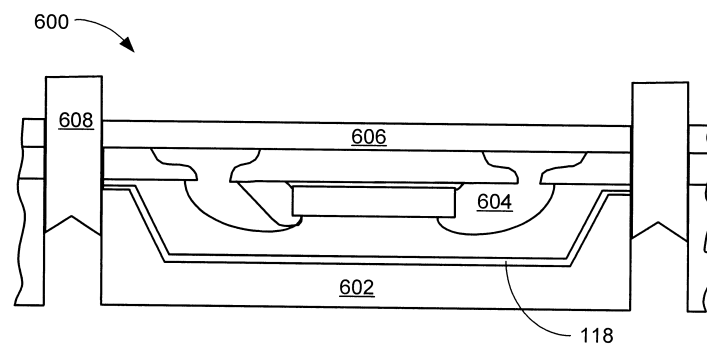
도면4



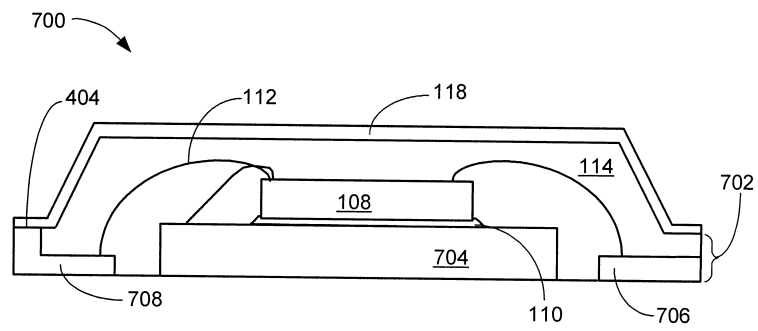
도면5



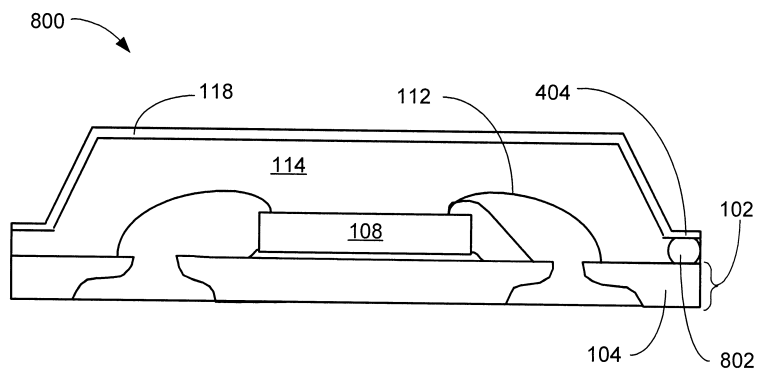
도면6



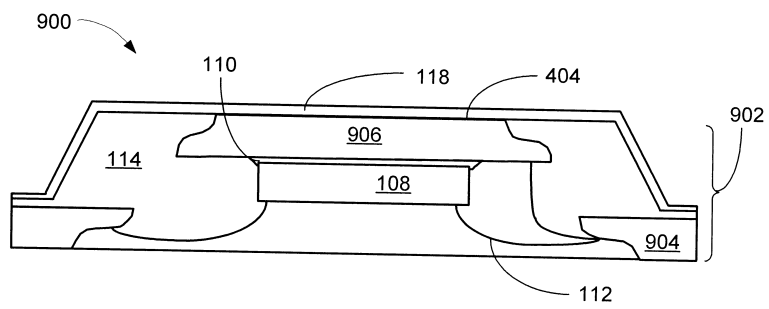
도면7



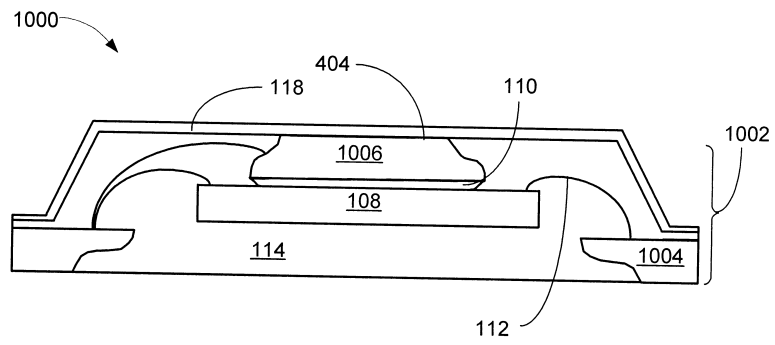
도면8



도면9



도면10



도면11

