

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6077786号  
(P6077786)

(45) 発行日 平成29年2月8日 (2017.2.8)

(24) 登録日 平成29年1月20日 (2017.1.20)

(51) Int. Cl.

F I

HO 4 N 5/355 (2011.01) HO 4 N 5/335 5 5 O

HO 4 N 5/374 (2011.01) HO 4 N 5/335 7 4 O

HO 1 L 27/146 (2006.01) HO 1 L 27/14 A

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2012-183583 (P2012-183583)	(73) 特許権者	000001007
(22) 出願日	平成24年8月22日 (2012.8.22)		キヤノン株式会社
(65) 公開番号	特開2014-42167 (P2014-42167A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年3月6日 (2014.3.6)	(74) 代理人	100076428
審査請求日	平成27年4月28日 (2015.4.28)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素を有する撮像装置であって、  
前記複数の画素のそれぞれは、  
電荷蓄積領域を有する光電変換部と、  
前記電荷蓄積領域に接続されたコンタクトプラグを含むノードの電位に基づいて信号  
を出力する出力部と、  
前記ノードに容量を電氣的に接続する接続部とを含み、  
前記電荷蓄積領域は第1部分及び第2部分を含み、光電変換により発生した電荷は前記  
第1部分に先に蓄積され、前記第1部分が飽和した後に前記第2部分に蓄積され、  
前記ノードに前記容量が電氣的に接続された状態で前記第1部分と前記容量とに所定量  
の電荷が分散して蓄積されたことによる前記ノードの電位変化の量は、前記ノードに前記  
容量が電氣的に接続されていない状態で前記第1部分に前記所定量の電荷が蓄積されたこ  
とによる前記ノードの電位変化の量よりも小さく、前記ノードに前記容量が電氣的に接続  
されていない状態で前記第2部分に前記所定量の電荷が蓄積されたことによる前記ノード  
の電位変化の量よりも大きく、  
前記出力部は、前記ノードに前記容量が電氣的に接続されていない状態で前記電荷蓄積  
領域への信号電荷の蓄積が開始された後に、前記容量が電氣的に接続される前の前記ノ  
ードの前記信号電荷に応じた電位に基づいて第1信号を出力し、その後前記容量が電氣的  
に接続された後の前記ノードの前記信号電荷に応じた電位に基づいて第2信号を出力する

10

20

ことを特徴とする撮像装置。

【請求項 2】

前記コンタクトプラグは、前記第 1 部分に接続され、

前記第 1 部分は、前記第 2 部分に取り囲まれることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記撮像装置は、前記出力部から出力された信号を用いて画素値を決定する処理部を更に有し、

前記処理部は、前記第 1 信号の値が所定の値よりも小さい場合に、前記第 1 信号に基づいて前記画素値を決定し、前記第 1 信号の値が前記所定の値よりも大きい場合に、前記第 2 信号に基づいて前記画素値を決定することを特徴とする請求項 1 又は 2 に記載の撮像装置。

10

【請求項 4】

前記所定の値は、前記第 1 部分が飽和した時点の前記ノードの電位に基づくことを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記複数の画素は、前記出力部から出力された前記第 1 信号を保持する第 1 保持部と、前記出力部から出力された前記第 2 信号を保持する第 2 保持部とを更に含むことを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の撮像装置。

20

【請求項 6】

前記複数の画素のそれぞれは、

前記ノードの電位をリセット電圧に設定するリセット部と、

前記ノードの電位が前記リセット電圧に設定された状態で前記出力部が前記ノードの電位に基づいて出力する第 3 信号を保持する第 3 保持部とを更に含むことを特徴とする請求項 5 に記載の撮像装置。

【請求項 7】

前記容量が電氣的に接続された状態の前記ノードの電位に基づいて前記第 2 信号を出力することを特徴とする請求項 1 乃至 6 の何れか 1 項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は撮像装置に関する。

【背景技術】

【0002】

撮像装置に対して、感度の向上とダイナミックレンジの拡大という相反する 2 つの要望がある。これらの要望を実現するために、特許文献 1 はピン止め領域と、ピン止めされていない領域（以下、非ピン止め領域という）とを有するフォトダイオードを提案する。ピン止め領域とは、表面に P 型半導体領域が配された半導体領域であり、非ピン止め領域よりも大きな容量値を有する。フォトダイオードで発生した電荷はまず非ピン止め領域に蓄積される。非ピン止め領域は小さな容量値を有するので、入射光が高感度で計測される。入射光の照度が高く、非ピン止め領域が飽和した場合に、電荷は続いてピン止め領域に蓄積される。ピン止め領域は大きな容量値を有するので、多くの電荷を蓄積でき、広いダイナミックレンジで入射光が計測される。特許文献 1 の図 16 に示されるように、照度・電圧変換特性は非ピン止め領域の飽和の前後で切り替わる。この変換特性を参照して、画素から得られた信号を用いて画素値が決定される。特許文献 2 は、ダイナミックレンジを拡大するために、フォトダイオードに容量を付加した状態で電荷を蓄積する構成を提案する。

40

【先行技術文献】

【特許文献】

【0003】

50

【特許文献 1】特開平 10 - 209422 号公報

【特許文献 2】特開 2002 - 77737 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に提案されるフォトダイオードにおいて、入射光が高照度であり、ピン止め領域に電荷が蓄積される場合に、照度・電圧変換係数が小さい。そのため、画素信号が画素ごとの特性のばらつきの影響を受けやすく、撮像装置によって得られる画像の画質が低下する。特許文献 2 では、信号を読み出す前に容量を切り離すため、信号の読み出しに用いられる電荷量が低減してしまい、特に発生する電荷量の少ない低照度の場合に画質が低下する。そこで、本発明は、撮像装置において、感度の向上とダイナミックレンジの拡大を実現しつつ、画質を向上するための技術を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

上記課題に鑑みて、本発明の 1 つの側面では、複数の画素を有する撮像装置であって、前記複数の画素のそれぞれは、電荷蓄積領域を有する光電変換部と、前記電荷蓄積領域に接続されたコンタクトプラグを含むノードの電位に基づいて信号を出力する出力部と、前記ノードに容量を電氣的に接続する接続部とを含み、前記電荷蓄積領域は第 1 部分及び第 2 部分を含み、光電変換により発生した電荷は前記第 1 部分に先に蓄積され、前記第 1 部分が飽和した後に前記第 2 部分に蓄積され、前記ノードに前記容量が電氣的に接続された状態で前記第 1 部分と前記容量とに所定量の電荷が分散して蓄積されたことによる前記ノードの電位変化の量は、前記ノードに前記容量が電氣的に接続されていない状態で前記第 1 部分に前記所定量の電荷が蓄積されたことによる前記ノードの電位変化の量よりも小さく、前記ノードに前記容量が電氣的に接続されていない状態で前記第 2 部分に前記所定量の電荷が蓄積されたことによる前記ノードの電位変化の量よりも大きく、前記出力部は、前記ノードに前記容量が電氣的に接続されていない状態で前記電荷蓄積領域への信号電荷の蓄積が開始された後に、前記容量が電氣的に接続される前の前記ノードの前記信号電荷に応じた電位に基づいて第 1 信号を出力し、その後前記容量が電氣的に接続された後の前記ノードの前記信号電荷に応じた電位に基づいて第 2 信号を出力することを特徴とする撮像装置が提供される。

20

30

【発明の効果】

【0007】

上記手段により、撮像装置において、感度の向上とダイナミックレンジの拡大を実現しつつ、画質を向上するための技術が提供される。

【図面の簡単な説明】

【0008】

【図 1】本発明の第 1 実施形態の撮像装置の構成例を説明する図。

【図 2】本発明の第 1 実施形態の画素の回路構成例を説明する図。

【図 3】本発明の第 1 実施形態の画素の断面構成例を説明する図。

【図 4】本発明の第 1 実施形態の撮像装置の制御方法例を説明する図。

40

【図 5】本発明の第 1 実施形態のノードの電位変化例を説明する図。

【図 6】本発明の第 1 実施形態の撮像装置を用いた実験結果を説明する図。

【図 7】本発明の第 2 実施形態を説明する図。

【図 8】本発明の第 3 実施形態を説明する図。

【図 9】本発明の第 4 実施形態の画素の回路構成例を説明する図。

【図 10】本発明の第 4 実施形態の撮像装置の制御方法例を説明する図。

【図 11】本発明の第 5 実施形態を説明する図。

【図 12】本発明の第 6 実施形態を説明する図。

【発明を実施するための形態】

【0009】

50

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付して重複する説明を省略する。また、各実施形態は適宜変更、組み合わせが可能である。

#### 【0010】

##### <第1実施形態>

図1は本発明の第1実施形態に係る撮像装置10の構成例を説明する。撮像装置10は、画素アレイ11、駆動回路12、読出し回路13、制御部14及び信号処理部15を備えうる。画素アレイ11には、入射光に応じた信号を出力する画素16がアレイ状に配置される。駆動回路12は制御部14からの指示に従って、駆動線17を介して行ごとに画素16に制御信号を供給する。読出し回路13は制御部14からの指示に従って、画素16から信号線18に出力された信号を列ごとに読み出し、信号処理部15に出力する。信号処理部15はそれぞれの画素16から出力された信号に基づいて各画素16の画素値を決定する。

10

#### 【0011】

図2は、図1の画素16の一例である画素20の回路構成例を説明する。画素20は、空乏型のフォトダイオードPD及びスイッチ21を備えうる。フォトダイオードPDは入射光に応じた電荷を発生する光電変換部として機能する。フォトダイオードPDのアノードは接地GNDに接続され、カソードはスイッチ21を介して電圧源VRESに接続される。スイッチ21が導通状態(オン)になると、フォトダイオードPDは電圧源VRESから供給されるリセット電圧Vresによって逆バイアスに設定され、フォトダイオードPDの少なくとも一部が空乏化される。すなわち、スイッチ21はフォトダイオードPDをリセットするリセット部として機能する。リセット電圧VresによってフォトダイオードPDの全体が空乏化されてもよい。フォトダイオードPDがリセットされた後、フォトダイオードPDに光が照射されて電荷が発生すると、この逆バイアスが緩和され、空乏化していた領域に電荷が蓄積される。

20

#### 【0012】

画素20はさらに、スイッチ22とコンデンサ23とを備えうる。コンデンサ23は一方の電極(図2では下側の電極)が接地GNDに接続され、他方の電極(図2では上側の電極)がスイッチ22を介してフォトダイオードPDのカソードに接続される。スイッチ22が導通状態になると、コンデンサ23とフォトダイオードPDのカソードが接続されて、コンデンサ23の容量値がフォトダイオードPDの容量値に付加される。すなわち、スイッチ22はコンデンサ23をフォトダイオードPDに接続する接続部として機能する。スイッチ21及びスイッチ22には駆動回路12から駆動線17を介して制御信号がそれぞれ供給される。

30

#### 【0013】

画素20はさらに、定電流源24とトランジスタ25とを有するソースフォロア回路SFを備えうる。トランジスタ25のゲートはフォトダイオードPDのカソードに接続される。ソースフォロア回路SFは高インピーダンス入力のアンプの一種であり、フォトダイオードPDに蓄積された電荷に基づく信号を増幅して信号線18に出力する。具体的には、ソースフォロア回路SFは、ソースフォロア回路SFとフォトダイオードPDとを接続するノードNDの電位に基づく信号を出力する。このように、ソースフォロア回路SFは、フォトダイオードPDに電氣的に接続されたノードNDの電位に基づく信号を出力する出力部として機能する。このノードNDの電位は、ソースフォロア回路SFの入力ノード(トランジスタ25のゲート)の電位及びフォトダイオードPDのカソードの電位のそれぞれに等しいと見なすことができる。

40

#### 【0014】

次に、図3を参照しつつ、図2のフォトダイオードPDの断面構造例について説明する。図3は図2の画素20のうちフォトダイオードPDに着目した図である。図3では、フォトダイオードPDに蓄積される信号電荷が電子である場合を説明するが、各半導体領域の導電型を反対にして、正孔を信号電荷として用いてもよい。

50

## 【 0 0 1 5 】

n型の半導体基板30にp型のウェル領域(半導体領域)31が形成されており、このウェル領域31に入射した光に応じて電子が発生する。ウェル領域31にn型の半導体領域32が形成される。半導体領域32の中央部にn型の半導体領域33が形成される。半導体領域33は半導体領域32よりも不純物濃度が高い。半導体基板30の表面にはp型の半導体領域34が形成されており、半導体基板30の表面が空乏化しないように半導体領域34はウェル領域31よりも不純物濃度が高い。半導体基板30の表面は酸化膜などの絶縁層35で覆われている。半導体領域33は絶縁層35を貫通するコンタクトプラグ36を介して図2のソースフォロア回路SFに接続される。スイッチ21が非導通状態(オフ)の場合に半導体領域33は電氣的にフローティング状態となる。そこで、半導体領域33をフローティングディフュージョンと呼んでもよい。

10

## 【 0 0 1 6 】

半導体領域32の不純物濃度は例えば $1 \times 10^{15} \sim 5 \times 10^{17} (\text{cm}^{-2})$ 程度である。半導体領域33の不純物濃度は例えば $1 \times 10^{18} \sim 5 \times 10^{20} (\text{cm}^{-2})$ 程度である。半導体領域34の不純物濃度は例えば $1 \times 10^{17} \sim 5 \times 10^{20} (\text{cm}^{-2})$ 程度である。このような不純物濃度の分布により、フォトダイオードPDで発生した電子は半導体領域33に収集され、そこに先に蓄積される。そして、半導体領域33が飽和した場合に、電子は続いて半導体領域32に蓄積される。また、不純物濃度の高い半導体領域33の方が半導体領域32よりも単位体積あたりの空乏化電圧が高い。その結果、同量の電荷(この例では電子)が蓄積した場合に、半導体領域33に蓄積した場合の方が、半導体領域32に蓄積した場合よりも、ノードNDの電位の変化量が大きくなる。言い換えると、半導体領域33に所定量の電荷が蓄積したことによるノードNDの電位変化は、半導体領域33に電荷が蓄積したことによるノードNDの電位変化よりも敏感である。例えば、一定の光量の光が同じ時間だけ照射された場合に、同量の電荷が蓄積される。本実施形態では、半導体領域33(第1部分)及び半導体領域32(第2部分)が電荷蓄積領域として機能する。

20

## 【 0 0 1 7 】

次に、図4を参照して撮像装置10の制御方法の一例を説明する。図4(a)はこの制御方法におけるタイミングチャートであり、図4(b)、(c)はタイミングチャートの各時刻におけるノードNDの電位を示すグラフである。図4(b)は画素20への入射光が低照度の場合を示し、図4(c)は画素20への入射光が高照度の場合を示す。図4(b)、(c)では横軸に時刻をとり、縦軸にノードNDの電位をとる。この図では縦軸上向きを正とする。このタイミングチャートで説明される制御方法は撮像装置10の駆動回路12が画素20内のスイッチ21、22に制御信号を供給することによって実行される。図4では1つの画素20から信号を読み出す場合を説明するが、同様の制御方法が画素アレイ11内の他の画素について行われてもよい。以下に説明する他の実施形態の制御方法についても同様である。

30

## 【 0 0 1 8 】

時刻t1において、駆動回路12はスイッチ21に供給する制御信号をローレベルからハイレベルに切り替え、スイッチ21を導通状態にする。また、時刻t1において、駆動回路12がスイッチ22に供給する制御信号はハイレベルであり、スイッチ22は導通状態である。従って、時刻t1において、ノードNDの電位がリセット電圧Vresにリセットされるとともに、コンデンサ23の電位もリセット電圧Vresにリセットされる。時刻t2において、駆動回路12がスイッチ22に供給する制御信号をローレベルに切り替えて、スイッチ22を非導通状態にすると、コンデンサ23がフォトダイオードPDから切断される。

40

## 【 0 0 1 9 】

時刻t3において、駆動回路12がスイッチ21に供給する制御信号をローレベルに切り替えて、スイッチ21を非導通状態にすると、ノードNDがフローティング状態になる。それにより、フォトダイオードPDで発生した電荷が半導体領域33に蓄積され始め、電荷の蓄積期間が始まる。すなわち、撮像装置の駆動回路12は、画素20の電荷蓄積期

50

間の開始時刻  $t_3$  になると、スイッチ 21 に供給する制御信号をローレベルに切り替える。本実施形態では蓄積される電荷が電子であるので、電荷が蓄積するにつれてノード ND の電位が下がる。

#### 【0020】

ここで、図 5 を参照しつつ、電荷蓄積期間におけるノード ND の電位の変化について説明する。図 5 (a) は時刻  $t_3$  における電荷蓄積期間の開始時点の状態を示す模式図であり、図 5 (b) は半導体領域 33 が飽和する前の状態を示す模式図であり、図 5 (c) は半導体領域 33 が飽和した後の状態を示す模式図である。各図において、縦軸はノード ND の電位を示し、下向きを正とする。また、ハッチング部分の面積がフォトダイオード PD に蓄積された電荷量  $Q$  に相当する。 $V_{cur}$  は各時刻におけるノード ND の電位を示し、 $V_{sat}$  は半導体領域 33 が飽和した時点のノード ND の電位を示す。前述の通り、電荷蓄積期間中は、コンデンサ 23 がノード ND から切り離されている。そのため、ノード ND の電位は、フォトダイオード PD で発生した電荷量とフォトダイオード PD の容量とに依存する。

#### 【0021】

図 5 (a) は、スイッチ 21 を導通状態とし、ノード ND に電圧源  $V_{RES}$  を接続した状態を示す。この場合に、ノード ND は電圧源  $V_{RES}$  によって供給されるリセット電圧  $V_{res}$  に等しくなる。続いて、スイッチ 21 を非導通状態とし、ノード ND がフローティング状態になると、フォトダイオード PD で発生した電子は半導体領域 33 に蓄積され、図 5 (b) に示されるようにノード ND の電位が下がる。半導体領域 33 の容量値を  $C_f$  とすると、半導体領域 33 が飽和するまでの間、すなわち  $V_{res} - V_{cur} - V_{sat}$  を満たす間、以下の関係が成り立つ。

$$V_{res} - V_{cur} = Q / C_f$$

このように、半導体領域 33 が飽和するまでの間、ノード ND の電位変化量（すなわち、 $V_{res} - V_{cur}$ ）は蓄積された電荷量  $Q$  に対して比例して変化する。

#### 【0022】

蓄積された電荷量  $Q$  が増加し、半導体領域 33 が飽和すると、電荷は半導体領域 32 に蓄積され始める。半導体領域 32 の容量値は半導体領域 33 の容量値  $C_f$  よりも大きいので、図 5 (c) に示されるように、ノード ND の電位  $V_{cur}$  は緩やかに変化するようになる。ノード ND の電位  $V_{cur}$  の変化率がどの程度低下するかは、半導体領域 33 と半導体領域 32 との面積比に依存する。面積比が大きいほど、変化率の低下も大きくなるとともに、より多くの電荷をフォトダイオード PD に蓄積できる。これにより、フォトダイオード PD のダイナミックレンジを向上できる。

#### 【0023】

再び図 4 を参照して、時刻  $t_4$  において、電荷蓄積期間が終了すると、読出し回路 13 は画素 20 のソースフォロア回路 SF が信号線 18 に出力している信号を読み出して、信号処理部 15 に出力する。ソースフォロア回路 SF による信号の出力動作は、例えば、後段のメモリに信号を保持することや、後段のサンプルホールドスイッチをオンすることによってなされる。サンプルホールドスイッチは、ソースフォロア回路 SF と、後段の回路、例えばメモリやアンプとを接続するスイッチである。ソースフォロア回路 SF が出力する信号は時刻  $t_4$  におけるノード ND の電位に相当する信号である。時刻  $t_5$  において、駆動回路 12 はスイッチ 22 に供給する制御信号をハイレベルに切り替えて、スイッチ 22 を導通状態にする。これにより、コンデンサ 23 がノード ND に接続され、ノード ND の電位が変化する。このとき、フォトダイオード PD に蓄積された電荷がコンデンサ 23 に分配されることにより、ノード ND の電位が変化する。その後、時刻  $t_6$  において、読出し回路 13 は画素 20 のソースフォロア回路 SF が信号線 18 に出力している信号を再度読み出して、信号処理部 15 に出力する。ソースフォロア回路 SF が出力する信号は時刻  $t_6$  におけるノード ND の電位に相当する信号である。本実施例では、時刻  $t_6$  において、スイッチ 22 が導通状態、つまり、フォトダイオード PD にコンデンサ 23 が接続された状態で信号を読み出している。しかし、時刻  $t_6$  において、スイッチ 22 を非導通

10

20

30

40

50

状態として信号を読み出してもよい。スイッチ 22 が導通状態になることにより電荷が分配されるため、一度スイッチ 22 が導通状態になった後であれば、スイッチ 22 を非導通状態としても電位が保たれるからである。

#### 【0024】

次に、時刻  $t_4$ 、 $t_6$  においてソースフォロア回路  $SF$  が出力する 2 つの信号について説明する。ノード  $ND$  の電位の  $V_{res}$  からの変化量 ( $V_{res} - V_{cur}$ ) は、画素 20 に蓄積された電荷量をノード  $ND$  の容量値で割った値で与えられる。時刻  $t_6$  ではコンデンサ 23 の容量値がノード  $ND$  に付加されているので、電荷量  $Q$  に対するノード  $ND$  の電位の変化率 (ゲイン) は時刻  $t_4$  よりも時刻  $t_6$  の方が小さい。そこで、以下では時刻  $t_4$  においてソースフォロア回路  $SF$  が出力する信号を高ゲイン信号 (第 1 信号) と呼び、時刻  $t_6$  においてソースフォロア回路  $SF$  が出力する信号を低ゲイン信号 (第 2 信号) と呼ぶ。また、コンデンサ 23 がノード  $ND$  に接続されていない状態を高ゲイン状態と呼び、コンデンサ 23 がノード  $ND$  に接続されている状態を低ゲイン状態と呼ぶ。

#### 【0025】

スイッチ 22 が導通状態となり、高ゲイン状態から低ゲイン状態に移行した場合に、半導体領域 33 及び場合によっては半導体領域 32 に蓄積された電荷はコンデンサ 23 に分配される。この場合でも、電子の再結合は発生せず、フォトダイオード  $PD$  で発生し蓄積された電荷の電荷量  $Q$  は保存されたままである。そのため、コンデンサ 23 の容量を  $C_s$  とすると、以下の関係が成り立つ。

$$V_{res} - V_{cur} = Q / (C_f + C_s)$$

このようにノード  $ND$  にコンデンサ 23 の容量を付加することによって、図 4 (c) に示されるように、入射光の照度が高く、高ゲイン状態において線形関係を満たさないような電荷量  $Q$  であっても、低ゲイン状態で測定した場合には線形関係を満たしうる。

#### 【0026】

図 6 に、本実施形態の撮像装置 10 で測定した実験結果を示す。図 6 のグラフの横軸は蓄積期間を表す。蓄積される電荷量  $Q$  は蓄積期間に比例する。図 6 のグラフの縦軸はソースフォロア回路  $SF$  から出力される出力信号の値を表す。この実験では、半導体領域 33 の容量値を約  $5\text{ fF}$  とし、コンデンサ 23 の容量値を約  $20\text{ fF}$  とした場合に、低ゲイン状態及び高ゲイン状態のそれぞれについて蓄積期間と出力信号との関係をプロットした。この実験結果からわかるように、低ゲイン状態及び高ゲイン状態のいずれにおいても、良好な線形性が得られた。また、高ゲイン状態では飽和して線形性が得られない電荷量  $Q$  に対しても、低ゲイン状態では線形性が得られている。図 6 に示すグラフでは、低ゲイン状態と高ゲイン状態との感度比は約 5 倍である。半導体領域 33 とコンデンサ 23 の容量比が大きいほど、高ゲイン状態において線形性が得られる範囲が広がる。発明者の実験では、約 30 倍までの線形性が確認できた。

#### 【0027】

本実施形態において、電荷蓄積期間 (時刻  $t_3$  から時刻  $t_4$  までの期間) は撮像条件によって定まる設計値である。電荷蓄積期間終了後 (時刻  $t_4$  以降) においてもフォトダイオード  $PD$  で電荷が発生し、半導体領域 33 又は半導体領域 32 に電荷が蓄積する。しかし、読出し時間を短くして時刻  $t_4$  と時刻  $t_6$  と間を短くすれば、ほぼ同じ電荷量  $Q$  について低ゲイン信号と高ゲイン信号との両方が信号処理部 15 に出力される。例えば、時刻  $t_4$  及び時刻  $t_6$  からそれぞれ開始される読出し時間は例えば  $10\text{ マイクロ秒}$  以下にできる。

#### 【0028】

信号処理部 15 は、読出し回路 13 から出力された信号の値に基づいて、どちらの信号に基づいて画素値を決定するかを判定する。例えば、信号処理部 15 は、図 4 に示される信号の値が所定の値よりも小さければ低ゲイン信号を用いて画素 20 の画素値を決定し、それ以外の場合に高ゲイン信号を用いて画素値を決定してもよい。この所定の値として、ノード  $ND$  の電位が飽和電圧  $V_{sat}$  に等しい場合にソースフォロア回路  $SF$  から出力される信号の値としてもよい。また、飽和電圧  $V_{sat}$  が画素ごとにばらつきうることを考

慮して、ノードNDの電位が飽和電圧 $V_{sat}$ に等しい場合にソースフォロア回路SFから出力される信号の値にオフセットを追加してもよい。これにより、飽和電圧 $V_{sat}$ が画素ごとにばらついたとしても、画素20からの信号を線形に取得でき、撮像装置10で得られる画像の画質が向上する。

#### 【0029】

感度の異なる複数の部分を含む電荷蓄積領域を形成する方法として、上述のように半導体領域32と半導体領域33とで不純物濃度を異ならせてもよい。また、PN接合するp型の半導体領域34の不純物濃度を異ならせてもよい。図3に示されるように、フォトダイオードPDを形成するPN接合のn型半導体領域は、基板表面のp型の半導体領域34が配された部分と配されていない部分とで、電荷が蓄積された場合のノードNDの電位変化が異なる。

10

#### 【0030】

##### <第2実施形態>

続いて、図7を参照して本発明の第2実施形態について説明する。図7(a)は本実施形態の画素70の構成を説明する回路図であり、図7(b)はこの画素70を含む撮像装置10の制御方法の一例を説明するタイミングチャートである。本実施形態では、図1の撮像装置10の画素16として、図7(a)に示される画素70を用いる。図2の画素20と図7の画素70とで共通する構成要素には同一の参照符号を付して重複する説明を省略する。

#### 【0031】

20

画素70は、サンプルホールド回路(SH回路)71H、71Lと、出力アンプ72H、72Lとを備える点で画素20とは異なる。また、撮像装置10の信号線18は信号線18H、18Lを含む。SH回路71H(第1保持部)はソースフォロア回路SFから出力された高ゲイン信号を保持し、SH回路71L(第2保持部)はソースフォロア回路SFから出力された低ゲイン信号を保持する。SH回路71H、71Lは、それぞれサンプルホールドスイッチと信号保持容量とを含んで構成されうる。出力アンプ72HはSH回路71Hの保持する信号を信号線18Hに出力し、出力アンプ72LはSH回路71Lの保持する信号を信号線18Lに出力する。

#### 【0032】

続いて、本実施形態における撮像装置10の制御方法の一例を説明する。タイミングチャートの各時刻におけるノードNDの電位を示すグラフは図4(b)、(c)と同一であるため省略する。このタイミングチャートで説明される制御方法は撮像装置10の駆動回路12が画素70内のスイッチ21、22及びSH回路71H、71Lに制御信号を供給することによって実行される。

30

#### 【0033】

時刻 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_5$ における動作は第1実施形態と同じであるため、重複する説明を省略する。時刻 $t_4$ で電荷蓄積期間が終了すると、駆動回路12はSH回路71Hへ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路SFから出力されている高ゲイン信号がSH回路71Hに保持される。時刻 $t_6$ で、駆動回路12はSH回路71Lへ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路SFから出力されている低ゲイン信号がSH回路71Lに保持される。その後、読出し回路13は信号線18H、18Lのそれぞれから信号を読み出して、信号処理部15へ出力する。

40

#### 【0034】

本実施形態も第1実施形態と同じ効果が得られる。また、第1実施形態では、読出し回路13は画素アレイ11の各列に対応するすべての信号線18から高ゲイン信号を読み出し、その後に低ゲイン信号を読み出す必要があった。しかし、本実施形態では、各画素70において並行して高ゲイン信号と低ゲイン信号とをSH回路71H、71Lに保持し、その後に読出し回路13がこれらの信号を読み出せばよい。そのため、時刻 $t_3$ と時刻 $t_5$ との間を短縮できる。

50



## 【 0 0 3 5 】

## &lt; 第 3 実施形態 &gt;

続いて、図 8 を参照して本発明の第 3 実施形態について説明する。図 8 ( a ) は本実施形態の画素 8 0 の構成を説明する回路図であり、図 8 ( b ) はこの画素 8 0 を含む撮像装置 1 0 の制御方法の一例を説明するタイミングチャートである。本実施形態では、図 1 の撮像装置 1 0 の画素 1 6 として、図 8 ( a ) に示される画素 8 0 を用いる。図 7 の画素 7 0 と図 8 の画素 8 0 とで共通する構成要素には同一の参照符号を付して重複する説明を省略する。

## 【 0 0 3 6 】

画素 8 0 は、S H 回路 7 1 R と出力アンプ 7 2 R とを更に備える点で画素 7 0 とは異なる。また、撮像装置 1 0 の信号線 1 8 は信号線 1 8 H、1 8 L、1 8 R を含む。S H 回路 7 1 R はソースフォロア回路 S F から出力されたりセット時の信号を保持する。出力アンプ 7 2 R は S H 回路 7 1 R の保持する信号を信号線 1 8 R に出力する。

## 【 0 0 3 7 】

続いて、本実施形態における撮像装置 1 0 の制御方法の一例を説明する。タイミングチャートの各時刻におけるノード N D の電位を示すグラフは図 4 ( b )、( c ) と同一であるため省略する。このタイミングチャートで説明される制御方法は撮像装置 1 0 の駆動回路 1 2 が画素 7 0 内のスイッチ 2 1、2 2 及び S H 回路 7 1 H、7 1 L、7 1 R に制御信号を供給することによって実行される。

## 【 0 0 3 8 】

時刻  $t_1$ 、 $t_2$ 、 $t_4 \sim t_6$  における動作は第 2 実施形態と同じであるため、重複する説明を省略する。時刻  $t_3$  で、電荷蓄積期間が開始されると、駆動回路 1 2 は、上述のようにスイッチ 2 1 へ供給する制御信号をローレベルに切り替えると共に、S H 回路 7 1 R へ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路 S F から出力されている電荷蓄積期間開始直後の信号（以下、リセット信号）が S H 回路 7 1 R に保持される。時刻  $t_6$  の後、読出し回路 1 3 は信号線 1 8 H、1 8 L、1 8 R のそれぞれから信号を読み出して、信号処理部 1 5 へ出力する。信号処理部 1 5 は、高ゲイン信号を用いて画素値を決定する場合に、高ゲイン信号からリセット信号（第 3 信号）を減算し、その値に基づいて画素値を決定する。これによって、フォトダイオード P D のリセット時に発生する K T C ノイズやランダムノイズを除去することができる。ランダムノイズはリセットされる容量が小さいほど大きな電圧となるので、高ゲイン信号からリセット信号を減算することは特に効果がある。また、信号処理部 1 5 は低ゲイン信号を用いて画素値を決定する場合に、低ゲイン信号からリセット信号を減算し、その値に基づいて画素値を決定してもよい。また、画素 8 0 は期間  $t_1 \sim t_2$  の間にコンデンサ 2 3 がノード N D に接続された状態でソースフォロア回路 S F から出力される信号を保持するための S H 回路を更に有してもよい。信号処理部 1 5 は上述のリセット信号の代わりにこの信号を低ゲイン信号から減算してもよい。

## 【 0 0 3 9 】

## &lt; 第 4 実施形態 &gt;

続いて、図 9、図 1 0 を参照して本発明の第 4 実施形態について説明する。上述の第 1 実施形態において、蓄積された電荷量  $Q$  が多い場合に、低ゲイン状態においてもノード N D の電位が飽和電圧  $V_{sat}$  を超えてしまい、低ゲイン信号の線形性を維持できないことがある。このような場合に、コンデンサ 2 3 の容量を大きくして線形性を維持しようとすると、高ゲイン状態において飽和電圧  $V_{sat}$  を若干上回るような電荷量  $Q$  を十分な感度で測定できなくなる。そこで、本実施形態では、2 段階に分けてノード N D に容量値を付加する。図 9 は本実施形態の画素 9 0 の構成を説明する回路図である。本実施形態では、図 1 の撮像装置 1 0 の画素 1 6 として、図 9 に示される画素 9 0 を用いる。図 8 の画素 8 0 と図 9 の画素 9 0 とで共通する構成要素には同一の参照符号を付して重複する説明を省略する。

## 【 0 0 4 0 】

画素 90 は、スイッチ 22 及びコンデンサ 23 の代わりにスイッチ 22 a、22 b 及びコンデンサ 23 a、23 b を有し、SH 回路 71 M (第 3 保持部) 及び出力アンプ 72 M を更に有する点で画素 80 とは異なる。また、撮像装置 10 の信号線 18 は信号線 18 H、18 M、18 L、18 R を含む。スイッチ 22 a 及びコンデンサ 23 a はスイッチ 22 及びコンデンサ 23 と同様の構成であり、スイッチ 22 b 及びコンデンサ 23 b もスイッチ 22 及びコンデンサ 23 と同様の構成である。SH 回路 71 M はソースフォロア回路 S F から出力された信号を保持する。出力アンプ 72 M は SH 回路 71 M の保持する信号を信号線 18 M に出力する。

#### 【0041】

図 10 (a) はこの画素 90 を含む撮像装置 10 の制御方法の一例を説明するタイミングチャートであり、図 10 (b) はノード ND の電位を説明する図である。時刻  $t_1 \sim t_3$  における動作は第 3 実施形態と同じであるため、重複する説明を省略する。ただし、時刻  $t_2$  において、スイッチ 22 が非導通状態に切り替わる代わりに、スイッチ 22 a、22 b が非導通状態に切り替わる。時刻  $t_4$  で、電荷蓄積期間が終了すると、駆動回路 12 は、SH 回路 71 H へ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路 S F から出力されている信号 (高ゲイン信号) が SH 回路 71 H に保持される。時刻  $t_5$  において、駆動回路 12 はスイッチ 22 a に供給する制御信号をハイレベルに切り替えて、スイッチ 22 a を導通状態にする。これにより、コンデンサ 23 a がノード ND に接続され、ノード ND の電位は変化する。図 10 (b) に示されるように、コンデンサ 23 a の容量値をノード ND に付加しても、ノード ND の電位は飽和電圧  $V_{sat}$  を下回ったままである。時刻  $t_6$  において、駆動回路 12 は、SH 回路 71 M へ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路 S F から出力されている信号 (中ゲイン信号) が SH 回路 71 M に保持される。時刻  $t_7$  において、駆動回路 12 はスイッチ 22 b に供給する制御信号をハイレベルに切り替えて、スイッチ 22 b を導通状態にする。これにより、コンデンサ 23 b がノード ND に接続され、ノード ND の電位は変化する。時刻  $t_8$  において、駆動回路 12 は、SH 回路 71 L へ供給される制御信号を一定期間だけハイレベルに切り替える。これによって、ソースフォロア回路 S F から出力されている信号 (低ゲイン信号) が SH 回路 71 L に保持される。

#### 【0042】

その後、読出し回路 13 は信号線 18 H、18 M、18 L、18 R のそれぞれから信号を読み出して、信号処理部 15 へ出力する。信号処理部 15 は、高ゲイン信号、中ゲイン信号、低ゲイン信号の何れかと、リセット信号とを用いて画素値を決定する。信号処理部 15 は、時刻  $t_4$  におけるノード ND の電位  $V_{t4}$  が  $V_{t4} > V_{sat}$  を満たすならば低ゲイン信号を用いて画素 20 の画素値を決定する。それ以外の場合に、信号処理部 15 は、時刻  $t_6$  におけるノード ND の電位  $V_{t6}$  が  $V_{t6} > V_{sat}$  を満たすならば中ゲイン信号を用いて画素値を決定し、それ以外の場合に高ゲイン信号を用いて画素値を決定してもよい。また、飽和電圧  $V_{sat}$  が画素ごとにばらつきうることを考慮して、第 1 実施形態と同様に飽和電圧  $V_{sat}$  にオフセットを追加してもよい。本実施形態では、ノード ND へ付加する容量を 2 段階に切り替えたが、3 段階以上に切り替えることも可能である。

#### 【0043】

##### < 第 5 実施形態 >

続いて、図 11 を参照して本発明の第 5 実施形態について説明する。図 11 (a) は本実施形態の画素 110 の構成を説明する回路図であり、図 11 (b) はこの画素 110 を含む撮像装置 10 の制御方法の一例を説明するタイミングチャートである。本実施形態では、図 1 の撮像装置 10 の画素 16 として、図 11 (a) に示される画素 110 を用いる。図 2 の画素 20 と図 11 の画素 110 とで共通する構成要素には同一の参照符号を付して重複する説明を省略する。画素 110 は、スイッチ 21、22 及びコンデンサ 23 の代わりに、MOS トランジスタ (MOS FET) TR、TC を備える点で画素 20 とは異なる。MOS トランジスタ TR、TC は電圧源 VRES とノード ND との間に直列に接続さ

10

20

30

40

50

れる。

#### 【 0 0 4 4 】

続いて、本実施形態における撮像装置 1 0 の制御方法の一例を説明する。タイミングチャートの各時刻におけるノード N D の電位を示すグラフは図 4 ( b )、( c ) と同一であるため省略する。このタイミングチャートで説明される制御方法は撮像装置 1 0 の駆動回路 1 2 が画素 1 1 0 内の M O S トランジスタ T R、T C のゲートに制御信号を供給することによって実行される。

#### 【 0 0 4 5 】

時刻 t 1 において、駆動回路 1 2 は M O S トランジスタ T C に供給する制御信号をローレベルからハイレベルに切り替え、M O S トランジスタ T C を導通状態にする。また、時刻 t 1 において、駆動回路 1 2 が M O S トランジスタ T R に供給する制御信号はハイレベルであり、M O S トランジスタ T R は導通状態である。従って、時刻 t 1 において、ノード N D の電位がリセット電圧  $V_{res}$  にリセットされる。このように、M O S トランジスタ T C、T R は一緒になってリセット部として機能する。

#### 【 0 0 4 6 】

時刻 t 3 において、駆動回路 1 2 が M O S トランジスタ T C に供給する制御信号をローレベルに切り替えて、M O S トランジスタ T C を非導通状態にすると、ノード N D がフローティング状態になる。従って、フォトダイオード P D で発生した電荷が半導体領域 3 3 に蓄積され始め、電荷の蓄積期間が始まる。すなわち、撮像装置の駆動回路 1 2 は、画素 2 0 の電荷蓄積期間の開始時刻 t 3 になると、M O S トランジスタ T C に供給する制御信号をローレベルに切り替える。本実施形態でも蓄積される電荷が電子であるので、電荷が蓄積するにつれてノード N D の電位が下がる。

#### 【 0 0 4 7 】

時刻 t 4 において、電荷蓄積期間が終了すると、読出し回路 1 3 は画素 2 0 のソースフォロア回路 S F が信号線 1 8 に出力している信号を読み出して、信号処理部 1 5 に出力する。ソースフォロア回路 S F が出力する信号は時刻 t 4 におけるノード N D の電位に相当する信号（高ゲイン信号）である。時刻 t 5 において、駆動回路 1 2 は M O S トランジスタ T R に供給する制御信号をローレベルに切り替えて、M O S トランジスタ T R を非導通状態にする。これと同時に、またはこの後に、駆動回路 1 2 は、M O S トランジスタ T C に供給する制御信号をハイレベルに切り替えて、M O S トランジスタ T C を導通状態にする。これにより、M O S トランジスタ T C の容量値がノード N D に付加され、ノード N D の電位は変化する。従って、M O S トランジスタ T C は容量をノード N D に接続する接続部として機能する。その後、時刻 t 6 において、読出し回路 1 3 は画素 2 0 のソースフォロア回路 S F が信号線 1 8 に出力している信号を再度読み出して、信号処理部 1 5 に出力する。ソースフォロア回路 S F が出力する信号は時刻 t 6 におけるノード N D の電位に相当する信号（低ゲイン信号）である。

#### 【 0 0 4 8 】

本実施形態も第 1 実施形態と同じ効果が得られる。さらに、本実施形態ではスイッチとして M O S トランジスタ T C だけがノード N D に接続されるため、ノード N D の容量を低減できる。本実施形態でも、上述の第 2 実施形態や第 3 実施形態と同様に各画素がソースフォロア回路 S F からの出力を保持する S F 回路を有してもよい。

#### 【 0 0 4 9 】

##### < 第 6 実施形態 >

続いて、図 1 2 を参照して本発明の第 6 実施形態について説明する。図 1 2 ( a ) は本実施形態の画素 1 2 0 の構成を説明する回路図であり、図 1 2 ( b ) はこの画素 1 2 0 を含む撮像装置 1 0 の制御方法の一例を説明するタイミングチャートである。本実施形態では、図 1 の撮像装置 1 0 の画素 1 6 として、図 1 2 ( a ) に示される画素 1 2 0 を用いる。図 9 の画素 9 0 と図 1 2 の画素 1 2 0 とで共通する構成要素には同一の参照符号を付して重複する説明を省略する。本実施形態においても、上述の第 4 実施形態と同様に、2 段階に分けてノード N D に容量値を付加する。画素 1 2 0 は、スイッチ 2 1、2 2 a、2 2

10

20

30

40

50

b及びコンデンサ23a、23bの代わりに、MOSトランジスタTR、TCa、TCbを備える点で画素90とは異なる。MOSトランジスタTR、TCa、TCbは電圧源VRESとノードNDとの間に直列に接続される。

#### 【0050】

続いて、本実施形態における撮像装置10の制御方法の一例を説明する。タイミングチャートの各時刻におけるノードNDの電位を示すグラフは図10(b)と同一であるため省略する。このタイミングチャートで説明される制御方法は撮像装置10の駆動回路12が画素120内のMOSトランジスタTR、TCa、TCbのゲートに制御信号を供給することによって実行される。

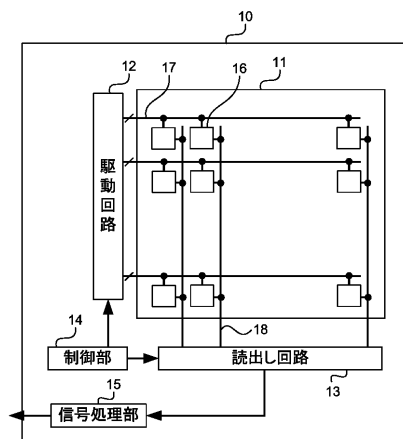
#### 【0051】

時刻t1、t3における動作は第5実施形態と同じであるため、重複する説明を省略する。ただし、時刻t3において、駆動回路12はMOSトランジスタTCa、TCbに供給する制御信号をローレベルに切り替える。時刻t5において、駆動回路12はMOSトランジスタTRに供給する制御信号をローレベルに切り替えて、MOSトランジスタTRを非導通状態にする。これと同時に、またはこの後に、MOSトランジスタTCaに供給する制御信号をハイレベルに切り替えて、MOSトランジスタTCaを導通状態にする。これにより、MOSトランジスタTCaの容量値がノードNDに付加され、ノードNDの電位は変化する。時刻t7において、駆動回路12は、MOSトランジスタTCbに供給する制御信号をハイレベルに切り替えて、MOSトランジスタTCbを導通状態にする。これにより、MOSトランジスタTCbの容量値もノードNDに付加され、ノードNDの電位は変化する。このように、本実施形態ではノードNBに2段階で容量値が付加される。本実施形態でも、4つ以上のMOSトランジスタを電圧源VRESとノードNDとの間に接続して、3段階以上でノードNBに容量値を付加してもよい。

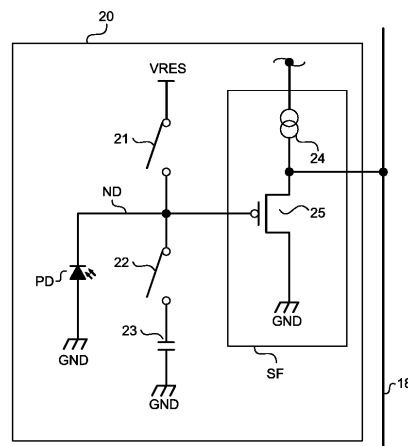
10

20

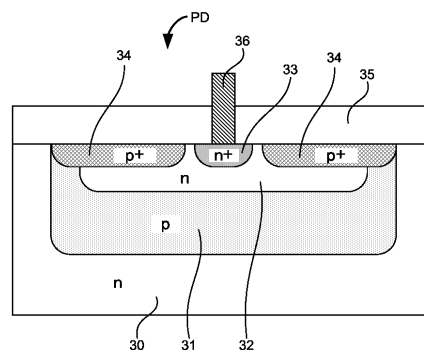
【図1】



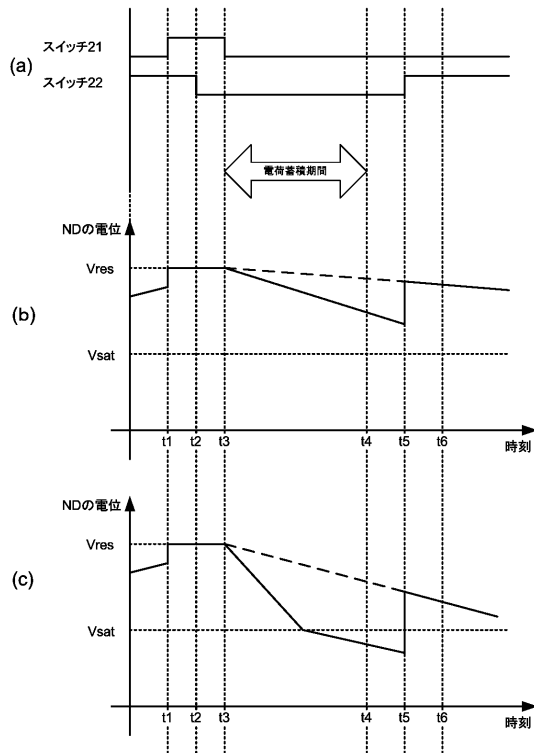
【図2】



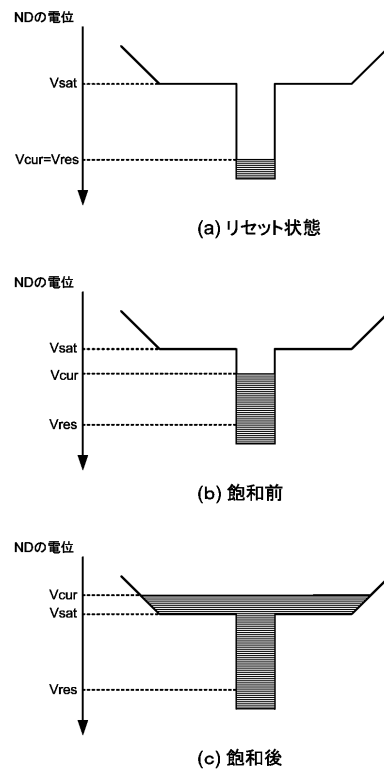
【図3】



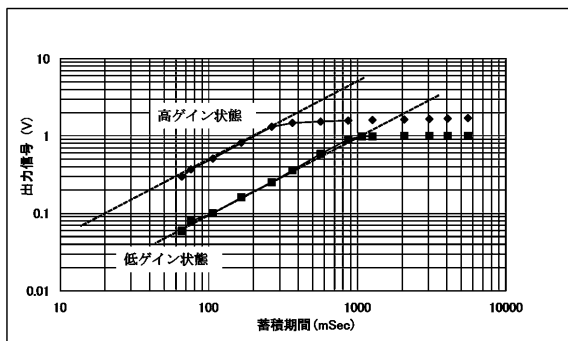
【図4】



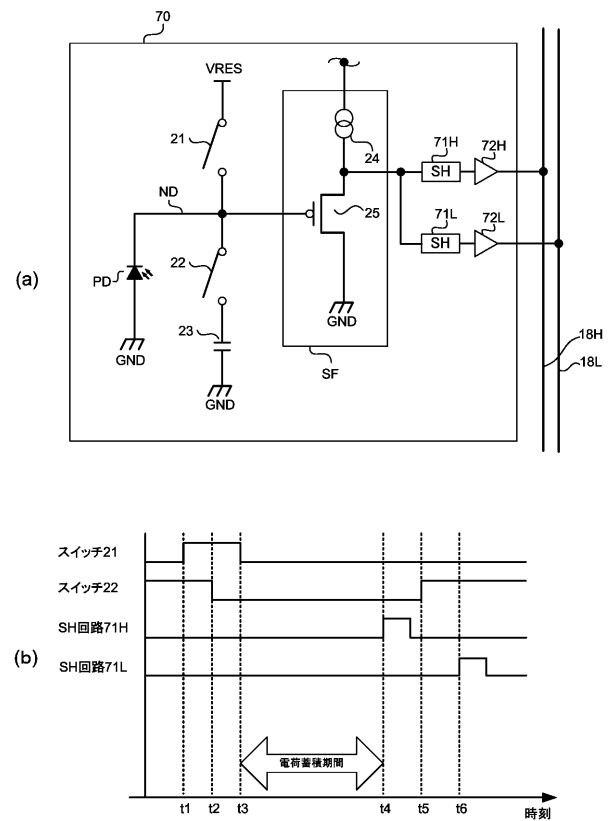
【図5】



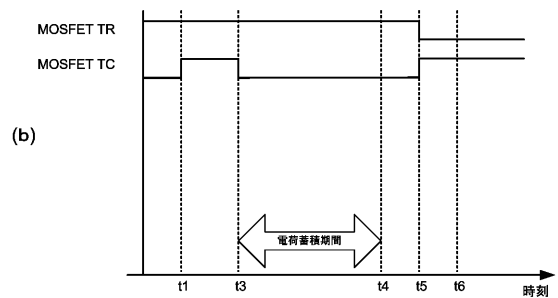
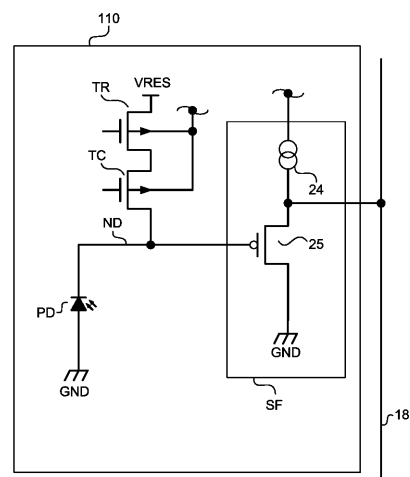
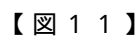
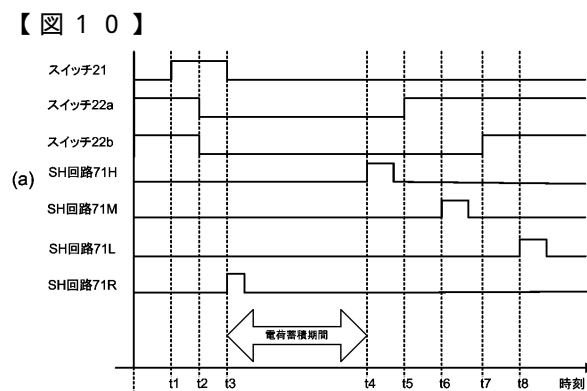
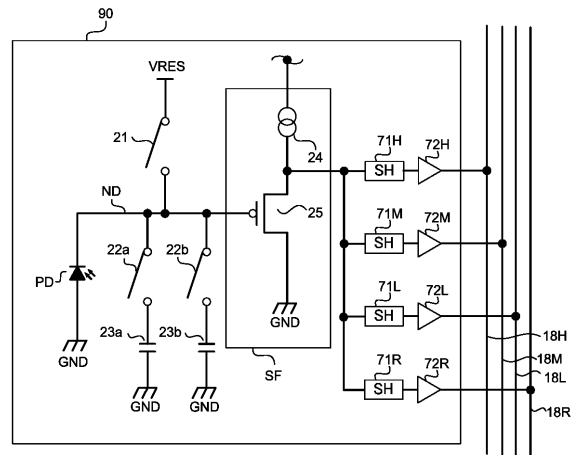
【図6】



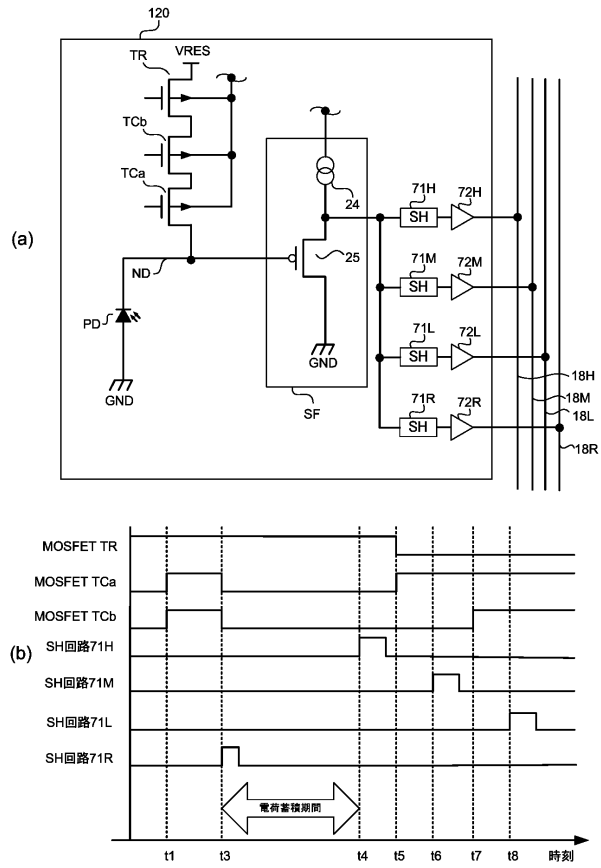
【図7】



【 図 9 】



【図 12】



---

フロントページの続き

(72)発明者 菊池 伸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 肇

(56)参考文献 特開2000-312024(JP,A)

米国特許出願公開第2005/0092895(US,A1)

特開2002-344809(JP,A)

米国特許出願公開第2011/0315854(US,A1)

特開2000-165754(JP,A)

特開2006-262387(JP,A)

特開2012-075033(JP,A)

特開2006-245522(JP,A)

特開平11-214738(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H01L 21/339

H01L 27/14 - 27/148

H01L 29/762