

(43) 国際公開日
2006年9月21日 (21.09.2006)

PCT

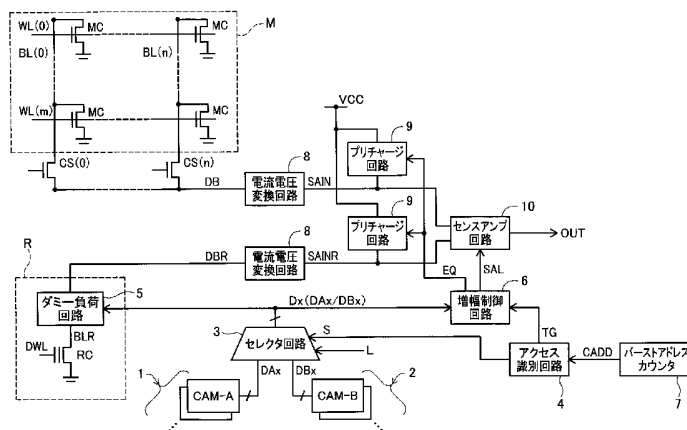
(10) 国際公開番号
WO 2006/098013 A1

- (51) 国際特許分類:
GIIC 16/26 (2006.01) GIIC 7/I2 (2006.01)
- (21) 国際出願番号: PCT/JP2005/004621
- (22) 国際出願日: 2005年3月16日 (16.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベールワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 新林 幸司 (SHIM-
BAYASHI, Koji) [JP/JP]; 〒9650845 福島県会津若松市
門田町工業団地6番 Spansion Japan
株式会社内 Fukushima (JP). 古山 孝昭 (FURUYAMA,
Takaaki) [JP/JP]; 〒9650845 福島県会津若松市門田町
工業団地6番 Spansion Japan株式会社
内 Fukushima (JP). 柴田 健二 (SHIBATA, Kenji) [JP/JP];
〒9650845 福島県会津若松市門田町工業団地6番
Spansion Japan株式会社内 Fukushima
(JP).
- (74) 代理人: 特許業務法人コスモス特許事務所 (COSMOS
PATENT OFFICE); 〒4600003 愛知県名古屋市中区錦
二丁目2番2号名古屋センタービル別館2階 Aichi
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: STORAGE APPARATUS AND STORAGE APPARATUS CONTROL METHOD

(54) 発明の名称: 記憶装置、および記憶装置の制御方法



- 5 DUMMY LOAD CIRCUIT
8 CURRENT/VOLTAGE CONVERTING CIRCUIT
3 SELECTOR CIRCUIT
9 PRECHARGE CIRCUIT
10 SENSE AMPLIFIER CIRCUIT
6 AMPLIFYING CONTROL CIRCUIT
4 ACCESS DISCRIMINATING CIRCUIT
7 BURST ADDRESS COUNTER

(57) Abstract: An access discriminating circuit (4) discriminates between a first access operation, in which a column address (CADD), which is a burst address, is detected, a word line is updated, a new memory cell (MC) is selected and then stored data is read, and a second access operation, in which memory cells (MC) connected commonly to an already selected word line are selected by sequentially switching column selection switches, to output an discrimination signal (S). Operation condition information (Dx (DAX or/and DBx)), which is used for establishing a load condition in a dummy load circuit (5) or/and for establishing a pulse width of an equalization signal (EQ) in an amplifying control circuit (6), is stored in first and second storing parts (1,2)

/ 続葉有 /



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

for each of the first and second access operations, and selected by a selector circuit (3) in accordance with the discrimination signal (S) for application to the dummy load circuit (5) or/and the amplifying control circuit (6). Operational conditions suitable for the respective access operations are selected.

(57) 要約: アクセス識別回路4では、バーストアドレスであるコラムアドレスCADDを検出し、ワード線を更新して新たなメモリセルMCを選択した上で記憶データを読み出す第1アクセス動作と、既に選択されているワード線に共通に接続されているメモリセルMCを、コラム選択スイッチを順次切り替えて選択する第2アクセス動作とを識別して識別信号Sを出力する。ダミー負荷回路5において負荷条件を設定し、または／および増幅制御回路6においてイコライズ信号EQのパルス幅を設定する動作条件情報Dx(DAxまたは／およびDBx)は、第1および第2アクセス動作ごとに第1および第2格納部1、2に格納されており、識別信号Sに応じてセクタ回路3により選択されて、ダミー負荷回路5または／および増幅制御回路6に供給される。アクセス動作ごとに好適な動作条件が選択される。

明 細 書

記憶装置、および記憶装置の制御方法

技術分野

- [0001] 本発明は、読み出し対象のメモリセルの選択を含むデータの読み出し動作が行なわれる第1アクセス動作と、既に選択されているメモリセルからのデータの読み出し動作が行われる第2アクセス動作とを備えて、連続読み出し動作を行なう記憶装置、およびその制御方法に関するものである。

背景技術

- [0002] 特許文献1に開示されている半導体記憶装置では、図9に示すリファレンスアンプについて、シリアルアクセス期間中においては、インバータ206の入力端子へはLレベルの制御信号(RCL)が入力され、Pch型MOSTランジスタ203は遮断状態とされる。このため、リファレンスアンプは、Pch型MOSTランジスタ201とNch型MOSTランジスタ204とによるレシオ回路として動作する。
- [0003] また、レイテンシ期間中においては、インバータ206の入力端子へはHレベルの制御信号(RCL)が入力され、Pch型MOSTランジスタ203は導通状態とされる。このため、リファレンスアンプは、Pch型MOSTランジスタ201〜203とNch型MOSTランジスタ204とによるレシオ回路として動作する。
- [0004] これにより、レイテンシ期間中において、リファレンス信号(REF)は高レベルとなり、シリアルアクセス期間中において、リファレンス信号(REF)は低レベルとなる。
- [0005] レイテンシ期間中においてはリファレンス信号のレベルが高レベルであるため、ワード線の立ち上がりに伴い低下するセンスレベルとリファレンス信号のレベルとの比較動作を速い段階で行なう。また、シリアルアクセス期間中にリファレンス信号のレベルが低レベルであるため、プリチャージ動作中において上昇するセンスレベルとリファレンス信号のレベルとの比較動作を速い段階で行なう。データ検出速度の高速化を図っている。
- [0006] 特許文献1:特開2001-312895号公報(図2)

発明の開示

発明が解決しようとする課題

- [0007] 上記特許文献1では、レイテンシ期間とシリアルアクセス期間との各々でレファレンス信号のレベルを選択し、各々の期間でのデータ検出における比較動作の高速化を図るものではある。
- [0008] しかしながら、ダミーセル(リファレンスセル)からのリファレンス信号の読み出し開始から、読み出されたリファレンス信号のレベルが所定値に至るまでには、ビット線等のリファレンスデータ読み出し径路に存在する負荷による信号の伝播時定数により、所定時間の経過を必要とする。また、データの読み出しに先立つデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ動作においても、同様に、径路上の負荷による信号の伝播時定数により、所定のプリチャージレベルに至るまでに所定時間の経過を必要とする。これらの伝播時定数は、各種動作条件や製造ばらつき等の様々な変動要因により、変動しまたはばらつくことが考えられる。
- [0009] センスアンプ回路等によるデータ検出は、読み出されたデータおよびリファレンスデータが十分なレベルに至った後に行なうことが必要であるところ、伝播時定数の変動に対してデータの読み出しを確実に行なうためには、データ検出のタイミングは、変動またはばらつき要因を考慮して、データおよびリファレンスデータの読み出し開始から十分な時間の経過後とする必要がある。高速な読み出しアクセス動作の阻害要因となってしまうおそれがあり問題である。

課題を解決するための手段

- [0010] 本発明は前記背景技術に鑑みなされたものであり、読み出し対象のメモリセルの選択を含むデータの読み出し動作を行なう第1アクセス動作と、既に選択されているメモリセルからのデータの読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう際、第1アクセス動作と第2アクセス動作との各々について個別にアクセス動作条件を設定することにより、高速アクセス動作が可能な記憶装置、およびその制御方法を提供することを目的とする。
- [0011] 前記目的を達成するためになされた本発明の記憶装置は、読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、第1アクセス動作に引き続き既に選択されているメモリセルからのデータ読み出し動作を行なう第2

アクセス動作とを備えて連続読み出し動作を行なう際、第1アクセス動作でリファレンスデータ読み出し径路に付与すべき負荷についての第1負荷情報を格納する第1格納部と、第2アクセス動作でリファレンスデータ読み出し径路に付与すべき負荷についての第2負荷情報を格納する第2格納部とを備えることを特徴とする。

[0012] また、第1アクセス動作におけるデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間についての第1プリチャージ時間情報を格納する第1格納部と、第2アクセス動作におけるデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間についての第2プリチャージ時間情報を格納する第2格納部とを備えることを特徴とする。

[0013] 本発明の記憶装置では、第1アクセス動作と、第1アクセス動作に引き続く第2アクセス動作とを備えて連続読み出し動作を行なうにあたり、第1格納部により、第1アクセス動作でリファレンスデータ読み出し径路に付与すべき負荷についての第1負荷情報を格納し、第2格納部により、第2アクセス動作でリファレンスデータ読み出し径路に付与すべき負荷についての第2負荷情報を格納する。または、第1格納部により、第1アクセス動作でデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間についての第1プリチャージ時間情報を格納し、第2格納部により、第2アクセス動作でデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間についての第2プリチャージ時間情報を格納する。

[0014] また、本発明の記憶装置の制御方法は、読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、第1アクセス動作に引き続き既に選択されているメモリセルからのデータ読み出し動作を行なう第2アクセス動作とを備える連続読み出し動作において、第1アクセス動作の際、格納されてなる第1負荷情報に基づき、リファレンスデータ読み出し径路に付与すべき負荷を設定するステップと、第2アクセス動作の際、格納されてなる第2負荷情報に基づき、リファレンスデータ読み出し径路に付与すべき負荷を設定するステップとを有することを特徴とする。

[0015] また、第1アクセス動作の際、格納されてなる第1プリチャージ時間情報に基づき、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を設定するステップと、第2アクセス動作の際、格納されてなる第2プリチャージ時間情報

に基づき、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を設定するステップとを有することを特徴とする。

- [0016] 本発明の記憶装置の制御方法では、第1アクセス動作と、第1アクセス動作に引き続く第2アクセス動作とを備えて連続読み出し動作を行なうにあたり、第1アクセス動作では、格納されてなる第1負荷情報に基づき、リファレンスデータ読み出し径路に付与すべき負荷を設定し、第2アクセス動作では、格納されてなる第2負荷情報に基づき、リファレンスデータ読み出し径路に付与すべき負荷を設定する。また、第1アクセス動作では、格納されてなる第1プリチャージ時間情報に基づき、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を設定し、第2アクセス動作では、格納されてなる第2プリチャージ時間情報に基づき、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を設定する。

発明の効果

- [0017] これにより、第1アクセス動作および第2アクセス動作の各々で、メモリセルからデータ読み出し径路を介してデータが読み出される際、データ読み出し径路上の負荷によるデータの伝播時定数のばらつきに応じて、リファレンスデータ読み出し径路に付与すべき負荷を調整することができる。また、第1アクセス動作および第2アクセス動作の各々で、データ読み出しに先立つプリチャージ動作において、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を自由に設定することができる。
- [0018] メモリセルの選択を含むデータ読み出し動作が行なわれる第1アクセス動作と、既に選択されたメモリセルからのデータ読み出し動作が行なわれる第2アクセス動作との間で、データ伝搬時定数が異なりまたは／および各々が個別にばらつく場合、メモリセルやリファレンスセルの特性がばらつき場合にも、各々のアクセス動作に応じて、リファレンスデータ読み出し径路におけるデータ伝搬時定数やプリチャージ時間を調整することができる。第1および第2アクセス動作の別に関わらず、データ読み出し径路とリファレンスデータ読み出し径路とで、読み出し動作によるレベル変化をバランスさせることができる。読み出し開始より速いタイミングで径路間のレベル差が所定レベルに至るため、アクセス動作の高速化を図ることができる。

[0019] 本発明によれば、読み出し対象のメモリセルの選択を含むデータの読み出し動作を行なう第1アクセス動作と、既に選択されているメモリセルからのデータの読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう際、第1アクセス動作と第2アクセス動作との各々に対して、リファレンスデータ読み出し径路の負荷の調整やデータ読み出し径路のプリチャージ時間の調整を、個別に行なうことにより、データ読み出しの際、データ読み出し径路およびリファレンスデータ読み出し径路のレベル変化をバランスさせ、高速アクセス動作が可能な記憶装置、およびその制御方法を提供することができる。

図面の簡単な説明

- [0020] [図1]実施形態の回路ブロック図である。
- [図2]データ線のプリチャージ回路と電流電圧変換回路の具体例を示す回路図である。
- [図3]図2におけるプリチャージ動作から読み出し動作に至る動作波形図である。
- [図4]アクセス動作識別回路の動作波形図である。
- [図5]アクセス条件を選択するセレクト回路の具体例を示す回路図である。
- [図6]リファレンスセルの読み出し径路におけるダミー負荷回路の具体例を示す回路図である。
- [図7]増幅制御回路のうちプリチャージ信号EQを生成する回路の具体例を示す回路図である。
- [図8]図6におけるプリチャージ信号の生成を示す動作波形図である。
- [図9]背景技術における回路図である。

符号の説明

- [0021] 1 第1格納部
- 2 第2格納部
- 3 セレクト回路
- 4 アクセス識別回路
- 5 ダミー負荷回路
- 6 増幅制御回路

7 バーストアドレスカウンタ
8 電流電圧変換回路
9 プリチャージ回路
10 センスアンプ回路
31、32、33 マルチプレクサ
51 スイッチ素子模擬部
52 実配線部
53 負荷調整部
61 計時部
CS(0)〜CS(n) コラム選択スイッチ
DB データ線
DBR リファレンスデータ線
MC メモリセル
RC リファレンスセル
SAIN データ入力線
SAINR リファレンスデータ入力線
CADD コラムアドレス
EQ イコライズ信号
L レイテンシ情報
S 識別信号

発明を実施するための最良の形態

[0022] 以下、本発明の記憶装置、および記憶装置の制御方法について具体化した実施形態を図1乃至図8に基づき図面を参照しつつ詳細に説明する。

[0023] 図1は、実施形態の記憶装置として、不揮発性記憶装置を例としてデータの読み出し制御部分を示す回路ブロック図である。ワード線WL(0)〜WL(m)とビット線BL(0)〜BL(n)との交点にメモリセルMCがマトリクス状に配置されて、メモリセルアレイMが構成されている。各ビット線BL(0)〜BL(n)は、コラム選択スイッチCS(0)〜CS(n)を介してデータ線DBに接続される。データ線DBには電流電圧変換回路8が接続

されている。電流電圧変換回路8は、データ入力線SAINを介してセンスアンプ回路10の一方の入力端子に接続されている。データ入力線SAINにはプリチャージ回路9が接続されている。プリチャージ回路9は、データ入力線SAINを例えば電源電圧VCCにプリチャージすると共に、電流電圧変換回路8を介して降圧された電圧レベルで、データ線DBおよびビット線BL(0)〜BL(n)をプリチャージする。

[0024] ワード線WL(0)〜WL(m)およびコラム選択スイッチCS(0)〜CS(n)により選択されるメモリセルMCの記憶データは、ビット線BL(0)〜BL(n)からコラム選択スイッチCS(0)〜CS(n)を介してデータ線DBに至るデータ読み出し経路を介して読み出される。不揮発性記憶装置の場合、記憶データは、メモリセルMCにおける例えば閾値電圧として記憶されている。記憶データに応じて選択されたメモリセルMCの導通・非導通が決定される。メモリセルMCが導通する場合、プリチャージ回路9により読み出し動作に先立ちプリチャージされているデータ読み出し経路の電荷が、放電される。このときデータ読み出し経路を介して流れるデータ電流が電流電圧変換回路8において電圧値に変換されて、データ入力線SAINに出力される。

[0025] リファレンス部Rには、ダミーワード線DWLにより選択されるリファレンスセルRCが備えられている。リファレンスセルRCに記憶されているリファレンスデータにより、読み出された記憶データの論理レベルが決定される。

[0026] リファレンスセルRCは、リファレンスビット線BLRからダミー負荷回路5を介してリファレンスデータ線DBRに接続される。リファレンスデータ線DBRには電流電圧変換回路8が接続され、ダミー負荷回路5とリファレンスデータ線DBRとを備えて構成されるリファレンスデータ読み出し経路を介して流れるリファレンス電流を電圧値に変換する。電流電圧変換回路8は、リファレンスデータ入力線SAINRを介してセンスアンプ回路10の他方の入力端子に接続されている。リファレンスデータ入力線SAINRには、データ入力線SAINの場合と同様にプリチャージ回路9が接続されており、リファレンスデータ入力線SAINRを電源電圧VCCにプリチャージすると共に、電流電圧変換回路8を介して降圧された電圧レベルで、リファレンスデータ線DBRおよびリファレンスビット線BLRをプリチャージする。

[0027] 第1アクセス動作と第2アクセス動作とでは各々にサイクルタイムが異なるところ、ダ

ミー負荷回路5は、アクセス動作ごとに、メモリセルMCからデータ線DBに至るデータ読み出し径路に接続されているメモリセルMCや各種スイッチ素子および配線材自体に存在する抵抗成分や容量成分による寄生負荷と、整合をとった負荷で構成されている。同一の配線材で構成され同一のスイッチ素子を備え、または／および擬似的に抵抗素子や容量素子が接続されて、メモリセルMCからの記憶データの読み出し時定数と、リファレンスセルRCからのリファレンスデータの読み出し時定数とが整合される。更に、製造ばらつき等の各種の変動要因により整合状態がずれた場合に、リファレンスデータ読み出し径路の負荷を、第1／第2アクセス動作ごとに個別に調整することができ、時定数の整合を行なうことが可能な構成を有している。

[0028] プリチャージ回路9およびセンスアンプ回路10は、増幅制御回路6により制御される。プリチャージ回路9によるデータ入力線SAIN／リファレンスデータ入力線SAINR、データ線DB／リファレンスデータ線DBR、およびビット線BL(0)〜BL(n)／リファレンスビット線BLRのプリチャージ動作と、センスアンプ回路10による読み出しデータの増幅動作とを制御する。増幅制御回路6から出力される制御信号のうち、イコライズ信号EQはプリチャージ回路9を制御し、センスアンプラッチ信号SALはセンスアンプ回路10を制御する。

[0029] 増幅制御回路6は、イコライズ信号EQのパルス時間の調整が行なえるように構成されている。パルス駆動されるイコライズ信号EQによりプリチャージされたデータ読み出し径路およびリファレンスデータ読み出し径路の電荷は、各々の径路に存在する容量成分に蓄積されている。この蓄積電荷が、メモリセルMCおよびリファレンスメモリセルRCの導通状態に応じて引き抜かれる。放電によりデータ入力線SAINおよびリファレンスデータ線SAINRに現れる差電圧が増幅されてデータの読み出しが行われる。

[0030] メモリセルMCおよびリファレンスメモリセルRCによる電荷の引き抜き能力は、メモリセルMCおよびリファレンスメモリセルRCを構成する不揮発性トランジスタのトランジスタ特性に依存する。すなわち、不揮発性トランジスタのドレイン・ソース間の電圧差が大きいほど高い電流駆動能力を得ることができるため、十分に高い電圧レベルにプリチャージされている場合には、十分な電流駆動能力で電荷の放電が行なわれ早

い段階での差電圧の増幅を可能とする。これに対して、プリチャージの際の電圧レベルが不十分である場合には、十分な電流駆動能力を得られず、増幅可能な差電圧を得るまでに長時間を要することとなる。

- [0031] 第1アクセス動作と第2アクセス動作とは各々にサイクルタイムが異なるところ、アクセス動作ごとに、データ入力線SAINとリファレンスデータ入力線SAINRとの間で十分な差電圧を短時間で得られるように、イコライズ信号EQを個別に調整することができる構成を有している。
- [0032] バースト動作等の連続読み出し動作では、アドレスの更新に応じてアクセス動作が行なわれる。バーストアドレスカウンタ7は、同期型の不揮発性記憶装置においては、不図示のクロック信号に応じてコラムアドレスCADDが更新される。コラムアドレスCADDはアクセス識別回路4に入力される。
- [0033] アクセス識別回路4では、コラムアドレスCADDのアドレス値を検出して、アドレスの更新を報知すると共に、連続アクセス動作におけるアクセス動作を識別する。アドレス更新信号TGはトリガ信号として増幅制御回路6に向けて出力される。また、バースト動作中を含むワード線を更新して新たなメモリセルMCを選択した上で記憶データを読み出す第1アクセス動作と、既に選択されているワード線に共通に接続されているメモリセルMCを、コラム選択スイッチを順次切り替えて選択する第2アクセス動作とを識別して、識別信号Sを出力する。
- [0034] ここで、アドレス更新信号TGは、例えば、アドレス遷移時にパルス信号として出力されるアドレス遷移検出信号ATDである。識別信号Sは、コラムアドレスCADDに応じて出力される。コラムアドレスCADDが更新されコラム選択スイッチが順次選択されて第2アクセス動作が行われた後、コラムアドレスCADDが一巡して全てのコラム選択スイッチが選択されることに応じて、ワード線が切り替えられる。コラムアドレスCADDが所定値に戻る場合を第1アクセス動作として識別信号Sを出力することができる。
- [0035] ダミー負荷回路5において負荷条件を設定し、または／および増幅制御回路6においてイコライズ信号EQのパルス幅を設定する動作条件情報Dx(DAxまたは／およびDBx)は、第1アクセス動作と第2アクセス動作とのアクセス動作ごとに、各々、第1格納部1、および第2格納部2に格納されている。各々の格納部1、2は、不揮発性記

憶素子で構成される記憶領域CAM-A、CAM-Bを複数備えている。

- [0036] 第1／第2格納部1／2の各々の記憶領域CAM-A、CAM-Bに格納されている、動作条件情報DA_x／DB_xは、セクタ回路3により選択されて、ダミー負荷回路5または／および増幅制御回路6に供給される。セクタ回路3における選択は、識別信号Sで行われるほか、バースト動作におけるレイテンシ情報Lにより行なわれる。
- [0037] 識別信号Sに応じて第1アクセス動作であるか第2アクセス動作であるかの識別が行なわれることにより、第1格納部1または第2格納部2の何れか一方から、動作条件情報DA_xまたはDB_xが選択される。また、バースト動作を奏する記憶装置において、動作周波数に応じて設定されるレイテンシ情報Lに応じて、最適な動作条件の組み合わせが選択される。
- [0038] ここで、動作条件情報DA_xまたはDB_xとして、例えば、kビット幅の論理信号としてやれば、 2^k 乗とおりの識別が可能となる。これにより、リファレンスデータ読み出し径路の時定数やイコライズ信号EQのパルス幅を、 2^k 乗とおりで調整することができる。
- [0039] 図2には、電流電圧変換回路8とプリチャージ回路9との具体例を示す。データ線DB／リファレンスデータ線DBRは、NMOSTランジスタM1のゲート端子およびNMOSTランジスタM2のソース端子に接続されている。トランジスタM1は、ソース端子が接地電位に接続され、ドレイン端子が抵抗素子R1を介して電源電圧VCCに接続されると共にNMOSTランジスタM2のゲート端子に接続されている。NMOSTランジスタM2のドレイン端子は、電流電圧変換回路8であるデータ入力線SAIN／リファレンスデータ入力線SAINRに接続されると共に電源電圧VCCに接続された抵抗素子(R_{sense})に接続されている。データ入力線SAIN／リファレンスデータ入力線SAINRには、電源電圧VCCとの間にプリチャージ回路9が備えられている。プリチャージ回路9は、NMOSTランジスタM3およびPMOSTランジスタM4を備えている。NMOSTランジスタM3のゲート端子にはイコライズ信号EQが入力され、PMOSTランジスタM4のゲート端子にはイコライズ信号EQがインバータゲートI1で反転されて入力されている。ハイレベル信号のイコライズ信号EQで、各々のトランジスタM3、M4が導通し、プリチャージ動作が行われる。
- [0040] メモリセルアレイMから読み出された記憶データは、電流としてNMOSTランジスタ

M2を介してデータ入力線SAIN／リファレンスデータ入力線SAINRに伝えられる。データ入力線SAIN／リファレンスデータ入力線SAINRは、電流電圧変換動作に先立ち電源電圧VCCにプリチャージされる必要がある。データ入力線SAIN／リファレンスデータ入力線SAINRの電圧レベルを電源電圧VCCにプリチャージした上で、記憶データに応じた電流の有無により電圧降下の有無を発生させることにより電圧値に変換するからである。

[0041] MOSTランジスタM3、M4の導通によるプリチャージ動作は、データ入力線SAIN／リファレンスデータ入力線SAINRを電源電圧VCCまで充電すると共に、NMOSTランジスタM2を介してデータ線DB／リファレンスデータ線DBR、更にコラム選択スイッチを介してビット線にも電荷を供給してプリチャージを行なう。

[0042] NMOSTランジスタM1は抵抗素子R1と相俟って、NMOSTランジスタM2のゲート電圧を決定する。ここで、NMOSTランジスタM1のゲート端子はデータ線DB／リファレンスデータ線DBRに接続されているので、NMOSTランジスタM1のコンダクタンスはデータ線DB／リファレンスデータ線DBRの電圧上昇に応じて大きくなり更なる電圧上昇を抑制する方向で、NMOSTランジスタM2のゲート電圧を降圧する動作を行う。これにより、データ線DB／リファレンスデータ線DBRおよびビット線のプリチャージ電圧レベルを、所定の低電圧レベルに維持する働きをする。

SAIN／SAINRとVCCの間には、抵抗素子(Rsense)が接続される。抵抗素子(Rsense)は、定常状態においては、メモリセルMCおよびリファレンスセルRCに流れる電流に対応した電位差 $V(=電流値 \times 抵抗値)$ を生じる。

[0043] 図3には、データ入力線SAIN／リファレンスデータ入力線SAINRについて、プリチャージ動作から読み出し動作に至る動作波形を示す。記憶データの読み出し動作は、電圧変換された記憶データの増幅期間Sensと、増幅期間Sensに先立つプリチャージ期間Preとで構成される。プリチャージ期間Preにおいて、イコライズ信号EQをハイレベルに遷移する。これにより、MOSTランジスタM3、M4は、ほぼ同時に導通状態とされる。ここで、ほぼ同時とは、インバータゲートI1によりイコライズ信号EQから論理反転された信号を生成する際、インバータゲートI1の遅延時間による時間差を含んで同時であることを意味する。インバータゲートI1以外の論理反転回路で構成

する場合も同様である。

- [0044] プリチャージ動作の開始に伴い、MOSTランジスタM3、M4は共に導通を開始し、データ入力線SAIN／リファレンスデータ入力線SAINRの電圧レベルは時間経過と共に上昇し、電源電圧VCCの電圧レベルに近づく。増幅期間Sensでは、イコライズ信号EQをローレベルに遷移することにより、MOSTランジスタM3、M4をほぼ同時に非導通として行われる。MOSTランジスタM3、M4を非導通とすることにより、プリチャージされた電荷は、メモリセルMC／リファレンスセルRCに至る径路を介して放電する。放電は、メモリセルMC／リファレンスセルRCを構成する不揮発性トランジスタの閾値電圧により決定されるトランジスタの電流駆動能力に応じて定められる。メモリセルMCがプログラム(PGM)状態の場合には高い閾値電圧を有し、放電は行なわれない(図3中、SAIN(PGM)の場合。)。消去(ER)状態の場合には低い閾値電圧を有し、放電が行なわれる(図3中、SAIN(ER)の場合。)。リファレンスセルの閾値電圧は、この中間状態に設定されている(図3中、SAINR。)。
- [0045] リファレンスデータ読み出し径路の時定数およびイコライズ信号EQのパルス幅を調整することにより、プリチャージ期間Preにおいて、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージレベルを、共に電源電圧VCCの電圧レベルに近づけることができる。また、増幅期間Sensにおいて、データ入力線SAINの電圧レベルが、記憶データの別に応じて、リファレンスデータ入力線SAINRの電圧レベルに対して高／低レベルを維持しながら時間経過と共に差電圧を大きくしていくことができる。
- [0046] 図4は、アクセス識別回路4の動作を示す波形図である。同期型記憶装置において、2サイクルのクロック信号CLKでメモリセルMCからのデータの読み出しを行なう場合を例示する。2サイクルのクロック信号CLKごとに少なくとも2ビットの読み出し動作を行なうことにより、外部インターフェースとしてクロックサイクルごとのバースト読み出し等の連続読み出し動作を行なうことができる。
- [0047] クロック信号CLKのハイレベル遷移に同期して切り替わるコラムアドレスCADDに応じて、ハイレベルのパルス信号としてアドレス更新信号TGが出力されると共に、切り替わり後のコラムアドレスCADDが、各ビット値がローレベルである初期値であるこ

とに応じて、識別信号Sがローレベルに反転する。その後、アドレス更新信号TGのローレベル遷移に応じてイコライズ信号EQがハイレベルに遷移してプリチャージ動作が開始される。尚、次々サイクルにおいてコラムアドレスCADDが初期値から切り替わることに応じて、識別信号Sはハイレベルに遷移する。また、イコライズ信号EQは、後述するように、増幅制御回路6により設定される時間のハイレベルパルス生成し、プリチャージ動作が行なわれる。イコライズ信号EQのローレベル遷移の後、不図示のタイミングによりセンスアンプ回路10において増幅動作が行なわれる。

[0048] ここで、識別信号Sのローレベル遷移が行なわれるコラムアドレスCADDの初期値とは一連のバースト動作が行なわれる際の開始アドレスである。すなわち、この開始アドレスによりワード線が切り替わり、新たにメモリセルMCが選択される。以後のサイクルでは、コラム選択スイッチが順次切り替えられて同一のワード線により選択されているメモリセルMCを選択してバースト動作が行なわれる。

[0049] これにより、イコライズ信号EQのハイレベル遷移によるプリチャージ動作に先立ち識別信号Sが出力され、リファレンスデータ読み出し径路の時定数およびイコライズ信号EQのパルス幅を確定することができる。

[0050] 図5には、セクタ回路3の具体例を示す。第1および第2格納部1、2には、各々2組の動作条件情報DA1(k)とDA2(k)、およびDB1(k)とDB2(k) (kは自然数)が格納されているものとする。ここで、動作条件情報DA1(k)、DA2(k)は第1アクセス動作における動作条件を指示する情報である。動作条件情報DB1(k)、DB2(k)は第2アクセス動作における動作条件を指示する情報である。情報が2組備えられているのは、同期動作を行なう際の発振周波数の違いに応じて動作条件が格納されているからである。各々、kビット幅の情報である。具体的には、リファレンスデータ読み出し径路の時定数およびイコライズ信号EQのパルス幅に関する情報である。

[0051] マルチプレクサ32、33には、動作条件情報DA1(k)とDA2(k)、DB1(k)とDB2(k)が入力されており、バースト動作におけるレイテンシ情報Lに応じて何れか一方が選択される。ここで、バースト動作におけるレイテンシ情報Lは、同期動作の際の発振周波数に応じて設定される。初期レイテンシは発振周波数に応じて固有の値を有するからである。

- [0052] マルチプレクサ32、33の出力端子はマルチプレクサ31の入力端子に接続され、識別信号Sに応じて、何れか一方が選択されて動作条件情報D(k)が出力される。具体的には、ハイレベルの識別信号Sではマルチプレクサ32が選択され、レイテンシ情報Lに応じて選択される動作条件情報DA1(k)、DA2(k)の何れか一方が動作条件情報D(k)として出力される。ローレベルの識別信号Sではマルチプレクサ33が選択され、レイテンシ情報Lに応じて選択される動作条件情報DB1(k)、DB2(k)の何れか一方が動作条件情報D(k)として出力される。
- [0053] レイテンシ情報Lにより、同期動作の発振周波数に応じた動作条件の組み合わせが選択されると共に、識別信号Sにより、選択された動作条件の組み合わせから第1アクセス動作と第2アクセス動作との各々に好適な動作条件が選択される。図5では、第1格納部1、第2格納部2の各々に2組の動作条件情報を格納しておき、マルチプレクサ32、33により何れか一方を選択する場合を例に説明をしたが、本発明はこれに限定されるものではない。マルチプレクサを更に備え、または／および3択以上の機能を奏するマルチプレクサを備えることにより、3組以上の更に多数の動作条件情報の組み合わせから選択をすることもできる。また、図5に示す選択は、第1および第2アクセス動作に関して動作条件の組み合わせが予め設定されている場合の回路例である。本発明はこれに限定されるものではなく、マルチプレクサにおいて選択される動作条件情報の組み合わせに応じて、第1アクセス動作と第2アクセス動作とにおける動作条件を自由に選択することができる。更に、識別信号Sに代えて、または識別信号Sと共に、第1および第2格納部1、2において、個々の動作条件情報が格納されているアドレス情報を指定する構成とすれば、第1アクセス動作と第2アクセス動作とにおける動作条件の選択を、更に自由に選択することができる。
- [0054] 図6には、ダミー負荷回路5の具体例を示す。ダミー負荷回路5は、リファレンスセルRCからリファレンスデータ線DBRに至るリファレンスデータ読み出し径路に備えられている。メモリセルMCからデータ線DBに至るデータ読み出し径路に存在する配線容量や配線抵抗に相当する負荷を擬似的に付与する回路である。データ読み出し径路に存在する配線容量や配線抵抗は、一本のビット線に多数のメモリセルMCが接続されており、径路の接続制御を行なう各種のスイッチ素子が存在し、または／お

よび配線材自体が負荷成分を有することにより存在するところ、これらの成分を、以下の3つの構成要素により擬似的に再現する。

- [0055] 第1は、スイッチ素子模擬部51である。データ読み出し径路上の各種のスイッチ素子を同等のスイッチ素子が挿入されている。ゲート端子を、電源電圧VCC (NMOSTランジスタの場合。)、または図示しない接地電位 (PMOSTランジスタの場合。)に固定することにより、常時、導通状態とし、接合容量や酸化膜容量、または／およびオン抵抗等の負荷成分がリファレンスデータ読み出し径路に付与される。
- [0056] 第2は、実配線部52である。データ読み出し径路の場合と同等の配線材料や配線サイズ等の配線条件により配線された実配線部分である。実配線により抵抗成分RPおよび容量成分CPがリファレンスデータ読み出し径路に分布定数的に付与される。
- [0057] 第3は、負荷調整部53である。図6では抵抗素子RRに対して、NMOSTランジスタMR(1)〜MR(k)を介して容量素子CR(1)〜CR(k)が接続される構成を備えている。各NMOSTランジスタMR(1)〜MR(k)のゲート端子は、動作条件情報D(1)〜D(k)が入力される。動作条件情報D(1)〜D(k)のうちハイレベルとなるビット信号の位置、または／および組み合わせに応じて、リファレンスデータ読み出し径路に接続される容量素子が選択され、または／および接続される容量素子の組み合わせが選択される。
- [0058] 負荷調整部53により、リファレンスビット線BLRからリファレンスデータ線DBRに至る径路上の負荷が調整され、リファレンスデータ読み出し径路における時定数が調整される。
- [0059] 図7には、増幅制御回路6のうちイコライズ信号EQの出力部分の具体例を示す。アドレス更新信号TGは、インバータゲートI2、I4とNMOSTランジスタMEのゲート端子に入力される。インバータゲートI2の出力端子は計時部61に接続される。計時部61は、抵抗素子RE、NMOSTランジスタME(1)〜ME(k)、および容量素子CE(1)〜CE(k)により構成されている。
- [0060] 計時部61では、インバータゲートI2の出力端子が抵抗素子REの一方の端子に接続される。抵抗素子REの他方の端子(ノードN1)には、NMOSTランジスタME(1)〜ME(k)を介して容量素子CE(1)〜CE(k)が接続される。各NMOSTランジスタ

ME(1)〜ME(k)のゲート端子は、動作条件情報D(1)〜D(k)が入力される。動作条件情報D(1)〜D(k)のうちハイレベルとなるビット信号の位置、または／および組み合わせに応じて、抵抗素子REの他方の端子に接続される容量素子が選択され、または／および接続される容量素子の組み合わせが選択される。

[0061] 更に、ノードN1は、容量素子CE、およびNMOSTランジスタMEが接続されている。更に、インバータゲートI3の入力端子に接続されており、インバータゲートI3の出力端子から、出力信号TGOが出力される。インバータゲートI3、I4の出力信号がアンドゲートA1に入力され、アンドゲートA1からイコライズ信号EQが出力される。

[0062] 図7の回路例の動作を図8の動作波形図により説明する。アドレス更新信号TGのハイレベルに遷移することにより、NMOSTランジスタMEが導通し、インバータゲートI3を介してハイレベルの出力信号TGOが出力される。同時にインバータゲートI2、I4の出力信号はローレベルに遷移する。更に、アドレス更新信号TGのローレベル遷移に応じて、NMOSTランジスタMEが非導通となり、インバータゲートI2、I4の出力信号はハイレベルに遷移する。このうち、インバータゲートI2の出力信号のハイレベル遷移は、計時部61において構成されている遅延回路により遅延してノードN1に伝播する。計時部61に設定されている遅延時間はアドレス更新信号TGのパルス幅より長い時間に設定されているので、ノードN1は、アドレス更新信号TGのローレベル遷移後、遅延時間の経過を待ってハイレベルに遷移する。これに応じて出力信号TGOはローレベルに遷移する。

[0063] アンドゲートA1の出力信号であるイコライズ信号EQは、インバータゲートI4、I3が共にハイレベルである場合にハイレベルを出力する。アドレス更新信号TGのローレベル遷移から出力信号TGOのローレベル遷移の期間で、ハイレベルのイコライズ信号EQが出力される。

[0064] 図8に示すように、アドレス更新信号TGのローレベル遷移から出力信号TGOのローレベル遷移までの時間Tが遅延時間であるところ、このうち、アドレス更新信号TGのローレベル遷移からの時間T_{fix}は、抵抗素子REと容量素子CEにより計時される固定の遅延時間である。時間T_{fix}に引き続く時間T_{adj}は、抵抗素子REと容量素子CE(1)〜CE(k)により計時される調整可能な遅延時間である。動作条件情報D(1)

ーD(k)に応じて遅延時間が調整され、イコライズ信号EQのパルス幅が調整される。

[0065] 以上の説明から明らかなように本実施形態によれば、第1アクセス動作および第2アクセス動作の各々で、リファレンスデータ読み出し径路に付与すべき負荷を自由に調整することができる。また、データの読み出しに先立って行なわれるプリチャージ動作の時間を自由に調整することができる。

[0066] これにより、ワード線の活性化によるメモリセルMCの選択を含むデータ読み出し動作が行なわれる第1アクセス動作と、既に選択されたメモリセルからのデータ読み出し動作が行なわれる第2アクセス動作との間で、読み出されるデータの伝搬時定数が異なりまたは／および時定数が個別にばらつく場合、更にメモリセルやリファレンスセルの電流駆動能力がばらつきプリチャージ後の放電時定数がばらつく場合等、様々な変動要因に関わらず、第1アクセス動作と第2アクセス動作とで時定数または／およびプリチャージ時間を自由に調整することにより、データ読み出し時のデータ入力線SAIN／リファレンスデータ入力線SAINRの電圧レベルの時間遷移をバランスさせることができる。データ入力線SAIN／リファレンスデータ入力線SAINR間の差電圧を早い段階から十分に大きくすることができ、センスアンプ回路10における増幅タイミングを早めることができる。高速な読み出しアクセス動作を実現することができる。

[0067] 上記の実施形態は、同期型の記憶装置における連続読み出し動作として、いわゆるバースト動作を行なう場合に適用して好都合である。コラムアドレスCADDの初期化に応じてワード線が切り替えられ、新たにメモリセルMCが選択されるアクセス動作である第1アクセス動作と、引き続きコラムアドレスCADDの切り替えに応じてコラム選択スイッチが順次選択されるアクセス動作である第2アクセス動作とで、リファレンスデータ読み出し径路の時定数または／およびプリチャージ時間を自由に調整して、読み出しアクセスにおける記憶データとリファレンスデータとの読み出しタイミングを整合させて高速な読み出しアクセス動作を実現することができる。

[0068] 記憶装置として複数のバンク構成を有しており、個々のバンクが独立してアクセス動作を行なうことが可能な動作仕様を有する記憶装置において、連続読み出し動作を行なう際、他バンクによるアクセス動作によって電源電圧や接地電位の揺れや信号間の干渉等のノイズ環境が厳しい場合でも、時定数または／およびプリチャージ時

間を自由に調整することにより、対ノイズ環境に優れた読み出しアクセスを確保することができる。

[0069] 特に、複数バンク構成を有する不揮発性記憶装置において、他バンクでプログラム動作や消去動作が行われている場合には、高圧または／および負電圧の供給により、電源ノイズ環境が厳しい場合も考えられる。この場合においても、自由な調整により高速な連続読み出し動作を確保することができる。

[0070] 尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、図6、図7では、遅延時間を調整するにあたり、容量負荷の接続数または／および接続組み合わせを制御する場合を例に説明したが、本発明はこれに限定されるものではなく、容量素子に代えて、または容量素子と共に抵抗素子の抵抗値や接続組み合わせを制御することにより遅延時間を調整することも可能である。

また、電流電圧変換回路8とプリチャージ回路9の電源電圧VCCは、任意電圧(例えば記憶装置内部で生成された降圧電源電圧や昇圧電源電圧)に置換え、プリチャージ電圧を任意に設定することができる。

また、実施形態では、同期型の記憶装置を例にとり、連続読み出し動作としてバースト動作について説明を行なったが、本発明はこれに限定されるものではない。非同期型の記憶装置についても、ページ動作モード等の連続読み出しアクセス動作に同様に適用することができる。

また、記憶装置として不揮発性記憶装置を例に説明したが、メモリセルMCとリファレンスセルRCとの比較による記憶データの読み出しアクセスを行なう記憶装置であれば、不揮発性、揮発性の別なく本発明を適用することができる。

請求の範囲

- [1] 読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、前記第1アクセス動作に引き続き既に選択されている前記メモリセルからのデータ読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう記憶装置であって、
- 前記第1アクセス動作でリファレンスデータ読み出し径路に付与すべき負荷についての第1負荷情報を格納する第1格納部と、
- 前記第2アクセス動作で前記リファレンスデータ読み出し径路に付与すべき負荷についての第2負荷情報を格納する第2格納部とを備えることを特徴とする記憶装置。
- [2] 読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、前記第1アクセス動作に引き続き既に選択されている前記メモリセルからのデータ読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう記憶装置であって、
- 前記第1アクセス動作におけるデータ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間についての第1プリチャージ時間情報を格納する第1格納部と、
- 前記第2アクセス動作における前記データ読み出し径路および前記リファレンスデータ読み出し径路のプリチャージ時間についての第2プリチャージ時間情報を格納する第2格納部とを備えることを特徴とする記憶装置。
- [3] 容量負荷スイッチ素子と、該容量負荷スイッチ素子を介して前記リファレンスデータ読み出し径路に接続される容量素子とを複数備え、
- または／および抵抗負荷スイッチ素子と、該抵抗負荷スイッチ素子を介してバイパスされ前記リファレンスデータ読み出し径路を構成する抵抗素子とを複数備え、
- 前記第1および第2負荷情報に応じて、導通状態とされる、前記容量負荷スイッチ素子または／および前記抵抗負荷スイッチ素子の組み合わせが制御されることを特徴とする請求項1に記載の記憶装置。
- [4] 前記プリチャージ時間を計時する計時部を備え、
- 前記計時部は、

容量負荷スイッチ素子と、該容量負荷スイッチ素子を介して前記計時部に接続される容量素子とを複数備え、

または／および抵抗負荷スイッチ素子と、該抵抗負荷スイッチ素子を介して前記計時部に接続される抵抗素子とを複数備え、

前記第1および第2プリチャージ時間情報に応じて、導通状態とされる、前記容量負荷スイッチ素子または／および前記抵抗負荷スイッチ素子の組み合わせが制御されることを特徴とする請求項2に記載の記憶装置。

- [5] 前記データ読み出し動作が行なわれる前記メモリセルを選択するアドレス信号が入力され、前記第1および第2アクセス動作を識別するアクセス識別部を備えることを特徴とする請求項1または2に記載の記憶装置。

- [6] 前記第1アクセス動作において、ワード線を選択により読み出し対象の前記メモリセルの選択が行われ、

同一の該ワード線に接続されている前記メモリセルを選択する前記アドレス信号は、コラムアドレス信号であることを特徴とする請求項5に記載の記憶装置。

- [7] 前記第1アクセス動作の識別は、前記コラムアドレスの一巡に応じて行なわれることを特徴とする請求項6に記載の記憶装置。

- [8] 前記連続アクセス動作はバースト動作であり、

前記第1および第2格納部は、レイテンシごとに、前記第1および第2負荷情報、または前記第1および第2プリチャージ時間情報が格納されることを特徴とする請求項6に記載の記憶装置。

- [9] 読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、前記第1アクセス動作に引き続き既に選択されている前記メモリセルからのデータ読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう記憶装置の制御方法であって、

前記第1アクセス動作の際、格納されてなる第1負荷情報に基づき、リファレンスデータ読み出し径路に付与すべき負荷を設定するステップと、

前記第2アクセス動作の際、格納されてなる第2負荷情報に基づき、前記リファレンスデータ読み出し径路に付与すべき負荷を設定するステップとを有することを特徴と

する記憶装置の制御方法。

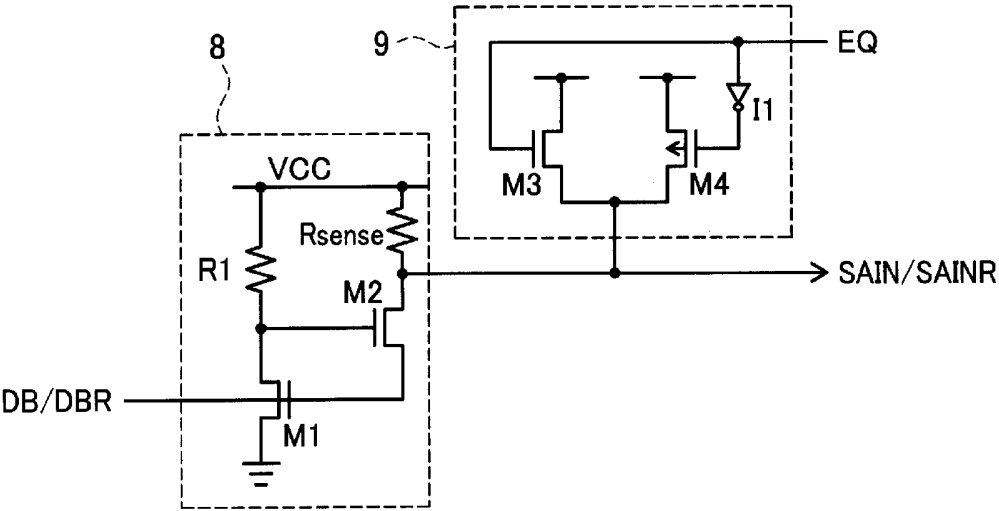
- [10] 読み出し対象のメモリセルの選択を含むデータ読み出し動作を行なう第1アクセス動作と、前記第1アクセス動作に引き続き既に選択されている前記メモリセルからのデータ読み出し動作を行なう第2アクセス動作とを備えて連続読み出し動作を行なう記憶装置の制御方法であって、

前記第1アクセス動作の際、格納されてなる第1プリチャージ時間情報に基づき、データ読み出し径路およびリファレンスデータ読み出し径路のプリチャージ時間を設定するステップと、

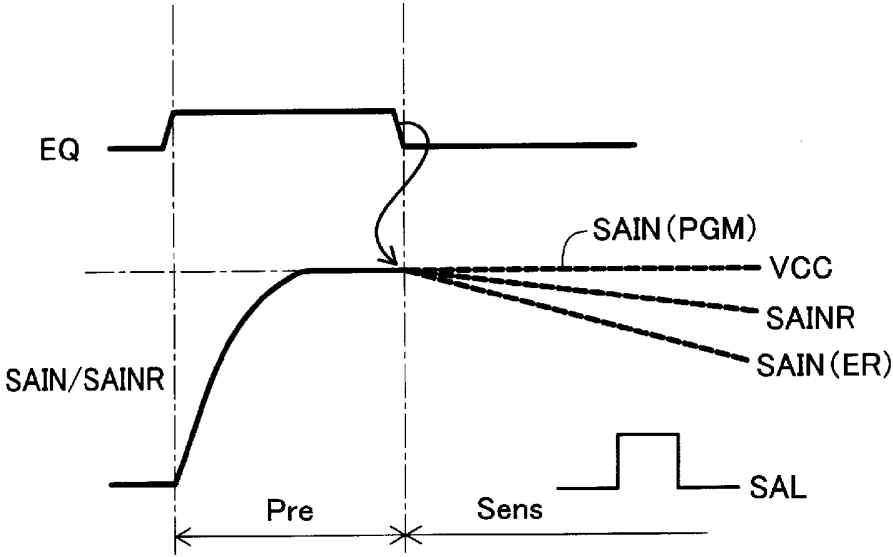
前記第2アクセス動作の際、格納されてなる第2プリチャージ時間情報に基づき、前記データ読み出し径路および前記リファレンスデータ読み出し径路のプリチャージ時間を設定するステップとを有することを特徴とする記憶装置の制御方法。

- [11] 前記データ読み出し動作が行なわれる前記メモリセルを選択するアドレス信号に応じて、前記第1および第2アクセス動作の識別を行なうステップを有することを特徴とする請求項9または10に記載の記憶装置の制御方法。

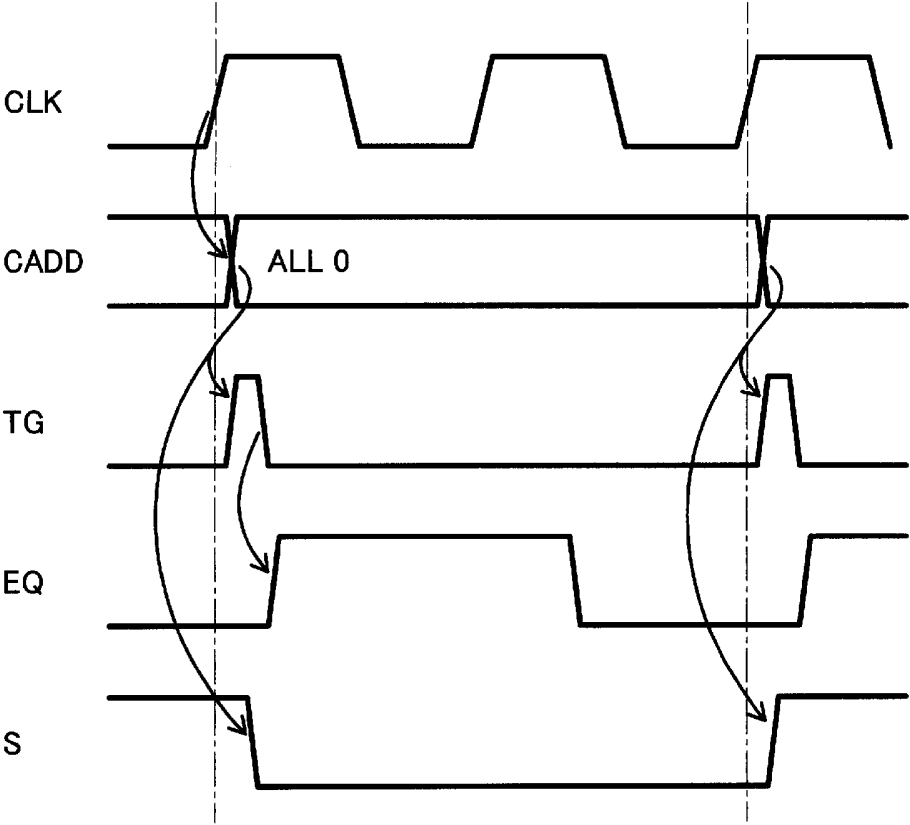
[図2]



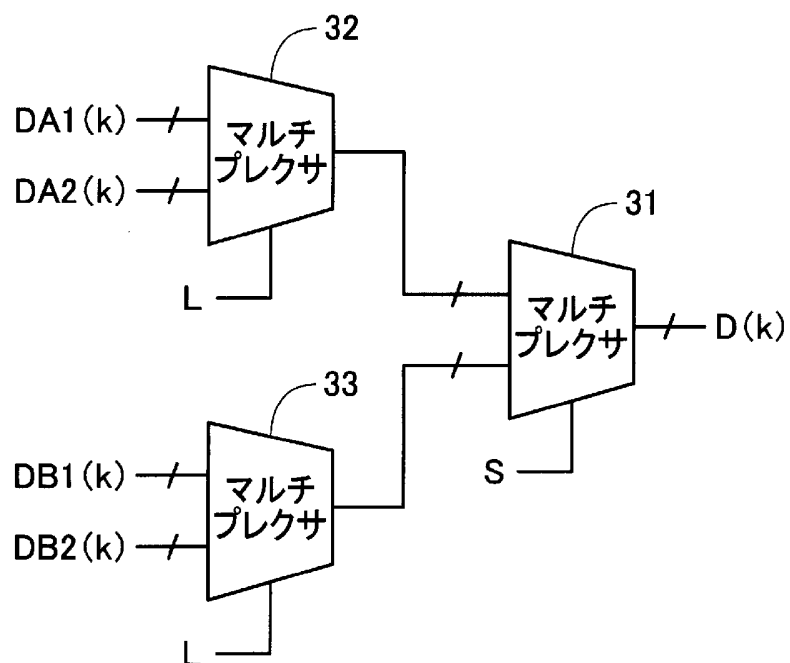
[図3]



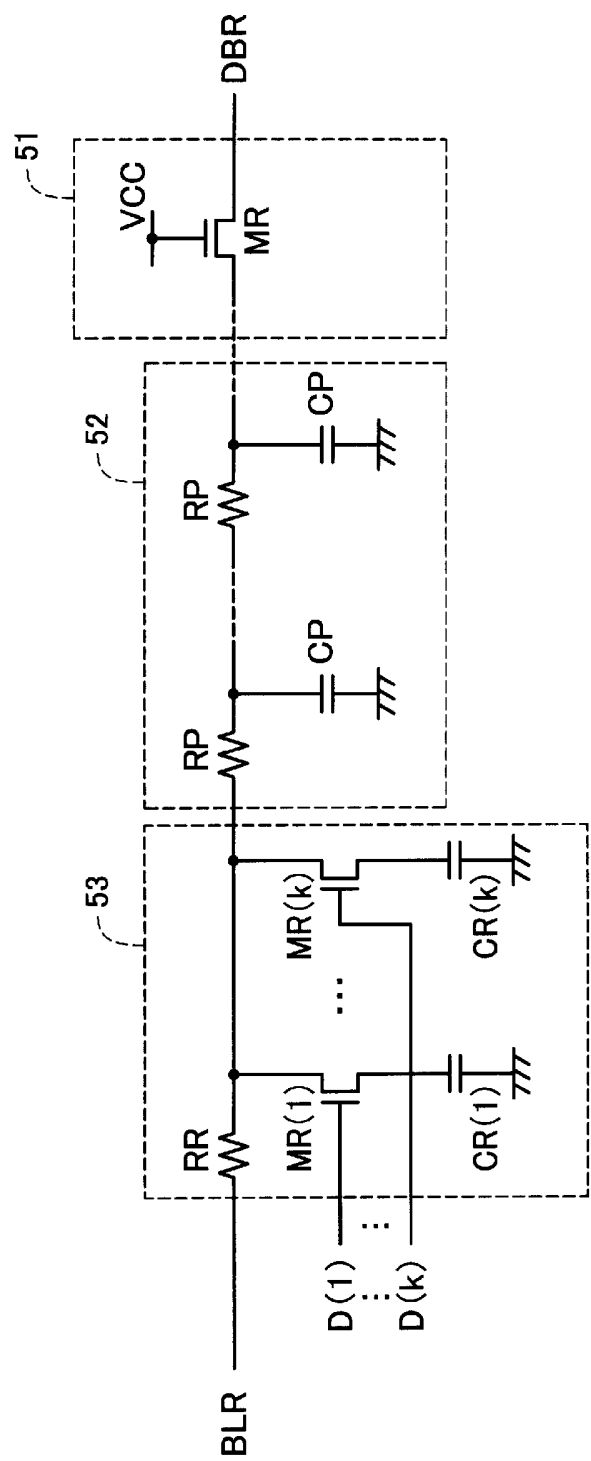
[図4]



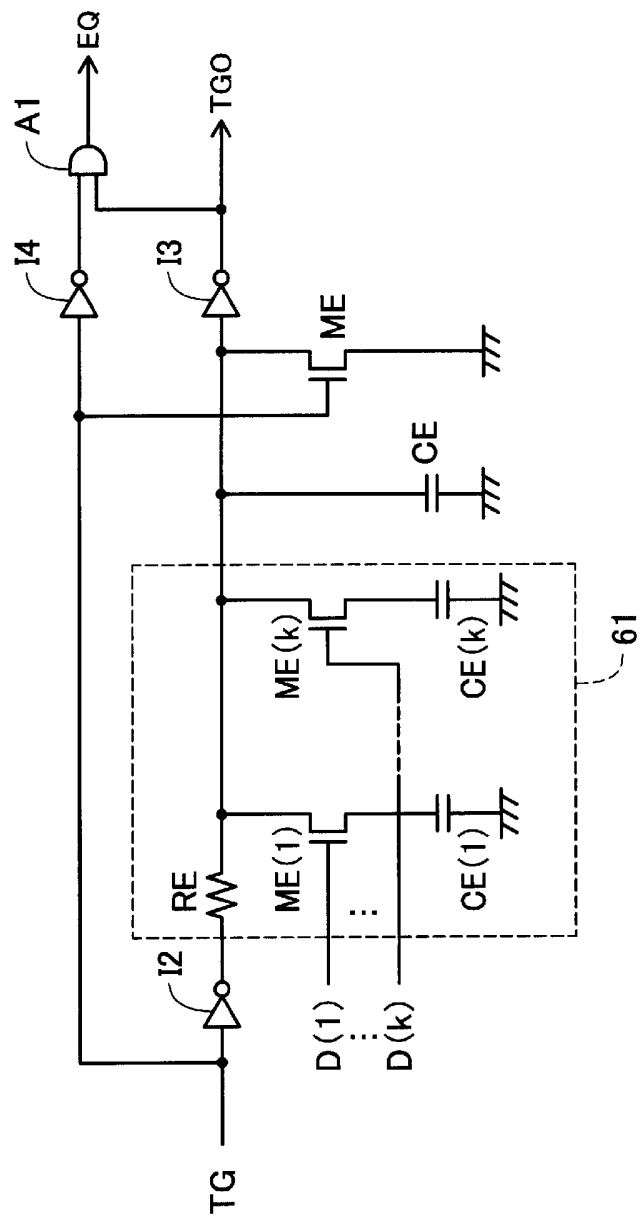
[図5]



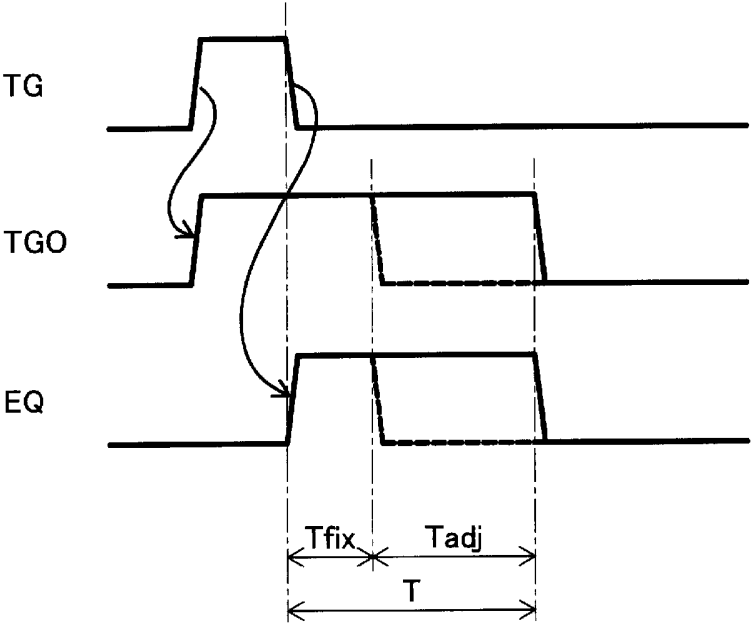
[図6]



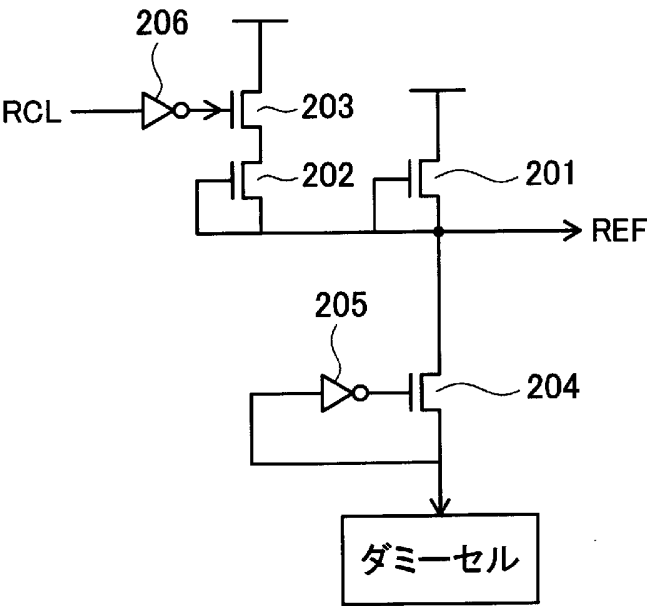
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004621

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C16/26, G11C7/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C16/06-16/34, G11C7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-312895 A (NEC Corp.), 09 November, 2001 (09.11.01), Full text; all drawings & US 6442081 A	1-11
A	JP 6-338192 A (Toshiba Corp.), 06 December, 1994 (06.12.94), Par. Nos. [0045] to [0047]; Fig. 1 (Family: none)	2, 4, 10
A	JP 2001-307494 A (Sharp Corp.), 02 November, 2001 (02.11.01), Par. Nos. [0056] to [0058]; Fig. 1 & US 2001/0033514 A1 & EP 1152427 A2	1, 3, 9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 July, 2005 (07.07.05)

Date of mailing of the international search report
26 July, 2005 (26.07.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004621

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-143486 A (Fujitsu Ltd.), 25 May, 2001 (25.05.01), Par. No. [0057]; Fig. 1 & US 6301156 A	1, 3, 9
A	JP 2003-346490 A (Toshiba Corp.), 05 December, 2003 (05.12.03), Par. Nos. [0030] to [0033]; Fig. 1 & US 2003/0235093 A1	2, 4, 10
A	JP 2000-0030474 A (Ricoh Co., Ltd.), 28 January, 2000 (28.01.00), Par. No. [0011]; Fig. 1 (Family: none)	1, 3, 9

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ G 1 1 C 1 6 / 2 6, G 1 1 C 7 / 1 2		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ G 1 1 C 1 6 / 0 6 - 1 6 / 3 4, G 1 1 C 7 / 1 2		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-312895 A (日本電気株式会社) 2001. 11. 09, 全文, 全図 & US 6442081 A	1-11
A	JP 6-338192 A (株式会社東芝) 1994. 12. 06, 段落 0045-0047, 図面第 1 図 (ファミリーなし)	2, 4, 10
A	JP 2001-307494 A (シャープ株式会社) 2001. 11. 02, 段落 0056-0058, 図面第 1 図 & US 2001/0033514 A1 & EP 1152427 A2	1, 3, 9
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 07. 07. 2005	国際調査報告の発送日 26. 7. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 飯田 清司 電話番号 03-3581-1101 内線 3586	5N 8731

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-143486 A (富士通株式会社) 2001. 05. 25, 段落 0057, 図面第 1 図 & US 6301156 A	1, 3, 9
A	JP 2003-346490 A (株式会社東芝) 2003. 12. 05, 段落 0030-0033, 図面第 1 図 & US 2003/0235093 A1	2, 4, 10
A	JP 2000-0030474 A (株式会社リコー) 2000. 01. 28, 段落 0011, 図面第 1 図 (ファミリーなし)	1, 3, 9