

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 16 年 11 月 18 日 (2004.11.18)

【公表番号】特表 2001-502448 (P2001-502448A)

【公表日】平成 13 年 2 月 20 日 (2001.2.20)

【出願番号】特願平 9-533451

【国際特許分類第 7 版】

G 0 6 F 9/30

G 0 6 F 9/318

G 0 6 F 9/38

【F I】

G 0 6 F 9/30 3 1 0 E

G 0 6 F 9/38 3 7 0 C

G 0 6 F 9/30 3 2 0 A

【手続補正書】

【提出日】平成 16 年 1 月 9 日 (2004.1.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成 1 6 年 1 月 9 日

特許庁長官殿

1. 事件の表示

平成 0 9 年特許願第 5 3 3 4 5 1 号



2. 補正をする者

名称 アドバンスト・マイクロ・デバイス・インコーポレ
イテッド

3. 代理人

住所 〒530-0054
大阪府大阪市北区南森町2丁目1番29号
三井住友銀行南森町ビル
深見特許事務所
電話 06-6361-2021(代)
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



方 式 審 査



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

- (1) 請求の範囲を別紙のとおり補正する。

以上

請求の範囲

1. デジタル信号処理ファンクションを実行する中央処理装置であって、

複数の命令を記憶するための命令メモリを含み、前記命令メモリがデジタル信号処理ファンクションを実行することを意図される1または複数の命令のシーケンスを記憶し、さらに

前記命令メモリに結合されたファンクションプリプロセッサを含み、前記ファンクションプリプロセッサが、

前記命令メモリ内に記憶された前記1またはそれ以上の命令のシーケンスを調べるための手段と、

前記命令メモリにおける前記命令のシーケンスがデジタル信号処理ファンクションを実行することを意図されるかどうかを決定するための手段と、

デジタル信号処理ファンクションを実行することを意図される、前記命令メモリ内の前記命令のシーケンスを、デジタル信号処理ファンクション識別子に変換するための手段とを含み、前記中央処理装置はさらに、

前記ファンクションプリプロセッサに結合されて前記命令メモリ中の命令を実行するための少なくとも1つの汎用処理コアと、

ファンクションプリプロセッサに結合されてデジタル信号処理ファンクションを実行するための少なくとも1つのデジタル信号処理コアとを含み、前記少なくとも1つのデジタル信号処理コアが前記デジタル信号処理ファンクション識別子を受けかつ前記ファンクションプリプロセッサから受けた前記デジタル信号処理ファンクション識別子に応答して、デジタル信号処理ファンクションを実行する、中央処理装置。

2. 前記命令メモリが、デジタル信号処理ファンクションを実行しない第1の命令シーケンスを記憶し、かつ前記命令メモリがデジタル信号処理ファンクションを実行する第2の命令シーケンスを記憶し、

前記少なくとも1つの汎用処理コアが前記第1の命令シーケンスを実行し、

前記少なくとも1つのデジタル信号処理コアが前記受取ったデジタル信号処理ファンクション識別子に応答して前記デジタル信号処理ファンクションを実行し、前記デジタル信号処理コアにより実行される前記デジタル信号処理ファンクシ

ンが前記第2の命令のシーケンスの実行に実質的に等価である、請求項1に記載の中央処理装置。

3. 前記少なくとも1つのデジタル信号処理コアが、前記少なくとも1つの汎用処理コアに対しデータおよびタイミング信号を与える、請求項1に記載の中央処理装置。

4. 前記ファンクションプリプロセッサが、前記命令メモリ内の前記命令シーケンスがデジタル信号処理ファンクションを実行することが意図されていると前記決定手段が決定したことに応答して、デジタル信号処理ファンクション識別子または1またはそれ以上のパラメータを発生する、請求項1に記載の中央処理装置。

5. 前記少なくとも1つの汎用処理コアがX86ファミリのマイクロプロセッサと互換性がある、請求項1に記載の中央処理装置。

6. 前記複数の命令がX86オペコードである、請求項5に記載の中央処理装置。

7. 前記少なくとも1つのデジタル信号処理コアが、畳み込み、相関、高速フーリエ変換および内積からなるグループのうち1または2以上の数学的演算を実行するようになっている、請求項1に記載の中央処理装置。

8. 前記少なくとも1つの汎用処理コアおよび前記少なくとも1つのデジタル信号処理コアが実質的に並列に動作する、請求項1に記載の中央処理装置。

9. 中央処理装置(CPU)において命令を実行するための方法であって、CPUが、少なくとも1つの汎用CPUコアおよび少なくとも1つのデジタル信号処理(DSP)コアを含み、前記方法が、

前記中央処理装置が実行する、1またはそれ以上の命令のシーケンスを命令メモリ内に記憶するステップと、

前記命令メモリ内の命令のシーケンスを調べるステップと、

前記命令メモリ内の前記命令のシーケンスがデジタル信号処理ファンクションを実現することを意図されているかどうかを決定するステップと、

デジタル信号処理ファンクションを実行することが意図されている前記命令メモリ内の前記命令のシーケンスをデジタル信号処理ファンクション識別子に変換するステップとを含み、

前記デジタル信号処理コアが前記デジタル信号処理ファンクション識別子を受

け、

前記デジタル信号処理コアが前記受取ったデジタル信号処理ファンクション識別子に応答して、デジタル信号処理ファンクションを実行する、方法。

10. 前記記憶するステップが、第1のデジタル信号処理ファンクションを実行する前記命令メモリ内の第1の命令のシーケンスを含み、

前記記憶するステップが、デジタル信号処理ファンクションを実現しない前記命令メモリ内の第2の命令のシーケンスを記憶するステップを含み、

前記変換するステップが、前記第1のデジタル信号処理ファンクションを実行することを意図される前記命令メモリ内の前記第1の命令のシーケンスを、第1のデジタル信号処理ファンクション識別子に変換し、

前記実行するステップは、前記第1のデジタル信号処理ファンクション識別子に応答して、前記第1のデジタル信号処理ファンクションを実行する前記デジタル信号処理コアを含み、前記第1のデジタル信号処理ファンクションを実行するステップが、前記第1の命令のシーケンスの実行に実質的に等価であり、かつ

前記汎用中央処理装置が、前記第2の命令のシーケンスを実行する、請求項9に記載の方法。

11. 前記デジタル信号処理コアおよび前記汎用中央処理装置コアが実質的に並列に動作する、請求項10に記載の方法。

12. 前記デジタル信号処理コアが、前記汎用中央処理装置コアに対してデータおよびタイミング信号を与える、請求項10に記載の方法。

13. 前記ファンクションプリプロセッサが、前記命令メモリ内の前記命令のシーケンスがデジタル信号処理ファンクションを実行することを意図されるという前記決定に応答して、デジタル信号処理ファンクション識別子および1またはそれ以上のパラメータを発生する請求項9に記載の方法。

14. 前記汎用中央処理装置コアがX86ファミリのマイクロプロセッサと互換性がある、請求項9に記載の方法。

15. 前記1またはそれ以上の命令のシーケンスがX86オペコードを含む、請求項14に記載の方法。

16. 前記デジタル信号処理コアが、畳み込み、相関、高速フーリエ変換および

内積からなるグループのうちの1または2以上の数学的演算を実行する、請求項9に記載の方法。