

(43) 国際公開日
2006 年 7 月 27 日 (27.07.2006)

PCT

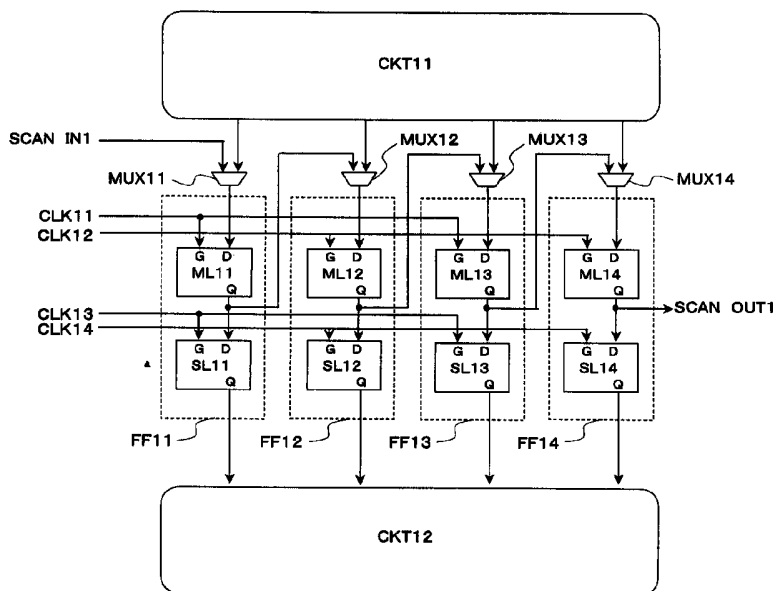
(10) 国際公開番号
WO 2006/077746 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2006/300022
- (22) 国際出願日: 2006 年 1 月 5 日 (05.01.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-012119 2005 年 1 月 19 日 (19.01.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人 千葉大学 (National University Corporation Chiba University) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町 1 番 3 3 号 Chiba (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 難波 一輝 (NANBA, Kazuteru) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町 1 番 3 3 号 国立大学法人 千葉大学工学部内 Chiba (JP).
- (74) 代理人: 富樫竜一 (TOGASHI, Ryuichi); 〒1960012 東京都東京都昭島市つつじヶ丘 3-2-3-705 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: [PROBLEMS] To provide a semiconductor integrated circuit by which what has been referred to as two-pattern test is made possible without greatly increasing an occupying area. [MEANS FOR SOLVING PROBLEMS] The semiconductor integrated circuit is provided with a plurality of flip-flop circuits and selectors corresponding to each flip-flop circuit. Each flip-flop circuit is provided with a master latch and a slave latch connected to the master latch. The selector is electrically connected with the master latch of the flip-flop circuit to which the selector corresponds, and is also connected with the master latch of the flip-flop circuit other than the one to which the selector corresponds.

[続葉有]



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 【課題】 占有面積の増加を大幅にもたらしことなく、いわゆる2パターンテストが可能となる半導体集積回路を提供すること。【解決手段】 複数のフリップフロップと、該複数のフリップフロップの各々に対応して設けられるセクタと、を有する半導体集積回路であって、フリップフロップは、それぞれマスターラッチ及び該マスターラッチに接続されるスレイブラッチを有し、セクタは、該セクタが対応する前記フリップフロップの前記マスターラッチと電氣的に接続されており、かつ、セクタが対応するフリップフロップとは別のフリップフロップのマスターラッチとも接続されている半導体集積回路とする。

明 細 書

半導体集積回路

技術分野

- [0001] 本発明は半導体集積回路に関し、特に、半導体集積回路の検査に好適な技術に関する。

背景技術

- [0002] 半導体集積回路は、半導体材料若しくは絶縁材料の表面又は半導体材料の内部にトランジスタその他の回路素子を生成させ、電子回路の機能を有するように設計したものであり、パーソナルコンピュータや携帯電話などに用いられ、近年益々その高機能化及び高集積化が求められている。
- [0003] 一方、半導体集積回路は電子回路としての機能を発揮する必要から出荷する際の動作検査を欠かすことはできず、通常の動作のための回路に加え、検査用の回路を設けることが通常行われている。
- [0004] この動作権検査の従来技術として、図6及び図7に示すものがある。従来技術は、マスターラッチとスレイブラッチからなる複数のフリップフロップと、このフリップフロップに対応して設けられるセレクトと、を有する半導体集積回路であって、スレイブラッチの出力端子を他のフリップフロップに対応して設けられるセレクトの入力端子とが接続されている。
- [0005] 例えば図6に記載の技術(以下単に「第一の従来技術」という。)では、スレイブラッチの出力端子と他のフリップフロップに対応して設けられるセレクトの入力端子と、を電氣的に接続させることにより、複数のフリップフロップを直列に接続しスキャンチェーンを構成し、検査を行う。
- [0006] また図7に記載の技術(以下単に「第二の従来技術」という。)では、更に、各フリップフロップが他のテスト用ラッチを有しており、スキャンチェーンによる検査において2パターン検査を行うことができる。なお上記の第一および第二の従来技術については下記特許文献1に詳しい記載がある。

非特許文献1: Bulent I. Dervisogluら、“Desig for testability: using sca

npath techniques for path-delay test and measurement”, Proceedings of International of International Test Conference, 1991年10月、365頁～374頁

発明の開示

発明が解決しようとする課題

- [0007] しかしながら、上記記載の第一の従来技術では、検査時においていわゆる2パターンテストを行うことができない。2パターンテストは、信号遅延の確認を行う必要から、高機能、高集積化した回路において欠かすことのできない検査である。
- [0008] 一方で、上記第二の従来技術では、いわゆる2パターンテストを行うことができるが、テスト用ラッチを各フリップフロップ内に設けなければならず、占有面積の増大をもたらしてしまう。
- [0009] そこで、本発明は、占有面積の増加を大幅にもたらしことなく、いわゆる2パターンテストが可能となる半導体集積回路を提供することを目的とする。

課題を解決するための手段

- [0010] 上記目的を達成するための手段として、本発明は例えば以下の手段を採用する。
- [0011] 第一の手段として、複数のフリップフロップと、複数のフリップフロップの各々に対応して設けられるセクタと、を有する半導体集積回路であって、フリップフロップは、それぞれマスターラッチ及びマスターラッチに電氣的に接続されるスレイブラッチを有し、セクタは、セクタが対応するフリップフロップのマスターラッチと電氣的に接続されており、かつ、セクタの少なくとも一つは、セクタが対応するフリップフロップとは別のフリップフロップのマスターラッチとも接続されている半導体集積回路とする。
- [0012] またこの手段において、セクタは、このセクタが対応するフリップフロップとは別のフリップフロップにおけるマスターラッチの出力が入力されるよう接続されていることも望ましい。
- [0013] またこの手段において、セクタは、このセクタが対応するフリップフロップとは別のフリップフロップのスレイブラッチの出力も入力されるよう接続されていることも望ましい。
- [0014] またこの手段において、複数のフリップフロップと、セクタは、スキャンチェーンを

構成することも望ましい。

- [0015] また、第二の手段として、第一の論理回路と、この第一の論理回路からの信号を受け付ける複数のセレクトと、この複数のセレクト各々に対応して設けられ、かつ、このセレクトからの信号を受け付けるマスターラッチと、マスターラッチ各々に対応して設けられ、かつ、このマスターラッチからの信号を受け付けるスレイブラッチと、スレイブラッチからの信号を受け付ける第二の論理回路と、を有する半導体集積回路であって、複数のセレクトのうちの一つは、半導体集積回路からの信号と第一の論理回路からの信号のいずれかを選択して対応する前記マスターラッチへ出力し、他のセレクトは、このセレクトが対応するマスターラッチとは別のマスターラッチの信号と第一の論理回路からの信号のいずれかを選択し、対応するマスターラッチへと出力することとする。またこの手段において、複数のセレクトと該セレクトに対応して設けられる複数のマスターラッチは、スキャンチェーンを構成することも望ましい。

発明の効果

- [0016] 以上の手段により本発明は、占有面積の増加を大幅にもたらすことなく、いわゆる1パターン及び2パターンテストが可能となる半導体集積回路を提供することができる。

発明を実施するための最良の形態

- [0017] 以下、本発明の実施の形態について図面に基づいて説明する。

- [0018] (実施形態1)

本実施形態の半導体集積回路は、半導体材料若しくは絶縁材料の表面又は半導体材料の内部にトランジスタその他の回路素子を生成させ、電子回路の機能を有するように設計したものであって、回路配置以外は周知の構成を採用することができる。

- [0019] 図1は、本実施形態に係る半導体集積回路のブロック図である。本実施形態に係る半導体集積回路は、マスターラッチ及びスレイブラッチをそれぞれ有する四つのフリップフロップFF11、FF12、FF13、FF14(以下単に、FF11を「第一のフリップフロップ」、FF12を「第二のフリップフロップ」、FF13を「第三のフリップフロップ」、FF14を「第四フリップフロップ」ともいう。)と、これらフリップフロップの各々に対応して設けられ、各フリップフロップへの入力を制御する四つのセレクトMUX11、MUX12、M

UX13、MUX14(以下単に、MUX11を「第一のセレクト」、MUX12を「第二のセレクト」、MUX13を「第三のセレクト」、MUX14を「第四のセレクト」ともいう。)と、を有して構成されている。

[0020] セレクトMUX11、MUX12、MUX13、MUX14の各々は二つの入力端子と一つの出力端子とを有し、いずれのセレクトも入力端子の一方は上流側の論理回路CKT11と電氣的に接続されている。なお、本明細書において「端子」とは、電氣的な接続をするために設けた電流の出入り口をいい、金具等が取り付けられず単に導線によって構成されている場合も含まれることとする。

[0021] 第一のセレクトMUX11の入力端子の他の一方は、スキャンテスト信号を入力するための端子であって、スキャンテストの際外部のスキャンテスト信号入力装置と電氣的に接続可能となるよう構成されている(図1においてスキャンテスト信号装置からのスキャンテスト信号を「SCAN IN 1」と表現する)。

[0022] なお、各セレクトは二つの入力端子に入力される信号のいずれかを選択して出力するものであって、そのいずれかの信号を選択させるかは接続される電源によって制御される(図示省略)。

[0023] 本実施形態における各フリップフロップは先ほど述べたように、マスターラッチ及びスレイブラッチを有しており(以下、第一のフリップフロップにおけるマスターラッチを単に「第一のマスターラッチML11」、スレイブラッチを単に「第一のスレイブラッチSL11」と呼ぶ。第二、第三、第四のフリップフロップにおいて同様。)、各マスターラッチ、各スレイブラッチは入力端子としてG端子及びD端子を、出力端子としてQ端子をそれぞれ有している。なお、各マスターラッチのD端子は対応して設けられるセレクトの出力端子に、Q端子は同じフリップフロップに設けられているスレイブラッチのD端子にそれぞれ電氣的に接続されており、各スレイブラッチのQ端子は下流側の論理回路CKT12にそれぞれ電氣的に接続されている。

[0024] 第一、第三のフリップフロップFF11、FF13における第一、第三のマスターラッチML11、ML13のG端子は外部の第一のクロック信号源CLK11に電氣的に接続されており、第二、第四のフリップフロップFF12、FF14における第二、第四のマスターラッチML12、ML14のG端子は外部の第二のクロック信号源CLK12に電氣的に接

続されている。なお動作については後に詳細に説明するが、これらクロック信号源は接続されるマスターラッチの動作のオンオフを制御するクロック信号を出力するものである。

[0025] また、第一、第三のフリップフロップFF11、FF13における第一、第三のスレイブラッチSL11、SL13のG端子は外部の第三のクロック信号源CLK13に電氣的に接続されており、第二、第四のフリップフロップFF12、FF14における第二、第四のスレイブラッチSL12、SL14のG端子は外部の第四のクロック信号源CLK14に電氣的に接続されている。なおこれらクロック信号源も上述のマスターラッチの場合と同様、スレイブラッチの動作のオンオフを制御するクロック信号を出力するものである。

[0026] 更に、第二のフリップフロップFF12に対応して設けられる第二のセクタMUX12の上流側の論理回路CKT11と電氣的に接続する入力端子とは別の入力端子は、第一のフリップフロップFF11の第一のマスターラッチML11のQ端子にも電氣的に接続されており、同様に第三、第四のフリップフロップFF13、FF14に対応して設けられる第三、第四のセクタMUX13、MUX14の上流側の論理回路CKT11と電氣的に接続する入力端子とは別の入力端子は、第二、第三のフリップフロップFF12、FF13のマスターラッチML12、ML13のQ端子にもそれぞれ電氣的に接続されている。また第四のフリップフロップFF14のQ端子は、スレイブラッチSL14のD端子に接続されると共に、スキャンテストの際、スキャンテスト信号検出装置に電氣的に接続可能となるべくスキャンテスト信号検出用の端子が分岐して形成されている(このように複数のフリップフロップのマスターラッチがセクタを介して直列に接続されている状態は鎖のように延びていることから、本明細書では「スキャンチェーン」と表現する)。

[0027] なおここで各フリップフロップにおけるラッチの構成について説明する。本実施形態におけるフリップフロップは、G端子に入力される電圧値がオン状態であるときはD端子から入力される電圧値をQ端子から出力する一方、オフ状態であるときは外部の電源から入力される電圧値 V_{DD} を出力するマスターラッチ及びスレイブラッチを有するのであって、各ラッチは図2で示されるような構成を有している。図2におけるラッチはマスターラッチML11を示したものであるが、他のマスターラッチだけでなく他のスレイブラッチのいずれにおいても図2と同様の構成を採用することができる。また、ラッ

チは他の周知な回路構成を採用することができるし、もちろんそれらの組み合わせをも採用することができる。

- [0028] つぎに本実施形態に係る半導体集積回路の検査(以下単に「本検査」という。)における動作について説明する。本検査は、様々な時点で行うことができるが、半導体集積回路を形成した後、この半導体集積回路を出荷する際などにおいて行うことがもっとも好ましい態様といえる。本実施形態に係る半導体集積回路は1パターンテスト及び2パターンテストが可能であるため、各パターンテストについて説明する。
- [0029] まず、本検査における1パターンテストについて説明する。図3は本実施形態に係る半導体集積回路における1パターンテストにおける各信号の電圧値を示す図である。
- [0030] 以下図3を参照しつつ、順を追って説明する。図3は本検査における各信号の関係について説明する図であって、I1は上流側の論理回路CKT11から第一のセレクトタMUX11に入力される信号の電圧値を、I2は上流側の論理回路CKT11から第二のセレクトタMUX12に入力される信号の電圧値を、I3は上流側の論理回路CKT11から第三のセレクトタMUX13に入力される信号の電圧値を、I4は上流側の論理回路CKT11から第四のセレクトタMUX14に入力される信号の電圧値を、SCAN INはスキャンテスト信号装置からのスキャンテスト信号の電圧値を、ML11は第一のマスターラッチML11におけるQ端子からの信号の電圧値を、ML12は第二のマスターラッチML12におけるQ端子からの出力信号の電圧値を、ML13は第三のマスターラッチML13におけるQ端子からの出力信号の電圧値を、ML14は第四のマスターラッチML14におけるQ端子からの出力信号の電圧値を、SELはセレクトタMUX11、MUX12、MUX13、MUX14に入力される信号の電圧値、をそれぞれ示している。なおML14の電圧値は、図1において示しているとおり、SCAN OUT 1と同じ値を示すため、ML14とSCAN OUTは同じ箇所に示している。またSL11は第一のスレイブラッチSL11のQ端子からの出力信号の電圧値を示し、SL12、SL13、SL14において同様である。CLK11、CLK12、CLK13、CLK14は上記のとおりクロック信号の電圧値を示している。なお、横軸は時間を示す。
- [0031] まず図3のT1の期間においてスキャンテスト信号SCAN INの電圧値をS13、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態、SELの電圧値をオン状態と

する。なお、本実施形態ではSELの電圧値がオンである場合、セレクトがスキャンテスト信号、又は接続されるマスターラッチのQ端子からの出力信号を選択するよう構成しているが、実施の態様によっては、SELがオン状態のとき、上記以外の選択、上流側の論理回路CKT11からの入力を選択するようにしても良い。

[0032] SELの電圧値はオン状態であるため、第一のセレクトMUX11はスキャンテスト信号装置から入力されるスキャンテスト信号(S13)を第一のマスターラッチML11に出力する。この期間において第一のマスターラッチはオン状態となっているため、スキャンテスト信号(S13)をそのままQ端子から出力する。

[0033] 期間T2ではスキャンテスト信号の電圧値をS11、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態、SELの電圧値をオン状態とする。なお、CLK14は期間後述する期間T9以外はオフ状態となっている。

[0034] この期間において第一のマスターラッチML11では、G端子に印加される電圧値がオフ状態であるため第一のマスターラッチML11のQ端子からの出力信号の電圧値はS13となる。第二のマスターラッチML12では、G端子に印加される電圧値がオン状態であるため、第一のマスターラッチML11のQ端子からの出力信号の電圧値が第二のマスターラッチML12の出力信号の電圧値S13となる。

[0035] 期間T3ではスキャンテスト信号の電圧値をS11のまま、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態、SELの電圧値をオン状態とする。

[0036] この期間において第一のマスターラッチML11では、G端子に印加される電圧がオン状態となるため、第一のマスターラッチのQ端子からの出力はS11となる。第二のマスターラッチではG端子に印加される電圧がオフ状態となっているため、第二のマスターラッチのQ端子の出力はT2の期間における出力S13に保持される。第三のマスターラッチML13ではG端子に印加される電圧値がオン状態であるため、第三のマスターラッチML13のQ端子からの出力はS13となる。

[0037] 期間T4ではスキャンテスト信号の電圧値をS14、CLK11、CLK12の電圧値をオフ状態、CLK13の電圧値をオン状態とする。

[0038] この期間において、第一のマスターラッチではG端子に印加される電圧値がオフ状態であるため、Q端子からの出力信号の電圧値はS11のままである。第二のマスター

ラッチにおいても、G端子に印加される電圧値がオフ状態であるため、Q端子からの出力信号の電圧値はS13に保持される。また、第三のマスターラッチにおいても、G端子に印加される電圧値がオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。

一方、第一のスレイブラッチSL11におけるG端子に印加される電圧値はオン状態となるため、第一のスレイブラッチSL11のQ端子からの出力信号の電圧値は、第一のマスターラッチのQ端子からの出力信号の電圧値となり、S11となる。また、第三のスレイブラッチSL13のG端子に印加される電圧値もオン状態となっているため、第三のスレイブラッチSL13のQ端子からの出力信号の電圧値も第三のマスターラッチML13のQ端子からの出力信号の電圧値と同じとなり、S13となる。

[0039] 期間T5では、スキャンテスト信号の電圧値をS14のまま、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態、CLK13の電圧値をオフ状態とする。

[0040] この期間において、第一のマスターラッチではG端子に印加される電圧値がオン状態となるため、Q端子からの出力信号の電圧値はS14となる。第二のマスターラッチではG端子に印加される電圧値がオフ状態となるため、第二のマスターラッチML12のQ端子からの出力信号の電圧値はS13のままとなる。また第三のマスターラッチML13のG端子に印加される電圧値はオン状態ではあるが、第二のマスターラッチML12のQ端子からの出力信号の電圧値がS13のためQ端子からの出力信号の電圧値はS13のままである。また、第一のスレイブラッチSL11のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS11のままとなり、第三のスレイブラッチSL13のQ端子からの出力信号の電圧値も同様にS13のままとなる。

[0041] 期間T6では、スキャンテスト信号の電圧値をS12、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態、CLK13の電圧値をオフ状態とする。

[0042] この期間において、第一のマスターラッチML11ではG端子に印加される電圧値がオフ状態となるため、Q端子からの出力信号の電圧値はS14のまま維持される。第二のマスターラッチML12では、G端子に印加される電圧値がオン状態となるため、第二のマスターラッチML12のQ端子からの出力信号の電圧値は第一のマスターラッチのQ端子からの出力信号の電圧値と等しくなり、S14となる。また、第三のマスター

ラッチML13ではG端子に印加される電圧値がオフ状態となるため、Q端子からの出力信号の電圧値はS13のままとなる。第四のマスターラッチML14ではG端子に印加される電圧値がオン状態となるため、第三のマスターラッチML13のQ端子からの出力信号の電圧値が第四のマスターラッチML14のQ端子からの出力信号の電圧値と同じ隣、S13となる。なお第一及び第三のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T5における値と同じである。

- [0043] 期間T7では、スキャンテスト信号の電圧値をS12のまま、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態、CLK13の電圧値をオフ状態とする。
- [0044] この期間において、第一のマスターラッチML11ではG端子に印加される電圧値がオン状態となっているため、Q端子からの出力信号の電圧値はS12となる。第二のマスターラッチML12のG端子に印加される電圧値はオフ状態であるため、第二のマスターラッチML12のQ端子からの出力信号の電圧値はS14のままとなる。また第三のマスターラッチML13のG端子に印加される電圧値はオン状態となっているため、第三のマスターラッチML13のQ端子からの出力信号は、D端子への入力信号即ち第二のマスターラッチML12のQ端子からの出力信号と同じとなり、S14となる。第四のマスターラッチML14のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。なお第一及び第三のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T5における値と同じである。
- [0045] 期間T8では、スキャンテスト信号は入力せず、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態、CLK13の電圧値をオフ状態とする。
- [0046] この期間において、第一のマスターラッチML11ではG端子に印加される電圧値がオフ状態であるため、Q端子からの出力信号の電圧値はS12のままである。第二のマスターラッチML12のG端子に印加される電圧値はオン状態であるため、第二のマスターラッチML12のQ端子からの出力信号の電圧値はS12となる。第三のマスターラッチML13のG端子に印加される電圧値はオフ状態であるため、第三のマスターラッチML13のQ端子から出力される出力信号の電圧値はS14のままとなる。また、第四のマスターラッチML14のG端子に印加される電圧値はオン状態であるため、Q端子からの出力信号の電圧値はS14となる。なお第一及び第三のスレイブラッチにお

けるQ端子からの出力信号の電圧値は期間T5における値と同じである。

[0047] 期間T9では、スキャンテスト信号は入力せず(以後の期間において同様)、CLK11の電圧値をオフ状態、CLK12の電圧値をオフ状態、CLK13の電圧値をオフ状態、CLK14の電圧値をオン状態とする。また、I1の電圧値をR1、I2の電圧値をR2、I3の電圧値をR3、I4の電圧値をR4として夫々入力し、これらの値は以後一定とする。また期間T9中においてSELの電圧を切り替えることにより、各セレクトMUX11、MUX12、MUX13、MUX14の入力先を切り替えており、T9では上流側の論理回路CKT11からの信号を入力させることとする。

[0048] この期間において、第一のマスターラッチML11におけるG端子への印加電圧はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第二のマスターラッチML12のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号はS12のままとなる。また第三のマスターラッチML13のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号はS14のままとなる。第四のマスターラッチML14のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号はS14のままとなる。この期間ではCLK14がオン状態となるため、第二のスレイブラッチSL12のG端子に印加される電圧値はオン状態であるため第二のスレイブラッチSL12のQ端子から出力される信号の電圧値は第二のマスターラッチML12からの出力信号の電圧値と等しくS12となり、同様に第四のスレイブラッチSL14のQ端子から出力される信号の電圧値は第四のマスターラッチML14からの出力信号の電圧値と等しくなり、S14となる。なお第一及び第三のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T5における値と同じである。

[0049] 期間T10では、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態とする。

[0050] この期間において、第一のマスターラッチML11におけるG端子へ印加する電圧値はオン状態となるため、D端子への入力信号の電圧値がQ端子からの出力信号の電圧値となる。ところで、期間T9中でSELにより各セレクトの入力の切り替えがなされていることから、第一のマスターラッチML11のQ端子からの出力信号の電圧値はR1となる。第二のマスターラッチML12のG端子に印加される電圧値はオフ状態であるた

め、Q端子からの出力信号の電圧値はS12のままとなる。第三のマスターラッチML13のG端子に印加される電圧値はオン状態であるため、D端子への入力信号の電圧値がQ端子からの出力信号の電圧値となるが、期間T9中でSELによりセレクトAの入力の切り替えがなされていることから、第三のマスターラッチML13のQ端子からの出力信号の電圧値はR3となる。第四のマスターラッチML14のG端子へ入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS14となる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T9における値と同じである。

[0051] 期間T11では、CLK11をオフ状態、CLK12をオン状態とする。

[0052] この期間において、第一のマスターラッチML11のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第二のマスターラッチML12のG端子に印加される電圧値はオン状態であるため、第一のマスターラッチのQ端子からの出力信号の電圧値が第二のマスターラッチML12の出力信号の電圧値と等しくなり、R1となる。第三のマスターラッチML13のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR3のままとなる。第四のマスターラッチML14のG端子に印加される電圧値はオン状態であるため、第三のマスターラッチML13のQ端子からの出力信号の電圧値がQ端子からの出力信号の電圧値となりR3となる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T10における値と同じである。

[0053] 期間T12では、CLK11をオン状態、CLK12をオフ状態とする。

[0054] この期間において、第一のマスターラッチML11のG端子に印加される電圧値はオン状態であるため、Q端子からの出力信号の電圧値はD端子から入力される信号の電圧値と等しくなるが、SELはT10の期間において既にスキャンテスト信号の入力を選択するよう切り替えられているため、入力の信号はなくなっている。第二のマスターラッチML12のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。また、第三のマスターラッチML13のG端子の電圧値はオン状態となっており、SELの電圧値により第三のセレクトA MUX13は第二のマスターラッチML12のQ端子からの出力信号の電圧値を選択するようになっている。

ため、Q端子からの出力はR1となる。第四のマスターラッチML14のG端子の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR3のままとなる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T11における値と同じである。

[0055] 期間T13では、CLK11をオフ状態、CLK12をオン状態とする。

[0056] この期間において、第一のマスターラッチML11のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はT12の状態と変化は無い。第二のマスターラッチML12のG端子に印加される電圧値はオン状態であるため、Q端子からの出力信号の電圧値はD端子から入力される信号の電圧値と等しくなる。しかしながらSELはT10の期間において既にスキャンテスト信号の入力を選択するよう切り替えられているため、入力の信号はなくなっている。第三のマスターラッチのG端子に印加される電圧はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第四のマスターラッチML14のG端子に入力される電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号と等しくなり、R1となる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T12における値と同じである。

[0057] 期間T14では、CLK11をオフ状態、CLK12もオフ状態とする。

[0058] この期間において、第一及び第二のマスターラッチML11、ML12のG端子に印加される電圧はオフ状態であるため、Q端子から出力される電圧値はT13と同様である。第三のマスターラッチML13のG端子に印加される電圧はオフ状態であるため、Q端子から出力される電圧値はR1のままとなる。また、第四のマスターラッチML14のG端子に印加される電圧はオフ状態であるため、Q端子から出力される信号の電圧値はR1のままとなる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T13における値と同じである。

[0059] 期間T15では、CLK11をオフ状態、CLK12をオン状態とする。また期間T15中においてSELの電圧を切り替えることにより、各セレクトMUX11、MUX12、MUX13、MUX14の入力先を切り替えており、T15では論理回路上流側の11からの信号を入力させることとする。

- [0060] この期間において、第一のマスターラッチML11のG端子に印加される電圧はオフ状態であるため、Q端子から出力される電圧値はT14と同様である。第二のマスターラッチML12のG端子に印加される電圧はオン状態となっており、また、T14期間中にSELの電圧値をオン状態としていることより、第二のセレクトは上流側の論理回路CKT11からの入力信号を選択するようになっているため、第二のマスターラッチML12のQ端子からの出力信号の電圧値はR2となる。第三のマスターラッチML13のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。また第四のマスターラッチML14のG端子に印加される電圧はオン状態であり、また、T14期間中にSELの電圧値をオン状態としていることより、第四のセレクトは上流側の論理回路CKT11からの入力信号を選択するようになっているため、第四のマスターラッチML14のQ端子からの出力信号の電圧値はR4となる。なお第一乃至第四のスレイブラッチにおけるQ端子からの出力信号の電圧値は期間T14における値と同じである。
- [0061] 期間T16では、CLK11をオン状態、CLK12をオフ状態とする。なお、期間T14ではSELの電圧値をオフ状態とすることにより、各セレクトは上流の論理回路以外の信号を選択するようにしている。
- [0062] この期間において、第一のマスターラッチML11のG端子に印加される電圧はオン状態であるが、スキャンテスト信号の入力は無いためQ端子からの出力も無い。第二のマスターラッチML12のG端子に印加される電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はR2のままである。第三のマスターラッチML13のG端子に印加される電圧値はオン状態であるため、Q端子から出力される信号の電圧値は第二のマスターラッチML12のQ端子の出力信号の電圧値と等しくなりR2となる。第四のマスターラッチML14のG端子の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR4のままである。
- [0063] 期間T17では、CLK11をオフ状態、CLK12をオン状態としている。
- [0064] この期間において、第一のマスターラッチML11のG端子に印加される電圧はオフ状態であるため、T16と同様の値となる。第二のマスターラッチML12のG端子に印加される電圧値はオン状態であるため、D端子に入力される電圧値がQ端子からの

出力信号の電圧値となるが、スキャンテスト信号は入力されていないため、Q端子からの出力は特段に無い。第三のマスターラッチML13のG端子に印加される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR2となる。第四のマスターラッチML14のG端子に印加される電圧値はオン状態であるため、Q端子から出力される信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号の電圧値と等しくR2となる。

- [0065] 以上のようにして、本実施形態に係る半導体集積回路により1パターンテストを実現することができる。
- [0066] 次に、同様に2パターンテストについて説明する。図4は本検査における各信号の関係について説明する図であり、I1、I2…などは図3とほぼ同じである。
- [0067] まず図4のT1の期間ではスキャンテスト信号SCAN INの電圧値をS13、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態、CLK13、CLK14の電圧値をオフ状態、SELの電圧値をオン状態とする。なおSELは後述する期間T13以外はオン状態となっている。またCLK13は期間T4、T13においてオン状態となるがそれ以外はオフ状態であり、CLK14は期間T9のみオン状態となり、それ以外はオフ状態である。
- [0068] SELの電圧値はオン状態であるため、第一乃至第四のセレクトAMUX11、MUX12、MUX13、MUX14は上流側のCKT11から入力される信号以外の信号をマスターラッチに出力する。即ち、期間T1において第一のマスターラッチML11のQ端子からの出力信号の電圧値はS13となる。
- [0069] 期間T2では、スキャンテスト信号をS11、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態とする。
- [0070] この期間では、CLK11の電圧値はオフ状態であるため、第一のマスターラッチML11の出力信号の電圧値はS13のままとなる。また第二のマスターラッチML12の出力信号の電圧値は、G端子に入力される電圧値がオン状態であるため、第一のマスターラッチML11のQ端子の出力と同じS13となる。
- [0071] 期間T3ではスキャンテスト信号の電圧値をS11、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態とする。

- [0072] この期間では、第一のマスターラッチML11におけるG端子の入力はオン状態となっているため、Q端子からの出力信号の電圧値はS11となる。第二のマスターラッチML12におけるG端子の入力電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。また、第三のマスターラッチML14におけるG端子の入力電圧値はオン状態であるため、第二のマスターラッチML12におけるQ端子の出力信号の電圧値と等しく、Q端子からの出力信号の電圧値はS13となる。
- [0073] 期間T4ではスキャンテスト信号の電圧値をS14、CLK11及びCLK12の電圧値をオフ状態とする。またこの期間ではCLK13の電圧値をオン状態とする。
- [0074] この期間では、第一のマスターラッチML11におけるG端子の入力はオフ状態であるため、Q端子からの出力信号の電圧値はS11のままとなる。第二のマスターラッチML12におけるG端子の入力電圧値もオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。また、第三のマスターラッチML13のG端子に入力される電圧値もオフ状態であるため、Q端子からの出力信号の電圧値もS13のままとなる。またこの期間においてCLK13はオン状態となっているため、第一のスレイブラッチSL11のG端子の入力電圧値がオン状態となっているため、Q端子からの出力信号の電圧値は第一のマスターラッチML11のQ端子の出力信号と等しくなりS11となる。また第三のスレイブラッチSL11におけるG端子に入力される電圧値もオン状態となっているため、第三のスレイブラッチSL13のQ端子の出力は第三のスレイブラッチSL13のQ端子の出力信号の電圧値と等しくなりS13となる。
- [0075] 期間T5ではスキャンテスト信号の電圧値をS14、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態とする。
- [0076] この期間において、第一のマスターラッチML11のG端子に入力される電圧値はオン状態であるため、Q端子から出力される電圧値はスキャンテスト信号と等しくなり、S14となる。第二のマスターラッチML12のG端子に入力される電圧値はオフ状態であるため、Q端子から出力される電圧値はS13のままとなる。第三のマスターラッチML13のG端子に入力される電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML12のQ端子からの出力信号の電圧値と等しくS13となる。またCLK13はオフ状態であるため、第一及び第三のスレイブラッチのQ端

子からの出力信号の電圧値はそれぞれS11、S13のままとなる。

- [0077] 期間T6ではスキャンテスト信号の電圧値をS12、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態とする。
- [0078] この期間において、第一のマスターラッチML11のG端子に入力される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第二のマスターラッチML12のG端子に入力される電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第一のマスターラッチML11のQ端子からの出力信号の電圧値と等しくS14となる。また第三のマスターラッチML13のG端子に入力される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第四のマスターラッチML14のG端子に入力される電圧値はここでオン状態となるため、Q端子から出力される信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号の電圧値と等しくなりS13となる。
- [0079] 期間T7ではスキャンテスト信号をS12のまま、CLK11の電圧値をオン状態、CLK12の電圧値をオフ状態とする。
- [0080] この期間において、第一のマスターラッチML11のG端子に入力される信号の電圧値はオン状態であるため、Q端子からの出力信号の電圧値はS12となる。第二のマスターラッチML12のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第三のマスターラッチML13のG端子に入力される信号の電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML12におけるQ端子の出力信号の電圧値と等しくS14となる。第四のマスターラッチML14のG端子から入力される信号の電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はS13のままとなる。
- [0081] 期間T8ではスキャンテスト信号を入力せず、CLK11の電圧値をオフ状態、CLK12の電圧値をオン状態とする。
- [0082] この期間において、第一のマスターラッチML11のG端子に入力される信号の電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はS12のままとなる。第二のマスターラッチML12のG端子に入力される信号の電圧値はオン状態であるため、Q端子から出力される信号の電圧値は第一のマスターラッチML11のQ端子

からの出力信号の電圧値と等しくなりS12となる。第三のマスターラッチML13のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第四のマスターラッチML14のG端子から入力される信号の電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号の電圧値と等しくなりS14となる。

[0083] 期間T9ではスキャンテスト信号をS23、CLK11、CLK12をオフ状態、CLK14をオン状態とする。

[0084] この期間において、第一のマスターラッチML11のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第二のマスターラッチML12のG端子から入力される信号の電圧値もオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。また第三のマスターラッチML13のG端子に入力される電圧値もオフ状態であるため、Q端子からの出力信号の電圧値もS14のままとなる。また第四のマスターラッチML14のG端子に入力される電圧値もオフ状態となっているため、Q端子からの出力信号の電圧値もS14のままとなる。また第二のスレイブラッチSL12のG端子に入力される信号の電圧値はここでオン状態となるため、Q端子からの出力信号の電圧値は第二のスレイブラッチSL12のQ端子からの出力信号の電圧値と等しくなりS12となる。また第四のスレイブラッチSL14のG端子に入力される信号の電圧値もオン状態となっているため、Q端子からの出力信号の電圧値は第四のマスターラッチML14のQ端子からの出力信号の電圧値と等しくなりS14となる。

[0085] 期間T10ではスキャンテスト信号をS23のまま、CLK11をオン状態、CLK12をオフ状態、CLK13、CLK14をオフ状態とする。

[0086] この期間において、第一のマスターラッチML11のG端子に入力される電圧値はオン状態となるため、Q端子からの出力信号の電圧値はS23となる。また第二のマスターラッチML12のG端子に入力される電圧値はオフ状態となるため、Q端子からの出力信号の電圧値はS12のままとなる。第三のマスターラッチML13のG端子に入力される信号もオン状態となるため、Q端子からの出力信号は第二のマスターラッチML12のQ端子から出力される信号の電圧値等しくなりS12となる。第四のマスターラッチ

ML14のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。

[0087] 期間T11ではスキャンテスト信号をS21、CLK11をオフ状態、CLK12をオン状態とする。

[0088] この期間において、第一のマスターラッチML11のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる。第二のマスターラッチML12のG端子に入力される信号の電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第一のマスターラッチML11のQ端子からの出力信号と等しくなりS23となる。また第三のマスターラッチML13のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第四のマスターラッチML14のG端子に入力される電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号の電圧値と等しくなりS12となる。

[0089] 期間T12ではスキャンテスト信号をS21のまま、CLK11をオン状態、CLK12をオフ状態とする。

[0090] この期間において、第一のマスターラッチML11のG端子に入力される信号の電圧値はオン状態となり、Q端子から出力される信号の電圧値はS21となる。第二のマスターラッチML12のG端子に入力される信号の電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はS23のままとなる。第三のマスターラッチML13のG端子に入力される信号の電圧値はオン状態となるため、Q端子から出力される信号の電圧値は第二のマスターラッチML12のQ端子からの出力信号の電圧値と等しくなりS23となる。第四のマスターラッチML14のG端子に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。

[0091] 期間T13ではI1をR1、I2をR2、I3をR3、I4をR4、スキャンテスト信号は入力せず、CLK11、12、14をオフ状態、CLK13をオン状態とする。なおI1～I4の電圧値は以後の期間同じに保たれる。また、この期間においてSELをオフ状態とし、セレクトにおける入力信号を入れ替える処理を行う。

[0092] この期間では、第一のマスターラッチML11のG端子に入力される信号の電圧値は

オフ状態であるため、Q端子からの出力信号の電圧値はS21のままとなる。第二のマスターラッチML12のG端子に入力される電圧値もオフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる。第三のマスターラッチML13のG端子に入力される信号の電圧値もオフ状態であるため、Q端子からの出力信号の電圧値もS23のままとなる。第四のマスターラッチML14に入力される信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値もS12のままとなる。ここでCLK13はオン状態であるため第一のスレイブラッチSL11のG端子に入力される信号の電圧値がオン状態となり、Q端子からの出力信号の電圧値が第一のマスターラッチML11のQ端子の出力信号の電圧値と等しくなりS21となる。また同様に、第三のスレイブラッチSL13のG端子に入力される信号の電圧値がオン状態となるため、Q端子からの出力信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号の電圧値と等しくS23となる。

[0093] 期間T14ではCLK11をオン状態、CLK12をオフ状態とする。また期間T14においてSELの値はオン状態に戻る。

[0094] この期間では、SELの電圧値がオフ状態となっているため、第一のセクタMUX11は上流側の論理回路CKT11から入力される信号を選択して第一のマスターラッチML11に入力させる。従って第一のマスターラッチML11におけるG端子に入力される信号の電圧値がオン状態であるため、Q端子から出力される信号の電圧値は上流側の論理回路CKT11より入力されるI1の電圧値と等しくR1となる。第二のマスターラッチML12のG端子に入力される電圧値はオフ状態であるため、Q端子から入力される電圧値はS23のままとなる。第三のマスターラッチML13においても、SELの電圧値がオフ状態となっているため、上流側の論理回路CKT11からの出力信号が第三のマスターラッチに入力され、しかも第三のマスターラッチML13のG端子に入力される信号の電圧値がオン状態であるため、第三のマスターラッチML13のQ端子からの出力信号の電圧値はR3となる。なお第四のマスターラッチML14のG端子から入力される信号の電圧値はオフ状態であるためS12のままとなる。なおCLK13はオフ状態のままであるため、第一のスレイブラッチのQ端子からの出力信号の電圧値はS21のまま、第三のスレイブラッチのQ端子からの出力信号の電圧値はS23のままで

ある。

[0095] 期間T15ではCLK11をオフ状態、CLK12をオン状態とする。

[0096] この期間では、第一のマスターラッチML11のG端子に入力される信号の電圧値はオフ状態となっているため、Q端子からの出力信号の電圧値はR1のままとなる。第二のマスターラッチML12のG端子に入力される信号の電圧値はオン状態であるため、Q端子からの出力は第一のマスターラッチのQ端子からの出力信号の電圧値と等しくなりR1となる。第三のマスターラッチML13のG端子に入力される電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR3のままとなる。また第四のマスターラッチML14のG端子に入力される信号電圧の値はオン状態となるため、Q端子からの出力信号の電圧値は第三のマスターラッチML13のQ端子からの出力信号と等しくR3となる。なお第一のスレイブラッチSL11からの出力信号の電圧値はS21のまま、第二のスレイブラッチSL12からの出力信号の電圧値はS12のまま、第三のスレイブラッチSL13からの出力信号の電圧値はS23のまま、第四のスレイブラッチSL14からの出力信号の電圧値はS14のままである。

[0097] 期間T16ではCLK11をオン状態、CLK12をオフ状態とする。

[0098] この期間では、第一のマスターラッチML11のG端子への入力信号の電圧値はオン状態であるものの、スキャンテスト信号の入力は無いため、Q端子からの入力はない。また第二のマスターラッチML12のG端子への入力信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。また第三のマスターラッチML13のG端子に入力される信号の電圧値はオン状態であるため、Q端子から出力される信号の電圧値は第二のマスターラッチML12のQ端子から出力される信号の電圧値と等しくなりR1となる。第四のマスターラッチML14のG端子に入力される信号の電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はR3のままとなる。。なお第一のスレイブラッチSL11からの出力信号の電圧値はS21のまま、第二のスレイブラッチSL12からの出力信号の電圧値はS12のまま、第三のスレイブラッチSL13からの出力信号の電圧値はS23のまま、第四のスレイブラッチSL14からの出力信号の電圧値はS14のままである。

[0099] 期間T17ではCLK11をオフ状態、CLK12をオン状態とする。

- [0100] この期間では、第一のマスターラッチML11のG端子への入力信号の電圧値はオフ状態であるため、Q端子からの出力信号の電圧値は無いまま保持される。また第二のマスターラッチのG端子に入力される信号の電圧値もオン状態であるが、第一のマスターラッチML11のQ端子からの出力信号が無いいため、Q端子からの出力信号の電圧値も無いものとなる。また第三のマスターラッチML13のG端子に入力される電圧値はオフ状態であるため、Q端子から出力される信号の電圧値はR1のまま保持される。第四のマスターラッチML14のG端子に入力される信号の電圧値はオン状態であるため、第三のマスターラッチML13のQ端子から出力される信号の電圧値となりR1となる。
- [0101] 期間T18ではCLK11をオン状態、CLK12をオフ状態とする。
- [0102] この期間では、第一のマスターラッチML11、第二のマスターラッチML12は期間T17と変化は無い。第三のマスターラッチML13のG端子に入力される信号の電圧値はオン状態となっているため、Q端子からの出力信号は第二のマスターラッチのQ端子にから出力される信号の電圧値と等しくなるが、第二のマスターラッチML12のQ端子から出力される電圧値は無いため、Q端子からの出力信号の電圧値も無い。第四のマスターラッチML14のG端子はオフ状態であるため、R1の値を保持する。
- [0103] 以上のように、スキャンテスト信号、クロック信号等を入力し、あらかじめ計算により求めた予想信号と同様であるか否かを検出し、予測の範囲内場合は規格品として、予測の範囲外となっている場合は規格外品として処理することができる。なお本検査では上記のように印加したスキャンテスト信号、クロック信号等を繰り返しにゆくりよくすることでテストを繰り返し、パターンテストを繰り返すことができる。
- [0104] 以上、本実施形態に係る半導体集積回路により、回路面積の増大を伴うことなく容易に1パターンテスト、2パターンテストのいずれも可能な半導体集積回路を提供することができる。
- [0105] また、本実施形態において、説明のためにフリップフロップが四つの例について記載しているが、フリップフロップの数は四以上であってもかまわない。その場合セクタの数もフリップフロップの数と同数設けることとなる。
- [0106] (実施形態2)

次に、本発明の第二の実施形態について図面を用いて説明する。まず本実施形態に係る半導体集積回路のブロック図を図5に示す。

- [0107] 本実施形態に係る半導体集積回路は、セクタが他のフリップフロップのスレイブラッチからの出力を受け付けることができるよう入力端子を設け電氣的に接続可能とした点、第四のスレイブラッチのQ端子側においてもスキャンテスト信号の出力を検出可能なように入力端子を分岐させた点、を除いてほぼ実施形態1と構成は同じである。具体的に説明すると、基本的な構成は実施形態1に記載の構成と同じであるものの、第二のフリップフロップに対応して設けられる第二のセクタMUX22は入力端子を三つ有し、その追加された一つは第一のフリップフロップにおける第一のスレイブラッチのQ端子に電氣的に接続可能となっている。第三のセクタMUX23についても同様である。なお、本実施形態ではセクタが三つの入力端子を有している太陽としているが、二つの入力端子を有するセクタを複数接続して実質的に三つの入力のうちいずれかが出力されるよう構成しても良い(但しこの場合、セクタの選択を制御する電圧値SELは設けるセクタの数だけ必要となる)。
- [0108] つぎに本実施形態に係る半導体集積回路の検査(以下単に「本検査」という。)における動作について説明する。本検査は、様々な時点で行うことができるが、半導体集積回路を形成した後、この半導体集積回路を出荷する際などにおいて行うことがもつとも好ましい態様といえる。
- [0109] 本実施形態に係る半導体集積回路では1パターンテストと2パターンテストの2種類の検査が可能である。まず、図6は1パターンテストにおける各信号の関係について説明する図であり、I1、I2…などは図3とほぼ同じである。ただし、第四のスレイブラッチSL14からの出力についてはスキャンテスト信号の出力ともなっているためSCAN OUT2と重複して記載している。
- [0110] 本検査において、セクタMUX21、MUX22、MUX23、MUX24は、接続する電源(図示せず)によって、三つある入力端子のうちいずれかからの入力に対応するフリップフロップのマスタラッチに入力するよう構成されている。
- [0111] まず図6のT1の期間ではスキャンテスト信号SCAN INの電圧値をS14、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。なおS

ELの電圧値は後述する期間T8からT9の間以外はオン状態となっており、この期間以外は接続するスレイブラッチのQ端子からの出力を対応するマスターラッチのD端子に入力するようになっており、第一のセクタMUX21についてはスキャンテスト信号を選択するようになっている。

- [0112] この期間では、第一のマスターラッチのG端子への入力される信号の電圧値がオン状態であるため、第一のマスターラッチML21のQ端子からの出力信号の電圧値はS14となる。
- [0113] 期間T2では、スキャンテスト信号の電圧値をS13、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。
- [0114] この期間では、第一のマスターラッチML21のG端子への入力がオフ状態であるため、第一のマスターラッチML21の出力信号の電圧値はS14のままとなる。また第一のスレイブラッチSL21のG端子への入力はオン状態であるため、第一のスレイブラッチSL21のQ端子からの出力信号の電圧値は第一のマスターラッチML21のQ端子からの出力信号の電圧値に等しくS14となる。
- [0115] 期間T3では、スキャンテスト信号の電圧値をS13、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。
- [0116] この期間では、第一のマスターラッチML21のG端子への入力がオン状態であるため、第一のマスターラッチML21のQ端子からの出力はスキャンテスト信号と等しくS13となる。第一のスレイブラッチSL21のG端子への入力信号はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第二のマスターラッチML22のG端子への入力はオン状態であるため、第二のマスターラッチML22のQ端子からの出力信号の電圧値は第一のスレイブラッチML21のQ端子からの出力信号と等しくS14となる。
- [0117] 期間T4では、スキャンテスト信号の電圧値をS12、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。
- [0118] この期間では、第一のマスターラッチのG端子への入力がオフ状態であるため、第一のマスターラッチML21のQ端子からの出力信号の電圧値はS13のままである。第一のスレイブラッチSL21のG端子への入力はオン状態であるため、第一のスレイ

ブラッチSL21のQ端子からの出力信号の電圧値は、第一のマスターラッチML21のQ端子からの出力と等しくS13となる。第二のマスターラッチML22のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままである。第二のスレイブラッチSL22のG端子への入力はオン状態であるため、第二のスレイブラッチSL22の出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力と等しくS14となる。

[0119] 期間T5では、スキャンテスト信号の電圧値をS12のまま、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。

[0120] この期間では、第一のマスターラッチML21のG端子への入力がオン状態であるため、Q端子からの出力信号の電圧値はスキャンテスト信号の電圧値と等しくなりS12となる。第一のスレイブラッチSL21のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第二のマスターラッチML22のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第一のスレイブラッチSL21のQ端子からの出力信号の電圧値と等しくS13となる。第二のスレイブラッチSL22のG端子の入力はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第三のマスターラッチML23のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第二のスレイブラッチSL22のQ端子からの出力と等しくS14となる。

[0121] 期間T6では、スキャンテスト信号の電圧値をS11とし、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。

[0122] この期間では、第一のマスターラッチML21のG端子への入力がオフ状態であるためQ端子からの出力信号の電圧値はS12のままとなる。第一のスレイブラッチSL21のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は、第一のマスターラッチML21のQ端子からの出力信号の電圧値と等しくS12となる。第二のマスターラッチML22のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第二のスレイブラッチSL22のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくなりS13となる。第三のマスターラッチM

L23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第三のスレイブラッチSL23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のマスタラッチML23のQ端子からの出力信号の電圧値と等しくS14となる。

[0123] 期間T7では、スキャンテスト信号の電圧値をS11のままとし、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。

[0124] この期間では、第一のマスタラッチML21の入力オン状態であるため、Q端子からの出力はスキャンテスト信号の電圧値と等しくS11となる。第一のスレイブラッチSL21のG端子への入力オフ状態となるため、Q端子からの出力信号の電圧値はS12のままとなる。第二のマスタラッチML22のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第一のスレイブラッチSL21のQ端子からの出力信号の電圧値と等しくS12となる。第二のスレイブラッチSL22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第三のマスタラッチML23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は、第二のスレイブラッチSL22のQ端子からの出力信号の電圧値と等しくS13となる。第三のスレイブラッチSL23のG端子への入力オフ状態であるため、Q端子の出力信号の電圧値はS14のままとなる。第四のマスタラッチML24のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のスレイブラッチSL23のQ端子からの出力信号の電圧値と等しくS14となる。

[0125] 期間T8では、スキャンテスト信号の電圧値を無くし(期間T9以降同じ)、I1の入力電圧をR1、I2の入力電圧値R2、I3の入力電圧をR3、I4の入力電圧をI4とする。またCLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。

[0126] この期間では、第一のマスタラッチML21のG端子への入力オフ状態であるためQ端子からの出力信号の電圧値はS11のままとなる。第一のスレイブラッチSL21のG端子への入力オン状態であるため、Q端子からの出力は第一のマスタラッチML21のQ端子からの出力信号の電圧値と等しくS11となる。第二のマスタラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値

はS12のままとなる。第二のスレイブラッチSL22のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくS12となる。第三のマスターラッチML23のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第三のスレイブラッチSL23のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくS13となる。第四のマスターラッチML24のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第四のスレイブラッチSL24のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値と等しくS14となる。

- [0127] 期間T9では、I1をR1のまま、I2をR2のまま、I3をR3のまま、I4をR4のままとし、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。またSELはオフ状態となり、各セクタは上流側の論理回路CKT21からの入力信号を選択するようになっている。
- [0128] この期間では、第一のマスターラッチML21のG端子への入力にはオン状態であり、セクタはスキャンテスト信号以外の上流側の論理回路CKT21からの入力信号を受け付けるため、Q端子からの出力信号の電圧値はR1となる。第一のスレイブラッチSL21のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はS11のままとなる。第二のマスターラッチML22のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は上流側の論理回路CKT21からの入力信号の電圧値と等しくなりR2となる。第二のスレイブラッチSL22のG端子への入力にはオフ状態となるため、Q端子からの出力信号の電圧値はS12のままとなる。第三のマスターラッチML23のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は上流側の論理回路CKT21からの入力信号の電圧値と等しくR3となる。第三のスレイブラッチSL23のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第四のマスターラッチML24のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は上流側の論理回路CK

T21からの入力信号の電圧値と等しくなりR4となる。第四のスレイブラッチSL24のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。なおSELはこの期間にオン状態に戻り、上流側の論理回路CKT21以外のスキャンテスト信号又はスレイブラッチからの信号を選択する。

[0129] 期間T10では、I1～I4への入力を行わず、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。

[0130] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第一のスレイブラッチSL21のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第一のマスターラッチML21のQ端子からの出力信号と等しくR1となる。第二のマスターラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR2のままとなる。第二のスレイブラッチSL22のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくR2となる。第三のマスターラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR3のままである。第三のスレイブラッチSL23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくR3となる。第四のマスターラッチML24のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR4のままとなる。第四のスレイブラッチSL24のG端子への入力信号オン状態であるため、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値と等しくR4となる。

[0131] 期間T11では、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。

[0132] この期間では、第一のマスターラッチML21のG端子への入力オン状態となるため、スキャンテスト信号の電圧値と等しくなるが、スキャンテスト信号からの入力無いため、Q端子からの特段の出力も無い(以後同じである)。第一のスレイブラッチSL21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第二のマスターラッチML22のG端子への入力オン状態であるため、

Q端子からの出力信号の電圧値は第一のスレイブラッチSL21のQ端子からの出力信号の電圧値と等しくなりR1となる。第二のスレイブラッチSL22の入力はオフ状態であるため、Q端子からの出力信号の電圧値はR2のままとなる。第三のマスターラッチML23のG端子からの入力はオン状態であるため、Q端子からの出力信号の電圧値は、第二のスレイブラッチSL22のQ端子からの出力信号の電圧値と等しくR2となる。第三のスレイブラッチSL23のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR3のままとなる。第四のマスターラッチML24のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第三のスレイブラッチSL24のQ端子からの出力信号の電圧値と等しくR3となる。第四のスレイブラッチSL24のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR4のままとなる。

[0133] 期間T12では、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。

[0134] この期間では、第一のスレイブラッチSL21のG端子への入力がオン状態となり、Q端子からの出力は第一のマスターラッチML21のQ端子からの出力信号の電圧値と等しくなるが第一のマスターラッチML21のQ端子からの出力は無いため、無くなる（以後の期間において同じ）。第二のマスターラッチML22のG端子への入力はオフ状態であるため、Q端子からの出力はR1のままである。第二のスレイブラッチSL22のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力と等しくR1となる。第三のマスターラッチML23のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR2のままである。第三のスレイブラッチSL23のG端子への入力はオン状態であるため、Q端子からの出力信号電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくR2となる。第四のマスターラッチML24のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR3のままである。第四のスレイブラッチSL24のG端子への入力はオン状態であり、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値に等しくR3となる。

- [0135] 期間T13では、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。
- [0136] この期間では、第二のマスターラッチML22のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第一のスレイブラッチSL21のQ端子からの出力信号の電圧値と等しくなるが、第一のスレイブラッチSL21のQ端子からの出力信号は無いため、無くなる(以後の期間において同じ)。第二のスレイブラッチSL22のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第三のマスターラッチML23のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第二のスレイブラッチSL23のQ端子からの出力信号の電圧値と等しくR1となる。第三のスレイブラッチSL23のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はR2のままである。第四のマスターラッチML24のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第三のスレイブラッチSL23のQ端子からの出力と等しくR2となる。第四のスレイブラッチSL24のG端子への入力にはオフ状態であるため、Q端子からの出力はR3のままとなる。
- [0137] 期間T14では、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。
- [0138] この期間では、第二のスレイブラッチSL22のG端子がオン状態となるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくなるが、第二のマスターラッチMLのQ端子からの出力信号は無いため、無くなる(以後の期間において同じである)。第三のマスターラッチML23のG端子への入力にはオフ状態となるため、Q端子からの出力信号の電圧値はR1のままである。第三のスレイブラッチSL23のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値はR1となる。第四のマスターラッチML24のG端子への入力にはオフ状態であるため、Q端子からの出力信号の電圧値はR2のままである。第四のスレイブラッチSL24のG端子への入力にはオン状態であるため、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値に等しくR2となる。

- [0139] 期間T15では、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。
- [0140] この期間では、第三のマスターラッチML23のG端子への入力が入オン状態であり、Q端子からの出力信号の電圧値は第二のスレイブラッチSL22のQ端子からの出力信号の電圧値と等しくなるが、第二のスレイブラッチSL22の出力はなくなっているため、無くなる(以後の期間において同じ)。第三のスレイブラッチSL23のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第四のマスターラッチML24のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第三のスレイブラッチSL23のQ端子からの出力信号の電圧値と等しくR1となる。第四のスレイブラッチSL24のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR2のままとなる。
- [0141] 期間T16では、CLK21、CLK22の電圧値をオフ状態、CLK23、CLK24の電圧値をオン状態とする。
- [0142] この期間では、第三のスレイブラッチSL23のG端子への入力が入オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくなるが、この信号は無いため、無くなる(以後の期間において同じ)。第四のマスターラッチML24のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままである。第四のスレイブラッチSL24のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値と等しくR1となる。
- [0143] 期間T17では、CLK21、CLK22の電圧値をオン状態、CLK23、CLK24の電圧値をオフ状態とする。
- [0144] この期間において、第四のマスターラッチML24のG端子への入力はオン状態となり、Q端子からの出力信号の電圧値は第三のスレイブラッチSL23のQ端子からの出力信号の電圧値と等しくなるが、この信号は無いため、無くなる(以後の期間において同じ)。第四のスレイブラッチSL24の電圧値はオフ状態であるため、Q端子からの出力はR1のままとなる。
- [0145] 以上のように、本実施形態に係る半導体集積回路において1パターンテストを実施

することができる。

- [0146] また次に、本実施形態に係る半導体集積回路における2パターンテストを実施する。図7は2パターンテストにおける各信号の関係について説明する図であり、I1、I2…などは図3とほぼ同じである。ただし、第四のスレイブラッチSL24からの出力についてはスキャンテスト信号の出力ともなっているためSCANOUT2と重複して記載している。
- [0147] 本検査において、セクタMUX21、MUX22、MUX23、MUX24は、接続する電源(図示せず)によって、三つある入力端子のうちいずれかからの入力に対応するフリップフロップのマスタラッチに入力するよう構成されており、SELがオン状態の場合、第一のセクタMUX21はスキャンテスト信号を選択し、第二乃至第四のセクタMUX22、MUX23、MUX24は他のマスタラッチのQ端子からの出力信号を選択する。
- [0148] まず図7のT1の期間ではスキャンテスト信号SCAN INの電圧値をS13、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態、CLK23の電圧値をオフ状態、CLK24の電圧値をオフ状態とする。なおCLK23は期間T4、T13を除いてオフ状態であり、CLK24は期間T9を除いてオフ状態である。またSELは期間T13中にオフ状態となり期間T14中にオン状態に戻る以外はオン状態となっている。
- [0149] この期間では、第一のマスタラッチML23のG端子への入力はオン状態となっているため、Q端子からの出力信号の電圧値はS13となる。
- [0150] 期間T2では、スキャンテスト信号の電圧値をS11とし、CLK21の電圧値をオフ状態、CLK22の電圧値をオン状態とする。
- [0151] この期間では、第一のマスタラッチML21のG端子への入力がオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第一のスレイブラッチSL21のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第一のマスタラッチML21のQ端子からの出力信号と等しくS13となる。
- [0152] 期間T3では、スキャンテスト信号の電圧値はS11のままであり、CLK21の電圧値はオン状態、CLK22の電圧値はオフ状態とする。
- [0153] この期間では、第一のマスタラッチML21のG端子への入力はオン状態となるた

め、Q端子からの出力信号の電圧値はスキャンテスト信号と等しくS11となる。第二のマスターラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第三のマスターラッチML23のG端子への入力はオン状態となるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号と等しくなり、S13となる。

[0154] 期間T4では、スキャンテスト信号の電圧値をS14とし、CLK21の電圧値をオフ状態、CLK22の電圧値もオフ状態、CLK23の電圧値はオン状態とする。

[0155] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS11のままである。第二のマスターラッチML22のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値もS13のままである。第三のマスターラッチML23のG端子への入力もオフ状態であるため、Q端子からの出力信号もS13のままである。第一のスレイブラッチSL21のG端子への入力はオン状態となるため、Q端子からの出力信号の電圧値は第一のマスターラッチML21のQ端子からの出力信号の電圧値と等しくなりS11となる。また第三のスレイブラッチSL23のG端子への入力もオン状態となるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくS13となる。

[0156] 期間T5では、スキャンテスト信号の電圧値をS14のままとし、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態とする。

[0157] この期間では、第一のマスターラッチML21のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値はS14となる。第二のマスターラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第三のマスターラッチML23のG端子への入力はオン状態であり、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくなりS13となる。但しこの出力はT4と同様である。第一のスレイブラッチSL21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS11のままとなる(T12まで以後同じである)。また第三のスレイブラッチSL23のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。

(これもT12まで以後同じである)。

[0158] 期間T6では、スキャンテスト信号の電圧値をS12とし、CLK21の電圧値をオフ状態、CLK22の電圧値をオン状態とする。

[0159] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第二のマスターラッチML22のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値はS14となる。第三のマスターラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。第四のマスターラッチML24のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号と等しくS13となる。

[0160] 期間T7では、スキャンテスト信号の電圧値をS12のままとし、CLK21の電圧値をオン状態とし、CLK22の電圧値の状態をオフ状態とする。

[0161] この期間では、第一のマスターラッチML21のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値はスキャンテスト信号と等しくなりS12となる。第二のマスターラッチML22のG端子への入力信号はオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第三のマスターラッチML23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくS14となる。第四のマスターラッチML24のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS13のままとなる。

[0162] 期間T8では、スキャンテスト信号の入力は行わず、CLK21の電圧値はオフ状態とし、CLK22の電圧値はオン状態とする。

[0163] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第二のマスターラッチML22のG端子への入力オン状態であり、Q端子からの出力信号の電圧値は第一のマスターラッチML21のQ端子からの出力信号の電圧値に等しくS12となる。第三のマスターラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第四のマスターラッチML24のG端子への入力は

オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくS14となる。

[0164] 期間T9では、スキャンテスト信号の電圧値をS23、CLK21、CLK22の電圧値をオフ状態とし、CLK24の電圧値をオン状態とする。

[0165] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第二のマスターラッチML22のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第三のマスターラッチML23のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値もS14のままとなる。第四のマスターラッチML24のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS14のままとなる。第二のスレイブラッチSL22のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は、第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくS12となる。第四のスレイブラッチSL24のG端子への入力もオン状態であるため、Q端子からの出力信号の電圧値は第四のマスターラッチML24のQ端子からの出力信号の電圧値と等しくS14となる。

[0166] 期間T10では、スキャンテスト信号の電圧値をS23とし、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態とする。

[0167] この期間では、第一のマスターラッチML21のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値はスキャンテスト信号の電圧値と等しくS23となる。第二のマスターラッチML22のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第三のマスターラッチML23のG端子への入力はオン状態となるため、Q端子からの出力信号の電圧値は第二のマスターラッチML23のQ端子からの出力信号の電圧値と等しくS12となる。第四のマスターラッチML24のG端子への入力はオフ状態であるため、Q端子からの出力はS14のままとなる。なお第二のスレイブラッチSL22のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS12のままである(以後の期間同じである)。また第四のスレイブラッチSL24のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS14のままである(以後の期間同じである)。

- [0168] 期間T11では、スキャンテスト信号の電圧値をS21とし、CLK21の電圧値をオフ状態、CLK22の電圧値をオン状態とする。
- [0169] この期間では、第一のマスターラッチML21のG端子への入力オフ状態となるため、Q端子からの出力信号の電圧値はS23のままとなる。第二のマスターラッチML22のG端子への入力オン状態となるため、Q端子からの出力信号の電圧値は、第一のマスターラッチML21のQ端子からの出力信号の電圧値と等しくS23となる。第三のマスターラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第四のマスターラッチML24のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくS12となる。
- [0170] 期間T12では、スキャンテスト信号の電圧値をS21のままとし、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態とする。
- [0171] この期間では、第一のマスターラッチML21のG端子への入力オン状態であるため、Q端子からの出力はスキャンテスト信号の電圧値と等しくS21となる。第二のマスターラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる。第三のマスターラッチML23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくS23となる。第四のマスターラッチML24のG端子への入力オフ状態となるため、Q端子からの出力信号の電圧値はS12のままとなる。
- [0172] 期間T13では、スキャンテスト信号の入力は行わず(以後の期間において同じ)、上流側の論理回路CKT21からの入力信号としてI1からR1、I2からR2、I3からR3、I4からR4を入力する(以後の期間において同じ)。またCLK11、CLK12の電圧値はオフ状態、CLK13の電圧値はオン状態、CLK14の電圧値はオフ状態とする。またこの期間においてSELの電圧値をオフ状態と切り替える。
- [0173] この期間では、第一のマスターラッチML21のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はS21のままとなる。第二のマスターラッチML22のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS23

のままとなる。第三のマスターラッチML23のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる。第四のマスターラッチML24のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS12のままとなる。第一のスレイブラッチSL21のG端子への入力はオン状態となるため、Q端子からの出力の電圧値は第一のマスターラッチML21のQ端子からの出力信号の電圧値と等しくなりS21となる。第三のスレイブラッチSL23のG端子への入力信号もオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号と等しくなりS23となる。

[0174] 期間T14では、CLK21をオン状態、CLK22をオフ状態とする。またSELの電圧値はこの期間において再びオン状態に切り替えられる。

[0175] この期間では、第一のマスターラッチML21のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は上流側の論理回路CKT21からの入力信号と等しくR1となる。第二のマスターラッチML22のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる。第三のマスターラッチML23のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は、上流側の論理回路CKT21からの入力信号の電圧値と等しくR3となる。第四のマスターラッチML24のG端子への入力はオフ状態となるため、Q端子からの出力信号の電圧値はS12のままとなる。第一のスレイブラッチSL21のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はS21のままとなる(以後の期間において同じである)。また第三のスレイブラッチSL23のG端子への入力もオフ状態であるため、Q端子からの出力信号の電圧値はS23のままとなる(以後の期間において同じである)。

[0176] 期間T15では、CLK21の電圧値をオフ状態、CLK21の電圧値をオン状態とする。

[0177] この期間では、第一のマスターラッチML21のG端子への入力がオフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第二のマスターラッチML22のG端子への入力はオン状態であるため、Q端子からの出力信号の電圧値は第一のマスターラッチML21のQ端子からの出力信号と等しくR1となる。第三のマスター

ラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR3のままとなる。第四のマスターラッチML24のG端子への入力信号の電圧値はオン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくR3となる。

[0178] 期間T16では、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態とする。

[0179] この期間では、第一のマスターラッチML21のG端子への入力オン状態であり、Q端子からの出力信号の電圧値はスキャンテスト信号と等しくなるが、スキャンテスト信号の入力は無いため、出力も特段には無い(以後の期間において同じ)。第二のマスターラッチML22のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR1のままである。第三のマスターラッチML23のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第二のマスターラッチML22のQ端子からの出力信号の電圧値と等しくR1となる。第四のマスターラッチML24のG端子への入力オフ状態であるため、Q端子からの出漁区信号の電圧値はR3のままである。

[0180] 期間T17では、CLK21の電圧値をオフ状態、CLK22の電圧値をオン状態とする。

[0181] この期間では、第二のマスターラッチML22のG端子への入力オン状態となるため、Q端子からの出力信号の電圧値はスキャンテスト信号と等しくなるが、スキャンテスト信号の入力は無いため、出力は無い(以後の期間において同じ)。第三のマスターラッチML23のG端子への入力オフ状態であるため、Q端子からの出力信号の電圧値はR1のままとなる。第四のマスターラッチML24のG端子への入力オン状態であるため、Q端子からの出力信号の電圧値は第三のマスターラッチML23のQ端子からの出力信号の電圧値と等しくR1となる。

[0182] 期間T18では、CLK21の電圧値をオン状態、CLK22の電圧値をオフ状態とする。

[0183] この期間では、第三のマスターラッチML23のG端子への入力オン状態であり、Q端子からの出力信号の電圧値はスキャンテスト信号と等しくなるが、スキャンテスト

信号の入力は無いため、出力も無くなる(以後同じ)。第四のマスターラッチML24のG端子への入力はオフ状態であるため、Q端子からの出力信号の電圧値はR1のままである。

[0184] 以上のように、本実施形態の半導体集積回路を用いることにより、1パターンテスト及び2パターンテストをラッチの増加をもたらすことなく容易に行うことができる。

[0185] なお、実施形態2にて用いた2パターンテストの信号の電圧関係については、実施形態1における2パターンテストとしても用いることができるし、実施形態1にて用いた2パターンテスト及び1パターンテストの信号を実施形態2の2パターンテスト、1パターンテストに用いることも(セレクトの選択の制御について調整することが必要であるが)適宜可能である。

図面の簡単な説明

[0186] [図1]実施形態1に係る半導体集積回路のブロック図

[図2]実施形態1に係る半導体集積回路におけるマスターラッチの等価回路図

[図3]実施形態1に係る半導体集積回路の1パターンテストにおける各構成要素の信号電圧を示す図

[図4]実施形態1に係る半導体集積回路の2パターンテストにおける各構成要素の信号電圧を示す図

[図5]実施形態2に係る半導体集積回路のブロック図

[図6]実施形態2に係る半導体集積回路の1パターンテストにおける各構成要素の信号電圧を示す図

[図7]実施形態2に係る半導体集積回路の2パターンテストにおける各構成要素の信号電圧を示す図

[図8]従来技術1に係る半導体集積回路のブロック図

[図9]従来技術2に係る半導体集積回路のブロック図

符号の説明

[0187] MUX11、MUX21…第一のセレクト、MUX12、MUX22…第二のセレクト、MUX13、MUX23…第三のセレクト、MUX14、MUX24…第四のセレクト、ML11、ML21…第一のマスターラッチ、ML12、ML22…第二のマスターラッチ、ML13、

ML23…第三のマスターラッチ、ML14、ML24…第四のマスターラッチ、SL11、SL21…第一のスレイブラッチ、SL12、SL22…第二のスレイブラッチ、SL13、SL23…第三のスレイブラッチ、SL11、SL24…第四のスレイブラッチ、FF11、FF21…第一のフリップフロップ、FF12、FF22…第二のフリップフロップ、FF13、FF23…第三のフリップフロップ、FF14、FF24…第四のフリップフロップ、CKT11、21…上流側の論理回路、CKT12、22…下流側の論理回路、

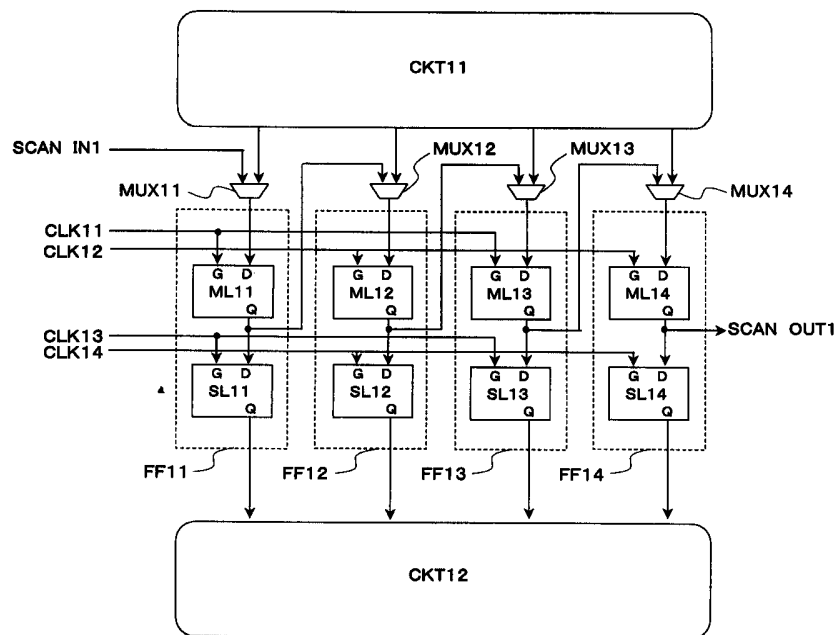
請求の範囲

- [1] 複数のフリップフロップと、該複数のフリップフロップの各々に対応して設けられるセクタと、を有する半導体集積回路であって、
前記フリップフロップは、それぞれマスターラッチ及び該マスターラッチに電氣的に接続されるスレイブラッチを有し、
前記セクタは、該セクタが対応する前記フリップフロップの前記マスターラッチと電氣的に接続されており、かつ、前記セクタのうちの少なくとも一つは前記セクタが対応する前記フリップフロップとは別の前記フリップフロップの前記マスターラッチとも接続されている半導体集積回路。
- [2] 前記セクタは、該セクタが対応する前記フリップフロップとは別の前記フリップフロップにおける前記マスターラッチの出力が入力されるよう接続されていることを特徴とする請求項1記載の半導体集積回路。
- [3] 前記セクタは、該セクタが対応する前記フリップフロップとは別の前記フリップフロップの前記スレイブラッチの出力も入力されるよう接続されていることを特徴とする請求項1記載の半導体集積回路。
- [4] 前記複数のフリップフロップにおけるマスターラッチと、前記セクタは、スキアンチェーンを構成することを特徴とする請求項1記載の半導体集積回路。
- [5] 第一の論理回路と、
該第一の論理回路からの信号を受け付ける複数のセクタと、
該複数のセクタ各々に対応して設けられ、かつ、対応する該セクタからの信号を受け付けるマスターラッチと、
該マスターラッチ各々に対応して設けられ、かつ、対応する該マスターラッチからの信号を受け付けるスレイブラッチと、
該スレイブラッチからの信号を受け付ける第二の論理回路と、を有する半導体集積回路であって、
前記複数のセクタのうちの一つは、前記半導体集積回路外部からの信号と前記第一の論理回路からの信号のいずれかを選択して対応する前記マスターラッチへ出力し、

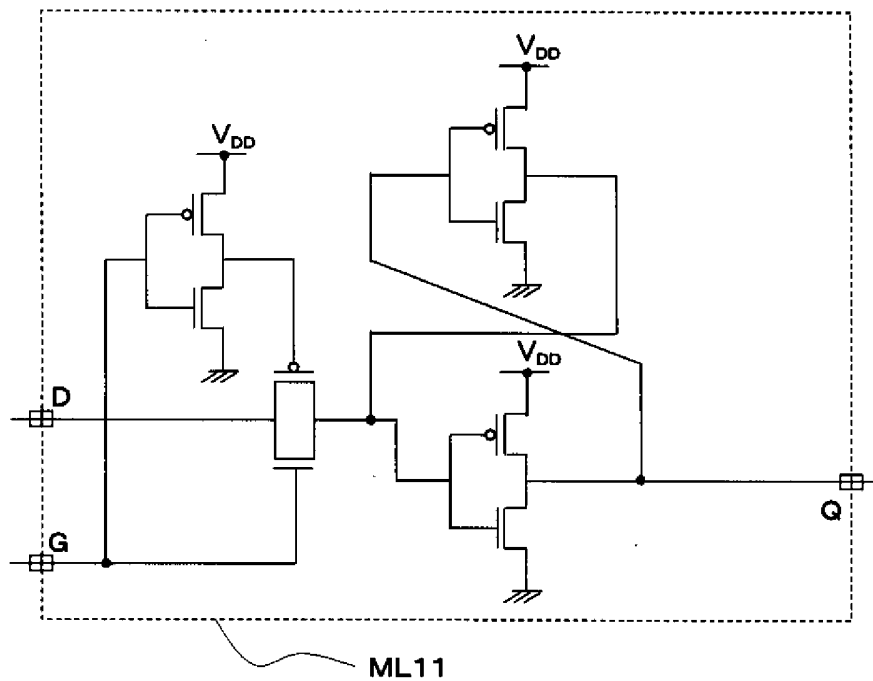
他の前記セレクトは、当該セレクトが対応する前記マスターラッチとは別の前記マスターラッチの信号と前記第一の論理回路からの信号のいずれかを選択し、対応する前記マスターラッチへと出力することを特徴とする半導体集積回路。

- [6] 前記複数のセレクトと該セレクトに対応して設けられるマスターラッチは、スキャンチェーンを構成することを特徴とする請求項5記載の半導体集積回路。

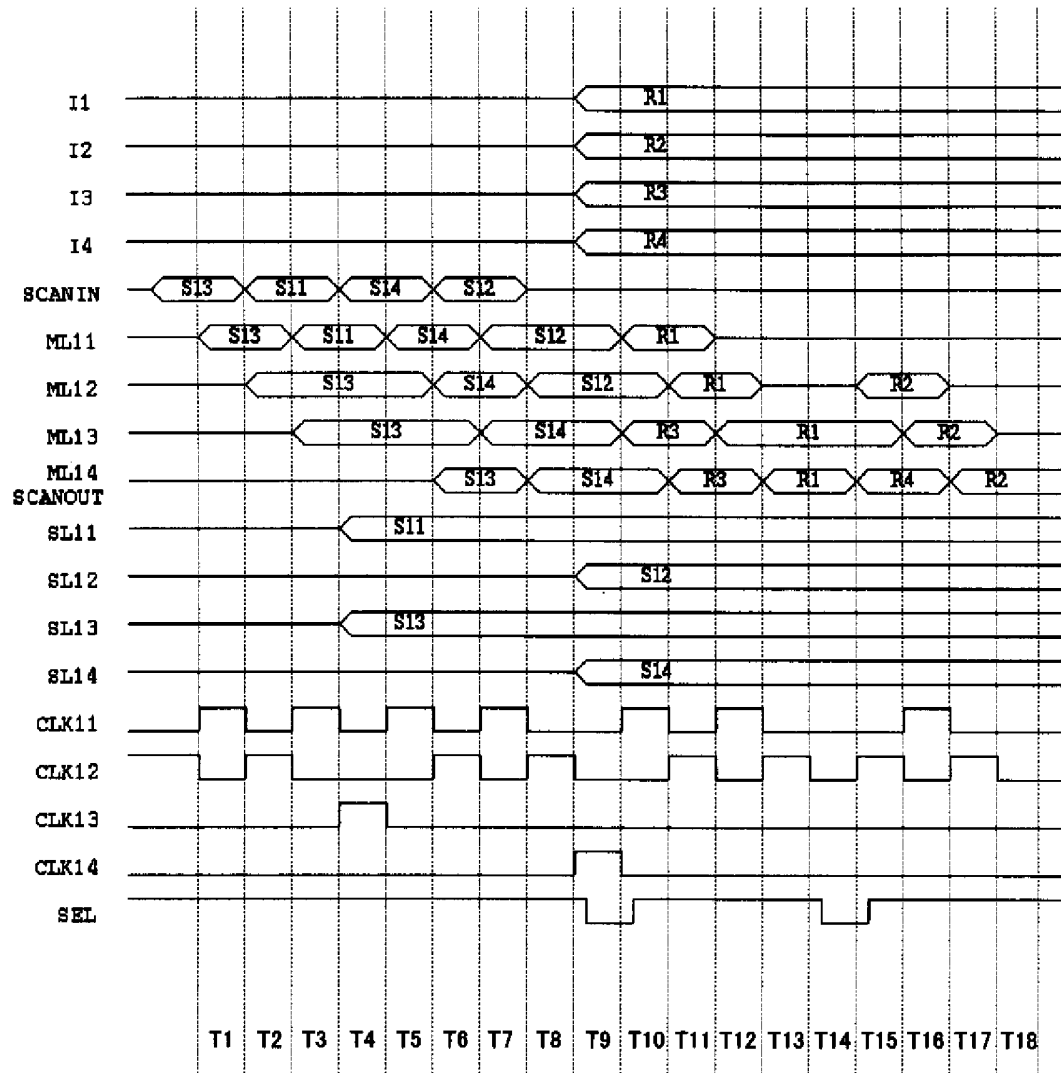
[図1]



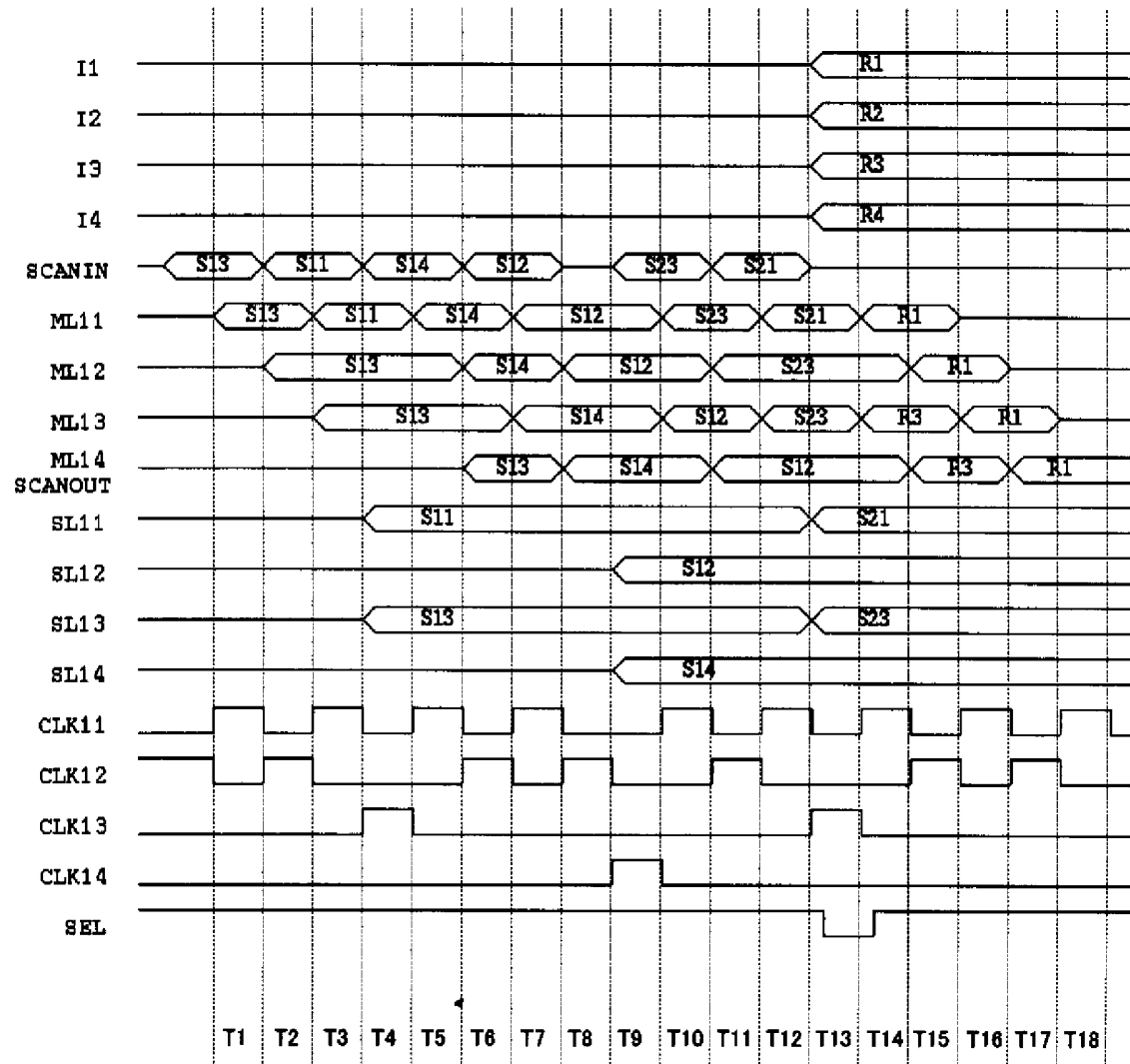
[図2]



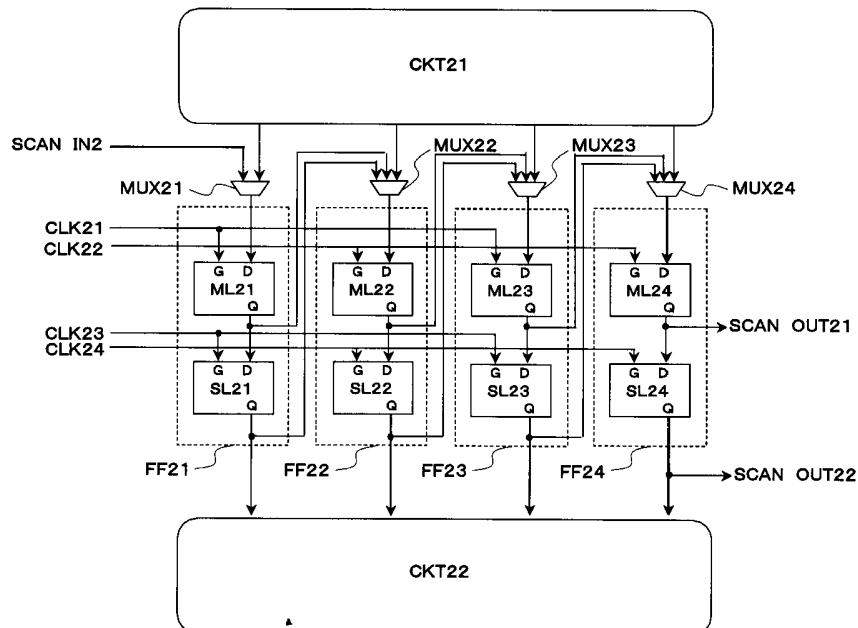
[図3]



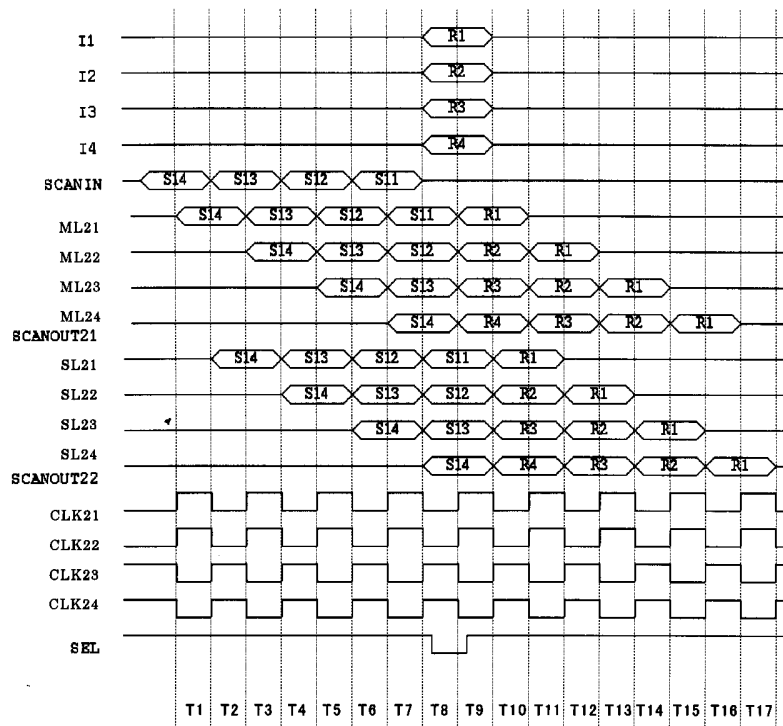
[図4]



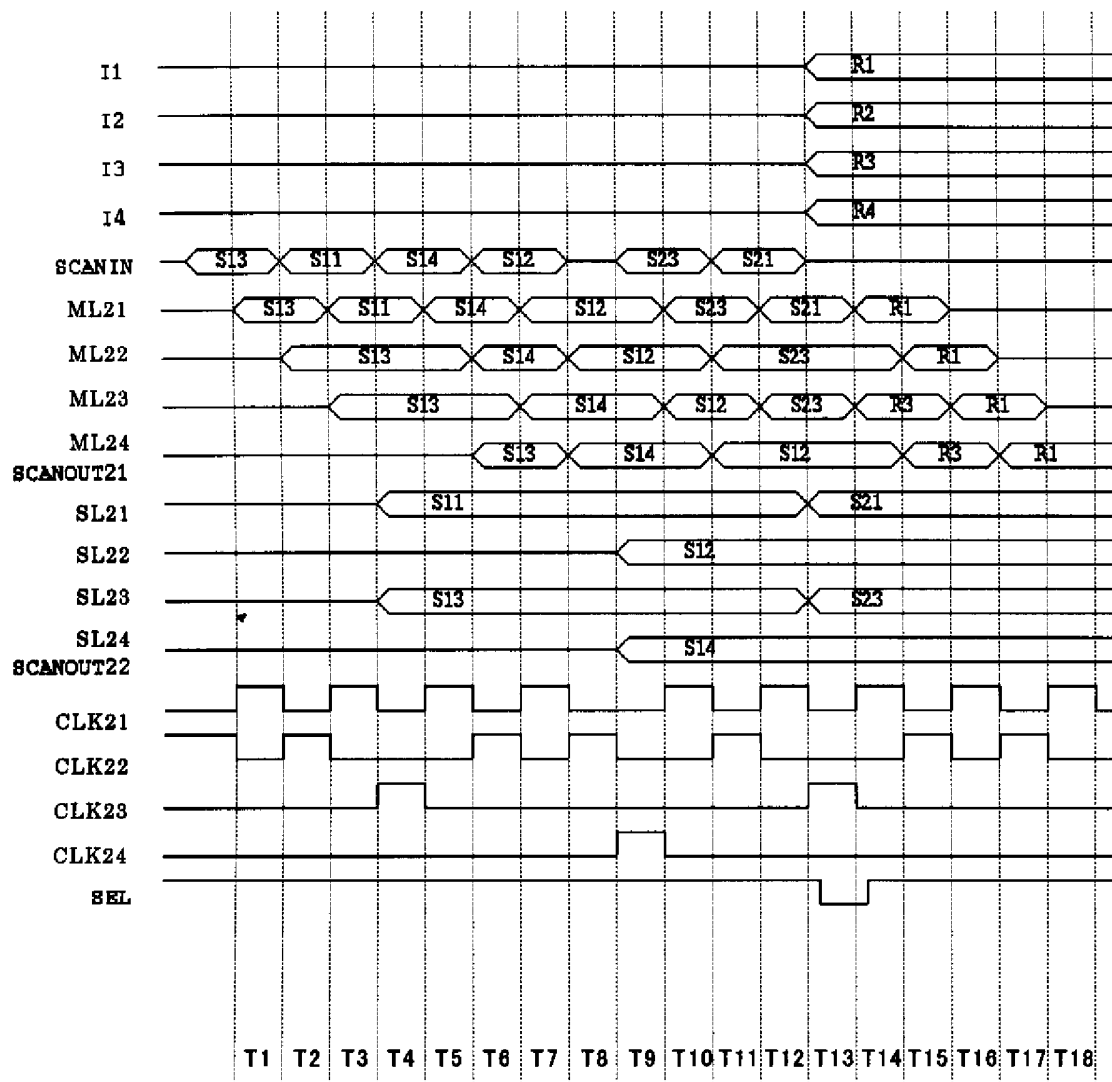
[図5]



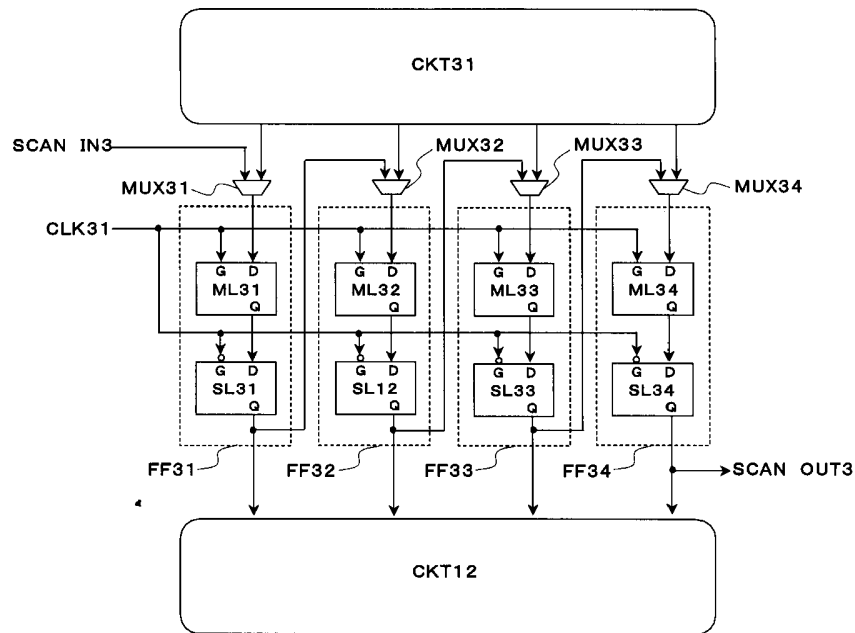
[図6]



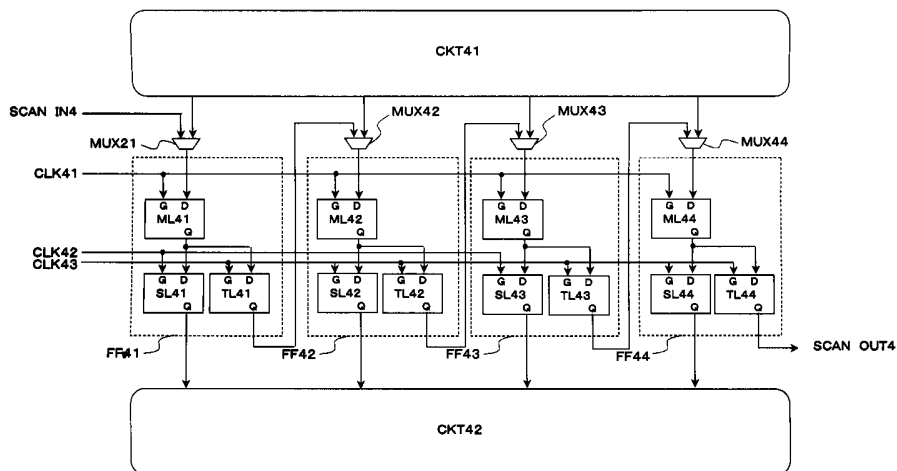
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/300022

A. CLASSIFICATION OF SUBJECT MATTER G01R31/28(2006.01), H01L27/04(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R31/28-3193, H01L27/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2699355 B2 (Sony Corp.), 19 January, 1998 (19.01.98), Column 14, line 27 to column 18, line 16; Figs. 1 to 2 (Family: none)	1-2, 4-6 3
Y A	JP 2003-255025 A (Matsushita Electric Industrial Co., Ltd.), 10 September, 2003 (10.09.03), Full text; all drawings (Family: none)	1-2, 4-6 3
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 March, 2006 (08.03.06)		Date of mailing of the international search report 20 March, 2006 (20.03.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl. G01R31/28 (2006.01), H01L27/04 (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R31/28-3193, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2699355 B2（ソニー株式会社）1998.01.19, 第14欄第27行-第18欄第16行, 第1-2図（ファミリーなし）	1-2, 4-6 3
Y A	JP 2003-255025 A（松下電器産業株式会社）2003.09.10, 全文, 全図（ファミリーなし）	1-2, 4-6 3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
08.03.2006

国際調査報告の発送日
20.03.2006

国際調査機関の名称及びあて先
日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀 圭 史

電話番号 03-3581-1101 内線 3258

2S 3005